

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5772557号
(P5772557)

(45) 発行日 平成27年9月2日(2015.9.2)

(24) 登録日 平成27年7月10日(2015.7.10)

(51) Int.Cl. F I
H03F 1/02 (2006.01) H03F 1/02
H03F 3/24 (2006.01) H03F 3/24

請求項の数 6 (全 19 頁)

(21) 出願番号	特願2011-269365 (P2011-269365)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成23年12月8日(2011.12.8)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2013-121139 (P2013-121139A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公開日	平成25年6月17日(2013.6.17)	(74) 代理人	100146776 弁理士 山口 昭則
審査請求日	平成26年8月5日(2014.8.5)	(72) 発明者	馬庭 透 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	木村 重一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 増幅器

(57) 【特許請求の範囲】

【請求項1】

入力信号と直交する直交信号を発生する信号処理回路と、
 前記直交信号をアナログ信号に変換する第1のD/A変換器と、
 前記入力信号をアナログ信号に変換する第2のD/A変換器と、
 前記第1のD/A変換器からのアナログ信号と、前記第2のD/A変換器からのアナログ信号とに基づいて、定包絡線信号を発生するアナログ演算回路とを有し、
 前記入力信号は、振幅成分、および位相成分を含み、
 前記信号処理回路は、前記入力信号を振幅位相変換することによって補信号成分を発生する、増幅器。

10

【請求項2】

前記第2のD/A変換器の分解能は、前記第1のD/A変換器の分解能よりも高く、且つ前記第1のD/A変換器のサンプリングレートは、前記第2のD/A変換器のサンプリングレートよりも高い、請求項1に記載の増幅器。

【請求項3】

前記アナログ演算回路は、
 前記第1のD/A変換器からの第1の出力信号を、該第1の出力信号と、該第1の出力信号に対して位相差を有する第2の出力信号とに分配する第1の分配器と、
 前記第2のD/A変換器からの第3の出力信号を、該第3の出力信号と、該第3の出力

20

信号と同相の第 4 の出力信号とに分配する第 2 の分配器と、

前記第 1 の分配器からの第 1 の出力信号と、前記第 2 の分配器からの第 3 の出力信号とを合成する第 1 の合成器と、

前記第 1 の分配器からの第 2 の出力信号と、前記第 2 の分配器からの第 4 の出力信号とを合成する第 2 の合成器と

を有する、請求項 1 又は 2 に記載の増幅器。

【請求項 4】

前記直交信号の帯域を制限する帯域制限フィルタ

を有し、

前記第 1 の D / A 変換器は、前記帯域制限フィルタにより帯域が制限された直交信号をアナログ信号に変換する、請求項 1 に記載の増幅器。

10

【請求項 5】

前記第 2 の D / A 変換器の分解能は、前記第 1 の D / A 変換器の分解能よりも高い、請求項 4 に記載の増幅器。

【請求項 6】

前記信号処理回路は、前記入力信号を $x(t) \exp(j\omega t)$ (「 $x(t)$ 」は大きさを 1 に規格化した振幅成分、「 \exp 」は自然対数の底、「 j 」は虚数単位、「 ωt 」は位相成分、) とした場合、直交信号として、

$\pm k(\sqrt{1 - x(t)^2}) \exp(j\omega t)$

(k は、1、-1、 j 、 $-j$ により表される係数)

20

を発生する、請求項 1 ないし 5 のいずれか 1 項に記載の増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、送信機に関する。

【背景技術】

【0002】

アウトフェーシング (Outphasing) 増幅技術が知られている。アウトフェーシング増幅技術により増幅処理を実行するアウトフェーシング型増幅器は、定包絡線型増幅器とも呼ばれる。

30

【0003】

アウトフェーシング型増幅器は、入力信号を 2 つの定振幅の 2 信号へベクトル分解する。つまり、アウトフェーシング型増幅器は、入力信号を 2 つの定振幅の 2 信号へ、振幅位相変換する。アウトフェーシング型増幅器は、ベクトル分解した 2 信号を、それぞれ D / A 変換し、増幅する。アウトフェーシング型増幅器は、増幅した 2 信号を合成する。このような処理を実行することにより、増幅器の効率を高めることができる。

【0004】

増幅器の効率を高める定包絡線型高効率増幅器に対して、増幅器の線形性を高めた定包絡線型線形増幅器が知られている (例えば、特許文献 1 参照)。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献 1】特開平 3 - 232306 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

アウトフェーシング型増幅器は、入力信号を 2 つの定振幅の 2 信号へ振幅位相変換する。入力信号を 2 つの定振幅の 2 信号へ振幅位相変換すると、振幅位相変換された 2 信号の周波数帯域が広がる。

【0007】

50

図 1、図 2 は、振幅位相変換処理を示す。

【 0 0 0 8 】

図 1 の (A) は、入力信号の一例を表す。入力信号は正弦波により表され、時間の経過に従って、(1)、(2)、(3)、(4)、(5) の順に振幅が変化する。

【 0 0 0 9 】

図 1 の (B) は、位相平面上における信号の時間遷移の一例を表す。位相平面は、X 軸を I 相 (I n P h a s e)、Y 軸を Q 相 (Q u a d r a t u r e P h a s e) とした場合、信号は X 軸上において変化する。

【 0 0 1 0 】

図 1 の (C) は、信号の周波数成分の一例を表す。信号は I 相で変化するため、信号の周波数成分の広がりは見られない。

【 0 0 1 1 】

図 2 の (A) は、入力信号を振幅位相変換する処理の一例を表す。入力信号は正弦波により表されるため、振幅位相変換した場合、時間の経過に従って、(1)、(2)、(3)、(4)、(5) の順に振幅、位相が変化する。

【 0 0 1 2 】

図 2 の (B) は、位相平面上における信号の時間遷移の一例を表す。位相平面は、X 軸を I 相、Y 軸を Q 相とした場合、信号は X 軸、Y 軸により表される平面上において変化する。

【 0 0 1 3 】

図 2 の (C) は、信号の周波数成分の一例を表す。信号は I 相、Q 相で表される平面上で変化するため、信号の周波数成分が広がる。

【 0 0 1 4 】

図 3 は、増幅回路 1 0 の一例を示す。

【 0 0 1 5 】

増幅回路 1 0 は、振幅位相変換器 1 2₁ 及び 1 2₂ と、D / A 変換器 1 4₁ 及び 1 4₂ と、増幅器 1 6₁ 及び 1 6₂ と、合成器 1 8 とを有する。

【 0 0 1 6 】

入力信号は、振幅位相変換器 1 2₁ 及び 1 2₂ により振幅位相変換される。振幅位相変換器 1 2₁ 及び 1 2₂ により振幅位相変換された入力信号は、D / A 変換器 1 4₁ 及び 1 4₂ により D / A 変換される。D / A 変換器 1 4₁ 及び 1 4₂ により D / A 変換された信号は、増幅器 1 6₁ 及び 1 6₂ により増幅される。増幅器 1 6₁ 及び 1 6₂ により増幅された信号は、合成器 1 8 により合成される。合成器 1 8 により合成された信号は、出力される。

【 0 0 1 7 】

図 3 の (A) には、増幅回路 1 0 に入力される入力信号の一例として、マルチキャリア変調波のスペクトラムが示される。振幅位相変換器 1 2₁ 及び 1 2₂ により振幅位相変換されることにより、入力信号の周波数帯域が広がる。このため、D / A 変換器 1 4₁ 及び 1 4₂ により、アナログ信号へ変換された入力信号の周波数帯域も広がる。図 3 の (B) には、D / A 変換器 1 4₂ によりアナログ信号へ変換された入力信号のスペクトラムの一例が示される。D / A 変換器 1 4₁ によりアナログ信号へ変換された入力信号のスペクトラムについても、図 3 (B) と略同一である。

【 0 0 1 8 】

広帯域の信号をアナログ信号に変換する際には、ある程度の精度を有する D / A 変換器が要求される。つまり、D / A 変換器の分解能が高いことが要求される。さらに、広帯域の信号を処理するために、処理速度が高い D / A 変換器が要求される。つまり、D / A 変換器のサンプリングレートが高いことが要求される。従って、分解能が高く、且つサンプリングレートが高い D / A 変換器が要求されるが、このような D / A 変換器を用意するのは難しい。

【 0 0 1 9 】

10

20

30

40

50

また、増幅器 16₁ 及び 16₂ の特性が異なる場合には、ゼロ出力を実現できなくなる。ゼロ出力を実現できなくなると歪補償方式としてプリディストーション方式を使用できない。

【0020】

開示の増幅器は、定包絡線信号を発生させる処理を効率的に行うことを目的とする。

【課題を解決するための手段】

【0021】

開示の一実施例の増幅器は、
 入力信号と直交する直交信号を発生する信号処理回路と、
 前記直交信号をアナログ信号に変換する第1のD/A変換器と、
 前記入力信号をアナログ信号に変換する第2のD/A変換器と、
 前記第1のD/A変換器からのアナログ信号と、前記第2のD/A変換器からのアナログ信号とに基づいて、定包絡線信号を発生するアナログ演算回路と
 を有し、
前記入力信号は、振幅成分、および位相成分を含み、
前記信号処理回路は、前記入力信号を振幅位相変換することによって補信号成分を発生する。

10

【発明の効果】

【0022】

開示の実施例によれば、定包絡線信号を発生させる処理を効率的に行うことができる。

20

【図面の簡単な説明】

【0023】

【図1】 振幅位相変換処理の一例を示す図である。

【図2】 振幅位相変換処理の一例を示す図である。

【図3】 増幅回路の一例を示す図である。

【図4】 基地局の一実施例を示す図である。

【図5】 送信機により実行される処理を示す図である。

【図6】 送信機により実行される処理を示す図である。

【図7】 送信機の一実施例を示す図である。

【図8】 アナログ演算回路の一実施例(その1)を示す図である。

30

【図9】 アナログ演算回路の一実施例(その2)を示す図である。

【図10】 送信機の動作の一実施例を示すフローチャートである。

【図11】 送信機の一変形例を示す図である。

【図12】 歪み補償回路の一実施例を示す図である。

【発明を実施するための形態】

【0024】

以下、図面に基づいて、実施例を説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を用い、繰り返しの説明は省略する。

【0025】

40

<基地局>

図4は、基地局100の一実施例を示す。図4には、主に、基地局100のハードウェア構成が示される。

【0026】

基地局100は、ベースバンド処理装置(BBU: Base Band Unit)102と、リモートレディオヘッド(RRH: Remote Radio Head)110とを有する。図4には、1台のリモートレディオヘッド110が示されているが、2台以上でもよい。

【0027】

ベースバンド処理装置102は、ベースバンド信号処理を行う。ベースバンド処理装置

50

102は、ネットワークとの間で送受信されるデータの処理を行うデータ処理部104を有する。データ処理部104は、DSP(Digital Signal Processor)により実現されてもよい。また、データ処理部104は、FPGA(Field Programmable Gate Array)により実現されてもよい。また、データ処理部104は、専用のLSI(Large Scale Integration)により実現されてもよい。

【0028】

ベースバンド処理装置102は、送信データ送出部106を有する。送信データ送出部106は、データ処理部104と、RRH110と接続される。送信データ送出部106は、データ処理部104からのデータをRRH110に送出する。送信データ送出部106は、E/O変換器(Electrical/Optical Converter)により実現されてもよい。この場合、データ処理部104からの電気信号が、E/O変換器により光信号へ変換される。光信号へ変換されたデータ処理部104からの電気信号は、光ファイバーを介して、RRH110に入力される。また、送信データ送出部106は、パラレル-シリアル変換器により実現されてもよい。この場合、データ処理部104からのパラレル信号が、パラレル-シリアル変換器によりシリアル信号へ変換される。シリアル信号へ変換されたデータ処理部104からのパラレル信号は、デジタル信号伝送路を介して、RRH110に入力される。

【0029】

また、ベースバンド処理装置102は、受信データ受領部108を有する。受信データ受領部108は、データ処理部104と、RRH110と接続される。受信データ受領部108は、RRH110からのデータをデータ処理部104に入力する。受信データ受領部108は、O/E変換器(Optical/Electrical Converter)により実現されてもよい。この場合、RRH110からの光信号が、O/E変換器により電気信号へ変換される。光信号は、光ファイバーを介して、RRH110からベースバンド処理装置102へ入力される。O/E変換器は、電気信号へ変換されたRRH110からの光信号を、データ処理部104へ入力する。また、受信データ受領部108は、シリアル-パラレル変換器により実現されてもよい。この場合、シリアル-パラレル変換器により、RRH110からのシリアル信号が、パラレル信号へ変換される。シリアル信号は、デジタル信号伝送路を介して、RRH110からベースバンド処理装置102へ入力される。シリアル-パラレル変換器は、パラレル信号へ変換されたRRH110からのシリアル信号を、データ処理部104へ入力する。

【0030】

RRH110は、基地局の無線部である。RRH110は、送信データ受領部112を有する。送信データ受領部112は、送信データ送出部106と接続される。送信データ受領部112は、ベースバンド処理装置102からのデータをキャリア合成部114に入力する。送信データ受領部112は、O/E変換器により実現されてもよい。この場合、ベースバンド処理装置102からの光信号が、O/E変換器により電気信号へ変換される。光信号は、光ファイバーを介して、ベースバンド処理装置102から送信データ受領部112へ入力される。O/E変換器は、電気信号へ変換されたベースバンド処理装置102からの光信号を、キャリア合成部114へ入力する。また、送信データ受領部112は、シリアル-パラレル変換器により実現されてもよい。この場合、シリアル-パラレル変換器により、ベースバンド処理装置102からのシリアル信号が、パラレル信号へ変換される。シリアル信号は、デジタル信号伝送路を介して、ベースバンド処理装置102からRRH110へ入力される。シリアル-パラレル変換器は、パラレル信号へ変換されたベースバンド処理装置102からのシリアル信号を、キャリア合成部114へ入力する。

【0031】

RRH110は、キャリア合成部114を有する。キャリア合成部114は、送信データ受領部112と接続される。キャリア合成部114は、送信データ受領部112からのデータと、キャリア信号とを合成する。キャリア合成部114は、送信機116へ、キャ

リア信号が合成された信号を入力する。キャリア合成部 114 は、FPGA により実現されてもよい。また、キャリア合成部 114 は、専用の LSI により実現されてもよい。

【0032】

RRH110 は、送信機 116 を有する。送信機 116 は、キャリア合成部 114 と接続される。送信機 116 は、キャリア合成部 114 からの信号を増幅する。送信機 116 は、増幅したキャリア合成部 114 からの信号を、アンテナ共用フィルタ 118 へ入力する。送信機 116 からの信号は、アンテナ共用フィルタ 118 により帯域制限され、アンテナ 120 から送信される。

【0033】

RRH110 は、アンテナ共用フィルタ 118 を有する。アンテナ共用フィルタ 118 は、送信機 116 と接続される。アンテナ共用フィルタ 118 は、送信機 116 からの信号の帯域制限を行う。アンテナ共用フィルタ 118 は、帯域制限した送信機 116 からの信号をアンテナ 120 から送信する。また、アンテナ共用フィルタ 118 は、アンテナ 120 からの信号の帯域制限を行う。アンテナ共用フィルタ 118 は、帯域制限したアンテナ 120 からの信号を受信機 122 に入力する。

10

【0034】

RRH110 は、アンテナ 120 を有する。アンテナ 120 は、アンテナ共用フィルタ 118 と接続される。アンテナ 120 は、アンテナ共用フィルタ 118 からの信号を送信する。また、アンテナ 120 は、無線信号を受信する。該無線信号は、アンテナ共用フィルタ 118 に入力される。

20

【0035】

RRH110 は、受信機 122 を有する。受信機 122 は、アンテナ共用フィルタ 118 と接続される。受信機 122 は、アンテナ共用フィルタ 118 からの信号を受信する。受信機 122 は、キャリア分離部 124 へ、受信した信号を入力する。

【0036】

RRH110 は、キャリア分離部 124 を有する。キャリア分離部 124 は、受信機 122 と接続される。キャリア分離部 124 は、受信機 122 からの信号から、キャリア信号を分離する。キャリア分離部 124 は、FPGA により実現されてもよい。また、キャリア分離部 124 は、専用の LSI により実現されてもよい。

【0037】

RRH110 は、受信データ送出部 126 を有する。受信データ送出部 126 は、キャリア分離部 124 と接続される。受信データ送出部 126 は、キャリア分離部 124 によりキャリア信号が分離された信号を、ベースバンド信号処理装置 102 へ送出する。受信データ送出部 126 は、E/O 変換器により実現されてもよい。この場合、キャリア分離部 124 からの電気信号が、E/O 変換器により光信号へ変換される。光信号へ変換されたキャリア分離部 124 からの電気信号は、光ファイバーを介して、ベースバンド処理装置 102 に入力される。また、受信データ送出部 126 は、パラレル-シリアル変換器により実現されてもよい。この場合、キャリア分離部 124 からのパラレル信号が、パラレル-シリアル変換器によりシリアル信号へ変換される。シリアル信号へ変換されたキャリア分離部 124 からのパラレル信号は、デジタル信号伝送路を介して、ベースバンド信号処理装置 102 へ入力される。

30

40

【0038】

<送信機 116>

図 5、図 6 は、送信機 116 により実行される処理を説明するための図である。

【0039】

送信機 116 は、キャリア合成部 114 と接続される。送信機 116 は、キャリア合成部 114 からの信号を増幅する増幅器を有する。以下、主に、送信機 116 の有する増幅器について説明する。

【0040】

送信機 116 には、キャリア合成部 114 からの信号が入力される。送信機 116 は、

50

キャリア合成部 114 からの信号に基づいて、該キャリア合成部 114 からの信号に直交する信号を作成する。

【0041】

具体的には、キャリア合成部 114 からの信号は、式(1)により表される。

【0042】

$$x(t) \exp(j\omega t) \quad (1)$$

「 $x(t)$ 」は大きさを 1 に規格化した振幅成分であり、「 \exp 」は自然対数の底であり、「 j 」は虚数単位であり、「 ωt 」は位相成分である。

【0043】

以下、キャリア合成部 114 から送信機 116 へ入力される信号を「元入力信号成分」という。元入力信号成分は、図 5 の (B) の下図、図 6 の (A) により表される。図 6 には、元入力信号成分の一例として変調波信号の場合のスペクトラムが示される。また、元入力信号成分に直交する信号を「補信号成分」という。補信号成分は、図 5 の (B) の上図、図 6 の (B) により表される。

10

【0044】

補信号成分は、式(2)により表される。

【0045】

$$\pm k(1 - x(t)^2) \exp(j\omega t) \quad (2)$$

ここに、 k は補信号係数で 1、-1、 j 、 $-j$ 等の値をとることができる。

【0046】

式(2)は、元入力信号成分を振幅位相変換することにより得られる。

20

【0047】

振幅位相変換処理について説明する。

【0048】

図 5 の (A) に示すように、入力信号の時間軸の延長線上に中心「O」を有する半径 1 の円を考える。正弦波の各点は、該円上を回転するベクトルとして表すことができる。

【0049】

例えば、式(1)において、時間 t のとき、元入力信号成分は $x(t) \exp(j\omega t)$ により求めることができる。図 5 の (A) では、 $x(t)$ は正弦波上では「A」により示され、円上では「 θ 」により示される。円上の「 θ 」から時間軸に下ろした垂線と、時間軸との交点を「 θ 」とする。

30

【0050】

この場合、三角形 O の直角三角形を考える。 O の長さは 1 であり、 θ の長さは A である。従って、ピタゴラスの定理により、 θ に直交する O の長さは、 $(1 - A^2)$ により表される。 $(1 - A^2)$ に位相成分を含めることにより、式(2)により表される補信号成分が得られる。

【0051】

送信機 116 は、補信号成分を D/A 変換する。さらに、送信機 116 は、元入力信号成分を D/A 変換する。

【0052】

送信機 116 は、アナログ信号に変換された補信号成分と、アナログ信号に変換された元入力信号成分とを用いて、定包絡線信号を生成する。

40

【0053】

具体的には、送信機 116 は、アナログ信号に変換された補信号成分に 180 度位相差をつけた信号を発生する。180 度は一例である。送信機 116 は、アナログ信号に変換された位相差なしの補信号成分と、アナログ信号に変換された元入力信号成分とを合成し、合成信号(以下、「第 1 の合成信号」という)を生成する。また、送信機 116 は、アナログ信号に変換された補信号成分に 180 度位相差をつけた信号と、アナログ信号に変換された元入力信号成分とを合成し、合成信号(以下、「第 2 の合成信号」という)を生成する。

50

【 0 0 5 4 】

送信機 1 1 6 は、第 1 の合成信号、第 2 の合成信号を増幅する。送信機 1 1 6 は、増幅された第 1 の合成信号と、増幅された第 2 の合成信号とを合成する。増幅された第 1 の合成信号と増幅された第 2 の合成信号とが合成（加算）された信号は、図 6 の（C）により表される。

【 0 0 5 5 】

図 5 の（B）の下図に示されるように、送信機 1 1 6 の一実施例では、「元入力信号成分」は周波数帯域が広がらない。「元入力信号成分」の周波数帯域が広がらないため、送信機 1 1 6 の「元入力信号成分」に対応する部分には、広帯域の信号を D / A 変換処理する性能は要求されない。つまり、低いサンプリングレートを有する D / A 変換器でよい。さらに、広帯域の信号を D / A 変換処理する性能が要求されないため、処理速度が高いことは要求されない。

10

【 0 0 5 6 】

一方、「補信号成分」は周波数帯域が広がる。「補信号成分」の周波数帯域が広がるが、増幅される前に定包絡線に変換される。定包絡線信号は増幅器の飽和レベルで動作するので、D / A 変換される際の精度は要求されない。つまり、低い分解能を有する D / A 変換器でよい。D / A 変換処理速度が高いことが要求されるが、精度が高いことは要求されない。

【 0 0 5 7 】

以上より、送信機 1 1 6 の一実施例では、増幅器に、「高速」且つ「高精度」で、D / A 変換処理する性能は要求されない。つまり、高いサンプリングレート、且つ高い分解能を有する D / A 変換器を使用することなく、送信機 1 1 6 の増幅器を構成することができる。

20

【 0 0 5 8 】

図 7 は、送信機 1 1 6 の一実施例を示す。図 7 には、主に、送信機 1 1 6 の有する増幅器のハードウェア構成が示される。

【 0 0 5 9 】

送信機 1 1 6 は、信号処理回路 2 0 2 を有する。信号処理回路 2 0 2 は、キャリア合成部 1 1 4 と接続される。信号処理回路 2 0 2 は、キャリア合成部 1 1 4 からの信号に基づいて、該キャリア合成部 1 1 4 からの信号を「元入力信号成分」とする「補信号成分」の信号を作成する。

30

【 0 0 6 0 】

具体的には、キャリア合成部 1 1 4 からの信号は、式（1）により表される。

【 0 0 6 1 】

補信号成分は、式（2）により表される。

【 0 0 6 2 】

信号処理回路 2 0 2 は、D / A 変換器 2 0 4₁ へ補信号成分を入力し、D / A 変換器 2 0 4₂ へ元入力信号成分を入力する。ここで、キャリア合成部 1 1 4 としての機能と、信号処理回路 2 0 2 としての機能とを L S I により実現するようにしてもよいし、F P G A により実現するようにしてもよい。

40

【 0 0 6 3 】

送信機 1 1 6 は、D / A 変換器 2 0 4₁ を有する。D / A 変換器 2 0 4₁ は、信号処理回路 2 0 2 と接続される。D / A 変換器 2 0 4₁ は、アナログ信号へ、信号処理回路 2 0 2 からの補信号成分を変換する。D / A 変換器 2 0 4₁ は、アナログ演算回路 2 0 6 へ、アナログ信号へ変換した補信号成分を入力する。

【 0 0 6 4 】

送信機 1 1 6 は、D / A 変換器 2 0 4₂ を有する。D / A 変換器 2 0 4₂ は、信号処理回路 2 0 2 と接続される。D / A 変換器 2 0 4₂ は、アナログ信号へ、信号処理回路 2 0 2 からの元入力信号成分を変換する。D / A 変換器 2 0 4₂ は、アナログ演算回路 2 0 6 へ、アナログ信号へ変換した元入力信号成分を入力する。

50

【0065】

送信機116は、アナログ演算回路206を有する。アナログ演算回路206は、D/A変換器204₁及び204₂と接続される。アナログ演算回路206は、D/A変換器204₁からのアナログ信号と、D/A変換器204₂からのアナログ信号とを用いて、定包絡線信号を生成する。具体的には、アナログ演算回路206は、D/A変換器204₁からのアナログ信号に180度位相差をつけた信号を生成する。アナログ演算回路206は、D/A変換器204₁からの位相差なしのアナログ信号と、D/A変換器204₂からのアナログ信号とを合成し、第1の合成信号を生成する。また、アナログ演算回路206は、D/A変換器204₁からのアナログ信号に180度位相差をつけた信号と、D/A変換器204₂からのアナログ信号とを合成し、第2の合成信号を生成する。アナログ演算回路206は、増幅器208₁へ、第1の合成信号を入力する。アナログ演算回路206は、増幅器208₂へ、第2の合成信号を入力する。

10

【0066】

送信機116は、増幅器208₁を有する。増幅器208₁は、アナログ演算回路206と接続される。増幅器208₁は、アナログ演算回路206からの第1の合成信号を増幅する。増幅器208₁は、合成器210へ、増幅された第1の合成信号を入力する。増幅器208₁は、アナログ演算回路206からの出力信号が入力される入力整合回路(図示無し)と、該入力整合回路からの出力信号が入力される増幅素子(図示無し)と、増幅素子からの出力信号が入力される出力整合回路(図示無し)により実現されてもよい。出力整合回路からの出力信号は、合成器210に入力される。増幅素子は、例えば、トランジスタにより実現されてもよい。

20

【0067】

送信機116は、増幅器208₂を有する。増幅器208₂は、アナログ演算回路206と接続される。増幅器208₂は、アナログ演算回路206からの第2の合成信号を増幅する。増幅器208₂は、合成器210へ、増幅された第2の合成信号を入力する。増幅器208₂は、アナログ演算回路206からの出力信号が入力される入力整合回路(図示無し)と、該入力整合回路からの出力信号が入力される増幅素子(図示無し)と、増幅素子からの出力信号が入力される出力整合回路(図示無し)により実現されてもよい。出力整合回路からの出力信号は、合成器210に入力される。増幅素子は、例えば、トランジスタにより実現されてもよい。

30

【0068】

送信機116は、合成器210を有する。合成器210は、増幅器208₁、及び208₂と接続される。合成器210は、増幅器208₁からの増幅された第1の合成信号と、増幅器208₂からの増幅された第2の合成信号とを合成する。合成器210は、増幅器208₁からの増幅された第1の合成信号と、増幅器208₂からの増幅された第2の合成信号とが合成された信号を出力する。合成器210では、伝送線路(図示無し)を伝送する増幅器208₁からの出力信号と、伝送線路(図示無し)を伝送する増幅器208₂からの出力信号とが加算される。

【0069】

<アナログ演算回路206>

図8は、アナログ演算回路206の一実施例(その1)を示す。

40

【0070】

アナログ演算回路206の一実施例(その1)では、180°分配器と、同相分配器と、2個の90°合成器とによりアナログ演算回路206が実現される。

【0071】

アナログ演算回路206は、分配器302₁を有する。分配器302₁は、D/A変換器204₁と接続される。D/A変換器204₁は式(2)のk=1の場合の信号を出力する。分配器302₁は、D/A変換器204₁からのアナログ信号に位相差なしの信号と180度位相差をつけた信号を生成する。つまり、分配器302₁は、180°分配器により実現され、D/A変換器204₁からのアナログ信号に対して位相が180度遅れ

50

た信号を出力する。分配器302₁は、180°のハイブリッド回路により実現されてもよい。分配器302₁は、合成器304₁へ、D/A変換器204₁から位相差なしのアナログ信号を入力する。分配器302₁は、合成器304₂へ、D/A変換器204₁からのアナログ信号に対して180度位相差をつけた信号を入力する。

【0072】

アナログ演算回路206は、分配器302₂を有する。分配器302₂は、D/A変換器204₂と接続される。分配器302₂は、同相分配器により実現され、合成器304₁、及び304₂へ、それぞれD/A変換器204₂からのアナログ信号を入力する。

【0073】

アナログ演算回路206は、合成器304₁を有する。合成器304₁は、分配器302₁、及び302₂と接続される。合成器304₁は、90°のハイブリッド回路により実現されてもよい。合成器304₁は、分配器302₁からのアナログ信号と、分配器302₂からのアナログ信号との間で90度位相差をつけて合成することにより第1の合成信号を生成する。合成器304₁は、増幅器208₁へ、第1の合成信号を入力する。

10

【0074】

アナログ演算回路206は、合成器304₂を有する。合成器304₂は、分配器302₁、及び302₂と接続される。合成器304₂は、90°のハイブリッド回路により実現されてもよい。合成器304₂は、分配器302₁からのアナログ信号と、分配器302₂からのアナログ信号との間で90度位相差をつけて合成することにより第2の合成信号を生成する。合成器304₂は、増幅器208₂へ、第2の合成信号を入力する。

20

【0075】

図9は、アナログ演算回路206の一実施例(その2)を示す。

【0076】

アナログ演算回路206の一実施例(その2)では、180°分配器と、同相分配器と、2個の同相合成器とによりアナログ演算回路206が実現される。

【0077】

アナログ演算回路206は、分配器302₁を有する。分配器302₁は、D/A変換器204₁と接続される。D/A変換器204₁は式(2)の $k=j$ の場合の信号を出力する。分配器302₁は、D/A変換器204₁からのアナログ信号に対して位相差なしの信号と180度位相差をつけた信号を生成する。つまり、分配器302₁は、180°分配器により実現され、D/A変換器204₁からのアナログ信号に対して位相が180度遅れた信号を出力する。分配器302₁は、180°のハイブリッド回路により実現されてもよい。分配器302₁は、合成器306₁へ、D/A変換器204₁から位相差なしのアナログ信号を入力する。分配器302₁は、合成器306₂へ、D/A変換器204₁からのアナログ信号に対して180度位相差をつけた信号を入力する。

30

【0078】

アナログ演算回路206は、分配器302₂を有する。分配器302₂は、D/A変換器204₂と接続される。分配器302₂は、同相分配器により実現され、合成器306₁、及び306₂へ、それぞれD/A変換器204₂からのアナログ信号を入力する。

【0079】

アナログ演算回路206は、合成器306₁を有する。合成器306₁は、分配器302₁、及び302₂と接続される。合成器306₁は、同相合成器により実現され、分配器302₁からのアナログ信号と、分配器302₂からのアナログ信号とを同相合成することにより第1の合成信号を生成する。合成器306₁は、増幅器208₁へ、第1の合成信号を入力する。

40

【0080】

アナログ演算回路206は、合成器306₂を有する。合成器306₂は、分配器302₁、及び302₂と接続される。合成器306₂は、同相合成器により実現され、分配器302₁からのアナログ信号と、分配器302₂からのアナログ信号とを同相合成することにより第2の合成信号を生成する。合成器306₂は、増幅器208₂へ、第2の合

50

成信号を入力する。

【 0 0 8 1 】

< 送信機 1 1 6 の動作 >

図 1 0 は、送信機 1 1 6 の動作の一実施例を示す。主に、送信機 1 1 6 の有する増幅器の動作について示す。

【 0 0 8 2 】

ステップ S 1 0 0 2 では、信号処理回路 2 0 2 は、元入力信号成分から補信号成分を計算する。

【 0 0 8 3 】

ステップ S 1 0 0 4 では、信号処理回路 2 0 2 は、補信号成分へ、補信号係数を付与する。つまり、信号処理回路 2 0 2 は、補信号成分へ、補信号係数を乗算する。補信号係数は予め設定されてもよい。

10

【 0 0 8 4 】

ステップ S 1 0 0 6 では、D / A 変換器 2 0 4₁ は、補信号係数が付与された補信号成分を D / A 変換する。

【 0 0 8 5 】

ステップ S 1 0 0 8 では、アナログ演算回路 2 0 6 は、ステップ S 1 0 0 6 により D / A 変換されることにより得られるアナログ信号を位相差分配する。ここで、位相差は、補信号係数に依存した値であってもよい。例えば、アナログ演算回路 2 0 6 は、1 8 0 度の位相差を付けて分配する。

20

【 0 0 8 6 】

ステップ S 1 0 1 0 では、D / A 変換器 2 0 4₂ は、元入力信号成分を D / A 変換する。

【 0 0 8 7 】

ステップ S 1 0 1 2 では、アナログ演算回路 2 0 6 は、ステップ S 1 0 1 0 により元入力信号成分が D / A 変換されることにより得られるアナログ信号を同相分配する。

【 0 0 8 8 】

ステップ S 1 0 1 4 では、アナログ演算回路 2 0 6 は、ステップ S 1 0 1 2 により同相分配されることにより得られる入力信号系の信号と、ステップ S 1 0 0 8 により位相差分配することにより得られる補信号系の信号とを合成し、第 1 合成信号を生成する。

30

【 0 0 8 9 】

ステップ S 1 0 1 6 では、増幅器 2 0 8₁ は、第 1 合成信号を増幅する。

【 0 0 9 0 】

ステップ S 1 0 1 8 では、アナログ演算回路 2 0 6 は、ステップ S 1 0 1 2 により同相分配されることにより得られる入力信号系の信号と、ステップ S 1 0 0 8 により位相差分配することにより得られる補信号系の信号とを合成し、第 2 合成信号を生成する。

【 0 0 9 1 】

ステップ S 1 0 2 0 では、増幅器 2 0 8₂ は、第 2 合成信号を増幅する。

【 0 0 9 2 】

ステップ S 1 0 2 2 では、合成器 2 1 0 は、ステップ S 1 0 1 6 により増幅された第 1 合成信号と、ステップ S 1 0 2 0 により増幅された第 2 合成信号とを合成する。

40

【 0 0 9 3 】

ステップ S 1 0 2 4 では、合成器 2 1 0 は、増幅された第 1 合成信号と、増幅された第 2 合成信号とを合成した信号を出力する。

【 0 0 9 4 】

< 変形例 >

図 1 1 は、送信機 1 1 6 の一変形例を示す。送信機 1 1 6 は、キャリア合成部 1 1 4 からの信号を増幅する増幅器を有する。以下、主に、送信機 1 1 6 の有する増幅器について説明する。

【 0 0 9 5 】

50

送信機 116 の一変形例は、図 7 に示される送信機において、帯域制限部 212 を有する点で異なる。帯域制限部 212 は、信号処理回路 202 と、D/A 変換器 204₁ と接続される。帯域制限部 212 は、信号処理回路 202 からの補信号成分の周波数帯域を制限する。具体的には、帯域制限部 212 は、低域通過フィルタ (LPF) により実現されてもよい。

【0096】

D/A 変換器 204₁ に入力される補信号成分は、無限の帯域ではない。つまり、補信号成分の周波数帯域は広がるが、その帯域幅は有限である。帯域制限部 212 は、補信号成分の低周波数帯域を通過させる。帯域制限部 212 を有することにより、D/A 変換器 204₁ に入力される補信号成分の周波数帯域を狭帯域化することができるため、D/A 変換器 204₁ へ要求される D/A 変換処理速度を低減できる。つまり、低いサンプリングレートを有する D/A 変換器で、D/A 変換器 204₁ を実現できる。

10

【0097】

帯域制限部 212 を有することにより増幅器 208₁ に入力される補信号成分と、増幅器 208₂ に入力される補信号成分は定包絡線信号からずれる場合があるが、増幅器 208₁、及び 208₂ は飽和動作しているため性能に大きな劣化はない。

【0098】

<歪み補償回路>

図 12 は、本実施例、本変形例による送信機 116 を利用することにより実現される歪み補償回路の一実施例を示す。

20

【0099】

歪み補償回路は、分配器 402 を有する。分配器 402 は、送信機 116 と接続される。分配器 402 は、送信機 116 からの出力信号を分配する。分配器 402 は、遅延線 404 を介して、分配した信号を減算器 406 へ入力する。また、分配器 402 は、分配した信号を減算器 412 へ入力する。

【0100】

一方、キャリア合成部 114 からの出力信号は、遅延線 408 を介して、振幅位相調整器 410 へ入力される。

【0101】

振幅位相調整器 410 は、遅延線 408 を介して、キャリア合成部 114 と接続される。振幅位相調整器 410 は、キャリア合成部 114 からの出力信号の振幅や位相のずれを調整する。振幅位相調整器 410 は、振幅や位相のずれが調整された信号を減算器 412 へ入力する。

30

【0102】

減算器 412 は、分配器 402 と、振幅位相調整器 410 と接続される。減算器 412 は、分配器 402 からの出力信号と、振幅位相調整器 410 からの出力信号との差を求めることにより誤差信号を検出する。減算器 412 からの誤差信号は、振幅位相調整器 414 へ入力される。

【0103】

振幅位相調整器 414 は、減算器 412 と接続される。振幅位相調整器 414 は、減算器 412 からの誤差信号の振幅や位相のずれを調整する。振幅位相調整器 414 は、振幅や位相のずれが調整された誤差信号を増幅器 416 へ入力する。

40

【0104】

増幅器 416 は、振幅位相調整器 414 と接続される。増幅器 416 は、振幅位相調整器 414 からの誤差信号を増幅する。増幅器 416 は、減算器 406 へ、増幅した誤差信号を入力する。

【0105】

減算器 406 は、分配器 402 と、増幅器 416 と接続される。減算器 406 は、分配器 402 からの出力信号と、増幅器 416 からの誤差信号との差を求めることにより送信機 116 からの信号から、誤差成分を除去する。このようにすることにより、歪み補償を

50

行うことができる。減算器 406 は、歪み補償を行った信号を出力する。

【0106】

歪み補償回路の一実施例によれば、元入力信号成分を利用して、誤差検出を行うことができるため、元入力信号成分を発生させる回路を設けることなく、歪み補償を行うことができる。

【0107】

以上の実施例を含む実施形態に関し、更に以下の付記を開示する。

(付記1)

入力信号と直交する直交信号を発生する信号処理回路と、
前記直交信号をアナログ信号に変換する第1のD/A変換器と、
前記入力信号をアナログ信号に変換する第2のD/A変換器と、
前記第1のD/A変換器からのアナログ信号と、前記第2のD/A変換器からのアナログ信号とに基づいて、定包絡線信号を発生するアナログ演算回路と
を有する、増幅器。

10

(付記2)

前記第2のD/A変換器の分解能は、前記第1のD/A変換器の分解能よりも高く、且つ前記第1のD/A変換器のサンプリングレートは、前記第2のD/A変換器のサンプリングレートよりも高い、付記1に記載の増幅器。

(付記3)

前記アナログ演算回路は、
前記第1のD/A変換器からの第1の出力信号を、該第1の出力信号と、該第1の出力信号に対して位相差を有する第2の出力信号とに分配する第1の分配器と、
前記第2のD/A変換器からの第3の出力信号を、該第3の出力信号と、該第3の出力信号と同相の第4の出力信号とに分配する第2の分配器と、
前記第1の分配器からの第1の出力信号と、前記第2の分配器からの第3の出力信号とを合成する第1の合成器と、
前記第1の分配器からの第2の出力信号と、前記第2の分配器からの第4の出力信号とを合成する第2の合成器と
を有する、付記1又は2に記載の増幅器。

20

(付記4)

前記直交信号の帯域を制限する帯域制限フィルタ
を有し、
前記第1のD/A変換器は、前記帯域制限フィルタにより帯域が制限された直交信号をアナログ信号に変換する、付記1に記載の増幅器。

30

(付記5)

前記第2のD/A変換器の分解能は、前記第1のD/A変換器の分解能よりも高い、付記4に記載の増幅器。

(付記6)

前記信号処理回路は、前記入力信号を $x(t) \exp(j\omega t)$ (「 $x(t)$ 」は大きさを1に規格化した振幅成分、「 \exp 」は自然対数の底、「 j 」は虚数単位、「 ωt 」は位相成分)とした場合、直交信号として、
 $\pm k(1 - x(t)^2) \exp(j\omega t)$
(k は、1、-1、 j 、 $-j$ により表される係数)
を発生する、付記1ないし5のいずれか1項に記載の増幅器。

40

(付記7)

前記アナログ演算回路は、
前記第1のD/A変換器からの第1の出力信号を、該第1の出力信号と、該第1の出力信号に対して位相差を有する第2の出力信号とに分配する第1の分配器と、
前記第2のD/A変換器からの第3の出力信号を、該第3の出力信号と、該第3の出力信号と同相の第4の出力信号とに分配する第2の分配器と、

50

前記第 1 の分配器からの第 1 の出力信号と、前記第 2 の分配器からの第 3 の出力信号とを位相差をつけて合成する第 1 の合成器と、

前記第 1 の分配器からの第 2 の出力信号と、前記第 2 の分配器からの第 4 の出力信号とを位相差をつけて合成する第 2 の合成器と

を有する、付記 1 に記載の増幅器。

(付記 8)

前記アナログ演算回路は、

前記第 1 の D / A 変換器からの第 1 の出力信号を、該第 1 の出力信号と、該第 1 の出力信号に対して位相差を有する第 2 の出力信号とに分配する第 1 の分配器と、

前記第 2 の D / A 変換器からの第 3 の出力信号を、該第 3 の出力信号と、該第 3 の出力信号と同相の第 4 の出力信号とに分配する第 2 の分配器と、

前記第 1 の分配器からの第 1 の出力信号と、前記第 2 の分配器からの第 3 の出力信号とを同相で合成する第 1 の合成器と、

前記第 1 の分配器からの第 2 の出力信号と、前記第 2 の分配器からの第 4 の出力信号とを同相で合成する第 2 の合成器と

を有する、付記 1 に増幅器。

(付記 9)

前記第 1 の合成器からの出力信号を増幅する第 1 の増幅器と、

前記第 2 の合成器からの出力信号を増幅する第 2 の増幅器と、

前記第 1 の増幅器により増幅された前記第 1 の合成器からの出力信号と、前記第 2 の増幅器により増幅された前記第 2 の合成器からの出力信号とを合成する合成器と

を有する、付記 2、7 及び 8 のいずれか 1 項に記載の増幅器。

(付記 10)

前記合成器からの出力信号を分配する分配部と、

前記分配部により分配された第 1 の出力信号と、前記入力信号との間の差分を求める第 1 の減算器と、

前記分配部により分配された第 2 の出力信号と、前記第 1 の減算器からの出力信号との間の差分を求める第 2 の減算器と

を有する、付記 9 に記載の増幅器。

(付記 11)

付記 1 ないし 10 のいずれか 1 項に記載の増幅器を有する送信機。

(付記 12)

付記 11 に記載の送信機を有する基地局。

(付記 13)

入力信号と直交する直交信号を発生し、

前記直交信号をアナログ信号に変換することにより第 1 のアナログ信号を発生し、

前記入力信号をアナログ信号に変換することにより第 2 のアナログ信号を発生し、

前記第 1 のアナログ信号と、前記第 2 のアナログ信号とに基づいて、定包絡線信号を発生する、増幅器における方法。

【符号の説明】

【0108】

10 増幅器

12₁、12₂ 振幅位相変換器

14₁、14₂ D / A 変換器

16₁、16₂ 増幅器

18 合成器

100 基地局

102 ベースバンド処理装置

104 データ処理部

106 送信データ送出部

10

20

30

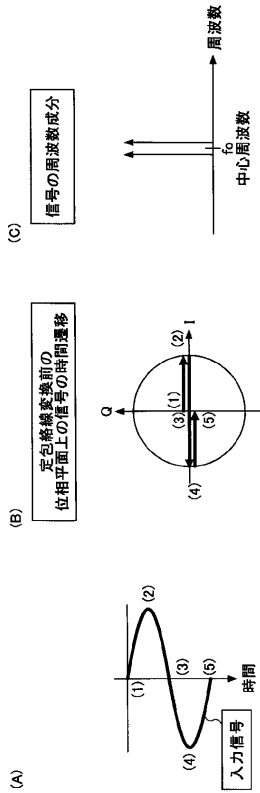
40

50

1 0 8	受信データ受領部	
1 1 0	R R H	
1 1 2	送信データ受領部	
1 1 4	キャリア合成部	
1 1 6	送信機	
1 1 8	アンテナ共用フィルタ	
1 2 0	アンテナ	
1 2 2	受信機	
1 2 4	キャリア分離部	
1 2 6	受信データ送出部	10
2 0 2	信号処理回路	
2 0 4 ₁ 、2 0 4 ₂	D / A 変換器	
2 0 6	アナログ演算回路	
2 0 8 ₁ 、2 0 8 ₂	増幅器	
2 1 0	合成器	
2 1 2	帯域制限部	
3 0 2 ₁ 、3 0 2 ₂	分配器	
3 0 4 ₁ 、3 0 4 ₂	合成器	
3 0 6 ₁ 、3 0 6 ₂	合成器	
4 0 2	分配器	20
4 0 4	遅延線	
4 0 6	減算器	
4 0 8	遅延線	
4 1 0	振幅位相調整器	
4 1 2	減算器	
4 1 4	振幅位相調整器	
4 2 6	増幅器	

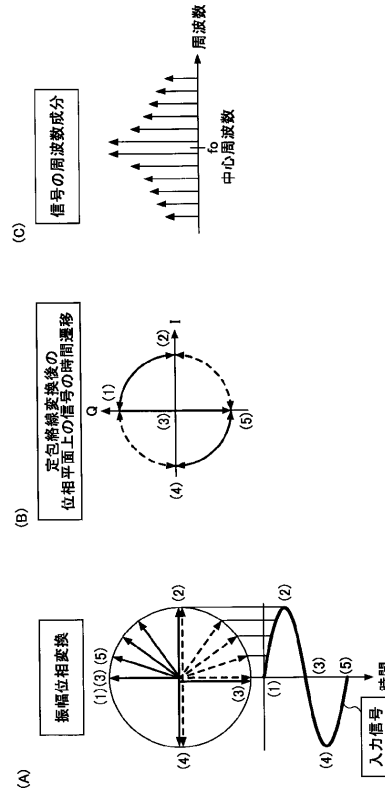
【図1】

振幅位相変換処理の一例を示す図



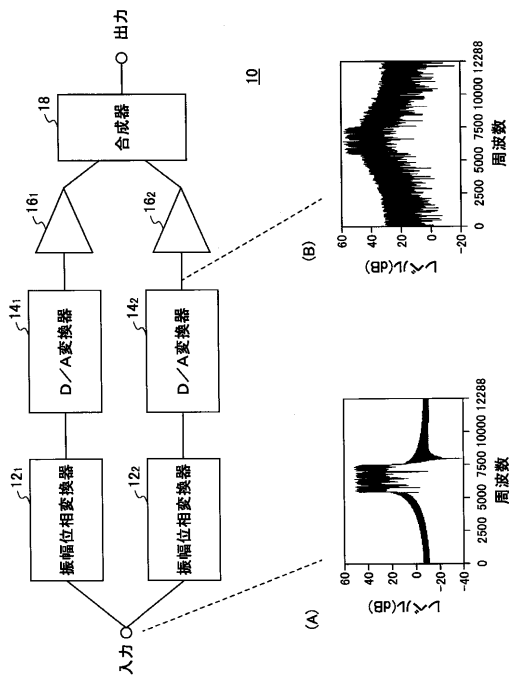
【図2】

振幅位相変換処理の一例を示す図



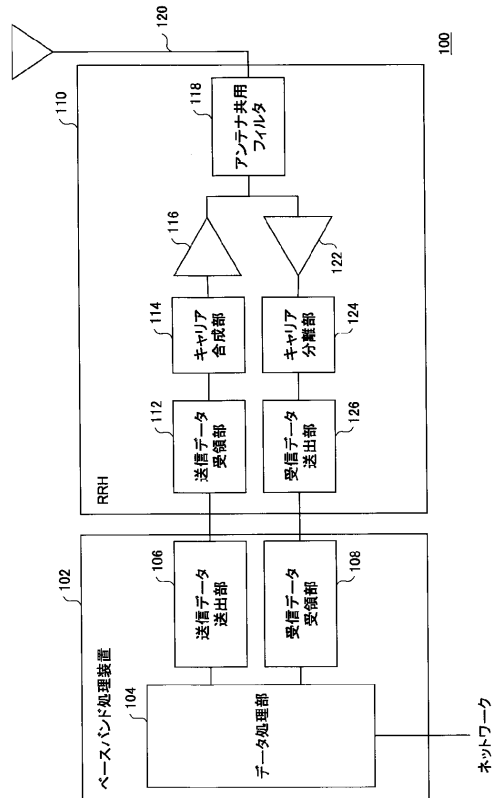
【図3】

増幅回路の一例を示す図



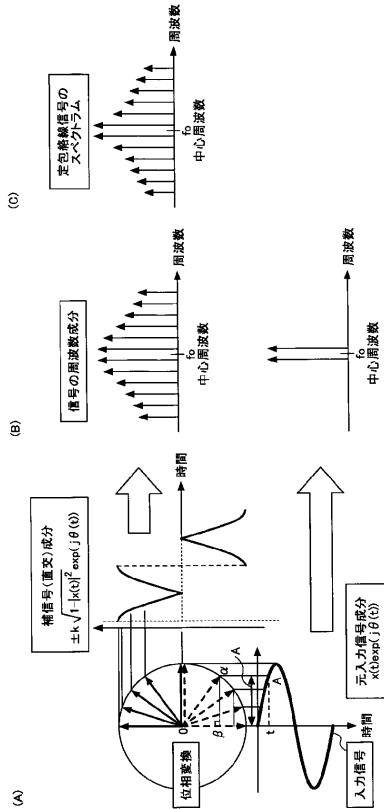
【図4】

基地局の一例を示す図



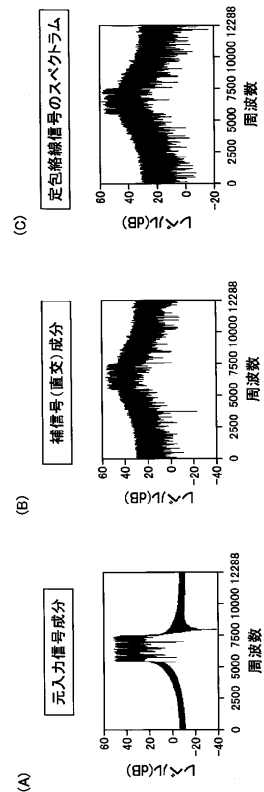
【図5】

送信機により実行される処理を示す図



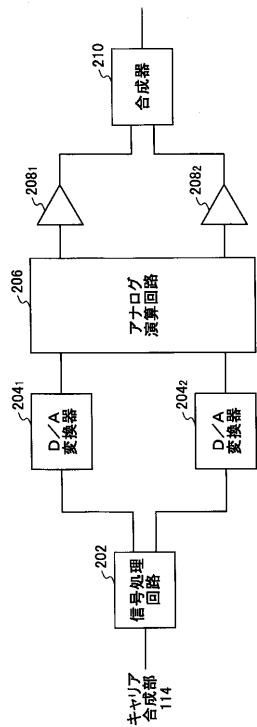
【図6】

送信機により実行される処理を示す図



【図7】

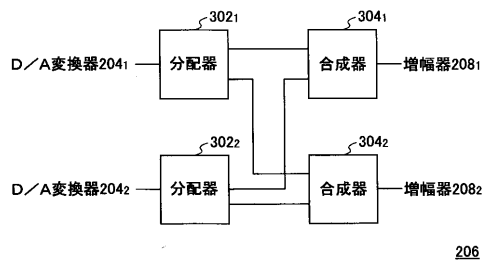
送信機の一実施例を示す図



116

【図8】

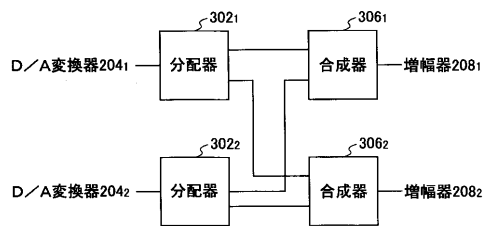
アナログ演算回路の一実施例(その1)を示す図



206

【図9】

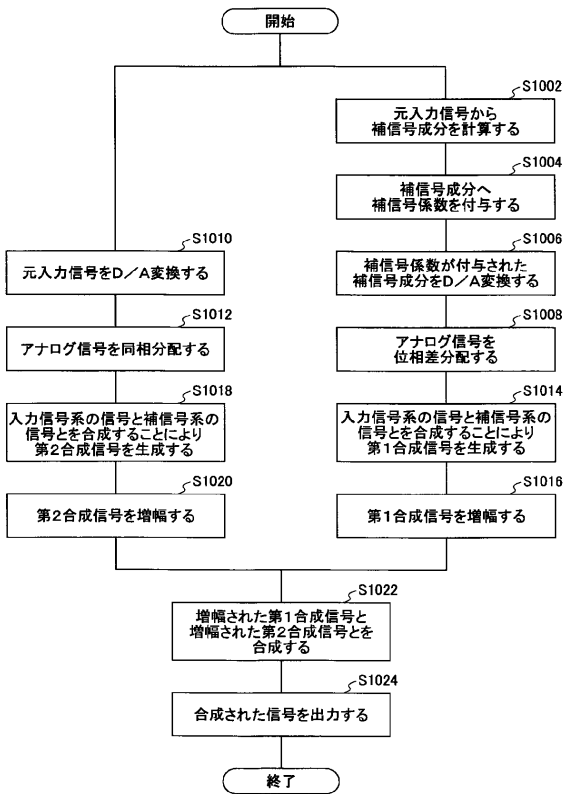
アナログ演算回路の一実施例(その2)を示す図



206

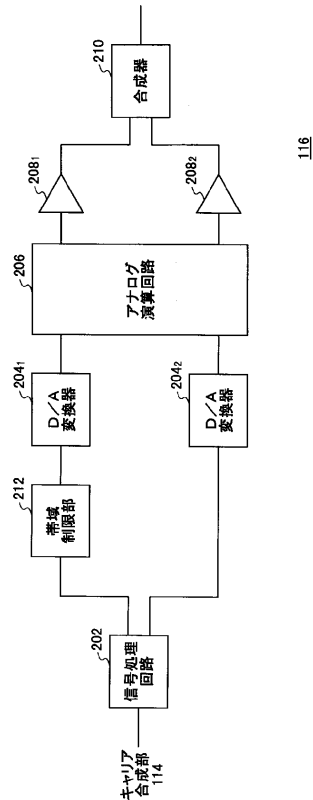
【図10】

送信機の動作の一実施例を示すフローチャート



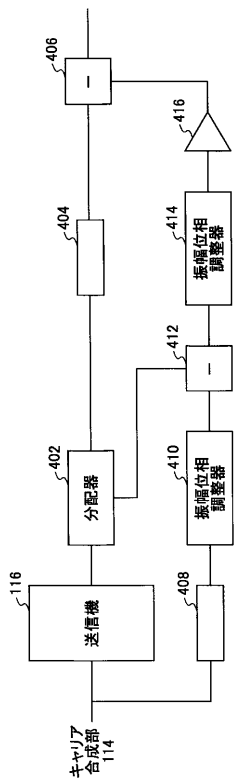
【図11】

送信機の一変形例を示す図



【図12】

歪み補償回路の一実施例を示す図



フロントページの続き

審査官 宮島 郁美

(56)参考文献 特表2008-518514(JP,A)
特表2002-510927(JP,A)
国際公開第2009/096132(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H03F1/00-3/45, 3/50-3/52, 3/62-3/64, 3/68-3/72