

DEUTSCHE DEMOKRATISCHE REPUBLIK



(12) Ausschließungspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

PATENTSCHRIFT

(19) **DD** (11) **229 258 A5**

4(51) H 03 K 5/00
G 08 C 19/28

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	AP H 03 K / 267 376 3	(22)	18.09.84	(44)	30.10.85
(31)	2/60209	(32)	19.09.83	(33)	BE

(71)	siehe (73)
(72)	Rabaey, Dirk H. L. C.; Haspeslagh, Didier, R., BE
(73)	International Standard Electric CORP., New York, US

(54) **PCM-Umsetzer**

(57) Ziel und Aufgabe der Erfindung bestehen darin, einen PCM-Umsetzer zur Umsetzung eines PCM-Eingangswortes in ein PCM-Ausgangswort nach dem A-Gesetz oder nach dem μ -Gesetz zur Verfügung zu stellen, der sich durch einen einfachen Aufbau auszeichnet. Die Aufgabe wird dadurch gelöst, daß der Umsetzer dazu geeignet ist, die binären Bits des Eingangswortes in diejenigen des Ausgangswortes entweder nach dem A-Gesetz oder nach dem μ -Gesetz umzuwandeln, sofern der binäre Wert eines wählbaren Steuerbits gegeben ist, welcher die digitalen Werte mehrerer Parameter des Umsetzers bestimmt. Fig. 1

ISSN 0433-6461

43 Seiten

PCM-Umsetzer

Anwendungsgebiet der Erfindung

Die vorliegende Erfindung betrifft einen Pulscodedemodulations-(PCM)-Umsetzer zur Umsetzung eines PCM-Eingangswortes in ein PCM-Ausgangswort, wobei eines der genannten Worte in einem komprimierten Code und das andere Wort in einem linearen Code vorliegt.

Charakteristik der bekannten technischen Lösungen

In der GB-PS 2 096 848, die mit der US-PS 4 404 544 identisch ist, wird ein Codec beschrieben, der entweder mit komprimiertem Code nach dem A-Gesetz oder mit komprimiertem Code nach dem μ -Gesetz arbeiten kann. Eine Codeumsetzung erfolgt dabei nicht.

Ferner sind sowohl Geräte bekannt, die Codeumsetzungen zwischen linearem Code und nach dem A-Gesetz komprimiertem Code durchführen als auch Geräte, die zwischen linearem Code und nach dem μ -Gesetz komprimierten Code umsetzen können.

Ziel der Erfindung

Ein Ziel der vorliegenden Erfindung besteht darin, einen Umsetzer dieser Art zu schaffen, der geeignet ist, die Umsetzung eines PCM-Eingangswortes in ein PCM-Ausgangswort nach dem A-Gesetz oder dem μ -Gesetz selektiv durchzuführen und trotzdem einen relativ einfachen Aufbau aufweist.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, einen PCM-Umsetzer

zur Umsetzung eines PCM-Eingangswortes in ein PCM-Ausgangswort zur Verfügung zu stellen.

Diese Aufgabe wird erfindungsgemäß dadurch erreicht, daß es nach der Erfindung möglich ist, die binären Bits eines Eingangswortes in diejenigen des Ausgangswortes entweder nach dem A-Gesetz oder nach dem μ -Gesetz umzuwandeln, wenn der binäre Wert eines wählbaren Steuerbits gegeben ist, welches die digitalen Werte mehrerer Parameter des Umsetzers bestimmt.

Durch die Verwendung eines wählbaren Steuerbits ist der Umsetzer imstande, eine Umsetzung nach dem A-Gesetz oder nach dem μ -Gesetz selektiv durchzuführen, und da dieses Bit mehrere Parameter des Umsetzers steuert, kann letzterer einfach im Aufbau sein, der für beide Gesetze nahezu gleich ist.

Ein anderes charakteristisches Merkmal des vorliegenden Umsetzers besteht darin, daß es mit diesem möglich ist, ein komprimiertes PCM-Eingangswort einschließlich eines 3-Bit-Segmentcodes und eines 4-Bit-Schrittcodes in ein lineares PCM-Ausgangswort durch Ermittlung der Funktion

$$J = (L + a \cdot 2^4 + b \cdot 2^{-1}) \cdot 2^{K'} + c$$

umzusetzen;

darin bedeuten	J	das Ausgangswort
	L	der Schrittcode
	a, b, c	Variable
	K'	ist auf den genannten Segmentcode bezogen und zusammen mit den genannten Variablen a, b, und c von dem genannten Steuerbit (A) ab-

hängig, das anzeigt, daß das Eingangswort gemäß dem A-Gesetz oder dem μ -Gesetz codiert ist.

Aus dieser Funktion folgt, daß die anzuführenden Operationen nach dem A-Gesetz und nach dem μ -Gesetz sehr ähnlich sind und sich nur in Details unterscheiden; infolgedessen ist es möglich, für beide Gesetze denselben Aufbau für den Umsetzer zu verwenden, wie bereits oben erwähnt.

Ein anderes charakteristisches Merkmal des Umsetzers enthält folgendes:

- eine Decodiervorrichtung zur Decodierung des genannten 3-Bit-Segmentcodes in einen 1-aus-8-Code $S_7, S_6, \dots, S_1, S_0$;
- eine mit der Decodiervorrichtung gekoppelte Logikvorrichtung, die durch das genannte Steuerbit gesteuert wird und die Variablen zur Verfügung stellt:

$$a = \overline{S_0} + A$$

$$b = \overline{S_0} (\overline{S_1} + A)$$

$$S_0 = S_0 \cdot A$$

$$S_1 = S_0 \cdot \overline{A} + S_1;$$

das Codewort S_7, \dots, S_1, S_0 , das einen veränderten Segmentcode bildet, hat einen Dezimalwert K' ;

- eine Vorrichtung zur Modifizierung des genannten Schrittcodes L durch die genannten Variablen a und b , so daß ein veränderter Schrittcode gebildet wird

$$L + a \cdot 2^4 + b \cdot 2^{-1} ;$$

- eine Multipliziervorrichtung, die mit einer Modifiziereinrichtung zum Multiplizieren des genannten veränderten Schrittcodes mit $2^{K'}$ gekoppelt ist, um das Produkt zu bilden

$$(L + a \cdot 2^4 + b \cdot 2^{-1}) \cdot 2^{K'} ;$$

- und eine Addiervorrichtung, die mit der genannten Multipliziervorrichtung gekoppelt ist und durch das genannte Steuerbit gesteuert wird, um die genannte Variable c zu dem genannten Produkt zu addieren, so daß das genannte Ausgangswort J gebildet wird.

Der Umsetzer ermöglicht es somit, eine Umsetzung entweder gemäß dem A-Gesetz oder gemäß dem μ -Gesetz unter Steuerung des wählbaren Steuerbits und durch die Verwendung einer relativ einfachen logischen Vorrichtung durchzuführen.

Der PCM-Umsetzer ist weiter dadurch gekennzeichnet, daß die genannte Modifiziervorrichtung ein sechsstufiges erstes Schieberegister zur Speicherung der Variable a, des Schrittcodes L und der Variable b enthält, und daß die genannte Multipliziervorrichtung ein achtstufiges zweites Schieberegister enthält, wobei der Ausgang des genannten ersten Schieberegisters mit den Eingängen der genannten Stufen des genannten zweiten Schieberegisters durch jeweils erste Torvorrichtungen, die durch die jeweiligen Bits S_7, \dots, S_1, S_0 der genannten Bits des veränderten Segmentcodes gesteuert werden, gekoppelt ist, welche auch jeweils zweite Torvorrichtungen steuern, die jeweils mit einer der genannten Stufen ver-

bunden sind und sich immer im jeweils entgegengesetzten Leitfähigkeitszustand befinden als die erste Torvorrichtung, die mit dieser Stufe verbunden ist. Das erfolgt in einer solchen Art und Weise, daß, wenn der genannte Ausgang des genannten ersten Registers mit dem des genannten zweiten Registers durch eine erste Torvorrichtung und eine Anzahl von Stufen, die dem genannten Dezimalwert K' entspricht, gekoppelt ist, diese Stufen von den anderen durch eine zweite Torvorrichtung getrennt sind.

Nur ein anderes charakteristisches Merkmal des vorliegenden Umsetzers besteht darin, daß dieser zur Umsetzung eines linearen PCM-Eingangswortes in ein komprimiertes PCM-Ausgangswort einschließlich eines 3-Bit-Segmentcodes und eines 4-Bit-Schrittcodes durch Bestimmen der Funktionen

$$K = \log_2 \lfloor (J + c) \cdot 2^{-4} \rfloor$$
$$L = (J + c) \cdot 2^{-K'} - d$$

geeignet ist, wobei

J	das Eingangswort
K	der Segmentcode
L	der Schrittcode
c und d	die Variablen

sind.

K' wird auf den genannten Segmentcode bezogen und hängt zusammen mit c und d von dem genannten Steuerbit (A) ab, welches anzeigt, daß das genannte Ausgangswort gemäß dem A- oder μ -Gesetz codiert ist.

Aus diesen Funktionen folgt wieder, daß die auszuführende Operation nach dem A-Gesetz und nach dem μ -Gesetz sehr ähnlich ist und sich nur in Details unterscheidet; infolgedessen ist es möglich, für beide Gesetze denselben Aufbau für den Umsetzer zu verwenden.

Noch ein anderes Merkmal des PCM-Umsetzers besteht darin, daß dieser folgendes umfaßt:

- eine durch das genannte Steuerbit gesteuerte Addiervorrichtung, um die genannte Variable c zu dem genannten Eingangswort J zu addieren, um ein verändertes Eingangswort $J + c$ zu bilden und dieses in ein Schieberegister einzuspeichern;
- eine mit dem Schieberegister gekoppelte Decodiervorrichtung zum Decodieren der 8 höchstwertigen Bits des genannten veränderten Eingangswortes $J + c$ in einen 1-aus-8-Code $S_7, S_6, \dots, S_1, S_0$, aber nur durch Verwenden des aktivierten Bits der höchsten Potenz des genannten veränderten Eingangswortes in der Berechnung;
- eine mit der genannten Decodiervorrichtung gekoppelte Codiervorrichtung zum Codieren des genannten 1-aus-8-Codes in den genannten 3-Bit-Segmentcode K ;
- eine Logik vorrichtung, die mit der genannten Decodiervorrichtung gekoppelt ist und durch das genannte Steuerbit gesteuert wird, und die die Variablen liefert:

$$S_0 = S_0' \cdot A$$

$$S_1 = S_0' \cdot A + S_1'$$

das Codewort hat den Dezimalwert K' ;

- eine Multiplizier- und Addiervorrichtung zum Multiplizieren des veränderten Eingangswortes $J + c$ mit $2^{-K'}$ und Addieren der genannten Variable $-d$ zu diesem Produkt, um so den genannten Schrittcode L zu bilden.

Der Umsetzer ist weiterhin dadurch gekennzeichnet, daß die genannte Multiplizier- und Addiervorrichtung ein 4stufiges zweites Schieberegister enthält, dessen Eingang mit den niedrigstwertigen Stufen K' des genannten ersten Schieberegisters durch jeweilige erste Torvorrichtungen verbunden ist, die durch jeweils eines der genannten Codebits mit dem Dezimalwert K' gesteuert werden, und zwar in einer solchen Art und Weise, daß der Eingang des genannten ersten Schieberegisters mit dem des genannten zweiten Schieberegisters durch eine entsprechende Anzahl von Stufen gekoppelt ist, und daß eine Vorrichtung zum Schieben der Inhalte von vier der genannten höchstwertigen Stufen des genannten ersten Registers in die vier Stufen des genannten zweiten Registers vorgesehen ist, so daß der Schrittcode L gebildet wird.

Die Erfindung betrifft auch eine Schieberegisterzelle mit einem Dateneingang, der an einen Datenausgang durch die Kaskadenverbindung einer Eingangsspeicherschaltung und einer Ausgangsspeicherschaltung gekoppelt ist. Diese Schieberegisterzelle ist dadurch gekennzeichnet, daß sie auch einen zusätzlichen Dateneingang aufweist; der genannte zusätzliche Dateneingang und der Ausgang der genannten ersten Speicherschaltung sind mit dem Eingang der genannten zweiten Speicherschaltung über jeweils erste und zweite Torvorrichtungen mit einem gemeinsamen Steuereingang verbunden, so daß sie sich immer in einem entgegengesetzten Leitfähigkeitszustand befinden.

Die Erfindung betrifft weiterhin auch eine Multiplizier-einrichtung zum Multiplizieren eines in einem ersten Schieberegister gespeicherten Binärwortes mit 2^x , mit $x = \emptyset, \dots, K$, durch Verschieben des genannten Wortes durch x Stufen des genannten Schieberegisters.

Diese Multipliziereinrichtung ist dadurch gekennzeichnet, daß das genannte zweite Schieberegister K Stufen enthält, daß der Ausgang des genannten ersten Schieberegisters mit den K Stufen des genannten zweiten Schieberegisters über K jeweilige erste Torvorrichtungen gekoppelt ist, die durch die jeweiligen Bits eines binären 1-aus- K -Code gesteuert werden, welcher den genannten Dezimalwert x hat, und daß mit jeder der genannten Stufen eine zweite Torvorrichtung verbunden ist, wobei die zweite Torvorrichtung durch die genannten jeweiligen Bits vollständig in einer solchen Art und Weise gesteuert wird, daß, wenn eine erste Torvorrichtung eine Verbindung zwischen dem Ausgang des ersten Schieberegisters und einer Stufe des zweiten Schieberegisters herstellt, die letztere Stufe von den anderen Stufen dieses Schieberegisters durch die damit verbundene zweite Torvorrichtung getrennt wird.

Ausführungsbeispiel

Das oben erwähnte und andere Ziele und Merkmale der Erfindung werden klarer und die Erfindung selbst wird besser verständlich durch Bezugnahme auf die folgende Beschreibung eines Ausführungsbeispiels in Verbindung mit den beige-fügten Zeichnungen. Darin zeigen:

Fig. 1: ein schematisches Blockschaltbild einer Fernmelde-teilnehmerschaltung LC mit einer PCM-Umsetzer-schaltung TC nach der Erfindung;

Fig. 2 und 3: die Teile COLI und LICO dieser Umsetzerschaltung in detaillierter Form;

Fig. 4: eine detaillierte Darstellung einer Registerzelle, die in den Fig. 2 und 3 schematisch gezeigt ist;

Fig. 5: Taktimpulse zur Steuerung des Umsetzers.

Wie in Fig. 1 dargestellt, bildet die Umsetzer- oder Transcoderschaltung TC einen Teil einer Fernsprechteilnehmerschaltung LC, die zwischen einer Fernsprechleitung LI und einem digitalen Schaltnetzwerk SNW eingefügt ist und aus der Kaskadenschaltung einer Teilnehmerleitungsschnittstelle SLIC, die eine Leitungssteuerung und Überwachung ermöglicht, einer digitalen Signalverarbeitungseinheit DSP, die hauptsächlich zur Ausführung analog-digitaler und digital-analoger Umwandlungsoperationen geeignet ist, der oben erwähnten Transcoderschaltung TC und einer dualen Verarbeitungs- und Steuerungseinrichtung DPTC, die für die allgemeine Steuerung der Teilnehmerschaltung bestimmt ist, besteht. Die digitale Signalverarbeitungseinheit verarbeitet nur lineare PCM-Signale, wohingegen die Verarbeitungs- und Steuerungseinrichtung DPTC einzig und allein mit komprimierten PCM-Signalen arbeitet. Der Zweck der Transcoderschaltung TC und insbesondere deren Schaltung COLI ist es deshalb, die von der Verarbeitungs- und Steuerungseinrichtung DPTC empfangenen komprimierten PCM-Signale an ihrem Eingangsanschluß IN1 in lineare PCM-Signale umzucodieren, welche dann zu der digitalen Signalverarbeitungseinheit DSP über den Ausgangsanschluß OUT1 und umgekehrt in die Schaltung LICO für die Signale übertragen werden, die am Eingangsanschluß IN2 von der digitalen Signalverarbeitungseinheit DSP empfangen und über den Ausgangsanschluß OUT2 zur Verarbeitungs- und Steuerungseinrichtung DPTC übertragen werden. Die Trans-

coderschaltung TC ist für acht DSP- und LSIC-Schaltungen gemeinsam vorgesehen, wie dies durch die Mehrfachpfeile angedeutet ist; sie könnte aber ebenso für 32 DPS- und SLIC-Schaltungen verwendet werden. Die in der Transcoderschaltung TC empfangenen und von dort übertragenen Daten bilden einen Teil eines 32-Kanalrahmens, von dem nur 8 Bits effektiv verwendet werden, und in welchem jeder Kanal eine Wiederholungsperiode von 125 Mikrosekunden hat. Die zwischen den Schaltungen TC und DPS ausgetauschten Datenbits haben eine Bitrate von 4,096 kbit/s, und jeder verwendete Kanal enthält ein 16-Bit-PCM-Signal, von dem 13 Bits b1 bis b13 zusammen ein lineares PCM-Signal bilden. Das Bit b1 ist das Kennzeichenbit S und die Bits b2 bis b13 definieren die absolute Größe J des Signals. Das Bit b1 geht zwei identischen Bits voraus und dem Bit b13 folgt ein Bit, das als Rundungsbit benutzt werden kann. Dieses 16-Bit-Muster wird beispielsweise in einer Form empfangen, in der alle Bits invertiert sind und das Zweierkompliment betrachtet wird. Die zwischen den Schaltungen TC und DPTC ausgetauschten Daten haben eine Bitrate von 2,048 kbit/s und jeder benutzte Kanal enthält ein komprimiertes 8-Bit-PCM-Signal, das aus den Bits b1 bis b8 besteht. Dieses PCM-Signal wird gemäß der segmentierten logarithmischen A- oder μ -Kennlinie codiert, wobei jede acht Segmente für jeden der Werte des durch das Bit b1 angezeigten Kennzeichens S enthält. Die drei Bits b2 bis b4 kennzeichnen ein Segment K unter acht möglichen Segmenten K_0 bis K_7 , und die Bits b5 bis b8 kennzeichnen einen Schritt L unter 16 möglichen gleichen Schritten innerhalb des Segments. Gemäß der μ -Kennlinie sind die entsprechenden Werte der Schrittgrößen in den Segmenten K_0 bis K_7 gleich 2^0 bis 2^7 in dieser Reihenfolge, während sie nach der A-Kennlinie gleich 2, 2, 2^2 , ..., 2^7 sind. Das bedeutet, daß die Schrittgröße im Segment K_0 gemäß der A-Kennlinie zweimal der Schrittgröße im Segment K_0 nach der μ -Kennlinie ist. Das

komprimierte PCM-Signal b1 bis b8 wird beispielsweise empfangen von und übertragen zu einer Schaltung DPTC in einer solchen Form, in welcher alle Bits außer dem Kennzeichenbit invertiert sind (μ -Kennlinie) oder in welcher nur die geraden nummerierten Bits invertiert sind (A-Kennlinie).

Im folgenden werden die Fig. 5 und Fig. 2 betrachtet, die die Schaltung COLI des Transcoders TC darstellen, mit der es möglich ist, ein komprimiertes 8-Bit-PCM-Signal oder -Wort in ein lineares 13-Bit-PCM-Signal oder -Wort umzucodieren.

Die Schaltung COLI enthält eine Eingangsschaltung INP1, ein Serien-Parallel-Register SIP01, ein Parallel-Serien-Register PISO, ein Schieberegister SR, eine Segmentdecodierschaltung SDEC1, eine Addierschaltung ADD1, eine Ausgangsschaltung OC1, eine Logikschaltung LOG1, Auffangspeicherschaltungen LC1 bis LC4, eine Torschaltung GC und eine Taktgeberschaltung TC, die Taktimpulse erzeugt, von denen nur die Taktimpulse TP1 bis TP7 erforderlich sind, um die Arbeitsweise der Schaltung COLI zu erläutern, die in Fig. 5 dargestellt sind. Die Auffangspeicherschaltungen LC1, LC2, LC3 und LC4 werden durch die Taktimpulse TP2, TP4, TP3 bzw. TP5 gesteuert, und die Torschaltung GC wird durch den Taktimpuls TP6 gesteuert.

Der Eingang IN1 der Schaltung COLI ist über die Eingangsschaltung INP1 mit dem Eingang des Serien-Parallel-Registers SIP01 verbunden, dessen Ausgänge mit den Eingängen der Auffangspeicherschaltung LC1 gekoppelt sind, die die Ausgänge R1 bis R4 hat. Der Ausgang R1 ist mit der Ausgangsschaltung OC1 über die Auffangspeicherschaltungen LC3 und LC4 verbunden; die Ausgänge R2 bis R4 sind mit den jeweiligen Eingängen der Segmentdecodierschaltung SDEC1 verbunden, und die Ausgänge R1 bis R4 sind darüberhinaus über die Auffang-

speicherschaltung LC2 mit den Dateneingängen 3 der Zellen PC2 bis PC5 des Parallel-Serien-Registers PISO gekoppelt. Die letztere Schaltung enthält sowohl die miteinander verbundenen Zellen PC1 bis PC6 mit den vereinigten Steuereingängen 4, die durch die Taktimpulse TP7 gesteuert werden, als auch die vereinigten Steuereingänge 5, die von den Taktimpulsen TP3 gesteuert werden. Der Ausgang 2 jeder dieser Zellen ist mit dem Eingang 1 der folgenden Zelle verbunden, außer dem Eingang 1 der Zelle PC1, der geerdet ist, und dem Ausgang 2 der Zelle PC6, der mit den verbundenen Dateneingängen 3 der Zellen PC11 bis PC18 des Schieberegisters SR gekoppelt ist. Die letzteren Zellen haben ferner sowohl miteinander verbundene Steuereingänge 4, die durch die Taktimpulse TP1 gesteuert werden, als auch einzelne Steuereingänge 5. Die Segmentdecodierschaltung SDEC1 hat die Ausgänge S \emptyset , S1 und S2 bis S7, von denen die Ausgänge S2 bis S7 über Auffangspeicherschaltungen LC3 und LC4 und Torschaltungen GC in Kaskade mit den zuletzt erwähnten Steuereingängen 5 der Zellen PC13 bis PC18 des Schieberegisters SR gekoppelt sind. Die Ausgänge S' \emptyset und S'1 der Segmentdecodierschaltung SDEC1 sind über die Auffangspeicherschaltung LC3 mit den Eingängen der Logikschaltung LOG1 gekoppelt, die einen weiteren Steuereingang A, und Ausgänge a, b und S1, S \emptyset aufweist. Der Steuereingang A weist auf das A-Gesetz oder das μ -Gesetz hin, wobei dieser dann 0 bzw. 1 ist. Die Ausgänge a und b sind über die Verriegelungsschaltung LC4 mit den Dateneingängen 3 der Zellen PC1 bzw. PC6 des Parallel-Serien-Registers PISO verbunden, während die Ausgänge S \emptyset und S1 über die Auffangspeicherschaltung LC4 und die Torschaltung GC in Reihe mit den Steuereingängen 5 der Zellen PC11 bzw. PC12 des Schieberegisters SR gekoppelt sind. Der Ausgang 2 der Zelle PC11 ist mit der Ausgangsschaltung OC1 über eine Addierschaltung ADD1 gekoppelt, die auch durch den obigen Steuereingang A gesteuert wird.

Jede der Zellen PC1 bis PC6 des Parallel-Serien-Registers PISO ist von der in Fig. 4 dargestellten Art, die nur mit dem Schalter S1 in Betracht zu ziehen sind und zwei identische Eingangs- und Ausgangsschaltungen enthalten. Die Zelleingangsschaltung enthält PMOS-Transistoren PM 1 und PM2 und NMOS-Transistoren NM1 und NM2, deren Source-Drain- und Drain-Source-Strecken zwischen V+ und Erde in Reihe geschaltet sind. Die miteinander verbundenen Gateelektroden der Transistoren PM1 und NM2 und die miteinander verbundenen Drainelektroden der Transistoren PM2 und NM1 bilden den Eingang I bzw. den Ausgang O der Zelleingangsschaltung. Die Gateelektroden der Transistoren NM1 und PM1 werden direkt von dem Zellensteuereingang 4 bzw. über den Inverter INV1 gesteuert. Die Teilkomponenten der Ausgangsschaltung werden durch das gleiche Bezugszeichen wie in der Eingangsschaltung gekennzeichnet, jedoch mit einer Eins. Die Gateelektroden der Transistoren NM'1 und PM'2 werden nun von dem Zellensteuereingang 4 über den Inverter INV1 bzw. direkt gesteuert. Der Eingang I und der Ausgang O' werden mit dem seriellen Dateneingang 1 bzw. mit dem seriellen Datenausgang 2 der Zelle verbunden und ein paralleler Dateneingang 3 ist mit dem vereinigten Ausgang O und Eingang I' der Zelleingangs- und -Ausgangsschaltungen durch einen Schalter S1 gekoppelt. Der letztere enthält den PMOS-Transistor PM3 und den NMOS-Transistor NM3, deren Source- und Drainelektroden mit den Drain- und Sourceelektroden der Transistoren NM3 bzw. PM3 verbunden sind. Die Gateelektroden der Transistoren NM3 und PM3 werden von dem Steuereingang 5 direkt bzw. über einen Inverter INV2 gesteuert. Es ist klar, daß der Schalter S1 geschlossen ist, wenn der Steuereingang 5 aktiviert wird (1).

Jede der Zellen PC11 bzw. PC18 des Schieberegisters SR ist wieder von der in Fig. 4 dargestellten Art, jedoch sind sie

mit beiden Schaltern S1 und S2 zu betrachten. Der Schalter S2 ist wie der Schalter S1 aufgebaut, aber die Transistoren PM4 und NM4 werden nicht direkt vom Steuereingang 5 bzw. über den Inverter INV2 gesteuert, so daß der Schalter 2 dann geschlossen ist, wenn der Steuereingang 5 deaktiviert ist (0).

Eine Zellschaltung PC1/6 des Parallel-Serien-Registers PISO arbeitet wie folgt: Bei Anlegen eintreffender und zu übertragender Daten an den seriellen Eingang 1 wird der Steuereingang 4 abwechselnd aktiviert und deaktiviert und der Steuereingang 5 wird im deaktivierten Zustand gehalten, während bei eintreffenden und zu übertragenden Daten, die an dem anderen Dateneingang 3 anliegen, die Steuereingänge 5 und 4 gleichzeitig aktiviert bzw. deaktiviert werden sollten. Im ersten Fall werden die an den seriellen Dateneingang 1 angelegten Daten in der Zelleneingangsschaltung invertiert und in der Zelle gespeichert, nachdem der Steuereingang 4 aktiviert ist, und dann in der Zellenausgangsschaltung invertiert und zum Zellenausgang 2 übertragen, nachdem der Steuereingang 4 deaktiviert ist. Im zweiten Fall werden die Daten, die am parallelen Dateneingang 3 anliegen, invertiert und zum Zellenausgang übertragen, nachdem die Steuereingänge 5 und 4 aktiviert bzw. deaktiviert sind.

Es ergibt sich folgender Ablauf:

- wenn der Steuereingang 4 der Zellschaltung aktiviert ist, werden die Transistoren NM1 und PM2 der Zelleneingangsschaltung leitend, während die Transistoren PM'2 und NM'1 der Zellenausgangsschaltung gesperrt sind. Daher sind die Drainelektroden der Transistoren PM1 und NM2 mit dem Ausgang 0 verbunden, so daß die Zelleneingangsschaltung für die an ihrem Eingang I oder 1 angelegten Daten als Inverter wirkt;

- wenn der Steuereingang 4 deaktiviert ist, sind die obigen Rollen der Ein- und Ausgangsschaltungen umgekehrt;
- wenn die Steuerungseingänge 5 und 4 gleichzeitig aktiviert bzw. deaktiviert sind, werden die am Eingang 3 anliegenden Daten über den Schalter S1 an die Zellenausgangsschaltung gelegt, darin invertiert und an den Zellenausgang 2 gelegt.

Eine Zellschaltung PC 11/18 des Schieberegisters SR arbeitet in ähnlicher Weise wie oben beschrieben für eine Zellschaltung PC1/6, aber nun ist die Zelleneingangsschaltung von der Zellenausgangsschaltung durch den Schalter S2 getrennt, wenn der Zeitschalter S1 geschlossen ist und umgekehrt, da diese Schalter von entgegengesetzten Steuersignalen gesteuert werden.

Es läßt sich zeigen, daß ein geeigneter Algorithmus für die Umcodierung eines komprimierten 8-Bit-PCM-Wortes, das die Bits b1 bis b8 mit dem Kennzeichenbit $S = b_1$, dem Segmentcode $K = b_2b_3b_4$ und dem Schrittcode $L = b_5b_6b_7b_8$ enthält, in ein lineares 13-Bit-PCM-Wort J durch

$$J = 2^{K'} (L + a \cdot 2^4 + b \cdot 2^{-1}) + c$$

oder $J = J' + c$

gegeben ist.

Darin bedeuten:

- $c = 0$ für das A-Gesetz und $c = -16$ für das μ -Gesetz;
- K' ist gleich \emptyset bis 7 für die Segmente $K\emptyset$ bis $K7$, außer für

Segment $K\emptyset$ im A- Gesetz, für das dieser Wert 1 ist anstelle \emptyset ;

- $a = b = 1$ für die Segmente $K2$ bis $K7$ bei beiden Gesetzen und für $K1$ im μ -Gesetz, so daß

$$J' = 2^{K'} (1 + 2^4 + 2^{-1})$$

- $a = 1$ und $b = 0$ für Segment $K\emptyset$ (μ -Gesetz) und $K1$ (A-Gesetz)
 $a = 1$ und $b = 0$, so daß

$$J' = 2^K (L + 2^4)$$

- $a = b = 0$ und $K' = 1$ für Segment $K\emptyset$ (A-Gesetz), so daß

$$J' = 2 \cdot L.$$

Mit der oben beschriebenen Schaltung COLI ist es möglich, diesen Algorithmus in der im folgenden beschriebenen Weise zu berechnen:

Ein komprimiertes PCM-Signal, das an den Eingang IN1 der Schaltung COLI mit dem höchstwertigen Bit (MSB) zuerst gelegt wird, wird möglicherweise in der Eingangsschaltung INP1 umgewandelt, und das resultierende komprimierte 8-Bit-PCM-Signal, bestehend aus den Bits $b1$ bis $b8$ (Fig. 1) und, wie oben erwähnt, S , K und L kennzeichnend, wird in das Serien-Parallel-Register SIP01 seriell eingegeben, wie

zwei aufeinanderfolgende Gruppen von vier Bits b1 bis b4 und b5 bis b8.

Die vier Bits b1 bis b4, die den Vorgang einleiten, werden in der Auffangspeicherschaltung LC1 gemäß der Steuerung durch einen ersten Taktimpuls TP2 (Fig. 5) gespeichert. Das Kennzeichenbit $S = b1$ wird folglich zur Ausgangsschaltung OC1 geführt, wohingegen der 3-Bit-Segmentcode $K = b2b3b4$ an die Segmentdecodieranrichtung SDEC1 gelegt wird, in welcher er in einen 1-aus-8-Segmentcode decodiert wird, der durch die Bits

$S7 S6 S5 S4 S3 S2 S'1 S'0$

gebildet wird und an den in gleicher Weise bezeichneten Ausgängen der Segmentdecodierschaltung SDEC1 zur Verfügung steht. Dieser Code kennzeichnet die Segmente $K0$ bis $K7$ nach der folgenden Tabelle:

	S7	S6	S5	S4	S3	S2	S'1	S'0	Dezimalwert K'
$K0$	0	0	0	0	0	0	0	1	0
$K1$	0	0	0	0	0	0	1	0	1
$K7$	1	0	0	0	0	0	0	0	7

Daher wird jede der Ausgangsleitungen $S'0; S'1, S2 \dots, S7$ der Segmentdecodierschaltung SDEC1 für einen entsprechenden Wert der Segmente $K0, K1, K2, \dots, K7$ aktiviert, und diesen Segmenten werden die Dezimalwerte $K' = 0, 1, 2, \dots, 7$ zugewiesen. Nach dem obigen Algorithmus ist dies jedoch nicht richtig für das Segment $K0$ in der A-Kennlinie, da der Wert von K' dann 1 anstelle 0 sein muß.

Gemäß der Steuerung eines ersten Taktimpulses TP3 werden das Bit b1 und der Ausgangscode S'0, S'1, S2, ... S7 der Segmentdecodierschaltung SDEC1 in der Auffangspeicherschaltung LC3 gespeichert, so daß das Bit b1 und S2 bis S7 an die Auffangspeicherschaltung LC4 gelegt werden, während die Bits S'0/ und S'1 an die Logikschaltung LOG1 geführt werden, die zur Berechnung der obigen Werte a und b des Algorithmus in der Wirkungsweise der benutzten Kennlinie (angedeutet durch A) verwendet werden, und desgleichen zur Berechnung des richtigen Wertes von K' für das Segment K0 in der A-Kennlinie. An den Schaltungsausgängen a, b, S0 und S1 liefert die Schaltung LOG1 die in gleicher Weise bezeichneten Signale

$$a = \overline{S'0} + A$$

$$b = S'0 (\overline{S'1} + A)$$

$$S0 = S'0 \cdot A$$

$$S1 = S'0 \cdot \overline{A} + S'1 ;$$

aus diesen Beziehungen folgt, daß, wenn es durch den obigen Algorithmus notwendig ist,

a = b = 1 für die Segmente K2 bis K7 sowohl in der A- als auch in der μ -Kennlinie ist, gekennzeichnet durch A = 0 bzw. A = 1;

a = 1 und b = 0 für die Segmente K0 (μ -Kennlinie) und K1 (A-Kennlinie) ist;

a = b = 0 für Segment K0 (A-Kennlinie) ist,

so daß sich die oben angegebenen Segmentcodes verändern und die folgenden veränderten Segmentcodes ergeben:

	S7	S6	S5	S4	S3	S2	S1	S0
K0 (μ)	0	0	0	0	0	0	0	1
K0 (A) und K1	0	0	0	0	0	0	1	0
K7	1	0	0	0	0	0	0	0

Folglich wird, wie gefordert, der Dezimalwert $K' = 1$ mit $K0$ in der A-Kennlinie zugewiesen.

Während der oben beschriebenen Vorgänge ist die zweite Bitgruppe $b5b6b7b8$, die den Schrittcode L kennzeichnet, in dem Serien-Parallel-Register SPO1 eingegeben worden. Diese Bits werden in der Auffangspeicherschaltung LC1 gespeichert, und zwar gemäß der Steuerung des dargestellten zweiten Taktimpulses TP2 und danach in der Auffangspeicherschaltung LC2 durch den Taktimpuls TP4 gespeichert. In der Folge werden diese Bits $b5$ bis $b8$ an die Dateneingänge 3 der jeweiligen Zellen PC2 bis PC5 des Parallel-Serien-Registers PISO gelegt.

Durch einen folgenden Taktimpuls TP5 werden sowohl die Bits $b1$, $S0$, $S1$, $S2$ bis $S7$ als auch a , b an den Ausgängen der Schaltungen LC3 und LOG1 in der Auffangspeicherschaltung LC4 gespeichert; als Folge davon wird das Bit $b1$ zur Ausgangsschaltung OC1 geführt, die S-Bits werden an die Torschaltung GC gelegt, und die Bits a und b werden zu den Dateneingängen 3 der Zellen PC1 bzw. PC6 des Parallel-Serien-Registers PISO geführt. Der veränderte Schrittcode, der zu den Bits a , $b5$, $b6$, $b7$, $b8$ gebildet wird, gelangt zum Parallel-Serien-Register PISO gemäß der Steuerung eines zweiten Taktimpulses TP3 und wird darin invertiert und an die Ausgänge der Zellen PC1 bis PC6 übertragen, da der Taktimpuls TP7 dann deaktiviert ist. Daher stehen die Bits \bar{a} , $\bar{b5}$, $\bar{b6}$,

$\overline{b7}$, $\overline{b8}$ und \overline{b} dann an den Ausgängen dieser Zellen zur Verfügung.

Auf diese Weise wird der veränderte Schrittcode

$$L + a \cdot 2^4 + b \cdot 2^{-1}$$

mit den invertierten Bits in die Zellen PC1 bis PC6 eingespeichert, denen die Werte 2^4 bis 2^{-1} zugeordnet werden. Wenn sich aus dem Algorithmus dieser Wert ergibt, muß dieser nun mit $2^{K'}$ multipliziert werden, um den obigen Wert J' zu bilden. Dies wird im folgenden beschrieben.

Durch den oben erwähnten, negativ gerichteten Taktimpuls TP6 werden auch die Bits $S0$, $S1$ und $S2$ bis $S7$ an die Steuereingänge 5 der jeweiligen Zellen PC11 bis PC18 des Schieberegisters SR gelegt, und da sich nur ein einziges dieser Bits im Zustand 1 befindet, schließen bzw. öffnen die Schalter $S1$ und $S2$ nur in den Zellen, an welchen dieses Bit anliegt, und sind in allen anderen Zellen geöffnet bzw. geschlossen. Daher wird zwischen dem Ausgang 2 des Parallel-Serien-Registers PISO und dem Ausgang 2 der Zelle 11 des Schieberegisters SR über eine Anzahl von Zellen mit dem Wert von K' eine Verbindung hergestellt. Beispielsweise sind die Schalter $S1$ und $S2$ für die Segmente $S0$ und $S7$ geschlossen und öffnen sich in den Zellen PC11 und PC18, die mit diesen Segmenten verbunden sind.

Gemäß der Steuerung der sechs Taktimpulse TP7, die am Steuereingang 4 des Parallel-Serien-Registers PISO liegen, und der Taktimpulse TP1, die dem Steuereingang 4 des Schieberegisters SR zugeführt werden, werden die obigen Bits \overline{b} , $\overline{b8}$, $\overline{b7}$, $\overline{b6}$, $\overline{b5}$ und \overline{a} durch die in Reihe miteinander verbundenen Zellen des Parallel-Serien-Registers PISO und des Schieberegisters SR geschoben; eine Inversion erfolgt in der ersten benutzten

Zelle des Schieberegisters SR. Auf diese Weise wird der in dem Parallel-Serien-Register PISO gespeicherte Wert invertiert und mit dem Faktor $2^{K'}$ multipliziert, so daß der obige Binärwert J' am Ausgang des Schieberegisters SR gebildet wird.

Gemäß dem obigen Algorithmus muß entweder ein Wert $c = 0$ für das A-Gesetz oder ein Wert $c = -16$ für das μ -Gesetz zu diesem Wert J' addiert werden, um den gewünschten Wert J zu bilden. Dies erfolgt in der Addierschaltung ADD1, die durch denselben Steuereingang A gesteuert wird wie die Schaltung LOG1. Das Ergebnis J und das Kennzeichenbit S werden dann in der Ausgangsschaltung OC1 kombiniert und nach Möglichkeit umgesetzt, bevor es dem Ausgangsanschluß OUT1 zugeführt wird.

Im folgenden wird auf Fig. 3 Bezug genommen, in der die Schaltung LICO des Transcoders TC dargestellt ist, die es ermöglicht, ein lineares 13-Bit-PCM-Wort in ein komprimiertes 8-Bit-PCM-Wort umzucodieren. Wie auch die Schaltung COLI, so wird auch die Schaltung LICO durch eine Taktgeberschaltung gesteuert, die jedoch nun nicht dargestellt ist, da sie aus der Beschreibung der Wirkungsweise der Schaltung LICO verständlich ist, die später folgt.

Die Schaltung LICO enthält eine Eingangsschaltung INP2, eine 13-Zellen-Schieberegister- und Halteschaltung SRLC, zwei Serien-Parallel-Register SIPO2 und SIPO3, eine Segmentdecodierschaltung SDEC2, eine Codierschaltung ENC, eine Addierschaltung ADD2, eine Logikschaltung LOG2, Halteschaltungen LC5 bis LC7, eine Ausgangsschaltung OC2 und Schalter SWØ bis SW7. Die Zellen des Serien-Parallel-Registers SIPO2 und SIPO3 sind von der in Fig. 4 gezeigten Art, jedoch sind sie

ohne die Schalter S1 und S2 zu betrachten. Ihre Steuer-
eingänge 4 sind verbunden und werden durch Taktimpulse TP
(nicht gezeigt) gesteuert. Die Schalter SW \emptyset bis SW7 sind
den in der Schaltung COLI verwendeten gleich, wie in Fig. 4
dargestellt.

Der Eingang IN2 der Schaltung LICO ist über die Eingangs-
schaltung INP2 mit dem Eingang der Schieberegister- und
Halbschaltung SRLC verbunden, die 13 Zellen enthält und
deren Ausgang über eine Addierschaltung ADD2 mit dem
Eingang 1 des Serien-Parallel-Registers SIPO2 gekoppelt ist.
Ein Ausgang der ersten Zelle der Schieberegister- und
Halteschaltung SRLC ist mit der Ausgangsschaltung OC2 ver-
bunden, und die Addierschaltung ADD2 wird durch den Steuer-
eingang A gesteuert, der derselbe wie in der Schaltung
COLI ist, und deshalb bei 0 für das A-Gesetz und bei 1 für
das μ -Gesetz gilt. Das Serien-Parallel-Register SIPO2 ent-
hält 12 miteinander verbundene Zellen SC1 bis SC12 mit
Ausgängen, die mit den Eingängen der Segmentdecodierschaltung
SDEC2 verbunden sind, deren Ausgänge S' \emptyset , S'1, S2, ..., S7
über die Verriegelungsschaltung LC5 mit dem Decodierer ENC
verbunden sind. Die Ausgänge S' \emptyset und S'1 des Segmentdeco-
dierers SDEC2 sind auch mit den Eingängen der Logikschaltung
LOG2 gekoppelt, die auch einen Steuereingang A und Ausgänge
S \emptyset und S1 aufweist, die mit der Halteschaltung LC5 ver-
bunden sind. Diese Ausgänge S \emptyset bis S7 der Halteschaltung LC5
und auch ihre inversen Ausgänge $\overline{S\emptyset}$ bis $\overline{S7}$ sind mit den
Steuereingängen der Schalter SW \emptyset bis SW7 verbunden. Die
Dateneingänge dieser Schalter sind mit den Ausgängen der
jeweiligen Zellen SC5 bis SC12 des Serien-Parallel-Registers
SIPO2 verbunden, und ihre Dateneingänge sind vereinigt und
mit dem Eingang des Serien-Parallel-Registers SIPO3 ver-
bunden. Die Ausgänge des Serien-Parallel-Registers 3 und

diejenigen der Decodierschaltung ENC sind über die jeweiligen Halteschaltungen LC6 und LC7 mit der Ausgangsschaltung OC2 verbunden, deren Ausgang OUT2 den Ausgang der Schaltung LICO bildet.

Es läßt sich zeigen, daß ein geeigneter Algorithmus für die Umcodierung eines linearen 13-Bit-PCM-Wortes, das die Bits b1 bis b3 enthält, mit dem Kennzeichenbit S = b1 und der Größe J, die durch die Bits b2 bis b13 gekennzeichnet ist, in ein komprimiertes 8-Bit-PCM-Wort mit dem Kennzeichenbit S, dem Segment K und dem Schritt L durch

$$K = \text{Log}_2 \lceil (J + c) \cdot 2^{-47} \rceil$$

und $L = (J + c) \cdot 2^{-K'} - d$,

darin bedeuten

$$c = 0 \text{ für das A-Gesetz}$$

$$c = 16 \text{ für das } \mu\text{-Gesetz}$$

und mit K' gleich \emptyset bis 7 und d = 16 für die Segmente K \emptyset bis K7, außer für Segment K \emptyset in der A-Kennlinie, für die dieser Wert 1 ist anstelle von \emptyset und für die auch d = 0 ist, gegeben ist. Es ist zu vermerken, daß für K ein geringerer Grenzwert berechnet wird.

Die oben beschriebene Schaltung LICO ermöglicht eine Berechnung dieses Algorithmus in der im folgenden beschriebenen Weise.

Ein lineares PCM-Wort, das an den Eingang INP2 der Schaltung

LICO mit dem niedrigstwertigen Bit (LBS) gelegt wird, wird nach Möglichkeit zuerst in der Eingangsschaltung INP2 umgesetzt, und das sich daraus ergebende lineare 13-Bit-PCM-Wort mit den Bits b1 bis b13 (Fig. 1) mit dem Kennzeichenbit $S = b1$ und der Größe $J = b2...b13$ wird in der Halteschaltung SRLC gespeichert. Das Kennzeichenbit $S = b1$ wird an die Ausgangsschaltung OC2 gelegt und die Bits b2 bis b13, die die Größe J kennzeichnen, treffen durch die Taktimpulse TP seriell in dem Serien-Parallel-Register SIPO2 und über die Addierschaltung ADD2 ein, in der $c = 0$ oder $c = 16$ zu dem Wert J addiert werden, in Abhängigkeit von einer erforderlichen Umcodierung in dem A- und μ -Gesetz (wie durch den Steuereingang A angedeutet). Folglich ist das in dem Serien-Parallel-Register SIPO2 gespeicherte Wort das veränderte Eingangswort $J + c$. Wenn das Bit b13 das niedrigstwertige Bit ist und die Wertigkeit 2^0 hat, kennzeichnen die acht Bits b2 bis b9 den Wert $(J + c) \cdot 2^{-4}$, der nun benutzt wird, um

$$K = \text{Log}_2 (J + c) \cdot 2^{-4}$$

zu bestimmen.

Dies erfolgt nur durch die Bestimmung der höchsten Potenz von 2 von $(J + c) \cdot 2^{-4}$. Diese höchste Potenz kennzeichnet die untere Grenze des Segments, wie später noch erklärt wird.

Zu diesem Zweck werden die Eingänge b2 bis b9 der Zellen SC1 bis SC8 des Serien-Parallel-Registers SIPO2 mit einem SegmentdecoderSDEC2 verbunden, der die folgenden binären 8-Bit-Eingangscodes umwandelt:

	b2	b3	b4	b5	b6	b7	b8	b9
1	x	x	x	x	x	x	x	x
∅	1	x	x	x	x	x	x	x
∅	∅	1	x	x	x	x	x	x
∅	∅	∅	1	x	x	x	x	x
∅	∅	∅	∅	1	x	x	x	x
∅	∅	∅	∅	∅	1	x	x	x
∅	∅	∅	∅	∅	∅	1	x	x
∅	∅	∅	∅	∅	∅	∅	1	x
∅	∅	∅	∅	∅	∅	∅	∅	x

wobei x einen willkürlichen Wert aufweist, in die folgenden entsprechenden 1-aus-8-Segmentcodes, die an den in gleicher Weise bezeichneten Ausgängen der Segmentdecodierschaltung SDEC2 zur Verfügung stehen:

	S7	S6	S5	S4	S3	S2	S'1	S'∅)	Dezimalwert K'
K7	1	∅	∅	∅	∅	∅	∅	∅)	7
K6	∅	1	∅	∅	∅	∅	∅	∅)	6
K5	∅	∅	1	∅	∅	∅	∅	∅)	5
K4	∅	∅	∅	1	∅	∅	∅	∅)	4
K3	∅	∅	∅	∅	1	∅	∅	∅)	3
K2	∅	∅	∅	∅	∅	1	∅	∅)	2
K1	∅	∅	∅	∅	∅	∅	1	∅)	1
K∅	∅	∅	∅	∅	∅	∅	∅	1)	∅ .

Die Segmentdecodierschaltung SDEC2 enthält beispielsweise eine Vielzahl getakteter UND-^Tore, die die Boolesche Funktion b_2 ; $\overline{b_2} \cdot b_3$; $\overline{b_2 b_3 b_4}$; ...; $\overline{b_2 b_3 b_4 b_5 b_6 b_7 b_8}$ definieren. Der Ausgang jedes dieser Tore ist mit einer entsprechenden einzelnen Leitung der Ausgangsleitungen S7...S'∅ direkt und über einen Inverter mit den anderen Leitungen verbunden.

Die letzteren Ausgangsleitungen $S'0, S'1, \dots, S7$ der Segmentdecodierschaltung SDEC2 sind mit den jeweiligen Segmenten $K0, K1, \dots, K7$ verbunden, welchen die angezeigten Dezimalwerte K' zugeordnet werden.

Aus der obigen ersten Tabelle folgt, daß die Segmentdecodierschaltung SDEC2 tatsächlich die erste Eins in der Reihe der Bits $b2$ bis $b9$ nachweist, außer für $K0$, und die folgenden binären Werte in dieser Reihe unberücksichtigt läßt. Das bedeutet, daß sie die höchste Potenz von 2 nachweist und nicht die niedrigeren Potenzen von 2 in die Berechnung aufnimmt. Folglich ist jedes der Segmente $K0$ bis $K7$ durch dessen untere Grenze definiert. $K0$ wird nachgewiesen, wenn alle Bits $b2$ bis $b8$ 0 und unabhängig von Bit $b9$ sind; es ist dann sicher, daß es sich um das Segment 0 handelt.

Die obigen Ausgänge $S'0, S'1, \dots, S7$ werden an die Halteschaltung LC5 gelegt und von dort zu der Kodierschaltung ENC, welche die 1-aus-8-Segmentcodes nach der zuletzt angeführten Tabelle in 3-Bit-Segmentcodes umsetzt, die über die Halteschaltung LC7 zur Ausgangsschaltung OC2 geführt werden.

Während der oben beschriebenen Operationen ist der Wert $J + c$ in dem Serien-Parallel-Register SIPO2 einen Schritt nach rechts verschoben worden, so daß die Bits $b2$ bis $b13$ nun an den Ausgängen der jeweiligen Zellen SC1 bis SC12 zur Verfügung stehen.

Der obige Schrittwert

$$L = (J + c) \cdot 2^{-K} - d$$

wird nun bestimmt. Dazu kann der obige Dezimalwert von K' für die Segmente $K\emptyset$ (μ -Kennlinie) und $K2$ bis $K7$ (beide Kennlinien) verwendet werden, jedoch nicht für das Segment $K\emptyset$ (A-Kennlinie), weil in diesem Fall die Schrittgröße gleich derjenigen für das Segment $K1$ ist. Um dies in die Berechnung aufzunehmen, werden die Ausgangssignale $S'\emptyset$ und $S'1$ des Segmentdecodierers SDEC2 zu der Logikschaltung LOG2 geführt, die an ihren Ausgängen $S\emptyset$ und $S1$ die Signale

$$\begin{aligned} S\emptyset &= S'\emptyset A \\ \text{und} \quad S1 &= S'\emptyset \bar{A} + S'1 \end{aligned}$$

liefert.

Die Ausgangssignale $S\emptyset$ bis $S7$ werden zusammen mit den Signalen $\bar{S}\emptyset$ bis $\bar{S}7$ zu den Steuereingängen der Schalter $SW\emptyset$ bis $SW7$ geführt. Folglich wird in Abhängigkeit von dem Dezimalwert von K' , der $\emptyset, 1, \dots, 7$ sein kann, der Ausgang der Zellen $SC12, SC11, \dots, SC5$ mit dem Eingang des Serien-Parallel-Registers SIPO3 gekoppelt. Durch Herausschieben des Inhalts der Zellen nach links aus den zuletzt erwähnten Zellen wird der Wert

$$(J + c) \cdot 2^{-K'}$$

gebildet.

Werden jedoch nur vier Bits in die vier Zellen des Serien-Parallel-Registers SIPO2 geschoben, so werden die folgenden Binärwerte darin gespeichert:

- für K \emptyset (μ -Kennlinie) b10 b11 b12 b13
- für K \emptyset (A-Kennlinie) b 9 b10 b11 b12
- und K1 (A-, μ -Kennlinie)
- .
- .
- .
- .
- für K7 (A-, μ -Kennlinien) b 3 b 4 b 5 b 6 .

Folglich werden jederzeit die vorhergehenden Bits unberücksichtigt gelassen, diese Bits auf \emptyset , ausgenommen das letzte Bit, welches sich für die Segmente K \emptyset (μ -Kennlinie) und K1 bis K7 (beide Kennlinien) auf 1 befindet, und auf \emptyset für das Segment K \emptyset (A-Kennlinie). Mit anderen Worten, die Bits b9 (K \emptyset , μ -Kennlinie) und b8 (K1, beide Kennlinien) bis b3 (K7, beide Kennlinien) sind 1, während b8 = 0 ist (K \emptyset , A-Kennlinie). Dadurch, daß diese Bits nicht in die Berechnung einbezogen werden, substrahiert man tatsächlich $1 \cdot 2^4$ oder $0 \cdot 2^4$ von dem im Serien-Parallel-Register SIPO3 gespeicherten wert. Dieser Wert ist daher tatsächlich der 4-Bit-Schrittcode:

$$L = (J + c) 2^{-K'} - 16$$

oder $L = (J + c) 2^{-K'}$

wie gefordert.

Die Inhalte des Serien-Parallel-Registers SIPO3 werden in der Halteschaltung LC6 gespeichert und folglich an die Ausgangsschaltung OC2 gelegt. Darin werden das Kennzeichen, der 3-Bit-Segmentcode und der 4-Bit-Schrittcode seriell an den Ausgang OUT2 gelegt.

Während die Prinzipien der Erfindung oben in Verbindung mit einer spezifischen Vorrichtung beschrieben sind, wird es völlig verständlich sein, daß diese Beschreibung nur für ein Beispiel angegeben ist und keine Begrenzung des Geltungsbereichs der Erfindung bedeutet.

Erfindungsanspruch

1. Pulscodemodulations-(PCM)Umsetzer zur Umsetzung eines PCM-Eingangswortes in ein PCM-Ausgangswort, wobei eines der genannten Worte gemäß einem verdichteten Code und das andere in einem linearen Code vorliegt, gekennzeichnet dadurch, daß der Umsetzer dazu geeignet ist, die binären Bits des Eingangswortes in diejenigen des Ausgangswortes entweder nach dem A-Gesetz oder nach dem μ -Gesetz umzuwandeln, sofern der binäre Wert eines wählbaren Steuerbits (A) gegeben ist, welcher die digitalen Werte mehrerer Parameter (a, b, c, K'; c, d, K') des Umsetzers bestimmt.
2. PCM-Umsetzer nach Punkt 1, gekennzeichnet dadurch, daß dieser dazu geeignet ist, ein verdichtetes PCM-Eingangswort, das einen 3-Bit-Segmentcode und einen 4-Bit-Schrittcode enthält, in ein lineares PCM-Ausgangswort durch Bestimmung der Funktion

$$J = (L + a \cdot 2^4 + b \cdot 2^{-1}) \cdot 2^{K'} + c$$

umzusetzen,

wobei	J	Ausgangswort
	L	Schrittcode
	a, b, c	Variable bedeuten;
	K	wird auf den genannten Segmentcode bezogen und ist zusammen mit den Variablen a, b und c von dem genannten Steuerbit (A) abhängig, das anzeigt, daß das genannte Eingangswort nach dem A-Gesetz oder nach dem μ -Gesetz codiert ist.

3. PCM-Umsetzer nach Punkt 2, gekennzeichnet dadurch, daß dieser folgendes enthält:

- eine Decodiervorrichtung (SDEC1) zur Decodierung des genannten 3-Bit-Segmentcodes in einen 1-aus-8-Code $S_7, S_6, \dots, S_1, S_0$;
- eine mit der genannten Decodiervorrichtung (SDEC1) gekoppelte Logikvorrichtung (LOG1), die durch das genannte Steuerbit (A) gesteuert wird und die Variablen zur Verfügung stellt;

$$a = \overline{S_0} + A$$

$$b = \overline{S_0} (S_1 + A)$$

$$S_0 = S_0 \cdot A$$

$$S_1 = S_0 \cdot \bar{A} + S_1,$$

das Codewort S_7, \dots, S_1, S_0 , das einen veränderten Segmentcode bildet, hat einen Dezimalwert K' ;

- eine Vorrichtung (SIPO) zur Modifizierung des genannten Schrittcodes L durch die genannten Variablen a und b, so daß ein veränderter Schrittcode gebildet wird

$$L + a \cdot 2^4 + b \cdot 2^{-1};$$

- eine Multipliziervorrichtung, die mit einer Modifiziereinrichtung zum Multiplizieren des genannten veränderten Schrittcodes mit $2^{K'}$ gekoppelt ist, um so das Produkt zu bilden $(L + a \cdot 2^4 + b \cdot 2^{-1}) \cdot 2^{K'}$;
- und eine Addiervorrichtung (ADD1), die mit der genannten Multipliziervorrichtung gekoppelt ist und durch das genannte Steuerbit (A) gesteuert wird, um die genannte

Variable c zu dem genannten Produkt zu addieren, so daß das Ausgangswort J gebildet wird.

4. PCM-Umsetzer nach Punkt 3, gekennzeichnet dadurch, daß die genannte Modifiziervorrichtung ein sechsstufiges erstes Schieberegister (PISO) zur Speicherung der Variable a , des Schrittcodes L und der Variable b enthält, und daß die genannte Multipliziervorrichtung ein achtstufiges zweites Schieberegister (SR) enthält, wobei der Ausgang des genannten ersten Schieberegisters (PISO) mit den Eingängen der genannten Stufen des genannten zweiten Schieberegisters (SR) durch jeweils erste Torvorrichtungen (S_1), die durch die jeweiligen Bits S_7, \dots, S_1, S_0 der genannten Bits des veränderten Segmentcodes gesteuert werden, gekoppelt ist, welche auch jeweils zweite Torvorrichtungen (S_2) steuern, die jeweils mit einer der genannten Stufen verbunden sind und sich immer im jeweils entgegengesetzten Leitfähigkeitszustand befinden als die erste Torvorrichtung, die mit dieser Stufe verbunden ist, und daß alles in einer solchen Art und Weise erfolgt, daß, wenn der genannte Ausgang des genannten ersten Registers (PISO) mit dem des genannten zweiten Registers (SR) durch eine erste Torvorrichtung (S_1) und eine Anzahl von Stufen, die dem genannten Dezimalwert K' entspricht, gekoppelt ist, diese Stufen von den anderen durch eine zweite Torvorrichtung (S_2) getrennt sind.
5. PCM-Umsetzer nach Punkt 1, gekennzeichnet dadurch, daß dieser dazu geeignet ist, ein lineares PCM-Eingangswort in ein verdichtetes PCM-Ausgangswort umzusetzen, das einen 3-Bit-Segmentcode und einen 4-Bit-Schrittcode durch Bestimmung der Funktionen

$$K = \text{Log}_2 \lceil (J + c) \cdot 2^{-47} \rceil$$

$$K = (J + c) \cdot 2^{-K'} - d$$

enthält;

darin bedeuten

J	Eingangswort
K	Segmentcode
L	Schrittcode
c, d	Variable
K'	wird auf den genannten Segmentcode bezogen und ist zusammen mit c und d von dem genannten Steuerbit (A) abhängig, und zeigt das genannte Ausgangswort an, das nach dem A- oder μ -Gesetz codiert ist.

6. PCM-Umsetzer nach Punkt 5, gekennzeichnet dadurch, daß dieser aus folgendem besteht:

- einer Addiervorrichtung (ADD2), die durch das genannte Steuerbit (a) gesteuert wird, um die genannte Variable c zu dem genannten Eingangswort J zu addieren und ein verändertes Eingangswort $J + c$ zu bilden und dieses in einem Schieberegister (SIP02) zu speichern;
- einer Decodiervorrichtung (SDEC2), die mit dem genannten Schieberegister zum Decodieren der 8 höchstwertigen Bits des genannten veränderten Eingangswortes $J + c$ in einen 1-aus-8-Code $S_7, S_6, \dots, S_1, S_0$ gekoppelt ist, wobei aber nur das aktivierte Bit der höchsten Potenz des genannten veränderten Eingangswortes in die Berechnung einbezogen ist;

- einer Codiervorrichtung (ENC), die mit der genannten Decodiervorrichtung gekoppelt ist, zur Codierung des genannten 1-aus-8-Codes in den genannten 3-Bit-Segmentcode K;
- einer Logikvorrichtung (LOG2), die mit der genannten Decodiervorrichtung (SDEC2) gekoppelt ist und durch das genannte Steuerbit (a) gesteuert wird, und die die Variablen

$$S_0 = S'0 \cdot A$$

$$S_1 = S'0 \cdot \bar{A} + S'1$$

zur Verfügung stellt; das Codewort S_7, \dots, S_1, S_0 hat den Dezimalwert K' ;

- einer Multiplizier- und Addiervorrichtung zum Multiplizieren des genannten veränderten Eingangswortes $J + c$ mit $2^{-K'}$ und Addieren der genannten Variable $-d$ zu diesem Produkt, so daß der genannte Schrittcode L gebildet wird.
7. PCM-Umsetzer nach Punkt 6, gekennzeichnet dadurch, daß die genannte Multiplizier- und Addiervorrichtung ein 4stufiges zweites Schieberegister (SIPO3) enthält, dessen Eingang mit den niedrigstwertigen Stufen K' des genannten ersten Schieberegisters (SIPO2) durch jeweilige erste Torvorrichtungen (SW7 bis SW0) verbunden ist, die durch jeweils eines der genannten Codebits (S_7 bis S_0) mit dem Dezimalwert K' gesteuert werden, und zwar in einer solchen Art und Weise, daß der Eingang des genannten ersten Schieberegisters (SIPO2) mit dem des genannten zweiten Schieberegisters (SIPO3) durch eine entsprechende Anzahl

von Stufen gekoppelt ist, und daß eine Vorrichtung zum Schieben der Inhalte von vier der genannten höchstwertigen Stufen des genannten ersten Registers in die vier Stufen des genannten zweiten Registers vorgesehen ist, so daß der Schrittcode L gebildet wird.

8. Schieberegisterzelle mit einem Dateneingang, der mit einem Datenausgang durch die Kaskadenschaltung einer Eingangsspeicherschaltung und einer Ausgangsspeicherschaltung gekoppelt ist, gekennzeichnet dadurch, daß es auch einen zusätzlichen Dateneingang aufweist, wobei der genannte zusätzliche Dateneingang und der Ausgang der genannten ersten Speicherschaltung mit dem Eingang der genannten zweiten Speicherschaltung über jeweils erste (S1) und zweite (S2) Torvorrichtungen mit einem gemeinsamen Steuereingang (5) gekoppelt sind, so daß sie sich immer im entgegengesetzten Leitfähigkeitszustand befinden.
9. Schieberegisterzelle nach Punkt 8, gekennzeichnet dadurch, daß die genannten Speicherschaltungen durch einen Inverter gebildet sind, der zwischen den Polen einer Gleichspannungsquelle (V_+ , V') die Reihenschaltung der Source-Drain-Strecken der ersten (PM1) und zweiten (PM2) PMOS-Transistoren und der Drain-Source-Strecken der ersten (NM1) und zweiten (NM2) NMOS-Transistoren enthält, und daß die verbundenen Gateelektroden des genannten ersten PMOS-Transistors (PM1) und des genannten zweiten NMOS-Transistors (NM2) den Invertereingang (I) bilden, und daß die verbundenen Drainelektroden des genannten zweiten PMOS-Transistors (PM2) und des genannten ersten NMOS-Transistors (NM1) den Inverterausgang (O) bilden.

10. Schieberegisterzelle nach Punkt 8, gekennzeichnet dadurch, daß jede der genannten Torvorrichtungen (S_1, S_2) einen PMOS-Transistor enthält, dessen Drain- und Sourceelektroden mit den Source- bzw. Drainelektroden eines NMOS-Transistors verbunden sind und den Dateneingang und Datenausgang der Torvorrichtungen bilden, und dessen Gateelektroden die Steuereingänge der Torvorrichtungen bilden.

11. Multipliziervorrichtung zum Multiplizieren eines in einem ersten Schieberegister gespeicherten Binärwortes mit 2^x , wobei $x = \emptyset, \dots, K$, durch Verschieben des genannten Wortes durch x Stufen eines zweiten Schieberegisters, gekennzeichnet dadurch, daß das genannte zweite Schieberegister (SR) $K(8)$ Stufen enthält, daß der Ausgang des genannten ersten Schieberegisters (PISO) mit K Stufen des genannten zweiten Schieberegisters über K jeweils erste Torvorrichtungen (S_1) gekoppelt ist, die durch die jeweiligen Bits (S_0, \dots, S_7) einer binären 1-aus- K -Codes gesteuert werden, der den genannten Dezimalwert x aufweist, und daß mit jeder der genannten Stufen eine zweite Torvorrichtung (S_2) verbunden ist, und daß die zweite Torvorrichtung durch die genannten jeweiligen Bits (S_0, \dots, S_7) in einer solchen Weise gesteuert wird, daß, wenn eine erste Torvorrichtung (S_1) eine Verbindung zwischen dem Ausgang des ersten Schieberegisters (PISO) und einer Stufe des zweiten Schieberegisters (SR) herstellt, dann die letztere Stufe von den anderen dieses Schieberegisters durch die damit verbundene zweite Torvorrichtung (S_2) getrennt wird.

12. Vorrichtung nach den Punkten 4 oder 11, gekennzeichnet dadurch, daß jede der genannten Stufen des genannten

zweiten Schieberegisters (SR) und die erste und zweite Torvorrichtung, die mit der genannten Stufe verbunden sind, ein Schieberegister nach einem der Punkte 8 bis 10 bilden.

13. Vorrichtung nach den Punkten 4 oder 11, gekennzeichnet dadurch, daß jede der genannten Stufen des genannten ersten Schieberegisters (PISO) durch eine Schieberegisterzelle nach einem der Punkte 8 bis 10 gebildet wird, aber nur mit ersten Torvorrichtungen (S1).

- Hierzu 5 Seiten Zeichnungen -

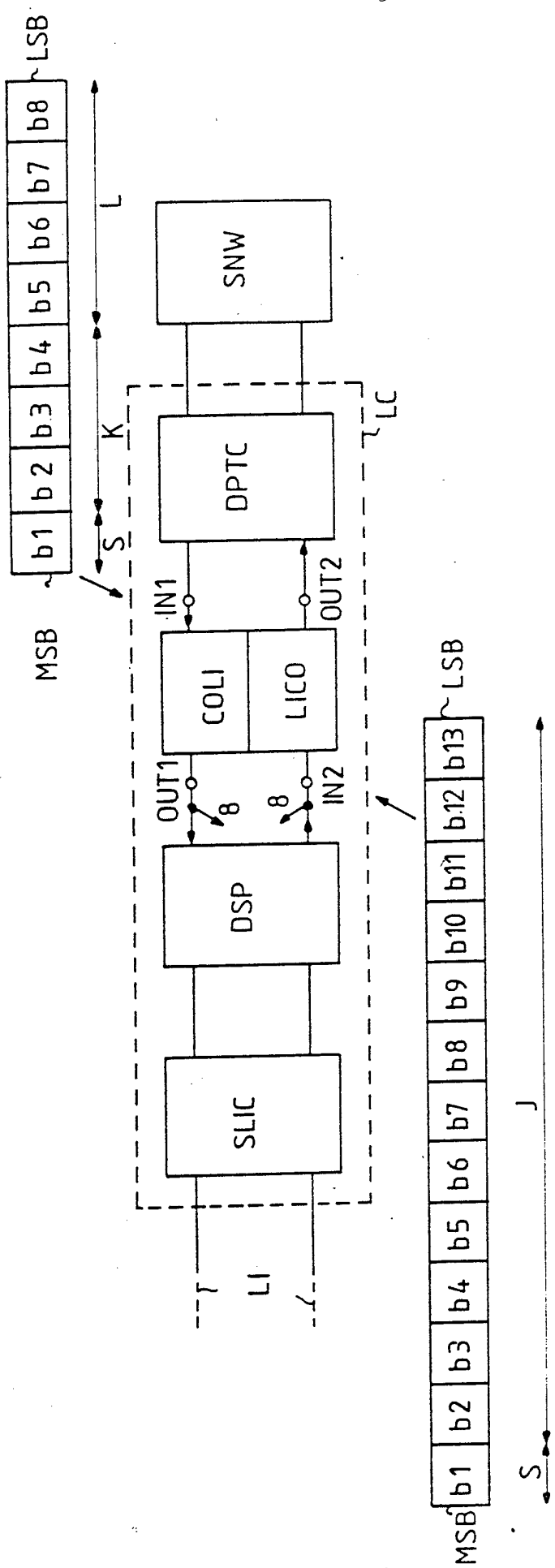
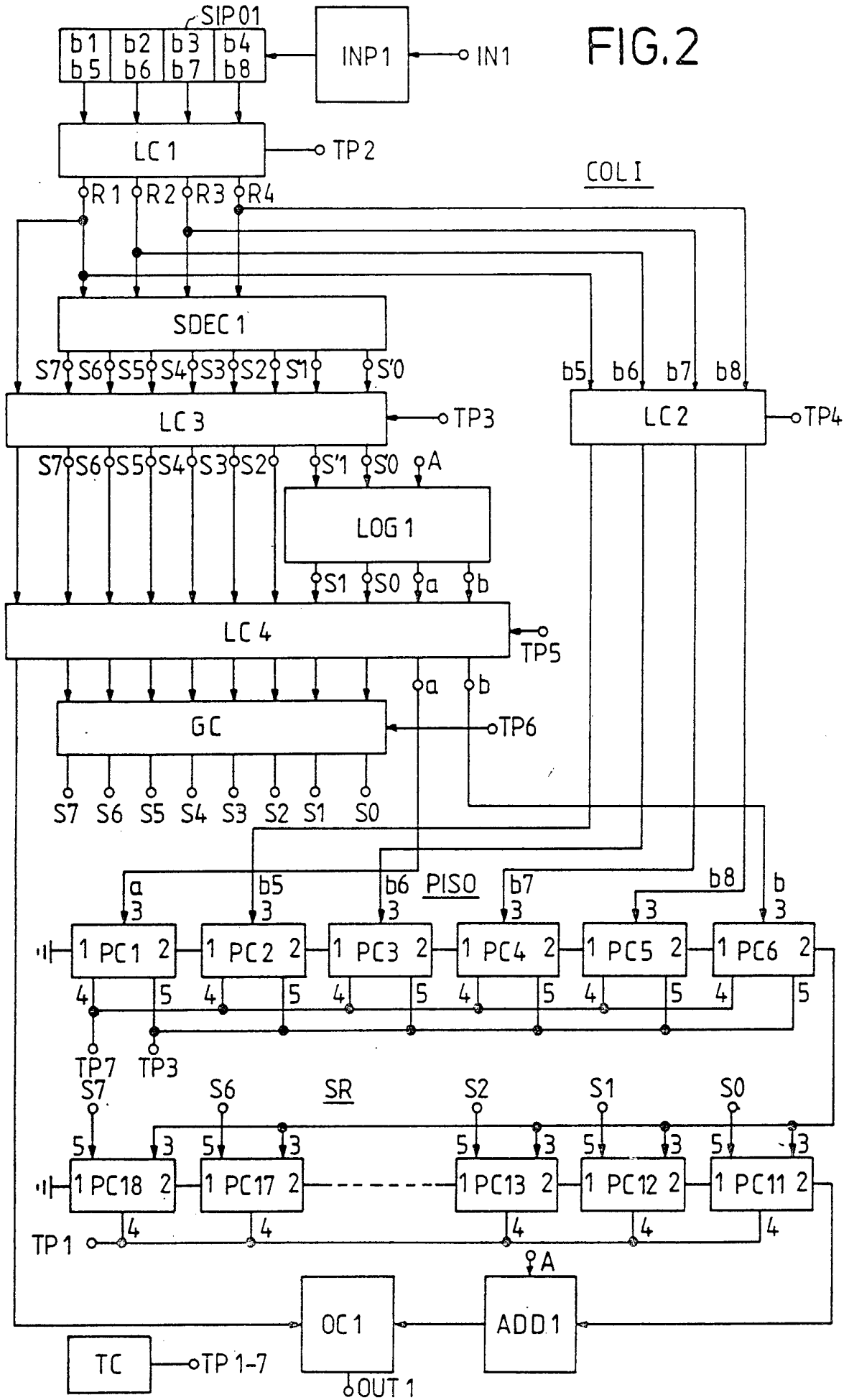


FIG. 1

FIG. 2



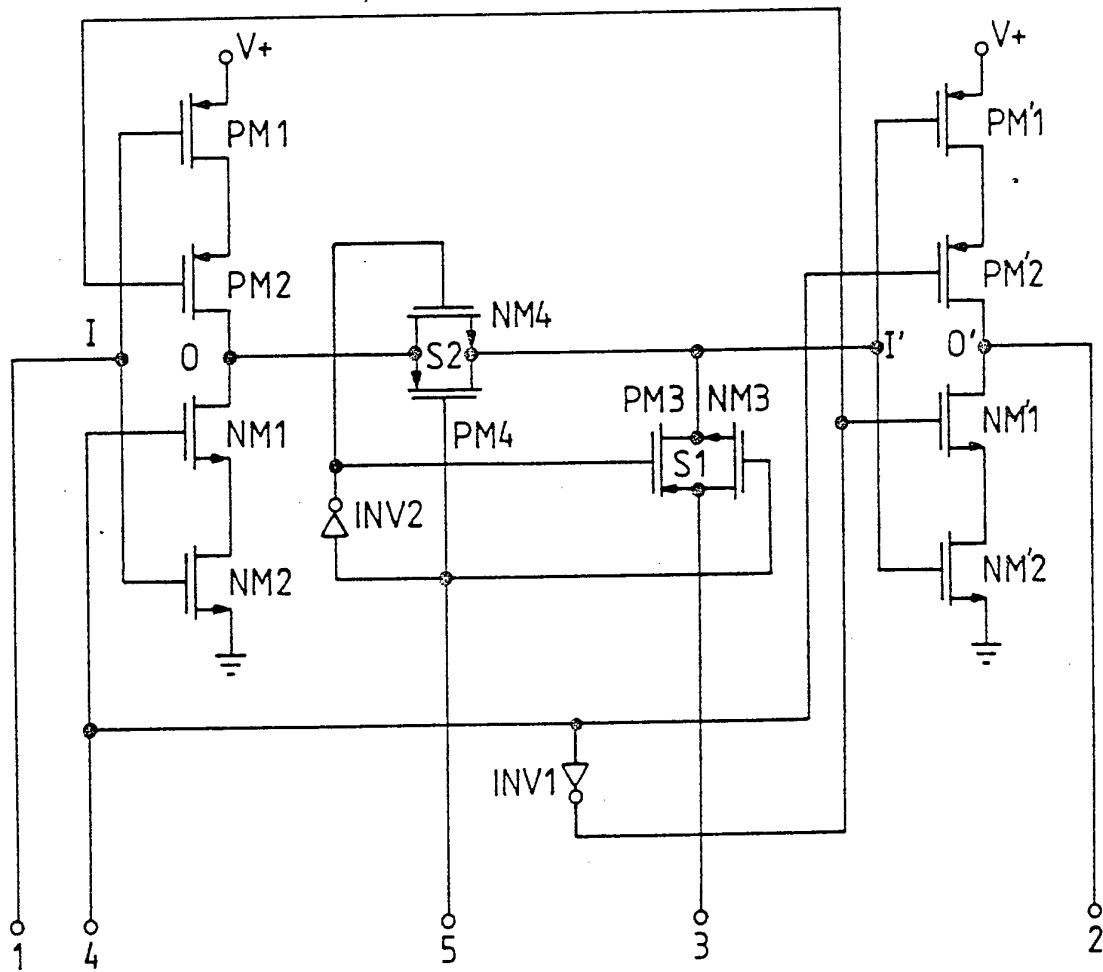


FIG. 4

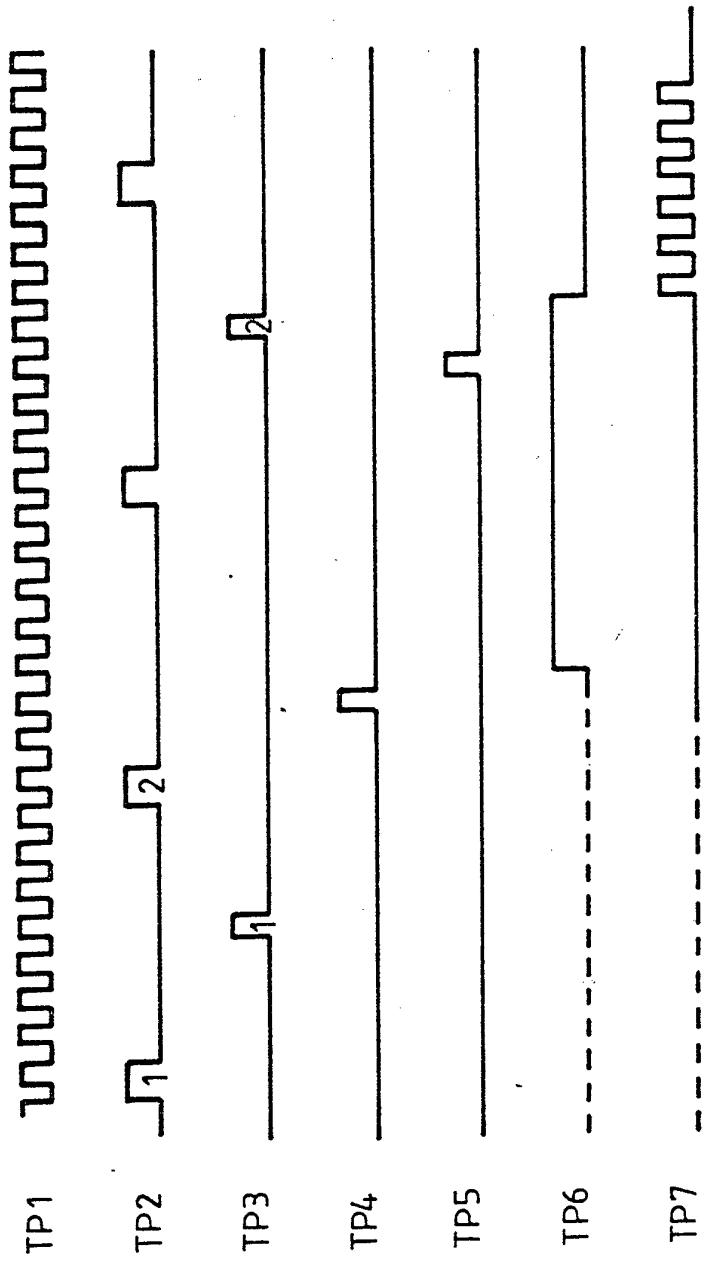


FIG.5