



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년09월15일
(11) 등록번호 10-1778701
(24) 등록일자 2017년09월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)
(21) 출원번호 10-2010-0077362
(22) 출원일자 2010년08월11일
심사청구일자 2015년08월10일
(65) 공개번호 10-2012-0015113
(43) 공개일자 2012년02월21일
(56) 선행기술조사문헌
KR1020100087871 A*
KR1020070095585 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정보용
서울특별시 송파구 오금로44길 20 (가락동)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 45 항

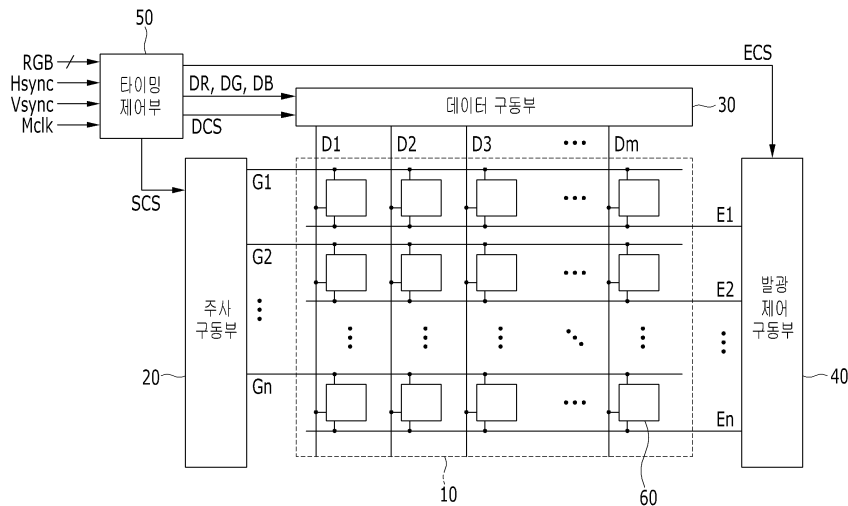
심사관 : 김호진

(54) 발명의 명칭 구동 장치 및 이를 포함하는 표시 장치

(57) 요약

본 발명은 구동 장치 및 이를 포함하는 표시 장치에 관한 것으로, 구체적으로 본 발명의 일 실시 예에 따른 구동 장치는 제1 입력 신호에 의해 구동하여 제1 클럭신호에 따라 제어되는 제1 중간출력신호를 생성하는 제1 구동부; 제2 입력 신호에 의해 구동하여 제2 클럭신호에 따라 제어되는 제2 중간출력신호를 생성하는 제2 구동부; 및 상기 제1 중간출력신호 및 상기 제2 중간출력신호에 의해 구동하고, 상기 제1 클럭신호 및 제2 클럭신호에 따라 제어되는 출력신호를 생성하는 버퍼부를 포함하는 복수의 시프트 레지스터를 포함하고, 상기 버퍼부는, 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 트랜지스터를 턴 오프시키는 제2 레벨의 전압을 전달하는 제2 트랜지스터를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

제1 입력 신호에 의해 구동하여 제1 클럭신호에 따라 제어되는 제1 중간출력신호를 생성하는 제1 구동부;
 제2 입력 신호에 의해 구동하여 제2 클럭신호에 따라 제어되는 제2 중간출력신호를 생성하는 제2 구동부; 및
 상기 제1 중간출력신호 및 상기 제2 중간출력신호에 의해 구동하고, 상기 제1 클럭신호 및 제2 클럭신호에 따라 제어되는 출력신호를 생성하는 버퍼부를 포함하는 복수의 시프트 레지스터를 포함하고,
 상기 버퍼부는, 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 트랜지스터를 턴 오프 시키는 제2 레벨의 전압을 전달하는 제2 트랜지스터;
 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제13 스위치;
 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압을 상기 제2 트랜지스터 및 제15 스위치에 전달하는 제14 스위치;
 상기 전달된 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 출력신호로 전달하는 제15 스위치;
 상기 제2 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터 및 제17 스위치에 전달하는 제16 스위치;
 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제15 스위치에 전달하는 제17 스위치;
 상기 제1 트랜지스터의 게이트 전극에 전달된 전압을 저장하는 제5 커패시터;
 상기 제15 스위치의 게이트 전극에 전달된 전압을 저장하는 제6 커패시터를 포함하고,
 상기 제1 트랜지스터는 상기 제2 레벨의 전압 또는 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 응답하여 스위칭 동작하고, 상기 출력신호로 상기 제1 레벨의 전압을 출력하는 구동 장치.

청구항 2

삭제

청구항 3

제1 입력 신호에 의해 구동하여 제1 클럭신호에 따라 제어되는 제1 중간출력신호를 생성하는 제1 구동부;
 제2 입력 신호에 의해 구동하여 제2 클럭신호에 따라 제어되는 제2 중간출력신호를 생성하는 제2 구동부; 및
 상기 제1 중간출력신호 및 상기 제2 중간출력신호에 의해 구동하고, 상기 제1 클럭신호 및 제2 클럭신호에 따라 제어되는 출력신호를 생성하는 버퍼부를 포함하는 복수의 시프트 레지스터를 포함하고,
 상기 버퍼부는, 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 전달하는 제3 트랜지스터;
 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제13 스위치;
 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압을 제16 스위치 및 제15 스위치에 전달하는 제14 스위치;
 상기 전달된 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 출력신호로 전달하

는 제15 스위치;

상기 제15 스위치에 전달되는 상기 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제16 스위치;

상기 제1 레벨의 전압보다 낮은 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제15 스위치에 전달하는 제17 스위치;

상기 제1 트랜지스터의 게이트 전극에 전달된 전압을 저장하는 제5 커패시터;

상기 제15 스위치의 게이트 전극에 전달된 전압을 저장하는 제6 커패시터를 포함하고,

상기 제1 트랜지스터는 상기 제2 레벨의 전압 또는 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 응답하여 스위칭 동작하고, 상기 출력신호로 상기 제1 레벨의 전압을 출력하고,

상기 제3 트랜지스터는 상기 제2 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터 및 상기 제17 스위치에 전달하는 구동 장치.

청구항 4

제 1항 또는 제 3항에 있어서,

상기 제1 레벨은 저전위의 전원전압에서 인가되는 로우 레벨인 것을 특징으로 하는 구동 장치.

청구항 5

제 1항 또는 제 3항에 있어서,

상기 버퍼부는,

상기 출력신호가 출력되는 출력단에 연결되어 턴 온 될 때 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터; 및

상기 출력단에 연결되어 턴 온 될 때 상기 출력신호로 제2 레벨의 전압을 전달하는 제4 트랜지스터를 포함하는 구동 장치.

청구항 6

제 5항에 있어서,

상기 제2 레벨은 고전위의 전원전압에서 인가되는 하이 레벨인 것을 특징으로 하는 구동 장치.

청구항 7

제 3항에 있어서,

상기 제3 트랜지스터가 전달하는 전압 레벨은 상기 제1 레벨보다 제1 트랜지스터의 문턱 전압의 적어도 2배수만큼 낮은 레벨의 전압인 것을 특징으로 하는 구동 장치.

청구항 8

제 1항 또는 제 3항에 있어서,

상기 출력신호는,

상기 제1 중간출력신호가 게이트 온 전압 레벨일 때 반전된 레벨의 전압으로 출력되고, 상기 제2 중간출력신호가 게이트 온 전압 레벨일 때 해당 레벨의 전압으로 출력되는 구동 장치.

청구항 9

제 1항 또는 제 3항에 있어서,

상기 출력신호의 전압 레벨은, 상기 제1 중간출력신호가 게이트 온 전압 레벨로 상기 버퍼부에 전달될 때 반전되고, 상기 제2 중간출력신호가 게이트 온 전압 레벨로 상기 버퍼부에 전달될 때 재반전되는 것을 특징으로 하

는 구동 장치.

청구항 10

제 1항 또는 제 3항에 있어서,

상기 출력신호는 상기 제1 클럭신호 및 제2 클럭신호의 펄스 폭 또는 주기에 따라 제어되는 것을 특징으로 하는 구동 장치.

청구항 11

제 1항 또는 제 3항에 있어서,

상기 출력 신호의 전압 레벨이 반전되는 시점은,

상기 제1 입력 신호가 게이트 온 전압 레벨로 전달될 때 상기 제1 클럭 신호의 게이트 온 전압 레벨 펄스에 대응하여 제1 중간출력신호가 생성되는 시점에 동기되거나,

상기 제2 입력 신호가 게이트 온 전압 레벨로 전달될 때 상기 제2 클럭 신호의 게이트 온 전압 레벨 펄스에 대응하여 제2 중간출력신호가 생성되는 시점에 동기되는 구동 장치.

청구항 12

제 1항 또는 제 3항에 있어서,

상기 제1 구동부 및 제2 구동부는 각각 적어도 2개의 클럭신호가 전달되고, 상기 2개의 클럭신호는 상호 위상차가 반전된 2상(2 phase) 클럭신호인 것을 특징으로 하는 구동 장치.

청구항 13

제 1항 또는 제 3항에 있어서,

상기 제1 구동부는,

상기 제1 클럭신호와 위상차가 반전된 제1 클럭바신호에 의해 스위칭 동작이 제어되고, 상기 제1 입력 신호의 전압 레벨에 따른 전압을 제1 노드에 전달하는 제1 스위치;

상기 제1 입력 신호에 의해 스위칭 동작이 제어되고, 제1 전원전압을 제2 노드에 전달하는 제2 스위치;

상기 제1 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제1 클럭 신호의 전압 레벨에 따른 전압을 상기 제1 중간출력신호의 전압 레벨로 전달하는 제3 스위치;

상기 제2 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제1 중간출력신호의 전압 레벨로 전달하는 제4 스위치;

상기 제1 노드에 전달된 전압을 저장하는 제1 커패시터; 및

상기 제2 노드에 전달된 전압을 저장하는 제2 커패시터를 포함하는 구동 장치.

청구항 14

제 13항에 있어서,

상기 제1 구동부는,

제1 제어신호에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압보다 낮은 레벨의 제2 전원전압을 상기 제2 노드에 전달하는 제5 스위치를 더 포함하는 구동 장치.

청구항 15

제 14항에 있어서,

상기 제1 구동부는,

상기 제2 노드에 전달된 상기 제2 전원전압에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제1 노

드에 전달하는 적어도 하나의 제6 스위치를 더 포함하는 구동 장치.

청구항 16

제 14항에 있어서,

상기 제1 제어신호는 다음 단의 시프트 레지스터에서 생성된 제1 중간출력신호인 것을 특징으로 하는 구동 장치.

청구항 17

제 1항 또는 제 3항에 있어서,

상기 제2 구동부는,

상기 제2 클럭신호와 위상차가 반전된 제2 클럭바신호에 의해 스위칭 동작이 제어되고, 상기 제2 입력 신호의 전압 레벨에 따른 전압을 제3 노드에 전달하는 제7 스위치;

상기 제2 입력 신호에 의해 스위칭 동작이 제어되고, 제1 전원전압을 제4 노드에 전달하는 제8 스위치;

상기 제3 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제2 클럭 신호의 전압 레벨에 따른 전압을 상기 제2 중간출력신호의 전압 레벨로 전달하는 제9 스위치;

상기 제4 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제2 중간출력신호의 전압 레벨로 전달하는 제10 스위치;

상기 제3 노드에 전달된 전압을 저장하는 제3 커패시터; 및

상기 제4 노드에 전달된 전압을 저장하는 제4 커패시터를 포함하는 구동 장치.

청구항 18

제 17항에 있어서,

상기 제2 구동부는,

제2 제어신호에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압보다 낮은 레벨의 제2 전원전압을 상기 제4 노드에 전달하는 제11 스위치를 더 포함하는 구동 장치.

청구항 19

제 18항에 있어서,

상기 제2 구동부는,

상기 제4 노드에 전달된 상기 제2 전원전압에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제3 노드에 전달하는 적어도 하나의 제12 스위치를 더 포함하는 구동 장치.

청구항 20

제 18항에 있어서,

상기 제2 제어신호는 다음 단의 시프트 레지스터에서 생성된 제2 중간출력신호인 것을 특징으로 하는 구동 장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

제 1항 또는 제 3항에 있어서,

상기 제1 중간출력신호는 해당 단의 다음 단 시프트 레지스터의 제1 입력 신호로 전달되는 구동 장치.

청구항 24

제 1항 또는 제 3항에 있어서,

상기 제2 중간출력신호는 해당 단의 다음 단 시프트 레지스터의 제2 입력 신호로 전달되는 구동 장치.

청구항 25

제 1항에 있어서,

상기 버퍼부는,

제1 구동제어신호에 응답하여 턴 온 될 때 상기 제2 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제1 구동 스위치; 및

상기 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제2 구동 스위치를 더 포함하는 구동 장치.

청구항 26

제 25항에 있어서

상기 제1 구동제어신호가 게이트 온 전압 레벨로 전달되는 기간 동안, 상기 제1 구동 스위치 및 제2 구동 스위치는 턴 온 되어 상기 버퍼부는 상기 제2 레벨의 전압을 출력신호로 생성하는 구동 장치.

청구항 27

제 1항에 있어서,

상기 버퍼부는,

제1 구동제어신호에 응답하여 턴 온 될 때 상기 제2 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제1 구동 스위치;

상기 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제2 구동 스위치;

제2 구동제어신호에 응답하여 턴 온 될 때 상기 제2레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제3 구동 스위치;

상기 제2 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제4 구동 스위치를 더 포함하는 구동 장치.

청구항 28

제 27항에 있어서,

상기 구동 장치의 제1 구동부 및 제2 구동부가 오프된 동안,

상기 제1 구동제어신호가 게이트 온 전압 레벨로 인가되면 상기 제1 구동 스위치 및 제2 구동 스위치가 턴 온 되어 상기 버퍼부는 상기 제2 레벨의 전압을 출력신호로 생성하고,

상기 제2 구동제어신호가 게이트 온 전압 레벨로 인가되면 상기 제3구동 스위치 및 제4 구동 스위치가 턴 온 되어 상기 버퍼부는 상기 제1 레벨의 전압을 출력신호로 생성하는 구동 장치.

청구항 29

제 1항 또는 제 3항에 있어서,

상기 제1 구동부, 상기 제2 구동부, 및 상기 버퍼부를 구성하는 회로 소자는 복수의 트랜지스터이고, 상기 복수

의 트랜지스터는 PMOS 트랜지스터 또는 NMOS 트랜지스터로만 구현되는 것을 특징으로 하는 구동 장치.

청구항 30

복수의 주사 신호가 전달되는 복수의 주사선, 복수의 데이터 신호가 전달되는 복수의 데이터 선, 및 복수의 발광 제어 신호가 전달되는 복수의 발광 제어선에 각각 연결된 복수의 화소를 포함하는 표시부;

상기 복수의 주사선 중 대응하는 주사선에 상기 주사 신호를 생성하여 전달하는 주사 구동부;

상기 복수의 데이터 선에 데이터 신호를 전달하는 데이터 구동부; 및

상기 복수의 발광 제어선 중 대응하는 발광 제어선에 상기 발광 제어 신호를 생성하여 전달하는 발광 제어 구동부를 포함하고,

상기 주사 구동부 또는 상기 발광 제어 구동부는,

제1 입력 신호에 의해 구동하여 제1 클럭신호에 따라 제어되는 제1 중간출력신호를 생성하는 제1 구동부;

제2 입력 신호에 의해 구동하여 제2 클럭신호에 따라 제어되는 제2 중간출력신호를 생성하는 제2 구동부; 및

상기 제1 중간출력신호 및 상기 제2 중간출력신호에 의해 구동하고, 상기 제1 클럭신호 및 제2 클럭신호에 따라 제어되는 출력신호를 생성하는 버퍼부를 포함하는 복수의 시프트 레지스터를 포함하고,

상기 버퍼부는, 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 트랜지스터를 턴 오프 시키는 제2 레벨의 전압을 전달하는 제2 트랜지스터;

상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제13 스위치;

상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압을 상기 제2 트랜지스터 및 제15 스위치에 전달하는 제14 스위치;

상기 전달된 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 출력신호로 전달하는 제15 스위치;

상기 제2 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터 및 제17 스위치에 전달하는 제16 스위치;

상기 제1 레벨의 전압보다 낮은 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제15 스위치에 전달하는 제17 스위치;

상기 제1 트랜지스터의 게이트 전극에 전달된 전압을 저장하는 제5 커패시터;

상기 제15 스위치의 게이트 전극에 전달된 전압을 저장하는 제6 커패시터를 포함하고,

상기 제1 트랜지스터는 상기 제2 레벨의 전압 또는 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 응답하여 스위칭 동작하고, 상기 출력신호로 상기 제1 레벨의 전압을 출력하는 표시 장치.

청구항 31

삭제

청구항 32

복수의 주사 신호가 전달되는 복수의 주사선, 복수의 데이터 신호가 전달되는 복수의 데이터 선, 및 복수의 발광 제어 신호가 전달되는 복수의 발광 제어선에 각각 연결된 복수의 화소를 포함하는 표시부;

상기 복수의 주사선 중 대응하는 주사선에 상기 주사 신호를 생성하여 전달하는 주사 구동부;

상기 복수의 데이터 선에 데이터 신호를 전달하는 데이터 구동부; 및

상기 복수의 발광 제어선 중 대응하는 발광 제어선에 상기 발광 제어 신호를 생성하여 전달하는 발광 제어 구동부를 포함하고,

상기 주사 구동부 또는 상기 발광 제어 구동부는,

제1 입력 신호에 의해 구동하여 제1 클럭신호에 따라 제어되는 제1 중간출력신호를 생성하는 제1 구동부;
 제2 입력 신호에 의해 구동하여 제2 클럭신호에 따라 제어되는 제2 중간출력신호를 생성하는 제2 구동부; 및
 상기 제1 중간출력신호 및 상기 제2 중간출력신호에 의해 구동하고, 상기 제1 클럭신호 및 제2 클럭신호에 따라 제어되는 출력신호를 생성하는 버퍼부를 포함하는 복수의 시프트 레지스터를 포함하고,
 상기 버퍼부는, 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 전달하는 제3 트랜지스터;
 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제13 스위치;
 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압을 제16 스위치 및 제15 스위치에 전달하는 제14 스위치;
 상기 전달된 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 출력신호로 전달하는 제15 스위치;
 상기 제15 스위치에 전달되는 상기 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제16 스위치;
 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제15 스위치에 전달하는 제17 스위치;
 상기 제1 트랜지스터의 게이트 전극에 전달된 전압을 저장하는 제5 커패시터;
 상기 제15 스위치의 게이트 전극에 전달된 전압을 저장하는 제6 커패시터를 포함하고,
 상기 제1 트랜지스터는 상기 제2 레벨의 전압 또는 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 응답하여 스위칭 동작하고, 상기 출력신호로 상기 제1 레벨의 전압을 출력하고,
 상기 제3 트랜지스터는 상기 제2 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터 및 상기 제17 스위치에 전달하는 표시 장치.

청구항 33

제 30항 또는 제 32항에 있어서,
 상기 제1 레벨은 저전위의 전원전압에서 인가되는 로우 레벨인 것을 특징으로 하는 표시 장치.

청구항 34

제 30항 또는 제 32항에 있어서,
 상기 버퍼부는,
 상기 출력신호가 출력되는 출력단에 연결되어 턴 온 될 때 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터; 및
 상기 출력단에 연결되어 턴 온 될 때 상기 출력신호로 제2 레벨의 전압을 전달하는 제4 트랜지스터를 포함하는 표시 장치.

청구항 35

제 34항에 있어서,
 상기 제2 레벨은 고전위의 전원전압에서 인가되는 하이 레벨인 것을 특징으로 하는 표시 장치.

청구항 36

제 32항에 있어서,
 상기 제3 트랜지스터가 전달하는 전압 레벨은 상기 제1 레벨보다 제1 트랜지스터의 문턱 전압의 적어도 2배수만

کم 낮은 레벨의 전압인 것을 특징으로 하는 표시 장치.

청구항 37

제 30항 또는 제 32항에 있어서,

상기 출력신호는,

상기 제1 중간출력신호가 게이트 온 전압 레벨일 때 반전된 레벨의 전압으로 출력되고, 상기 제2 중간출력신호가 게이트 온 전압 레벨일 때 해당 레벨의 전압으로 출력되는 표시 장치.

청구항 38

제 30항 또는 제 32항에 있어서,

상기 출력신호의 전압 레벨은, 상기 제1 중간출력신호가 게이트 온 전압 레벨로 상기 버퍼부에 전달될 때 반전되고, 상기 제2 중간출력신호가 게이트 온 전압 레벨로 상기 버퍼부에 전달될 때 재반전되는 것을 특징으로 하는 표시 장치.

청구항 39

제 30항 또는 제 32항에 있어서,

상기 출력신호는 상기 제1 클럭신호 및 제2 클럭신호의 펄스 폭 또는 주기에 따라 제어되는 것을 특징으로 하는 표시 장치.

청구항 40

제 30항 또는 제 32항에 있어서,

상기 출력 신호의 전압 레벨이 반전되는 시점은,

상기 제1 입력 신호가 게이트 온 전압 레벨로 전달될 때 상기 제1 클럭 신호의 게이트 온 전압 레벨 펄스에 대응하여 제1 중간출력신호가 생성되는 시점에 동기되거나,

상기 제2 입력 신호가 게이트 온 전압 레벨로 전달될 때 상기 제2 클럭 신호의 게이트 온 전압 레벨 펄스에 대응하여 제2 중간출력신호가 생성되는 시점에 동기되는 표시 장치.

청구항 41

제 30항 또는 제 32항에 있어서,

상기 제1 구동부 및 제2 구동부는 각각 적어도 2개의 클럭신호가 전달되고, 상기 2개의 클럭신호는 상호 위상차가 반전된 2상(2 phase) 클럭신호인 것을 특징으로 하는 표시 장치.

청구항 42

제 30항 또는 제 32항에 있어서,

상기 제1 중간출력신호는 해당 단의 다음 단 시프트 레지스터의 제1 입력 신호로 전달되는 표시 장치.

청구항 43

제 30항 또는 제 32항에 있어서,

상기 제2 중간출력신호는 해당 단의 다음 단 시프트 레지스터의 제2 입력 신호로 전달되는 표시 장치.

청구항 44

제 30항에 있어서,

상기 버퍼부는,

제1 구동제어신호에 응답하여 턴 온 될 때 상기 제2 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달

하는 제1 구동 스위치; 및

상기 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제2 구동 스위치를 더 포함하는 표시 장치.

청구항 45

제 44항에 있어서

상기 제1 구동제어신호가 게이트 온 전압 레벨로 전달되는 기간 동안, 상기 제1 구동 스위치 및 제2 구동 스위치는 턴 온 되어 상기 버퍼부는 상기 제2 레벨의 전압을 출력신호로 생성하는 표시 장치.

청구항 46

제 30항에 있어서,

상기 버퍼부는,

제1 구동제어신호에 응답하여 턴 온 될 때 상기 제2 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제1 구동 스위치;

상기 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제2 구동 스위치;

제2 구동제어신호에 응답하여 턴 온 될 때 상기 제2레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제3 구동 스위치;

상기 제2 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제4 구동 스위치를 더 포함하는 표시 장치.

청구항 47

제 46항에 있어서,

상기 표시 장치의 주사 구동부 또는 발광 제어 구동부의 제1 구동부 및 제2 구동부가 오프된 동안,

상기 제1 구동제어신호가 게이트 온 전압 레벨로 인가되면 상기 제1 구동 스위치 및 제2 구동 스위치가 턴 온 되어 상기 버퍼부는 상기 제2 레벨의 전압을 출력신호로 생성하고,

상기 제2 구동제어신호가 게이트 온 전압 레벨로 인가되면 상기 제3구동 스위치 및 제4 구동 스위치가 턴 온 되어 상기 버퍼부는 상기 제1 레벨의 전압을 출력신호로 생성하는 표시 장치.

청구항 48

제 46항에 있어서,

상기 표시 장치의 표시부가 동시 발광 모드인 경우 발광 제어 구동부의 제1 구동부 및 제2 구동부는 오프되고,

상기 제1 구동제어신호가 게이트 온 전압 레벨로 인가되면 복수의 발광 제어 신호는 게이트 오프 전압 레벨로 발생하여 비발광 기간을 개시하고,

상기 제2 구동제어신호가 게이트 온 전압 레벨로 인가되면 복수의 발광 제어 신호는 게이트 온 전압 레벨로 발생하여 발광 기간을 개시하는 것을 특징으로 하는 표시 장치.

청구항 49

제 30항 또는 제 32항에 있어서,

상기 제1 구동부, 상기 제2 구동부, 및 상기 버퍼부를 구성하는 회로 소자는 복수의 트랜지스터이고, 상기 복수의 트랜지스터는 PMOS 트랜지스터 또는 NMOS 트랜지스터로만 구현되는 것을 특징으로 하는 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 구동 장치 및 이를 포함하는 표시 장치에 관한 것으로, 더욱 상세하게는 표시 장치의 순차 발광 구동 방식 및 동시 발광 구동 방식 모두에 적용할 수 있고, 누설 전류가 큰 박막 트랜지스터가 내장된 회로에서도 동작이 가능하여 구동 신호를 생성할 수 있으며, 2상(2 phase) 클럭 신호를 활용하여 인터페이스를 단순하게 구성하는 구동 장치와, 이를 이용한 표시 장치에 관한 것이다.

배경 기술

[0002] 근래에 와서, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 개발되고 있다. 평판 장치로는 액정 표시 장치(Liquid Crystal Display: LCD), 전계 방출 표시 장치(Field Emission Display: FED), 플라즈마 표시 패널(Plasma Display Panel: PDP) 및 유기 발광 표시 장치(Organic Light Emitting Display Device) 등이 있다.

[0003] 평판 표시 장치 중 유기 발광 표시 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로서, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되고 발광효율, 휘도 및 시야각이 뛰어난 장점이 있어 주목 받고 있다.

[0004] 평판 표시 장치는 기판 상에 매트릭스 형태로 복수의 화소를 배치하여 표시 패널을 형성하고, 각 화소에 주사선과 데이터 선을 연결하여 화소에 데이터 신호를 선택적으로 전달하고, 각 화소에 연결된 발광 제어선을 통해 전달되는 발광 제어 신호에 의해 발광을 제어하여 디스플레이 한다.

[0005] 최근 들어 표시 패널의 대형화와 함께 선명한 고화질의 화면 품질이 요구되고 있으며 3차원 입체 영상의 디스플레이가 저변화되고 있는 추세에 따라 화질이 선명하면서도 3D 동영상 디스플레이 구현에 유리한 표시 장치의 구동 회로에 대한 연구 개발이 활발하다.

[0006] 따라서, 다양한 발광 방식의 디스플레이 구현에 적용 가능하고, 내장 회로의 수율을 향상시키면서도 회로 구성이 복잡하지 않도록 인터페이스를 단순화 시킨 구동 장치에 대한 연구 개발이 필요하다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로서, 표시 장치의 동시 또는 순차 발광 방식에 대응하여 선택적으로 다양하게 동작하는 구동 장치를 제공하여 화면 품질을 개선시키고 3차원 입체 영상의 디스플레이의 구현을 우수하게 향상시키는 데 목적이 있다.

[0008] 또한 PMOS 트랜지스터 또는 NMOS 트랜지스터의 단일 모스 공정에 적용될 수 있는 구동 장치의 회로 구조를 개발하고, 누설 전류가 높은 박막 트랜지스터 회로에서도 동작이 가능하여 내장 회로의 수율이 향상되는 구동 장치와 이를 포함하는 표시 장치를 제공하기 위한 것이다.

[0009] 또한 구동 신호의 듀티비 조절이 자유롭고 다양한 타이밍으로 구현되며 오버랩 구동이 가능한 구동 장치를 제공하는데 다른 목적이 있다.

[0010] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 본 발명의 기재로부터 당해 분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0011] 상기 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 구동 장치는, 제1 입력 신호에 의해 구동하여 제1 클럭신호에 따라 제어되는 제1 중간출력신호를 생성하는 제1 구동부; 제2 입력 신호에 의해 구동하여 제2 클럭신호에 따라 제어되는 제2 중간출력신호를 생성하는 제2 구동부; 및 상기 제1 중간출력신호 및 상기 제2 중간출력신호에 의해 구동하고, 상기 제1 클럭신호 및 제2 클럭신호에 따라 제어되는 출력신호를 생성하는 버퍼부를 포함하는 복수의 시프트 레지스터를 포함한다.

[0012] 이때 상기 버퍼부는, 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 트랜지스터를 턴 오프 시키는 제2 레벨의 전압을 전달하는 제2 트랜지스터를 포함한다.

- [0013] 또한 상기 버퍼부는, 상기 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 전달하는 제3 트랜지스터를 더 포함할 수 있다.
- [0014] 본 발명의 다른 실시 예에 따른 구동 장치는, 상기 버퍼부에 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 전달하는 제3 트랜지스터를 포함한다.
- [0015] 본 발명에서 상기 제1 레벨은 저전위의 전원전압에서 인가되는 로우 레벨일 수 있으나 이에 반드시 제한되는 것은 아니며 회로 구성의 소자 유형에 따라 달리 설정될 수 있다.
- [0016] 또한 상기 버퍼부는, 상기 출력신호가 출력되는 출력단에 연결되어 턴 온 될 때 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터; 및 상기 출력단에 연결되어 턴 온 될 때 상기 출력신호로 제2 레벨의 전압을 전달하는 제4 트랜지스터를 더 포함한다.
- [0017] 이때 상기 제2 레벨은 고전위의 전원전압에서 인가되는 하이 레벨일 수 있으나 이에 반드시 제한되는 것은 아니며 회로 구성의 소자 유형에 따라 다를 수 있다.
- [0018] 상기 제3 트랜지스터가 전달하는 전압 레벨은 상기 제1 레벨보다 낮은 전압값을 가지는 것으로 충분하지만, 바람직하게는 제1 트랜지스터의 문턱 전압의 적어도 2배수만큼 낮은 레벨의 전압일 수 있다.
- [0019] 상기 출력신호는, 상기 제1 중간출력신호가 게이트 온 전압 레벨일 때 반전된 레벨의 전압으로 출력되고, 상기 제2 중간출력신호가 게이트 온 전압 레벨일 때 해당 레벨의 전압으로 출력될 수 있다.
- [0020] 또한 상기 출력신호의 전압 레벨은, 상기 제1 중간출력신호가 게이트 온 전압 레벨로 상기 버퍼부에 전달될 때 반전되고, 상기 제2 중간출력신호가 게이트 온 전압 레벨로 상기 버퍼부에 전달될 때 재반전 될 수 있다.
- [0021] 상기 출력신호는 상기 제1 클럭신호 및 제2 클럭신호의 펄스 폭 또는 주기에 따라 제어된다.
- [0022] 상기 출력 신호의 전압 레벨이 반전되는 시점은, 상기 제1 입력 신호가 게이트 온 전압 레벨로 전달될 때 상기 제1 클럭 신호의 게이트 온 전압 레벨 펄스에 대응하여 제1 중간출력신호가 생성되는 시점에 동기되거나, 상기 제2 입력 신호가 게이트 온 전압 레벨로 전달될 때 상기 제2 클럭 신호의 게이트 온 전압 레벨 펄스에 대응하여 제2 중간출력신호가 생성되는 시점에 동기된다.
- [0023] 본 발명에서 상기 제1 구동부 및 제2 구동부는 각각 적어도 2개의 클럭신호가 전달되고, 상기 2개의 클럭신호는 상호 위상차가 반전된 2상(2 phase) 클럭신호일 수 있다.
- [0024] 상기 제1 구동부는, 상기 제1 클럭신호와 위상차가 반전된 제1 클럭바신호에 의해 스위칭 동작이 제어되고, 상기 제1 입력 신호의 전압 레벨에 따른 전압을 제1 노드에 전달하는 제1 스위치; 상기 제1 입력 신호에 의해 스위칭 동작이 제어되고, 제1 전원전압을 제2 노드에 전달하는 제2 스위치; 상기 제1 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제1 클럭 신호의 전압 레벨에 따른 전압을 상기 제1 중간출력신호의 전압 레벨로 전달하는 제3 스위치; 상기 제2 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제1 중간출력신호의 전압 레벨로 전달하는 제4 스위치; 상기 제1 노드에 전달된 전압을 저장하는 제1 커패시터; 및 상기 제2 노드에 전달된 전압을 저장하는 제2 커패시터를 포함한다. 그러나 이러한 구성에 반드시 제한되는 것은 아니며 다양한 회로의 설계 변경이 가능하다.
- [0025] 상기 제1 구동부는, 제1 제어신호에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압보다 낮은 레벨의 제2 전원전압을 상기 제2 노드에 전달하는 제5 스위치를 더 포함할 수 있다.
- [0026] 또한 상기 제1 구동부는, 상기 제2 노드에 전달된 상기 제2 전원전압에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제1 노드에 전달하는 적어도 하나의 제6 스위치를 더 포함할 수 있다.
- [0027] 상기 제1 제어신호는 다음 단의 시프트 레지스터에서 생성된 제1 중간출력신호인 것을 특징으로 한다.
- [0028] 상기 제2 구동부는, 상기 제2 클럭신호와 위상차가 반전된 제2 클럭바신호에 의해 스위칭 동작이 제어되고, 상기 제2 입력 신호의 전압 레벨에 따른 전압을 제3 노드에 전달하는 제7 스위치; 상기 제2 입력 신호에 의해 스위칭 동작이 제어되고, 제1 전원전압을 제4 노드에 전달하는 제8 스위치; 상기 제3 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제2 클럭 신호의 전압 레벨에 따른 전압을 상기 제2 중간출력신호의 전압 레벨로 전달하는 제9 스위치; 상기 제4 노드에 전달된 전압에 대응하여 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제2 중간출력신호의 전압 레벨로 전달하는 제10 스위치; 상기 제3 노드에 전달된 전압을 저장하는 제

3 커패시터; 및 상기 제4 노드에 전달된 전압을 저장하는 제4 커패시터를 포함한다. 그러나 이러한 구성에 반드시 제한되는 것은 아니며 다양한 회로의 설계 변경이 가능하다.

- [0029] 상기 제2 구동부는, 제2 제어신호에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압보다 낮은 레벨의 제2 전원전압을 상기 제4 노드에 전달하는 제11 스위치를 더 포함할 수 있다.
- [0030] 상기 제2 구동부는, 상기 제4 노드에 전달된 상기 제2 전원전압에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제3 노드에 전달하는 적어도 하나의 제12 스위치를 더 포함할 수 있다.
- [0031] 상기 제2 제어신호는 다음 단의 시프트 레지스터에서 생성된 제2 중간출력신호인 것을 특징으로 한다.
- [0032] 상기 버퍼부는, 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제13 스위치; 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압을 상기 제2 트랜지스터 및 제15 스위치에 전달하는 제14 스위치; 상기 전달된 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 출력신호로 전달하는 제15 스위치; 상기 제2 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터 및 제17 스위치에 전달하는 제16 스위치; 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제15 스위치에 전달하는 제17 스위치; 상기 제1 트랜지스터의 게이트 전극에 전달된 전압을 저장하는 제5 커패시터; 상기 제15 스위치의 게이트 전극에 전달된 전압을 저장하는 제6 커패시터를 포함한다. 상기 제1 트랜지스터는 상기 제2 레벨의 전압 또는 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 응답하여 스위칭 동작하고, 상기 출력신호로 상기 제1 레벨의 전압을 출력한다.
- [0033] 상기 버퍼부는, 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제1 트랜지스터에 전달하는 제13 스위치; 상기 제1 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압을 상기 제2 트랜지스터 및 제15 스위치에 전달하는 제14 스위치; 상기 전달된 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 출력신호로 전달하는 제15 스위치; 상기 제15 스위치에 전달되는 상기 제1 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제1 전원전압을 상기 제1 트랜지스터에 전달하는 제16 스위치; 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 의해 스위칭 동작이 제어되고, 상기 제2 레벨의 전압을 상기 제15 스위치에 전달하는 제17 스위치; 상기 제1 트랜지스터의 게이트 전극에 전달된 전압을 저장하는 제5 커패시터; 상기 제15 스위치의 게이트 전극에 전달된 전압을 저장하는 제6 커패시터를 포함한다. 이때 상기 제1 트랜지스터는 상기 제2 레벨의 전압 또는 상기 제1 레벨의 전압보다 낮은 레벨의 전압에 응답하여 스위칭 동작하고, 상기 출력신호로 상기 제1 레벨의 전압을 출력하고, 상기 제3 트랜지스터는 상기 제2 중간출력신호에 의해 스위칭 동작이 제어되고, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터 및 상기 제17 스위치에 전달한다.
- [0034] 상기 제1 중간출력신호는 해당 단의 다음 단 시프트 레지스터의 제1 입력 신호로 전달되고, 상기 제2 중간출력신호는 해당 단의 다음 단 시프트 레지스터의 제2 입력 신호로 전달된다.
- [0035] 상기 버퍼부는, 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제2 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제1 구동 스위치; 및 상기 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제2 구동 스위치를 더 포함할 수 있다.
- [0036] 상기 제1 구동제어신호가 게이트 온 전압 레벨로 전달되는 기간 동안, 상기 제1 구동 스위치 및 제2 구동 스위치는 턴 온 되어 상기 버퍼부는 상기 제2 레벨의 전압을 출력신호로 생성한다.
- [0037] 상기 버퍼부는, 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제2 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제1 구동 스위치; 상기 제1 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제2 구동 스위치; 제2 구동제어신호에 응답하여 턴 온 될 때 상기 제2레벨의 전압을 상기 제2 트랜지스터의 게이트 전극에 전달하는 제3 구동 스위치; 상기 제2 구동제어신호에 응답하여 턴 온 될 때 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 상기 제1 트랜지스터의 게이트 전극에 전달하는 제4 구동 스위치를 더 포함한다.
- [0038] 상기 구동 장치의 제1 구동부 및 제2 구동부가 오프된 동안, 상기 제1 구동제어신호가 게이트 온 전압 레벨로 인가되면 상기 제1 구동 스위치 및 제2 구동 스위치가 턴 온 되어 상기 버퍼부는 상기 제2 레벨의 전압을 출력신호로 생성하고, 상기 제2 구동제어신호가 게이트 온 전압 레벨로 인가되면 상기 제3구동 스위치 및 제4 구동 스위치가 턴 온 되어 상기 버퍼부는 상기 제1 레벨의 전압을 출력신호로 생성할 수 있다.

- [0039] 상기 제1 구동부, 상기 제2 구동부, 및 상기 버퍼부를 구성하는 회로 소자는 복수의 트랜지스터이고, 상기 복수의 트랜지스터는 PMOS 트랜지스터 또는 NMOS 트랜지스터로만 구현될 수 있다.
- [0040] 상기 목적을 달성하기 위한 본 발명의 일 실시 예에 따른 표시 장치는 복수의 주사 신호가 전달되는 복수의 주사선, 복수의 데이터 신호가 전달되는 복수의 데이터 선, 및 복수의 발광 제어 신호가 전달되는 복수의 발광 제어선에 각각 연결된 복수의 화소를 포함하는 표시부; 상기 복수의 주사선 중 대응하는 주사선에 상기 주사 신호를 생성하여 전달하는 주사 구동부; 상기 복수의 데이터 선에 데이터 신호를 전달하는 데이터 구동부; 및 상기 복수의 발광 제어선 중 대응하는 발광 제어선에 상기 발광 제어 신호를 생성하여 전달하는 발광 제어 구동부를 포함한다. 이때 상기 주사 구동부 또는 상기 발광 제어 구동부는, 제1 입력 신호에 의해 구동하여 제1 클럭신호에 따라 제어되는 제1 중간출력신호를 생성하는 제1 구동부; 제2 입력 신호에 의해 구동하여 제2 클럭신호에 따라 제어되는 제2 중간출력신호를 생성하는 제2 구동부; 및 상기 제1 중간출력신호 및 상기 제2 중간출력신호에 의해 구동하고, 상기 제1 클럭신호 및 제2 클럭신호에 따라 제어되는 출력신호를 생성하는 버퍼부를 포함하는 복수의 시프트 레지스터를 포함하여 구성된다.
- [0041] 이때 버퍼부는, 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 트랜지스터를 턴 오프 시키는 제2 레벨의 전압을 전달하는 제2 트랜지스터를 포함한다.
- [0042] 또한 다른 실시 예로서 상기 버퍼부는, 상기 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 전달하는 제3 트랜지스터를 더 포함할 수 있다.
- [0043] 본 발명의 다른 실시 예에 따른 표시 장치는 상기 주사 구동부 또는 상기 발광 제어 구동부를 구성하는 상기 버퍼부에 상기 출력신호로 제1 레벨의 전압을 전달하는 제1 트랜지스터의 게이트 전극에 연결되어, 상기 제1 레벨의 전압보다 낮은 레벨의 전압을 전달하는 제3 트랜지스터가 포함되도록 형성할 수 있다.
- [0044] 본 발명의 표시 장치에 따르면 표시부의 동시 발광 모드 또는 순차 발광 모드에 따라 다양하게 변경될 수 있는 발광 제어 신호를 생성하는 발광 제어 구동부를 제공할 수 있다.

발명의 효과

- [0045] 본 발명에 의하면 구동 장치의 회로 구성과 구동 신호의 타이밍을 제어함으로써, 표시 장치의 발광 방식에 대응하여 선택적으로 다양하게 동작하는 구동 장치를 제공하여 화면 품질을 개선시키고 3차원 입체 영상의 디스플레이의 구현을 우수하게 향상시킨다.
- [0046] 한편, 본 발명의 구동 장치에 따르면, 듀티비(Duty rate) 조절이 자유롭고 다양한 타이밍이 구현될 수 있는 구동 신호를 생성하여 표시 장치를 구동시킬 수 있다. 또한 누설 전류가 높은 박막 트랜지스터 회로에서도 동작이 가능하여 표시 장치 내 구동부의 수율이 향상되고, 2상 클럭 신호만을 이용함으로써, 인터페이스를 단순화시킨 구동 회로를 제공할 수 있다.

도면의 간단한 설명

- [0047] 도 1은 본 발명의 일 실시 예에 의한 표시 장치의 블록도.
- 도 2는 도 1에 도시된 주사 구동부 또는 발광 제어 구동부의 일 실시 예를 개략적으로 나타낸 블록도.
- 도 3은 도 2에 도시된 주사 구동부 또는 발광 제어 구동부의 일 실시 예에 따른 회로도.
- 도 4는 도 3에 도시된 회로도의 구동 타이밍도.
- 도 5는 도 2에 도시된 주사 구동부 또는 발광 제어 구동부의 다른 일 실시 예에 따른 회로도.
- 도 6은 도 5에 도시된 회로도의 구동 타이밍도.
- 도 7 내지 도 8은 도 2에 도시된 주사 구동부 또는 발광 제어 구동부의 또 다른 일 실시 예에 따른 회로도.
- 도 9는 표시 장치의 순차 발광 모드 또는 동시 발광 모드에 따라 도 8에 도시된 발광 제어 구동부가 구동되는 타이밍도.
- 도 10은 본 발명의 일 실시 예에 따른 구동 장치에서 발생된 신호 파형의 개선 과정을 나타내는 시뮬레이션 그래프.

발명을 실시하기 위한 구체적인 내용

- [0048] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시 예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예들에 한정되지 않는다.
- [0049] 또한, 여러 실시 예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시 예에서 설명하고, 그 외의 실시 예에서는 제1 실시 예와 다른 구성에 대해서만 설명하기로 한다.
- [0050] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0051] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0052] 도 1은 본 발명의 일 실시 예에 의한 표시 장치의 블록도이다.
- [0053] 도 1을 참조하면, 도 1에서 표시 장치는 표시부(10), 주사 구동부(20), 데이터 구동부(30), 발광 제어 구동부(40), 및 타이밍 제어부(50)를 포함한다. 본 발명의 표시 장치는 주사 구동부(20) 및 발광 제어 구동부(40)와 같은 본 발명의 일 실시 예에 따른 구동 장치를 포함한다.
- [0054] 본 발명의 표시 장치는 평판 표시 장치로서, 액정 표시 장치, 유기 발광 표시 장치 등 다양한 종류의 디스플레이 장치일 수 있으며 특별히 제한되는 것은 아니다.
- [0055] 본 발명에서 구동 장치는 표시 장치의 동작을 제어하고 소정의 주기를 가지는 펄스인 구동 신호를 생성하여 전달하는 장치를 지칭하며 특별히 주사 구동부 또는 발광 제어 구동부의 장치로 한정되는 것은 아니다.
- [0056] 도 1에서 표시 장치의 표시부(10)의 화소(60) 각각을 선택하여 동작시키는 주사 신호를 생성하여 표시부(10)에 전달하는 주사 구동부(20), 및 화소(60) 각각의 발광 여부를 제어하는 발광 제어 신호를 생성하여 표시부(10)에 전달하는 발광 제어 구동부(40)가 본 발명에 따른 구동 회로를 포함하는 구동 장치이다.
- [0057] 표시부(10)는 복수의 주사선(G1 내지 Gn), 복수의 발광 제어선(E1 내지 En) 및 복수의 데이터 선(D1 내지 Dm) 각각이 교차하는 영역에 복수의 주사선(G1 내지 Gn) 중 대응하는 주사선, 복수의 발광 제어선(E1 내지 En) 중 대응하는 발광 제어선, 및 복수의 데이터 선(D1 내지 Dm) 중 대응하는 데이터 선에 연결된 복수의 화소(60)를 포함한다.
- [0058] 표시부(10)는 대략 행렬 형태로 배열된 복수의 화소(60)를 포함한다. 주사 신호를 전달하는 복수의 주사선과 발광 제어 신호를 전달하는 복수의 발광 제어선은 화소(60)의 배열 형태에서 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 복수의 데이터 선은 대략 열 방향으로 뻗으며 서로가 거의 평행하지만 이는 반드시 제한되는 것은 아니다.
- [0059] 본 발명의 일 실시 예에 따른 표시 장치가 유기 발광 표시 장치인 경우, 표시부(10)에 포함된 복수의 화소(60) 각각은 구동 트랜지스터와 유기 발광 다이오드를 포함한다. 이때 화소(60)는 복수의 주사선(G1 내지 Gn) 중 대응하는 주사선을 통해 전달되는 주사 신호에 의해 표시부(10)에 포함된 복수의 화소 중에서 선택되고, 화소(60)에 포함된 구동 트랜지스터가 복수의 데이터 선(D1 내지 Dm) 중 대응하는 데이터 선을 통해 전달되는 데이터 신호에 따른 데이터 전압을 전달받아 유기 발광 다이오드에 데이터 전압에 따른 전류를 공급하여 소정의 휘도의 빛으로 발광시킨다. 이때 화소(60)의 유기 발광 다이오드의 발광은 복수의 발광 제어선(E1 내지 En) 중 대응하는 발광 제어선을 통해 전달되는 발광 제어 신호에 의해 유기 발광 다이오드로 전류가 흐르는 것이 제어됨에 따라 조절된다.
- [0060] 따라서, 본 발명의 일 실시 예에 따른 구동 장치의 회로 구성과 이를 구동시키는 구동 파형도는 도 1의 주사 구동부(20) 또는 발광 제어 구동부(40)에 적용된다. 구체적인 본 발명의 일 실시 예에 따른 구동 장치는 도 2 이하에서 설명하기로 한다.
- [0061] 한편, 도 1에서 주사 구동부(20)는 복수의 주사선(G1 내지 Gn)과 연결되며 주사 신호를 생성하여 복수의 주사선(G1 내지 Gn) 각각에 전달한다. 주사 신호에 의해 특정한 표시부(10)의 복수의 화소 행 중 소정의 행이 선택되

며, 선택된 행에 위치하는 복수의 화소 각각에 연결된 데이터 선을 통해 데이터 신호가 전달된다.

- [0062] 데이터 구동부(30)는 복수의 데이터 선(D1 내지 Dm)과 연결되며 데이터신호를 생성하여 복수의 데이터 선(D1 내지 Dm) 각각을 통해 표시부(10)의 복수의 화소 행 중 하나의 행에 포함되는 복수의 화소 각각에 데이터 신호를 순차적으로 전달한다.
- [0063] 발광 제어 구동부(40)는 복수의 발광 제어선(E1 내지 En)과 연결되며 발광 제어 신호를 생성하여 복수의 발광 제어선(E1 내지 En) 각각에 전달한다. 발광 제어 구동부(40)는 타이밍 제어부(50)로부터 전달되는 발광 구동 제어 신호에 의해 발광 제어 신호의 펄스 폭을 조절할 수 있다. 또한 발광 제어 구동부(40)는 복수의 화소 행에 포함되는 복수의 화소에 전달되는 발광 제어 신호 각각의 펄스 전압 레벨을 모두 동일하게 조정하거나 혹은 행 별로 순차적으로 변경되도록 조정함으로써 표시부(10)의 발광 방식을 필요에 따라 동시 발광 모드 또는 순차 발광 모드로 다양하게 구현되도록 제어할 수 있다.
- [0064] 발광 제어선(E1 내지 En)과 연결되어 있는 화소(60)는 발광 제어 신호를 전달받아 화소(60)에서 생성된 전류가 유기 발광 다이오드로 흐르도록 하는 시점을 결정한다. 이때, 발광 제어 구동부(40)는 PMOS 트랜지스터 또는 NMOS 트랜지스터로 구현될 수 있으며 표시부(10)가 형성될 때 별도의 공정 없이 기판 상에 형성할 수 있거나 혹은 외부에 별도의 칩 형태로 형성할 수 있다.
- [0065] 타이밍 제어부(50)는 외부로부터 입력되는 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 및 클럭 신호(MCLK)를 이용하여 주사 구동부(20), 데이터 구동부(30), 및 발광 제어 구동부(40)의 구동을 제어하는 구동 제어 신호를 발생한다. 즉, 타이밍 제어부(50)에서 생성된 데이터 구동 제어 신호(DCS)는 데이터 구동부(30)로 공급되고, 주사 구동 제어 신호(SCS)는 주사 구동부(20)로 공급된다. 또한, 발광 제어 구동부(40)에서 생성되는 발광 제어 신호의 출력 파형을 제어하도록 발광 구동 제어 신호(ECS)를 공급한다.
- [0066] 도 2는 도 1에 도시된 주사 구동부 또는 발광 제어 구동부의 일 실시 예를 개략적으로 나타낸 블록도이다. 본 발명의 일 실시 예에 따른 구동 장치를 주사 신호를 생성하는 주사 구동부(20) 또는 발광 제어 신호를 생성하는 발광 제어 구동부(40)에 적용한 것이다. 본 발명의 일 실시 예에 따른 구동 장치는 다양한 표시 장치에서의 동작을 제어하기 위한 구동 신호를 순차적으로 생성하여 전달하는 구성 요소이면 제한되지 않고 적용 가능하다.
- [0067] 도 2의 구동 장치는 도 1의 주사 구동부(20) 또는 발광 제어 구동부(40)에 모두 적용하여 구성할 수 있으므로 이하에서는 구동 장치로 통칭하기로 한다.
- [0068] 도 2에 도시된 구동 장치는 복수 개의 출력선에 연결된 복수 개의 시프트 레지스터(SR)를 포함한다.
- [0069] 복수 개의 시프트 레지스터(SR) 각각은 6개의 입력 단자와 3개의 출력 단자로 구성된다.
- [0070] 도 2의 블록도에는 도시되지 않았으나, 구체적으로 복수 개의 시프트 레지스터(SR) 각각은 입력 신호들이 각각 전달되는 제1 구동부 및 제2 구동부, 및 최종적으로 출력 신호가 발생하는 버퍼부로 구성된다.
- [0071] 상기 회로 구성은 도 3 등에서 후술하기로 한다.
- [0072] 복수 개의 시프트 레지스터(SR) 각각의 6개의 입력 단자는 개시 신호 또는 이전 단의 시프트 레지스터에서 소정의 신호를 입력 받는 제1 입력신호단자(FLMUP), 개시 신호 또는 이전 단의 시프트 레지스터에서 소정의 신호를 입력 받는 제2 입력신호단자(FLMDN), 제1 클럭신호 및 제2 클럭신호를 각각 입력 받는 제1 클럭신호단자(CLK1), 제2 클럭신호단자(CLK2), 다음 단의 시프트 레지스터에서 소정의 신호를 전달 받는 제1 제어신호단자(UPN), 및 다음 단의 시프트 레지스터에서 소정의 신호를 전달 받는 제2 제어신호단자(DNN)를 포함한다.
- [0073] 또한 복수 개의 시프트 레지스터(SR) 각각의 3개의 출력 단자는 소정의 중간 출력 신호를 생성하여 출력하는 제1 중간출력신호단자(UP), 소정의 또 다른 중간 출력 신호를 생성하여 출력하는 제2 중간출력신호단자(DN), 및 최종적인 해당 단의 시프트 레지스터의 출력 신호를 생성하여 전달하는 출력신호단자(OUT)를 포함한다.
- [0074] 구체적으로, 제1 입력신호단자(FLMUP)는 첫 번째 단의 시프트 레지스터(SR1)인 경우 개시 신호(flmup)에 의해 구동된다. 나머지 단의 시프트 레지스터(SR2, SR3, SR4...)의 제1 입력신호단자(FLMUP)는 해당 단의 이전 단의 시프트 레지스터의 제1 중간출력신호단자(UP)로부터 전달된 제1 중간출력신호에 의해 구동된다.
- [0075] 또한 제2 입력신호단자(FLMDN)는 첫 번째 단의 시프트 레지스터(SR1)의 경우 다른 개시 신호(flmdn)에 의해 구동된다. 나머지 단의 시프트 레지스터(SR2, SR3, SR4...)의 제2 입력신호단자(FLMDN)는 해당 단의 이전 단의 시프트 레지스터의 제2 중간출력신호단자(DN)로부터 전달된 제2 중간출력신호에 의해 동작된다.

- [0076] 본 발명의 일 실시 예에 따른 구동 장치에서 복수의 시프트 레지스터 각각의 제1 클럭신호단자(CLK1) 및 제2 클럭신호단자(CLK2)에는 제1 클럭신호 또는 제2 클럭신호가 전달된다. 각 단의 시프트 레지스터의 제1 클럭신호단자(CLK1) 및 제2 클럭신호단자(CLK2)로 1개 단의 시프트 레지스터마다 클럭신호가 순차로 교번하여 전달된다. 즉, 첫 번째 단의 시프트 레지스터(SR1)의 제1 클럭신호단자(CLK1)에는 제1 클럭신호가 전달되고, 제2 클럭신호단자(CLK2)에는 제2 클럭신호가 전달되지만, 다음 두 번째 단의 시프트 레지스터(SR2)의 제1 클럭신호단자(CLK1)에는 제2 클럭신호가 전달되고, 제2 클럭신호단자(CLK2)에는 제1 클럭신호가 전달된다.
- [0077] 이러한 2상(2 phase) 클럭신호가 시프트 레지스터 단마다 전달 패턴을 바꾸어 클럭신호단자에 반복적으로 입력된다.
- [0078] 한편, 각 시프트 레지스터의 제1 제어신호단자(UPN) 및 제2 제어신호단자(DNN)로 해당 단의 다음 단의 시프트 레지스터에서 중간에 출력되는 중간출력신호가 각각 전달된다.
- [0079] 즉, 첫 번째 단의 시프트 레지스터(SR1)의 제1 제어신호단자(UPN)에 다음 단인 두 번째 단의 시프트 레지스터(SR2)의 제1 중간출력신호단자(UP)에서 발생된 제1 중간출력신호가 입력된다. 또한 첫 번째 단의 시프트 레지스터(SR1)의 제2 제어신호단자(DNN)에는 두 번째 단의 시프트 레지스터(SR2)의 제2 중간출력신호단자(DN)에서 발생된 제2 중간출력신호가 입력된다.
- [0080] 이러한 방식으로 본 발명의 구동 장치에 포함된 복수의 시프트 레지스터의 단마다 해당 단의 다음 단에서 발생된 제1 중간출력신호 및 제2 중간출력신호가 각각 상기 해당 단의 제1 제어신호단자(UPN)와 제2 제어신호단자(DNN)에 전달된다.
- [0081] 본 발명의 일 실시 예에 따른 구동 장치의 복수의 시프트 레지스터 각각에 포함된 3개 출력 단자는, 제1 구동부에서 제1 중간출력신호를 생성하여 출력하는 제1 중간출력신호단자(UP), 제2 구동부에서 제2 중간출력신호를 생성하여 출력하는 제2 중간출력신호단자(DN), 및 버퍼부에서 상기 제1 중간출력신호 및 상기 제2 중간출력신호를 전달받아 최종적으로 해당 단의 시프트 레지스터의 출력신호를 생성하고 이를 출력하는 출력신호단자(OUT)로 구성된다.
- [0082] 즉, 첫 번째 단의 시프트 레지스터(SR1)의 경우 상기 설명한 입력 단자들로부터 공급된 신호들에 의해 구동되어 제1 중간출력신호 및 제2 중간출력신호를 생성하고, 최종적으로 첫 번째 단의 시프트 레지스터(SR1)의 출력신호(OUT[1])를 생성하여 출력한다.
- [0083] 이때 중간 과정으로서 제1 중간출력신호가 첫 번째 단의 시프트 레지스터(SR1)의 제1 중간출력신호단자(UP)로부터 다음 단인 두 번째 단의 시프트 레지스터(SR2)의 제1 입력신호단자(FLMUP)에 전달된다. 또한, 제2 중간출력신호가 첫 번째 단의 시프트 레지스터(SR1)의 제2 중간출력신호단자(DN)로부터 두 번째 단의 시프트 레지스터(SR2)의 제2 입력신호단자(FLMDN)에 전달된다.
- [0084] 두 번째 단 이후로부터 각 시프트 레지스터의 제1 중간출력신호단자(UP) 및 제2 중간출력신호단자(DN) 각각에서 생성되는 제1 중간출력신호 및 제2 중간출력신호는 다음 단의 입력신호단자에 전달될 뿐만 아니라, 이전 단의 제1 제어신호단자(UPN) 및 제2 제어신호단자(DNN)에도 각각 전달된다.
- [0085] 도 2에 제시된 구동 장치의 복수의 시프트 레지스터의 블록도는 일 실시 예로서 이러한 구성에 반드시 제한되는 것은 아니다.
- [0086] 도 2를 참조하면 2상의 클럭신호를 이용하여 구동 장치의 인터페이스 구성을 단순화할 수 있다. 또한 비교적 회로 구성이 간단하여 대형 패널에서 요구되는 다양한 타이밍의 구동 신호를 생성할 수 있으며 경제적인 회로 설계를 구현할 수 있다.
- [0087] 도 3은 도 2의 블록도에서 설명된 본 발명의 일 실시 예에 따른 구동 장치에 대한 구체적인 회로도도를 도시한 것이다. 도 3의 회로도도는 구동 장치에서 생성되는 구동 신호의 타이밍 제어에 따라 주사 구동부 또는 발광 제어 구동부 등의 표시 장치 구성에 적용할 수 있다.
- [0088] 도 3의 회로도도는 도 2의 구동 장치의 복수의 시프트 레지스터 중 n번째 시프트 레지스터(SRn)를 도시한 도 3A와 그 다음 단인 n+1 번째 시프트 레지스터(SRn+1)를 도시한 도 3B로 나타내었다.
- [0089] 도 3A에서 n번째 시프트 레지스터(SRn)는 제1 구동부(sub1-SRn)와 제2 구동부(sub2-SRn)를 포함하고, 상기 서브 회로에서 출력된 중간출력신호에 응답하여 최종적으로 n번째 시프트 레지스터의 출력신호(OUT[n])를 생성하는 버퍼부(B-SRn)를 포함한다.

- [0090] 마찬가지로 도 3B에서 n+1번째 시프트 레지스터(SRn+1)는 제1 구동부(sub1-SRn+1)와 제2 구동부(sub2-SRn+1)를 포함하고, 상기 서브 회로에서 출력된 중간출력신호에 응답하여 최종적으로 n+1번째 시프트 레지스터의 출력신호(OUT[n+1])를 생성하는 버퍼부(B-SRn+1)를 포함한다.
- [0091] 도 3A에서 n번째 시프트 레지스터(SRn)의 제1 구동부(sub1-SRn)는 제1 입력신호단자(FLMUP)에서 n-1번째 시프트 레지스터(SRn-1, 도면 미도시)로부터 중간 출력된 제1 중간출력신호를 전달받아 n번째 단의 제1 중간출력신호(UP[n])를 생성한다. 이때 제1 중간출력신호(UP[n])는 n+1번째 시프트 레지스터(SRn+1)의 제1 구동부(sub1-SRn+1)의 제1 입력신호단자(FLMUP)에 전달되고, 동시에 n번째 단의 버퍼부(B-SRn)에 전달된다.
- [0092] 또한 n번째 시프트 레지스터(SRn)의 제2 구동부(sub2-SRn)는 제2 입력신호단자(FLMDN)에서 n-1번째 시프트 레지스터(SRn-1, 도면 미도시)로부터 중간 출력된 제2 중간출력신호를 전달받아 n번째 단의 제2 중간출력신호(DN[n])를 생성한다. 이때 상기 제2 중간출력신호(DN[n])는 n+1번째 시프트 레지스터(SRn+1)의 제2 구동부(sub2-SRn+1)의 제2 입력신호단자(FLMDN)에 전달되고, 동시에 n번째 단의 버퍼부(B-SRn)에 전달된다.
- [0093] n번째 시프트 레지스터(SRn)의 상기 버퍼부(B-SRn)는 제1 중간출력신호(UP[n])와 제2 중간출력신호(DN[n])에 응답하여 구동된 후 최종적으로 n번째 단의 출력신호(OUT[n])를 생성한다.
- [0094] n번째 시프트 레지스터(SRn)의 제1 구동부(sub1-SRn)에서 제1 중간출력신호(UP[n])가 생성되는 과정에서 제1 클럭신호단자(CLK1)에 전달된 제1 클럭신호(c1k)와 제2 클럭신호단자(CLK2)에 전달된 제2 클럭신호(c1kb)를 활용한다. 또한 제1 제어신호단자(UPN)에 전달되는 다음 단 시프트 레지스터(SRn+1)의 제1 중간출력신호(UP[n+1])도 활용된다.
- [0095] 마찬가지로, n번째 시프트 레지스터(SRn)의 제2 구동부(sub2-SRn)에서 제2 중간출력신호(DN[n])가 생성되는 과정에서, 제1 클럭신호단자(CLK1)에 전달된 제1 클럭신호(c1k)와 제2 클럭신호단자(CLK2)에 전달된 제2 클럭신호(c1kb)를 활용한다. 또한 제2 제어신호단자(DNN)에 전달되는 다음 단 시프트 레지스터(SRn+1)의 제2 중간출력신호(DN[n+1])도 활용된다.
- [0096] n번째 시프트 레지스터(SRn)와 연결된 도 3B의 n+1번째 시프트 레지스터(SRn+1)의 회로 구조 역시 n번째 시프트 레지스터(SRn)와 크게 다르지 않는데, 다만 제1 클럭신호단자(CLK1)에 제2 클럭신호(c1kb)가 전달되고, 제 2 클럭신호단자(CLK2)에 제1 클럭신호(c1k)가 전달되는 것이 다르다.
- [0097] 이와 같이 동일한 회로 구조를 가지는 복수의 시프트 레지스터가 클럭신호단자에 입력되는 2상의 클럭신호를 교번하여 전달받아 최종적으로 출력신호를 생성한다.
- [0098] 구체적으로 도 3A의 n번째 시프트 레지스터(SRn)의 회로도를 설명하기로 한다.
- [0099] n번째 시프트 레지스터(SRn)는 트랜지스터 M1 내지 M17, 제1 커패시터(C1) 내지 제8 커패시터(C8)를 포함하는 17T8C 회로일 수 있으나 반드시 이러한 구성에 제한되는 것은 아니다.
- [0100] n번째 시프트 레지스터(SRn)의 제1 구동부에서, 트랜지스터 M1은 고전위의 제1 전원전압(VGH)에 연결된 소스 전극, 트랜지스터 M3의 드레인 전극 및 제1 커패시터(C1)의 일단에 연결된 게이트 전극, 및 중간 출력단에 연결된 드레인 전극을 포함한다.
- [0101] 상기 트랜지스터 M1은 턴 온 될 때 제1 전원전압(VGH)의 고전위 전압값을 제1 중간출력신호단자(UP)의 제1 중간출력신호(UP[n])로 출력한다.
- [0102] 트랜지스터 M2는 제2 커패시터(C2)의 일단 및 타단에 각각 연결된 게이트 전극 및 드레인 전극과 제2 클럭신호단자(CLK2)에 연결된 소스 전극을 포함한다.
- [0103] 상기 트랜지스터 M2는 턴 온 될 때 제2 클럭신호단자(CLK2)를 통해 제2 클럭신호(c1kb)를 전달받아 그 해당 전압값으로 제1 중간출력신호(UP[n])를 출력한다.
- [0104] 한편, 트랜지스터 M3은 제1 전원전압(VGH)에 연결된 소스 전극, 제1 입력신호단자(FLMUP)에 연결되어 이전 단의 제1 중간출력신호를 전달받는 게이트 전극, 및 상기 트랜지스터 M1의 게이트 전극에 연결된 드레인 전극을 포함한다.
- [0105] 트랜지스터 M4는 제1 클럭신호단자(CLK1)에 연결되어 제1 클럭신호(c1k)를 전달받는 게이트 전극, 제1 입력신호단자(FLMUP)에 연결되어 이전 단의 제1 중간출력신호를 전달받는 소스 전극, 및 트랜지스터 M2의 게이트 전극에 연결되어 제1 입력신호단자(FLMUP)의 전극값을 전달하고 이를 제2 커패시터(C2)에 임시 저장하는 드레인 전극을

포함한다.

- [0106] 상기 트랜지스터 M4의 게이트 전극 및 트랜지스터 M2의 소스 전극에 제1 클럭신호단자(CLK) 및 제2 클럭신호단자(CLK2)를 연결하고, 상술한 바와 같이 클럭신호를 입력하지만 반드시 이러한 실시 예에 한정되지 않고 클럭신호단자의 구성과 해당 클럭신호단자에 전달되는 클럭신호의 종류를 다양하게 구성하여 설계할 수 있다.
- [0107] 트랜지스터 M5는 저전위의 제2 전원전압(VGL1)에 연결된 소스 전극, 다음 단의 시프트 레지스터(SRn+1)의 제1 중간출력신호(UP[n+1])를 전달받는 제1 제어신호단자(UPN)에 연결된 게이트 전극, 및 트랜지스터 M1의 게이트 전극에 연결된 소스 전극을 포함한다.
- [0108] 한편, n번째 시프트 레지스터(SRn)의 제2 구동부(sub2-SRn)는 상술한 제1 구동부와 그 구성이 유사한데, 트랜지스터 M1 내지 M5는 트랜지스터 M6 내지 M10에 대응하고, 제1 커패시터(C1) 및 제2 커패시터(C2)는 각각 제3 커패시터(C3) 및 제4 커패시터(C4)에 대응한다.
- [0109] 경우에 따라서 n번째 시프트 레지스터(SRn)의 제1 구동부 또는 제2 구동부는 중간 출력단과 제1 전원전압(VGH) 사이에 소정의 제5 커패시터(C5) 또는 제6 커패시터(C6)를 더 포함할 수 있다.
- [0110] n번째 시프트 레지스터(SRn)의 버퍼부(B-SRn)는 제1 구동부(sub1-SRn)에서 전달되는 제1 중간출력신호(UP[n]) 또는 제2 구동부(sub2-SRn)에서 전달되는 제2 중간출력신호(DN[n])에 대응하여 출력신호(OUT[n])를 생성한다.
- [0111] 상기 버퍼부(B-SRn)는 트랜지스터 M11 내지 M17과 제7 커패시터(C7) 및 제8 커패시터(C8)를 더 포함한다.
- [0112] 트랜지스터 M11은 제1 중간출력신호단자(UP)에 연결되어 제1 중간출력신호(UP[n])를 전달받는 게이트 전극, 고전위의 제1 전원전압(VGH)에 연결된 소스 전극, 및 트랜지스터 M16의 게이트 전극에 연결된 드레인 전극을 포함한다.
- [0113] 트랜지스터 M12는 제1 중간출력신호단자(UP)에 연결되어 제1 중간출력신호(UP[n])를 전달받는 게이트 전극, 저전위의 제2 전원전압(VGL1)에 연결된 소스 전극, 및 트랜지스터 M15의 게이트 전극에 연결된 드레인 전극을 포함한다.
- [0114] 트랜지스터 M13은 제2 중간출력신호단자(DN)에 연결되어 제2 중간출력신호(DN[n])를 전달받는 게이트 전극, 상기 제2 전원전압(VGL1)보다 더 낮은 전압의 제3 전원전압(VGL2)에 연결된 소스 전극, 및 트랜지스터 M16의 게이트 전극 및 트랜지스터 M14의 게이트 전극에 연결된 드레인 전극을 포함한다.
- [0115] 트랜지스터 M14는 트랜지스터 M13의 드레인 전극에 연결된 게이트 전극, 고전위의 제1 전원전압(VGH)에 연결된 소스 전극, 및 트랜지스터 M15의 게이트 전극에 연결된 드레인 전극을 포함한다.
- [0116] 트랜지스터 M15는 트랜지스터 M14의 드레인 전극 및 트랜지스터 M12의 드레인 전극에 연결된 게이트 전극, 고전위의 제1 전원전압(VGH)에 연결된 소스 전극, 및 출력단자(OUT) 및 트랜지스터 M16의 드레인 전극에 연결된 드레인 전극을 포함한다.
- [0117] 트랜지스터 M16은 트랜지스터 M11의 드레인 전극 및 트랜지스터 M17의 드레인 전극에 연결된 게이트 전극, 저전위의 제2 전원전압(VGL1)에 연결된 소스 전극, 및 출력단자(OUT) 및 트랜지스터 M15의 드레인 전극에 연결된 드레인 전극을 포함한다.
- [0118] 트랜지스터 M17은 트랜지스터 M12의 드레인 전극에 연결된 게이트 전극, 제1 전원전압(VGH)에 연결된 소스 전극, 및 트랜지스터 M16의 게이트 전극에 연결된 드레인 전극을 포함한다.
- [0119] 또한 제7 커패시터(C7)의 일단은 고전위의 제1 전원전압(VGH)에 연결되고, 타단은 트랜지스터 M15 및 M17의 게이트 전극의 공통 노드에 연결된다.
- [0120] 제8 커패시터(C8)는 트랜지스터 M16의 게이트 전극과 드레인 전극 사이를 다이오드 연결하고 트랜지스터 M16에 전달되는 전압을 임시 저장한다.
- [0121] 도 3B에 도시된 n+1번째 시프트 레지스터(SRn+1)의 버퍼부(B-SRn+1) 역시 도 3A와 동일한 구조이므로 자세한 설명은 생략한다.
- [0122] 도 3A에서 제1 구동부(sub1-SRn)의 제1 입력신호(f1mup)와 제1 클럭신호(c1k)가 동기되어 로우 레벨 펄스로 입력되면, 제2 커패시터(C2)가 저전압으로 충전되어 트랜지스터 M2가 턴 온되고, 트랜지스터 M3가 턴 온되어 하이 레벨의 제1 전원전압(VGH)을 트랜지스터 M1에 전달하여 오픈시킨다. 따라서 제2 클럭신호(c1kb)의 전압 레벨이 로우가 되면 제1 중간출력신호(UP[n])가 로우 레벨이 되고, 그 후에 제2 클럭신호(c1kb)의 전압 레벨이 하이

되면 제2 커패시터(C2)가 방전되어 제2 클럭신호(c1kb)의 영향없이 하이 레벨로 출력된다. 그 후 다음 과정에서 트랜지스터 M1이 턴 온 되면 제1 중간출력신호(UP[n])의 출력은 계속 하이로 유지된다.

- [0123] 마찬가지로 제2 구동부(sub2-SRn)에서 제2 입력신호(f1mdn)와 제1 클럭신호(c1k)가 동기되어 로우 레벨 펄스로 입력되면, 제4 커패시터(C4)가 저전압으로 충전되어 트랜지스터 M7이 턴 온 되고, 트랜지스터 M8이 턴 온 되어 하이 레벨의 제1 전원전압(VGH)을 트랜지스터 M6에 전달하여 오프시킨다. 따라서 제2 클럭신호(c1kb)의 전압 레벨이 로우가 되면 제2 중간출력신호(DN[n])가 로우 레벨이 되고, 그 후에 제2 클럭신호(c1kb)의 전압 레벨이 하이가 되면 제4 커패시터(C4)가 방전되어 제2 클럭신호(c1kb)의 영향없이 하이 레벨로 출력된다. 그 후 다음 과정에서 트랜지스터 M6이 턴 온 되면 제2 중간출력신호(DN[n])의 출력은 계속 하이로 유지된다.
- [0124] 버퍼부(B-SRn)에서는 제1 중간출력신호(UP[n])가 로우 일 때 트랜지스터 M11 및 M12의 턴 온으로 인해, 트랜지스터 M16이 턴 오프되고, 트랜지스터 M15 및 M17이 각각 턴 온 되어, 제1 전원전압(VGH)에 따라 출력신호(OUT[n])를 하이 레벨로 출력하게 된다.
- [0125] 이때 트랜지스터 M17의 턴 온으로 인해 제1 전원전압(VGH)의 고전압이 트랜지스터 M16의 게이트 전극에 추가로 인가됨으로써, 출력신호(OUT[n])가 하이 일 때 트랜지스터 M16의 턴 오프를 장시간 유지시키는 역할을 할 수 있다. 즉, 트랜지스터 M16의 누설 전류(Off current)가 높더라도 트랜지스터 M17에 의해 동작이 가능하여 동작 마진이 증가하고 수율이 향상된다. 본 발명의 구동 회로에 따르면 출력신호의 하이 레벨이 소정의 기간 동안 정확하게 장시간 유지될 수 있다.
- [0126] 한편, 버퍼부(B-SRn)에서 제2 중간출력신호(DN[n])가 로우 일 때, 트랜지스터 M13의 턴 온으로 인해, 트랜지스터 M16의 게이트 전극에 제2 전원전압(VGL1)보다 더 낮은 전압의 제3 전원전압(VGL2)이 인가되어 턴 온 된다. 또한 동시에 트랜지스터 M14가 턴 온 되어 제1 전원전압(VGH)을 트랜지스터 M15의 게이트 전극에 인가하여 턴 오프 시킨다.
- [0127] 따라서 출력신호(OUT[n])는 트랜지스터 M16를 통해 제2 전원전압(VGL1)이 전달되어 로우 레벨로 출력된다.
- [0128] 즉, 구동 장치에서 출력되는 로우 레벨의 주기를 설정하기 위하여 본 발명에서는 제2 구동부의 구동을 제어하여 제2 중간출력신호(DN[n])를 로우 레벨로 출력한다.
- [0129] 상기 제3 전원전압(VGL2)의 전압값은 특별히 제한되지 않으며 제2 전원전압(VGL1)보다 더 낮은 전압값을 가지면 족할 것이지만, 바람직하게는 다음과 같은 조건을 가질 수 있다.
- [0130] $VGL2 < VGL1 - 2V_{th}$
- [0131] 상기 조건식에서 V_{th} 는 출력단과 연결된 트랜지스터의 문턱 전압값을 의미한다. 본 실시 예에서는 트랜지스터 M16의 문턱 전압값이다.
- [0132] 또한 본 발명의 구동 회로는 제2 전원전압(VGL1)보다 더 낮은 전압의 제3 전원전압(VGL2)을 추가함으로써 트랜지스터 M16의 소스 전극 전압보다 게이트 전극 전압을 더 낮게 하여 출력 전압을 안정적으로 유지할 수 있다. 따라서 트랜지스터의 동작 마진을 크게 개선할 수 있고 본 발명의 구동 장치를 이용하는 표시 장치의 수율을 향상시킬 수 있다.
- [0133] 구체적으로 도 4의 구동 타이밍도에 의해 도 3에 도시된 구동 장치의 구동을 설명하기로 한다. 도 3에서는 구동 장치의 n 번째 시프트 레지스터와 n+1번째 시프트 레지스터를 예로 들었으나, 도 4의 타이밍도의 설명을 위하여 n번째 시프트 레지스터를 첫 번째 시프트 레지스터(SR1)로 간주하기로 한다.
- [0134] 도 4의 구동 타이밍도는 순차적으로 하나의 시프트 레지스터에서 출력되는 구동 장치의 출력신호 파형의 일 실시 예를 나타낸 것이다. 도 3의 회로도에 도시된 트랜지스터는 피모스 트랜지스터를 일례로 하였으므로 도 4의 신호 파형은 로우 레벨 펄스를 기준으로 동작한다. 그러나 이는 하나의 실시 예일 뿐이며 이에 제한되는 것은 아니다.
- [0135] 도 4에서 본 발명의 구동 장치에 입력되는 제1 클럭신호(c1k)와 제2 클럭신호(c1kb)는 소정의 주기로 반복되는 로우 레벨의 펄스를 가진다.
- [0136] 상기 소정의 주기는 2 수평주기(2H)이지만 이에 제한되는 것은 아니다.
- [0137] 또한 도 4에서 제1 클럭신호(c1k)와 제2 클럭신호(c1kb)는 서로 반 주기(1H)만큼의 위상 차를 가진다.
- [0138] 도 4는 구동 장치의 첫 번째 시프트 레지스터부터 동작하는 구동 파형을 도시하였다.

- [0139] 먼저 시점 t1에서 제1 클럭신호(c1k)와 개시 신호(f1mup)가 동기되어 로우 레벨로 첫 번째 시프트 레지스터(SR1)의 제1 구동부(sub1-SR1)에 전달되면 트랜지스터 M2가 턴 온 되고 동시에 제1 전원전압(VGH)가 전달된 트랜지스터 M1이 턴 오프 된다. 그러면 제2 클럭신호(c1kb)의 펄스 레벨에 따라 제1 중간출력신호(UP[1])가 출력된다. 따라서 시점 t2에서 로우 레벨의 제1 중간출력신호(UP[1])가 출력된다. 그러면 상승한 바와 같이 로우 레벨의 제1 중간출력신호(UP[1])가 버퍼부(B-SR1)에 전달되어 트랜지스터 M11, M12를 턴 온 시켜 트랜지스터 M16을 제1 전원전압(VGH)의 고전위 전압에 의해 오프시키고, 동시에 트랜지스터 M15를 통해 제1 전원전압(VGH)의 하이 레벨 전압을 첫 번째 시프트 레지스터의 출력신호(OUT[1])로 발생시킨다.
- [0140] 이때 트랜지스터 M17을 동시에 턴 온 시킴으로써, 트랜지스터 M16의 게이트 전극의 전압을 제1 전원전압(VGH)의 고전위 전압으로 유지하여 T1 기간 동안 출력신호(OUT[1])를 하이 레벨로 안정적으로 유지한다.
- [0141] 이로 인해 누설 전류가 높은 트랜지스터인 경우라도 안정적으로 구동 장치를 동작시킬 수 있다.
- [0142] 그런 다음 시점 t3에 첫 번째 시프트 레지스터(SR1)의 제2 구동부(sub2-SR1)로 제1 클럭신호(c1k)와 다른 개시 신호(f1mdn)가 동기되어 로우 레벨로 전달되면, 시점 t4에서 로우 레벨의 제2 중간출력신호(DN[1])가 출력된다. 그러면 로우 레벨의 제2 중간출력신호(DN[1])가 버퍼부(B-SR1)에 전달되어 트랜지스터 M13을 턴 온 시켜 트랜지스터 M14, M16을 스위칭 온하여 트랜지스터 M15를 통해 하이 레벨의 제1 전원전압(VGH)이 전달되는 것을 오프시키고 로우 레벨의 제2 전원전압(VGL1)을 출력신호(OUT[1])로 발생시킨다. 첫 번째 단의 출력 신호(OUT[1])의 주기(T1)는 시점 t2 내지 시점 t4의 기간이며, 제2 클럭신호(c1kb)의 주기에 따른다. 따라서 제2 클럭신호(c1kb)의 주기를 조정하여 출력 신호의 듀티비를 제어할 수 있다.
- [0143] 도 4에 따른 출력 신호의 주기는 특별히 제한되지 않지만, 2NH(N=1,2,..)로 조절할 수 있다.
- [0144] 이어서 다음 단의 시프트 레지스터들이 반복적으로 구동하여 순차적으로 출력신호들을 발생시킨다.
- [0145] 도 4에서 첫 번째 단의 시프트 레지스터(SR1)(도 3a)의 제1 구동부(sub1-SR1)의 제1 입력 신호(f1mup[1])는 제1 개시 신호(f1mup)이지만, 다음 단인 두 번째 단의 시프트 레지스터(SR2)(도 3b)의 제1 입력 신호(f1mup[2])는 첫 번째 시프트 레지스터에서 출력된 제1 중간출력신호(UP[1])이다. 이때 제1 중간출력신호(UP[1])는 시점 t2에 제2 클럭 신호(c1bk)에 동기되어 전달된다.
- [0146] 마찬가지로, 첫 번째 단의 시프트 레지스터(SR1)(도 3a)의 제2 구동부(sub2-SR2)에 입력되는 제2 입력 신호(f1mdn[1])는 제2 개시 신호(f1mdn)이지만, 두 번째 단의 시프트 레지스터(SR2)(도 3b)의 제2 입력 신호(f1mdn[2])는 첫 번째 시프트 레지스터에서 출력된 제2 중간출력신호(DN[1])이다. 이때 제2 중간출력신호(DN[1])는 시점 t4에 제2 클럭 신호(c1bk)에 동기되어 전달된다.
- [0147] 그러면 두 번째 시프트 레지스터(SR2)의 출력 신호는 시점 t3에 제1 클럭 신호(c1k)에 응답하여 하이 상태로 전환되었다가 시점 t5에 제1 클럭 신호(c1k)에 응답하여 로우 상태로 전환된다.
- [0148] 출력 신호들의 주기는 클럭신호들의 주기 조정과 제1 클럭신호 및 제2 클럭신호 상호 간의 위상 차를 조정함에 따라 제어할 수 있으므로 듀티비 조절이 자유로운 구동 장치를 제공할 수 있다.
- [0149] 또한 대형 패널의 표시 장치에서 요구되는 다양한 구동 타이밍의 구현이 가능할 수 있으므로 주사 구동부 및 발광 제어 구동부에 탄력적으로 적용할 수 있다.
- [0150] 도 5 및 도 6은 본 발명의 다른 일 실시 예에 따른 구동 장치의 회로도와 그 구동 타이밍도이다.
- [0151] 도 3 및 도 4의 실시 예와 회로 구성 및 그 기능이 거의 유사하므로 중복되는 부분의 설명은 생략하고 상이한 부분을 위주로 설명한다.
- [0152] 도 5의 구동 장치는 제1 구동부(sub1-SRn) 및 제2 구동부(sub2-SRn)의 클럭신호단자와 그에 입력되는 클럭신호의 종류가 도 3에 비교하여 상이하다. 즉, 도 3에서는 제1 구동부(sub1-SRn) 및 제2 구동부(sub2-SRn)의 클럭신호단자의 배치가 동일하였으나, 도 5에서는 제1 구동부(sub1-SRn)의 제1 클럭신호입력단자(CLK1)와 제2 클럭신호입력단자(CLK2)의 배치가 제2 구동부(sub2-SRn)의 배치와 반대이다.
- [0153] 따라서, 트랜지스터 P4의 게이트 단자에 제1 클럭신호(c1k)가 전달되고 트랜지스터 P2의 게이트 단자에 제2 클럭신호(c1kb)가 전달되지만, 트랜지스터 P9의 게이트 단자에 제2 클럭신호(c1kb)가 전달되고 트랜지스터 P7의 게이트 단자에 제1 클럭신호(c1k)가 전달된다.
- [0154] 물론 다음 단인 n+1번째 시프트 레지스터(SRn+1)에서는 클럭신호단자에 공급되는 클럭신호가 서로 반대로 입력

된다.

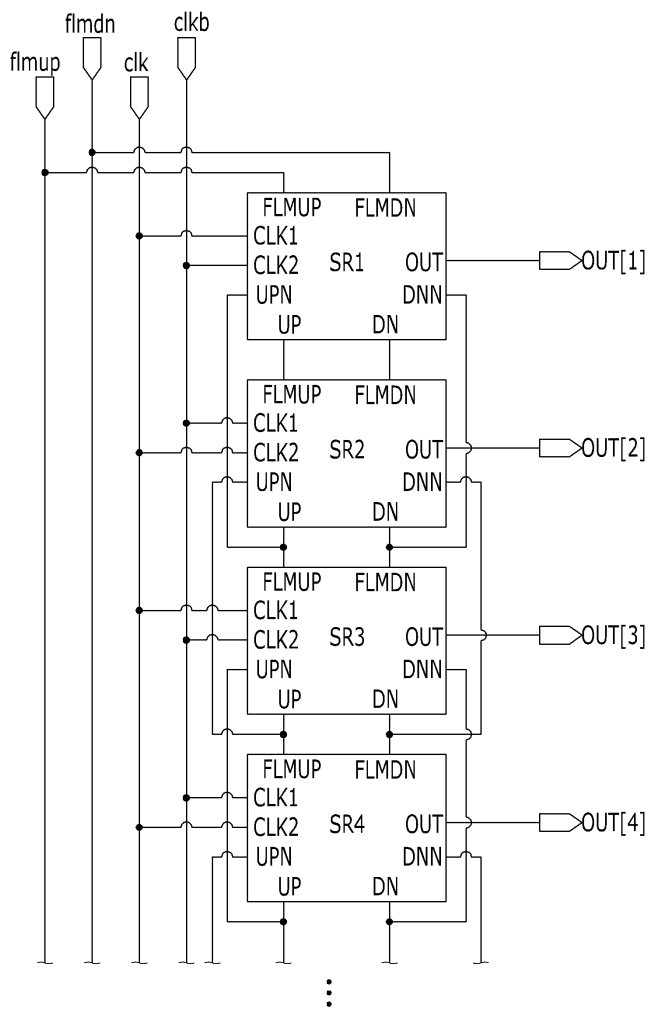
- [0155] 이러한 회로 구조를 가지는 구동 장치는 도 6과 같은 방식으로 구동하여 출력 신호를 생성한다. 도 6의 설명의 편의를 위해서 도 5에 도시된 시프트 레지스터를 첫 번째 단과 두 번째 단의 시프트 레지스터들(SR1,SR2)로 설정하기로 한다.
- [0156] 도 6에 의하면 시점 t6에서 제1 클럭신호(c1k)와 첫 번째 단의 시프트 레지스터의 제1 구동부에 입력되는 개시 신호(f1mup)가 동기되어 로우 레벨로 전달된 후, 제2 클럭신호(c1kb)의 로우 레벨의 전달 시점인 시점 t7에 첫 번째 단의 출력 신호(OUT[1])가 하이 상태로 변한다. 다음으로 시점 t9에서 제2 클럭신호(c1kb)와 첫 번째 단의 시프트 레지스터의 제2 구동부에 입력되는 다른 개시신호(f1mdn)가 동기되어 로우 레벨로 전달된 후, 제1 클럭신호(c1k)의 로우 레벨의 전달 시점인 시점 t10에서 첫 번째 단의 출력 신호(OUT[1])가 로우 상태로 변한다.
- [0157] 도 5의 실시 예에 따른 회로 구성을 가지는 구동 장치의 첫 번째 단의 출력 신호(OUT[1])의 주기(T10)가 시점 t7 내지 시점 t10의 기간이며, 제1 클럭신호(c1k)와 제2 클럭신호(c1kb)의 주기와 위상 차이를 제어하여 듀티비를 조절할 수 있다.
- [0158] 도 6에 따른 출력 신호의 주기는 특별히 제한되지 않지만, $(2N+1)H$, $(N=0,1,2,...)$ 가 되도록 조절할 수 있다.
- [0159] 도 6을 참조하면, 도 5에 도시된 두 번째 단의 시프트 레지스터(SR2)가 반복적으로 구동하여 순차적으로 두 번째 출력신호(OUT[2])를 발생시킨다.
- [0160] 도 6에서 첫 번째 단의 시프트 레지스터(SR1)(도 5a)의 제1 구동부(sub1-SR1)의 제1 입력 신호(f1mup[1])는 제1 개시 신호(f1mup)이지만, 두 번째 단의 시프트 레지스터(SR2)(도 5b)의 제1 입력 신호(f1mup[2])는 첫 번째 시프트 레지스터에서 출력된 제1 중간출력신호(UP[1])이다. 이때 제1 중간출력신호(UP[1])는 시점 t7에 제2 클럭신호(c1kb)에 동기되어 전달된다.
- [0161] 마찬가지로, 첫 번째 단의 시프트 레지스터(SR1)(도 5a)의 제2 구동부(sub2-SR2)에 입력되는 제2 입력 신호(f1mdn[1])는 제2 개시 신호(f1mdn)이지만, 두 번째 단의 시프트 레지스터(SR2)(도 5b)의 제2 입력 신호(f1mdn[2])는 첫 번째 시프트 레지스터에서 출력된 제2 중간출력신호(DN[1])이다. 이때 제2 중간출력신호(DN[1])는 시점 t10에 제1 클럭신호(c1k)에 동기되어 전달된다.
- [0162] 그러면 두 번째 시프트 레지스터(SR2)의 출력 신호는 시점 t8에 제1 클럭신호(c1k)에 응답하여 하이 상태로 전환되었다가 시점 t11에 제2 클럭신호(c1kb)에 응답하여 로우 상태로 전환된다.
- [0163] 도 7 내지 도 8은 본 발명의 또 다른 일 실시 예에 따른 구동 장치의 회로도이다.
- [0164] 도 7과 도 8의 회로도도 설명의 편의상 하나의 단에 해당하는 시프트 레지스터를 도시한 것으로서, 타단의 시프트 레지스터의 입출력 신호에 대한 상호 관계는 이미 설명된 바와 같다.
- [0165] 도 7과 도 8은 특히 3차원 입체영상 표시 장치에 적용될 수 있는 발광 제어 구동부(40)의 회로에 대한 것으로서, 3D 구현을 위한 동시 발광 또는 순차 발광이 가능하다. 동시 발광 모드는 표시부(10)에 포함된 모든 화소가 저장된 데이터 신호에 따라 한꺼번에 발광할 수 있도록 발광 제어 신호의 온 전압 레벨과 오프 전압 레벨을 제어하는 것이다.
- [0166] 도 7을 참조하면, n번째 시프트 레지스터의 제1 구동부(sub1-SRn) 또는 제2 구동부(sub2-SRn)의 구조와 동작은 도 5의 구동 장치 회로도도 동일하다. 물론 도 7의 제1 구동부(sub1-SRn) 또는 제2 구동부(sub2-SRn)의 구조는 도 3과 같이 설계해도 무방하다.
- [0167] 도 7은 버퍼부(B-SRn)의 구조와 동작을 달리 제안한 것으로서, 제1 전원전압(VGH)와 트랜지스터 A18의 게이트 단자 사이에 트랜지스터 A13을 추가한다. 또한, 제2 전원전압(VGL1), 및 트랜지스터 A17, A19의 게이트 전극과 트랜지스터 A12의 드레인 전극의 공통노드 사이에 트랜지스터 A15를 더 포함한다.
- [0168] 트랜지스터 A13 및 트랜지스터 A15는 모두 게이트 전극에 제1 구동제어신호(ESR)를 입력 받는다.
- [0169] 구체적으로 트랜지스터 A13은 제1 구동제어신호(ESR)가 전달되는 단자에 연결된 게이트 전극, 제1 전원전압(VGH)에 연결된 소스 전극, 및 트랜지스터 A18의 게이트 단자에 연결된 드레인 전극을 포함한다.
- [0170] 또 트랜지스터 A15는 제1 구동제어신호(ESR)가 전달되는 단자에 연결된 게이트 전극, 제2 전원전압(VGL1)에 연결된 소스 전극, 및 트랜지스터 A17, A19의 게이트 전극과 트랜지스터 A12의 드레인 전극의 공통노드 연결된 드레인 전극을 포함한다.

- [0171] 따라서, 제1 구동제어신호(ESR)가 상기 트랜지스터 A13 및 트랜지스터 A15로 공급되어 스위칭 동작을 제어하게 된다.
- [0172] 제1 구동제어신호(ESR)가 로우 레벨로 인가되는 동안 트랜지스터 A13 및 트랜지스터 A15는 모두 턴 온 되어 트랜지스터 A18을 턴 오프 시키고, 동시에 트랜지스터 A17 및 A19를 턴 온 시켜서 출력신호(OUT[n])를 하이 레벨로 유지한다. 이때 트랜지스터 A18의 오프 커런트가 높아도 트랜지스터 A19에 의해 트랜지스터 A18을 턴 오프 시키기 때문에 출력 신호가 안정적으로 생성된다.
- [0173] 한편, 제1 구동제어신호(ESR)가 로우 레벨로 인가되는 동안 트랜지스터 A13 및 트랜지스터 A15는 모두 턴 오프 되므로, 버퍼부가 제1 구동부 및 제2 구동부에서 각각 공급되는 제1 중간출력신호와 제2 중간출력신호의 로우 레벨일 때 각각 하이 레벨과 로우 레벨로 출력신호(OUT[n])를 생성한다.
- [0174] 따라서, 도 7의 실시 예와 같은 구동 장치 회로가 적용된 발광 제어구동부(40)는 제1 구동제어신호(ESR)를 로우 레벨로 유지하는 동안 하이 레벨의 펄스의 발광 제어 신호를 화소에 전달하므로 데이터 신호가 기입되는 동안 화소의 발광을 억제할 수 있다. 이때 표시 장치의 화소(60)의 구성 트랜지스터가 피모스(PMOS)인 경우 발광을 억제하기 위해 하이 레벨의 발광 제어 신호를 생성하는 회로를 제안한 것이나, 이에 반드시 한정되지 않고, 화소의 구성 트랜지스터의 유형에 따라 다른 회로 설계의 실시 예가 성립될 수 있음은 물론이다.
- [0175] 한편, 도 7의 실시 예에 따른 발광 제어 구동부(40)는 제1 구동제어신호(ESR)를 하이 레벨로 유지하는 동안, 이미 상술한 본 발명의 구동 장치의 구동 과정을 따라 듀티비가 조절된 발광 제어 신호들을 출력한다.
- [0176] 도 7의 실시 예에 따른 발광 제어 구동부(40)와 다른 실시 예로서, 순차 발광 모드와 동시 발광 모드에 모두 적용할 수 있는 발광 제어 신호를 생성하는 발광 제어 구동부를 도 8에 도시하였다.
- [0177] 도 8 역시 버퍼부(B-SRn)의 구조와 동작을 달리 제안한 것이므로 도 3 및 도 5 등의 실시 예에 따른 서브 회로와 결합하여 시프트 레지스터를 구성할 수 있다.
- [0178] 도 8의 실시 예에서 버퍼부(B-SRn)는 도 3 또는 도 5의 회로도나 비교하여 버퍼부(B-SRn)에 트랜지스터를 4개 더 포함한다.
- [0179] 즉, 제1 전원전압(VGH)과 트랜지스터 B20의 게이트 단자 사이에 트랜지스터 B13을 추가한다. 제1 전원전압(VGH)과, 트랜지스터 B19, B21의 게이트 전극과 트랜지스터 B12의 드레인 전극의 공통노드 사이에 트랜지스터 B15를 더 포함한다.
- [0180] 또한, 도 8의 버퍼부(B-SRn)는 제2 전원전압(VGL1), 및 트랜지스터 B19, B21의 게이트 전극과 트랜지스터 B12의 드레인 전극의 공통노드 사이에 트랜지스터 B16을 추가한다. 또한, 제2 전원전압(VGL1)보다 낮은 전압값을 가지는 제3 전원전압(VGL2)과 트랜지스터 B20의 게이트 단자 사이에 트랜지스터 B18을 더 추가한다.
- [0181] 상기 트랜지스터 B13 및 B16 각각은 게이트 전극에 제1 구동제어신호(ESR)를 입력 받고, 트랜지스터 B15 및 B18 각각은 게이트 전극에 제2 구동제어신호(ESS)를 입력 받는다.
- [0182] 구체적으로 트랜지스터 B13은 제1 구동제어신호(ESR)가 전달되는 단자에 연결된 게이트 전극, 제1 전원전압(VGH)에 연결된 소스 전극, 및 트랜지스터 B20의 게이트 단자에 연결된 드레인 전극을 포함한다.
- [0183] 또 트랜지스터 B15는 제2 구동제어신호(ESS)가 전달되는 단자에 연결된 게이트 전극, 제1 전원전압(VGH)에 연결된 소스 전극, 및 트랜지스터 B19, B21의 게이트 전극과 트랜지스터 B12의 드레인 전극의 공통노드에 연결된 드레인 전극을 포함한다.
- [0184] 트랜지스터 B16은 제1 구동제어신호(ESR)가 전달되는 단자에 연결된 게이트 전극, 제2 전원전압(VGL1)에 연결된 소스 전극, 및 트랜지스터 B19, B21의 게이트 전극과 트랜지스터 B12의 드레인 전극의 공통노드에 연결된 드레인 전극을 포함한다.
- [0185] 트랜지스터 B18은 제2 구동제어신호(ESS)가 전달되는 단자에 연결된 게이트 전극, 제3 전원전압(VGL2)에 연결된 소스 전극, 및 트랜지스터 B20의 게이트 전극에 연결된 드레인 전극을 포함한다.
- [0186] 따라서, 표시부(10)의 동시 또는 순차 발광 모드에 따라 상기 제1 구동제어신호(ESR) 및 제2 구동제어신호(ESS)를 조절하여 트랜지스터 B13, B15, B16 및 B18의 스위칭 동작을 제어하게 된다.
- [0187] 구체적인 구동 과정은 도 9의 타이밍도와 함께 설명한다.

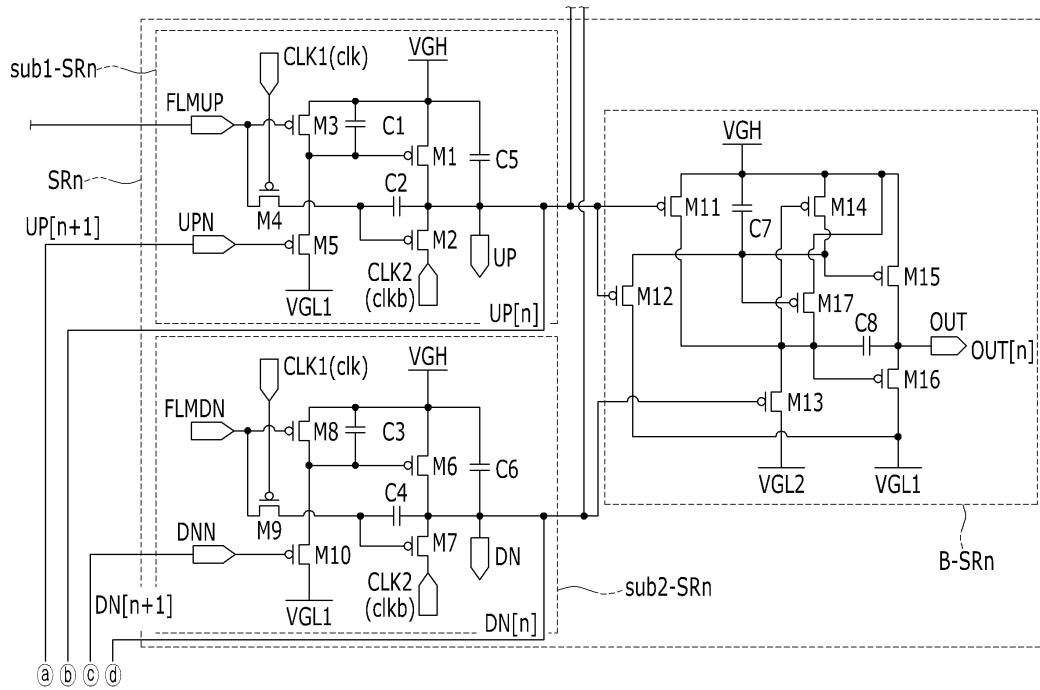
- [0188] 도 9는 도 8의 일 실시 예에 따른 구동 회로가 적용된 발광 제어 구동부(40)의 구동 타이밍도로서, 순차 발광 모드<1>인 경우와 동시 발광 모드<2>인 경우의 타이밍도이다.
- [0189] 도 9의 타이밍에 따라 출력되는 발광 제어 구동부(40)의 출력신호는 발광 제어 신호로서 표시부(10)의 화소를 구성하는 트랜지스터가 피모스 트랜지스터인 경우 비발광시 하이 레벨의 펄스이고 발광시 로우 레벨의 펄스로 전달된다.
- [0190] 따라서, 순차 발광 모드<1>인 경우 발광 제어 구동부(40)는 첫 번째 화소 라인에 전달되는 발광 제어 신호(EM[1])부터 마지막 화소 라인에 전달되는 발광 제어 신호(EM[n])까지 소정의 기간만큼 위상 차이를 두면서 순차적으로 발광 제어 신호를 발생시킨다.
- [0191] 이미 도 3 및 도 5의 회로도에서 설명하였듯이, 시점 a3에서 제1 클럭신호(clk)와 제1 개시신호(flmp)가 동기되어 발광 제어 구동부에 전달되고 트랜지스터 B2를 턴 온 시킨다. 그러면, 제2 클럭신호(clkb)가 로우 레벨이 되는 시점 a4에 제1 중간출력신호(UP[1])가 로우 레벨이 되어 버퍼부(B-SR1)로 입력되고, 발광 제어 구동부(40)는 첫 번째 화소 라인에 전달되는 발광 제어 신호(EM[1])를 하이 상태로 출력시킨다.
- [0192] 이때 제1 구동제어신호(ESR) 및 제2 구동제어신호(ESS)는 모두 하이 레벨 상태이므로 트랜지스터 B13, B15, B16, B18을 턴 오프시키기 때문에, 트랜지스터 B13, B15, B16, B18에 관계 없이 발광 제어 신호(EM[1])가 하이 레벨로 출력된다.
- [0193] 발광 제어 신호(EM[1])의 하이 레벨 전압은 피모스 트랜지스터로 구성된 화소를 비발광시킴으로 PPE1 기간 동안 화소에 인가된 데이터 전압에 따른 발광이 수행되지 않는다.
- [0194] 그 후 소정의 시간(PPE1)이 경과된 후, 시점 a5에서 제2 클럭신호(clkb)와 제2 개시신호(flmdn)가 동기되어 로우 레벨로 전달되면, 트랜지스터 B7을 턴 온 시킨다. 그러면, 제1 클럭신호(clk)가 로우 레벨이 되는 시점 a6에 제2 중간출력신호(DN[1])가 로우 레벨이 되어 버퍼부(B-SR1)로 입력되고, 발광 제어 구동부(40)는 첫 번째 화소 라인에 전달되는 발광 제어 신호(EM[1])를 로우 상태로 출력시킨다.
- [0195] 시점 a4에서 시프트 레지스터의 제1 구동부에서 생성된 제1 중간출력신호(UP[1])가 제2 클럭신호(clkb)에 의해 로우 펄스로 다음 두 번째 단의 시프트 레지스터의 제1 구동부에 전달되는 한편, 시점 a6에서 시프트 레지스터의 제2 구동부에서 생성된 제2 중간출력신호(DN[1])가 제1 클럭신호(clk)에 의해 로우 펄스로 다음 두 번째 단의 시프트 레지스터의 제2 구동부에 전달되는 방식으로 순차적으로 발광 제어 신호가 생성된다.
- [0196] 이때 각 단의 시프트 레지스터에 포함된 버퍼부에 입력되는 제1 구동제어신호(ESR) 및 제2 구동제어신호(ESS)는 하이 레벨의 펄스로 유지되므로 구동 과정에서 관련 트랜지스터를 스위치 온 시키지 않는다. 따라서, 순차 발광 모드에서는 개시 신호들 또는 클럭신호들의 주거나 펄스 조절로 출력되는 발광 제어 신호의 듀티비를 조정할 수 있다.
- [0197] 한편, 비순차 발광 모드 또는 동시 발광 모드<2>인 경우, 발광 제어 구동부(40)는 모든 화소 라인에 전달되는 발광 제어 신호(EM[1]~[n])를 동일하게 생성하여 전달한다. 즉, 발광 제어 신호(EM[1]~[n])를 전달받은 표시부(10)의 모든 화소가 비발광 기간에는 발광이 억제되다가 발광 기간에 한꺼번에 발광되어 디스플레이된다.
- [0198] 이러한 발광 제어 신호(EM[1]~[n])를 출력하기 위한 본 발명의 발광 제어 구동부(40)의 구동 제어는 시프트 레지스터의 버퍼부에서 이루어진다.
- [0199] 즉, 제1 개시신호(flmp) 및 제2 개시신호(flmdn)가 모두 하이 상태로 유지되어 시프트 레지스터의 제1 구동부와 제2 구동부가 동작하지 않는다. 따라서, 출력되는 발광 제어 신호는 제1 구동제어신호(ESR)와 제2 구동제어신호(ESS)에 의해 조절된다.
- [0200] 즉, 시점 a1에서 제1 구동제어신호(ESR)가 로우 레벨로 전이하면 트랜지스터 B13, 트랜지스터 B16이 턴 온된다. 그러면, 트랜지스터 B13에 의해 고전위의 제1 전원전압(VGH)이 트랜지스터 B20에 전달되어 턴 오프시키고, 트랜지스터 B16에 의해 저전위의 제2 전원전압(VGL1)이 트랜지스터 B19 및 B21에 전달되어 턴 온시킨다.
- [0201] 트랜지스터 B19는 제1 전원전압(VGH)의 하이 레벨 전압을 모든 화소 라인에 인가되는 발광 제어 신호(EM[1]~[n])의 전압으로 출력하고, 트랜지스터 B21은 제1 전원전압(VGH)의 하이 레벨 전압을 트랜지스터 B20에 전달하여 트랜지스터 B20의 오프 커런트가 높더라도 안정적으로 회로가 동작하여 발광 제어 신호(EM[1]~[n])를 생성하도록 기능한다.

- [0202] 전체 발광 제어 신호(EM[1]~[n])는 시점 a1부터 하이 상태를 유지하다가 시점 a2에서 제1 구동제어신호(ESR)가 하이 레벨로 전이한 후 시점 a4에서 제2 구동제어신호(ESS)가 로우 상태로 천이하게 될 때 로우 상태로 하강한다.
- [0203] 즉, 시점 a4에서 제2 구동제어신호(ESS)가 로우 상태로 트랜지스터 B15 및 B18에 전달되면 각각 턴 온 된다. 트랜지스터 B15의 턴 온에 의해 고전위의 제1 전원전압(VGH)가 트랜지스터 B19 및 B21를 턴 오프시킨다.
- [0204] 트랜지스터 B18의 턴 온에 의해 제2 전원전압(VGL1)보다 더 낮은 전압을 가지는 제3 전원전압(VGL2)가 트랜지스터 B20에 전달되어 저전위의 제2 전원전압(VGL1) 레벨로 전체 발광 제어 신호(EM[1]~[n])를 로우 상태로 출력한다.
- [0205] 따라서 제1 구동제어신호(ESR) 및 제2 구동제어신호(ESS)의 주기 또는 펄스 상태를 제어함에 따라 전체 발광 제어 신호(EM[1]~[n])의 듀티비가 제어될 수 있다.
- [0206] 시점 a1부터 시점 a4까지의 기간은 전체 발광 제어 신호(EM[1]~[n])가 하이 상태로 출력되어 표시부(10)의 모든 화소가 비발광 상태이므로 비발광 기간(SPEN)이다.
- [0207] 시점 a4에서 전체 발광 제어 신호(EM[1]~[n])가 로우 상태로 전달되어 모든 화소가 발광하게 되는데 로우 상태가 유지되는 기간은 발광 기간(SPEE)이 된다.
- [0208] 본 발명의 구동 장치에 관한 상기 실시 예들은 하나의 실시 형태이며 반드시 이에 제한되는 것은 아니며, 본 발명의 구동 회로에서 출력단에 연결된 트랜지스터가 오프 커런트가 증가하여도 안정적으로 구동할 수 있도록 추가된 트랜지스터(이하, 안정화 트랜지스터)를 포함하는 구동 장치의 회로라면 다양한 실시 형태로 변경 가능할 것이다.
- [0209] 또한 트랜지스터의 동작 마진을 크게 하기 위하여, 출력단에 연결된 트랜지스터의 게이트 전극에 인가되는 전압을 소스 전극에 인가되는 전압보다 더 낮도록 저전위의 공급 전원을 분리시키는 회로 구성을 포함하는 다른 다양한 실시 형태로 적용 가능하다.
- [0210] 일반적으로 구동 장치를 구성하는 박막 트랜지스터는 시간이 경과함에 따라 점차 오프 상태에서 발생하는 누설 전류가 증가하는데, 이렇게 오프 커런트가 높은 박막 트랜지스터를 포함한 구동 장치에서도 본 발명의 구동 장치는 동작이 가능하고 동작마진이 개선되어, 구동 장치를 포함하는 표시 장치의 수율을 증가시킨다.
- [0211] 도 10은 본 발명의 일 실시 예에 따른 구동 장치에서 출력된 신호 파형의 개선 과정을 나타내는 시뮬레이션 그래프이다.
- [0212] 도 10을 참조하면 구동 장치의 회로에 본 발명의 특징적인 구성 요소를 추가함에 따라 출력되는 구동 신호의 파형이 점차 안정적이고 신뢰성이 높도록 발생하는 것을 알 수 있다.
- [0213] Case1 에서는 오프 커런트가 높은 트랜지스터를 포함한 구동 장치에서 출력되는 구동 신호는, 하이 상태가 오래 지속되지 않고, 로우 상태 역시 낮은 전압 레벨로 지속적으로 유지되지 못하는 불안정한 파형의 모습이다.
- [0214] 그러나, 본 발명과 같이, 구동 회로의 출력단에 연결된 트랜지스터의 게이트 전극에 안정화 트랜지스터를 더 추가하는 경우, case 2에서 보듯이 구동 회로에서 출력되는 신호의 하이 상태가 목적하는 기간 동안 유지됨을 알 수 있다.
- [0215] 그 이유는 상기 실시 예에서 설명했던 바와 같이, 상기 안정화 트랜지스터가 출력단에 연결된 트랜지스터의 오프 상태를 더욱 안정적으로 유지시키기 때문에 상기 출력단을 통해 하이 레벨의 전압이 안정적으로 공급되어 출력되는 것이다.
- [0216] 한편 case 2에 따른 구동 회로의 구성에 본 발명의 실시 예에 따른 구동 회로의 특징을 더 부가하면 case 3 과 같은 안정적인 출력 신호를 생성할 수 있다.
- [0217] 즉, case 3은 안정화 트랜지스터를 부가한 본 발명의 구동 장치에 공급되는 저전위의 전원전압을 분리하는 경우의 출력 신호에 대한 파형이다. 즉, 구동 장치의 출력단에 연결된 트랜지스터의 게이트 전극에 인가되는 저전위 전원전압이 소스 전극에 인가되는 저전위 전원전압보다 낮도록 설계하여 상기 출력단에 연결된 트랜지스터의 전압차(Vgs)를 안정적으로 유지하는 것이다.
- [0218] 따라서 case 3을 참조하면, 구동 장치의 출력 신호 파형은 하이 상태가 장기간 안정적으로 유지됨과 동시에 로우 상태인 경우 낮은 레벨의 전압이 유지되고 있음을 알 수 있다.

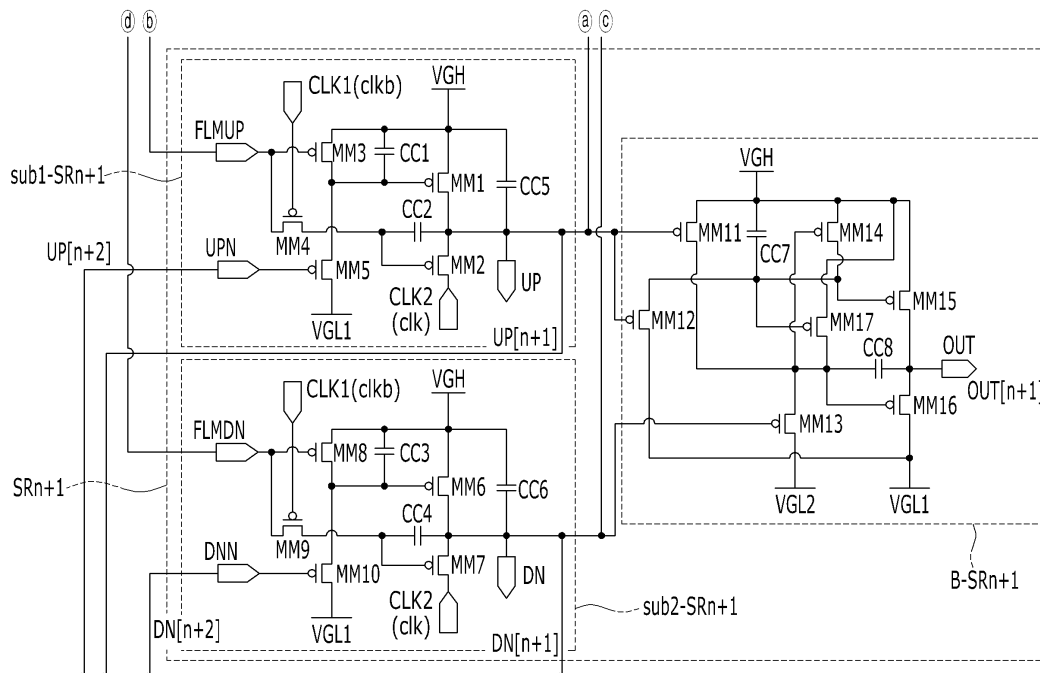
도면2



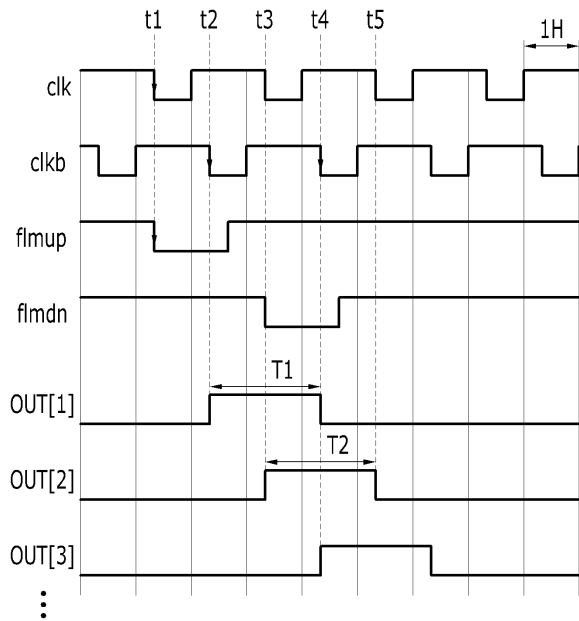
도면3a



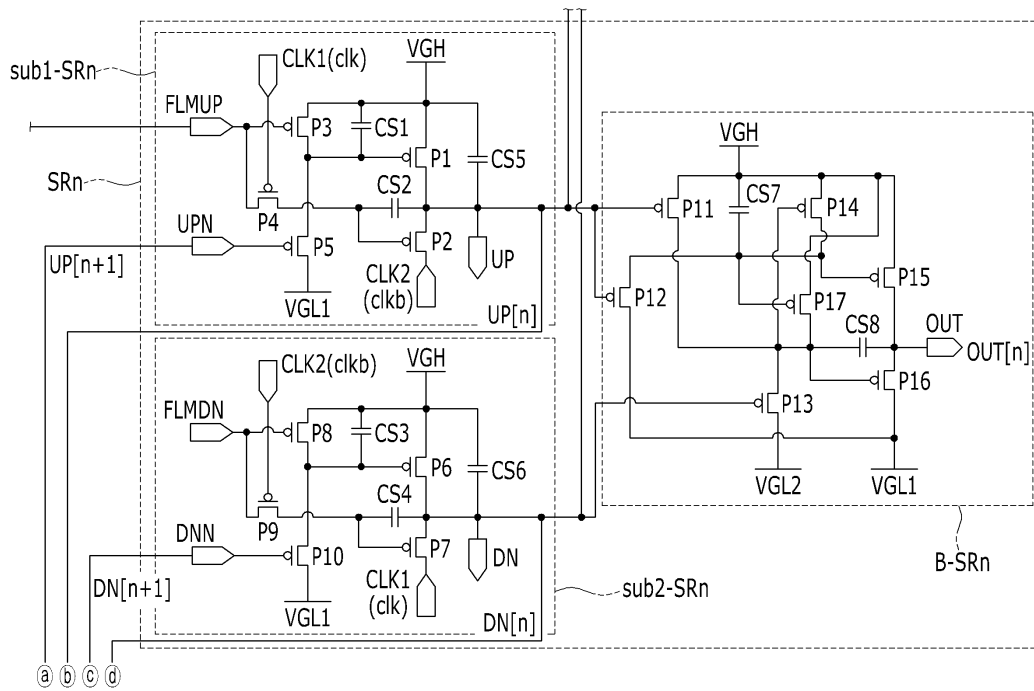
도면3b



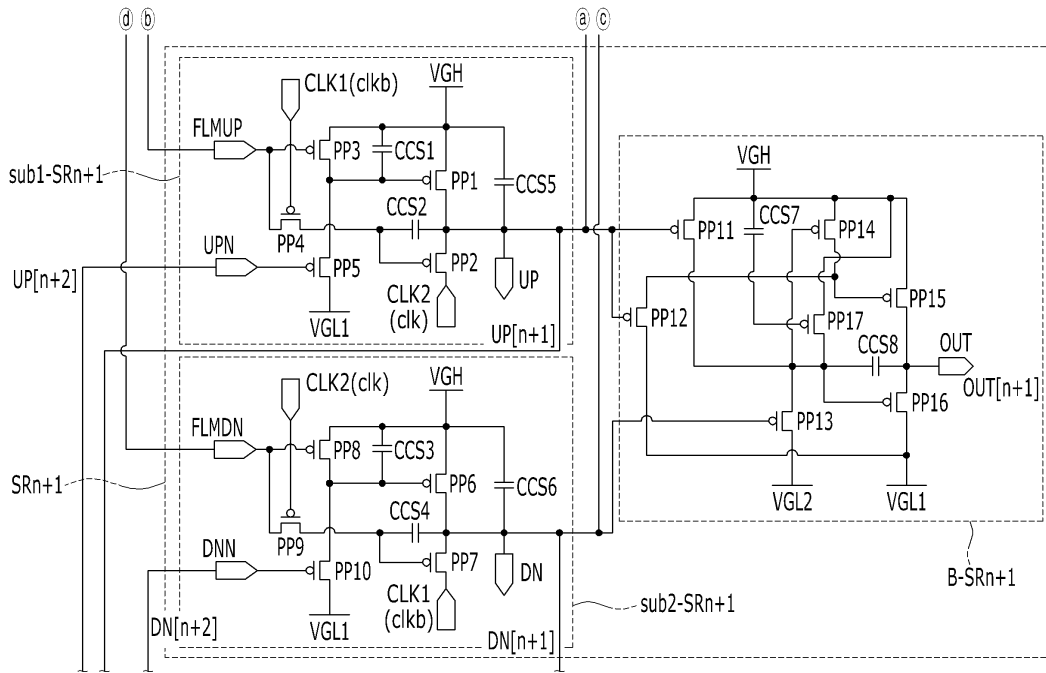
도면4



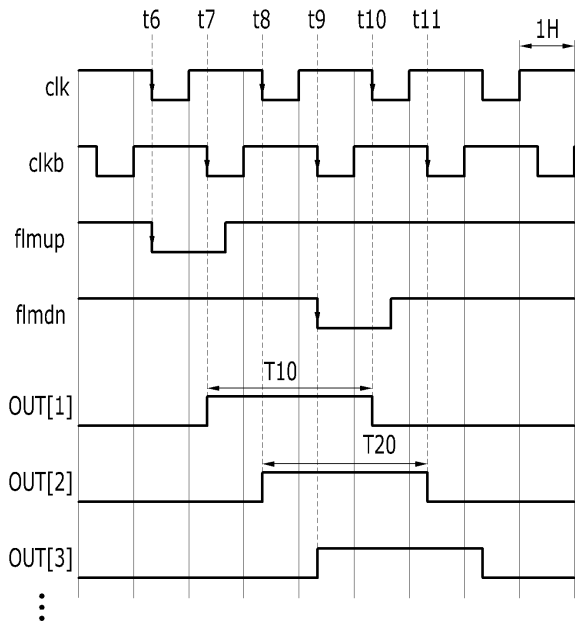
도면5a



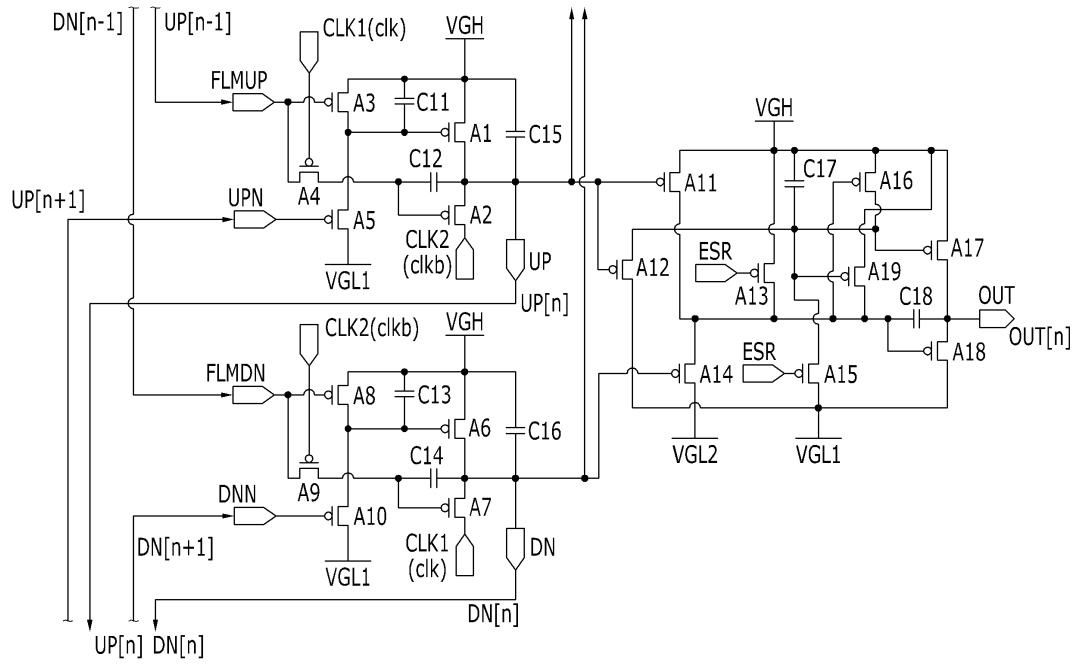
도면5b



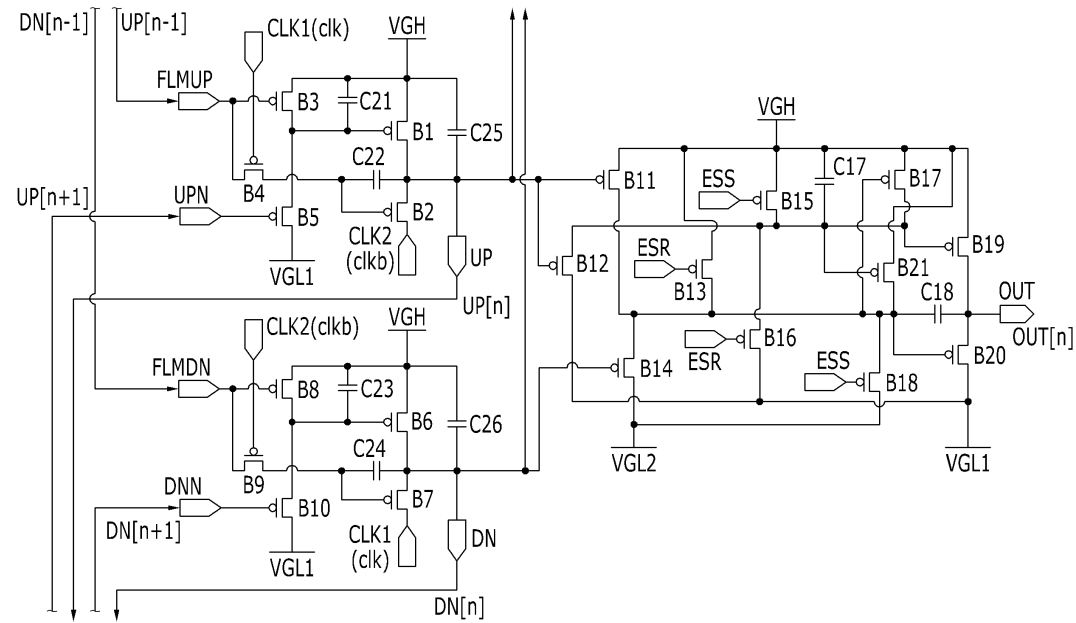
도면6



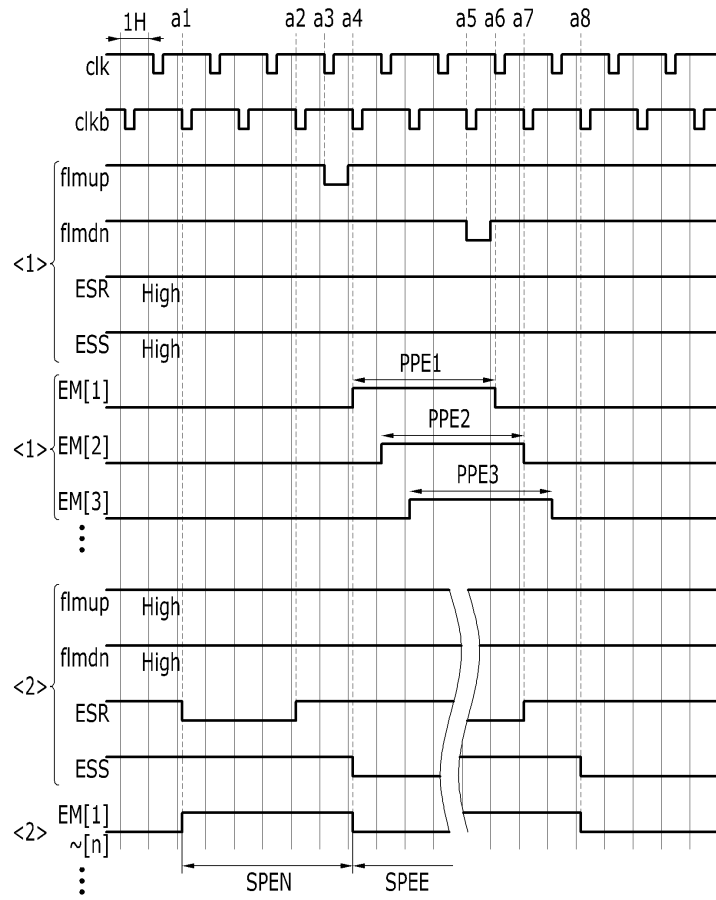
도면7



도면8



도면9



도면10

