(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G02F 1/1343
G02F 1/133

(45) 공고일자 2002년12월26일
(11) 등록번호 10-0343077
(24) 등록일자 2002년06월21일

(21) 출원번호 10-1995-0047656
(22) 출원일자 1995년12월08일

(65) 공개번호 특1996-0024590
(43) 공개일자 1996년07월20일

(30) 우선권주장 94-306549 1994년12월09일 일본(JP)

(73) 특허권자 산요 덴키 가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 니시까와류지
일본국기후껭하시마궁가사마쯔쪼덴다이950-5
히로세요시까즈
일본국기후껭안파찌궁안파찌쪼오모리180

(74) 대리인 구영창
장수길

심사관 : 박제현

(54) 배선간쇼트회로방지기능을갖는액정표시장치및그제조방법

요약

액정 표시 장치에서 게이트 라인과, 이 게이트 라인의 일부를 구성하는 박막 트랜지스터용 게이트 전극이 이것들의 하층에 설치되어 있는 절연층의 선폭 보다 좁게 형성된다. 게이트 라인과 게이트 전극, 및 절연층의 하층에 형성되어 있는 박막 트랜지스터의 화소 전극과 드레인 라인 뿐만 아니라 소스 전극과 드레인 전극과의 거리는 게이트 라인 및 게이트 전극의 라인 폭, 및 절연충의 라인 폭 사이의 차분 만큼 증가된다. 그러므로, 게이트 라인과 게이트 전극 사이에서 발생하는 힐록에 기인한 쇼트 회로의 가능성이 낮아진다. 또한, 게이트 라인 및 게이트 전극의 라인 폭은 게이트 전극의 측방의 에칭량을 조절함으로써 조정된다.

대표도

도 1

명세서

도면의 간단한 설명

제1도는 종래의 액정 표시 장치의 평면도.

제2도는 라인 1X-1X'을 따라 절취한 제1도의 표시 장치의 부분 단면도.

제3도는 종래의 액정 표시 장치의 힐록 발생 밀도를 도시한 그래프.

제4도는 본 발명의 제1 실시예에 따른 액정 표시 장치의 평면도.

제5도는 라인 4X-4X'을 따라 절취한 제4도의 액정 표시 장치의 부분 단면도.

제6도 내지 제11도는 본 발명의 제1 실시예에 따른 액정 표시 장치의 제조공정을 도시한 단면도.

제12도는 본 발명의 제1 실시예에 따른 게이트의 측방 에칭량과 쇼트 회로의 발생률 사이의 관계를 도시한 그래프.

제13도는 본 발명의 제2 실시예에 따른 액정 표시 장치의 평면도.

제14도는 라인 13X-13X'을 따라 절취한 제13도의 액정 표시 장치의 부분 단면도.

제15도는 본 발명의 제2 실시예에 따른 힐록 발생 밀도를 도시한 그래프.

도면의 주요 부분에 대한 부호의 설명

10 : 투명 기판

11 : 차광층

12 : 층간 절연층

13 : 화소 전극

14 : 드레인 라인

17 : a - Si 층

18 : 게이트 절연층

19 : 게이트 전극

20 : 게이트 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 사용되는 마스크의 수를 삭감할 수 있는 공정에 의해 실현되는 액정 표시 장치에 관한 것으로서, 특히, 게이트 알루미늄(Al)의 측방 힐록(lateral hillock)에 기인한 게이트와 소스 사이, 및 게이트와 드레인 사이에서 발생하는 쇼트 회로를 방지함으로써 수율이 향상되는 액정 표시 장치에 관한 것이다.

액정 표시 장치는 소형, 박형, 및 저소비 전력 등의 잇점이 있고, OA 기기, AV 기기 등의 분야에시 실용화가 진행되고 있다. 특히, 박막 전계 효과 트랜지스터 (이하, TFT(thin film transistor)라고 함)를 이용하는 액티브 매트릭스형 액정 표시 장치는 선 순차 구동(line at a time scanning drive)에 의해 이론적으로 100%의 듀티비의 스태틱 멀티플렉스 구동을 행할 수 있고, 고정밀도, 높은 콘트라스트 비의 동화(motion video) 표시를 가능하게 한다.

액티브 매트릭스형 액정 표시 장치는 기판 상에 형성된 복수의 액정 구동 화소 전극에 TFT를 접속하고, 2개의 기판들 사이에 액정층을 구비하고, 화소 전극에 대향한 다른 기판 상에 형성된 공통 전극의 일부분과, 각 화소 사이에 화소 캐패시터가 형성되며, 화소 전하를 유지하기 위해 각 화소 캐패시터에 상이한 전압이 인가되는 구성으로 되어 있다. 액정의 배향은 각 화소 캐패시터에 형성된 전계에 따라 변화하여 투광 비임을 변조시키고, 표시 화상은 각 화소의 변조광의 거시적인 합성에 의해 형성된다.

TFT는 화소 전극에 전압을 인가하기 위한 스위칭 소자이고, 게이트 전극, 드레인 전극, 소스 전극 및 비단결정(non-monocrystal) 반도체층으로 이루어진다. 각 전극은 게이트 라인, 드레인 라인 및 화소 전극에 접속되고, 비단결정 반도체층은 비결정 실리콘(a-Si) 또는 폴리실리콘(p-Si)으로 형성되고 채널층으로 기능한다. 게이트 라인군은 선 순차로 주사 선택되는 1 주사선(1 게이트 라인) 상의 모든 TFT를 온하고, 그들과 동기하는 데이타 신호가 각 드레인 라인을 통해 각 화소 전극에 전송된다. 공통 전극은 주사 신호에 동기하여 전압이 결정되어 공통 전극과 그에 대향하는 각 화소 전극 사이의 전압을 이용하여 간극의 액정을 구동한다. 표시 화소당 광 투과율이 조정되고 각 표시 화소의 계조 표시의 합성이 표시 화상으로 시각적으로 인식된다. TFT의 오프 상태의 액정 구동 상태는 양 전극으로 이루어지는 표시 화소 캐패시터로 유지된 전압에 의해 1 필드 기간 동안 계속되고 이것과 병렬로 기억 캐패시터를 부가하여 보유비를 향상시킬 수 있다.

상부 위치에 게이트를 갖는 스태거형(staggered type) TFT를 사용하는 종래의 액정 표시 장치에 대해 설명하기로 한다. 제1도 및 제2도는 종래의 TFT 기판의 구조를 나타내고 있다. 제1도는 평면도이고, 제2도는 제1도의 선 1X-1X'을 따라 절취한 단면도이다. 이들 도면 및 이하의 설명에서의 다른 도면들에 있어서, 층 등은 동일 축척율로 도시되지 않았다. TFT 채널로의 광의 입사를 막는 차광층(shading layer;51)은 Cr등으로 제조되어 있으며, SiO_2의 층간 절연층(interlayer insulator ; 52)이 기판(50) 상에 형성되어 차광층(51)을 뒤덮게 된다. 소스 전극(55)을 갖는 화소 전극(53)과 드레인 전극(56)을 갖는 드레인 라인(54)은 층간 절연층(52) 상에 투명 전도 재료 ITO(인듐 주석 산화물)로 제조되어 있다. a-Si와 절연층으로 이루어진 이중층 구조 상에 형성된 Al의 게이트 라인(60)은 드레인 라인(54)에 교차하도록 배치되어 있다. 게이트 라인 (60)으로부터 연속되는 게이트 전극(59)은 게이트 라인(60)과 드레인 라인(54)의 교차부분 근처에 배치된다. 이 영역에는, 소스 전극(55), 드레인 전극(56), 이들 상에 배치된 a-Si층(57), SiN_x 등으로 제조된 게이트 절연층(58), 및 게이트 전극(59)이 적층하여 TFT를 형성하게 된다. 도시되지는 않았지만, 저항을 감소시키기 위하여 많은 불순물(예를 들어, 인)이 도핑된 a-Si층은 일반적으로 a-Si층(57)과 소스 전극(55) 사이 및 a-Si층(57)과 드레인 전극 (56) 사이에 위치하여 오옴 특성을 개선하게 된다.

이와 같은 패턴을 완성한 후에, 소정의 러빙(rubbing) 처리를 행하기 전에 액정의 배향을 제어할 목적으로 TFT 기판 전면에 폴리이미드 등의 배향막 (orientation film)을 형성한다. 이 TFT 기판은 그 다음에 공통 전극이 표면에 형성된 대향 기판과 접합되어 그들 사이에 액정을 주입하여 기판의 주위를 밀봉하여 액정 표시 장치를 완성하게 된다.

이와 같은 TFT 기판의 제조 공정은 이하의 세 가지 포토리소그래픽 단계: 차광층(51)을 구성하는 Cr을 에칭하는 제1 단계; 화소 전극(53), 드레인 라인(54), 소스 및 드레인 전극(55, 56)을 구성하는 ITO를 에칭하는 제2 단계; 및 게이트 라인(60) 및 게이트 전극(59)을 구성하는 Al을 에칭하는 제3 단계를 포함하고 있다. a-Si층(57) 및 게이트 절연층(58)은 게이트 라인(60) 및 게이트 전극(59)을 에칭하는데 사용되는 것과 동일한 마스크를 사용하여 상기 제3 포토리소그래픽 단계에서 에칭된다.

이와 같이, 스태거형 TFT는 세개의 포토리소그래픽 단계에 의해 TFT 기판상에 형성될 수 있으며, 따라서 그 제조 단가가 낮아진다. 그러나, 게이트 절연층 (58)은 게이트 라인(60) 및 게이트 전극(59)과 동일한 패턴을 가지도록 에칭되기 때문에, 이하의 문제점이 있게 된다.

드레인 라인(54), 소스 진극(55) 및 드레인 전극(56) 등의 하부층들은 노출되어 있기 때문에, 이들 하부층은 게이트 라인(60) 및 게이트 전극(59) 등의 상부층들과 기판 두께의 방향으로 게이트 절연층(58)의 두께 정도의 거리만큼 격리되어 있다. 또한, 상부층들은 하부층들과 게이트 절연층(58)의 두께만큼 절연되어 있다. 반면에, 저항이 낮은 Al은 게이트 라인 재료로서 적합하지만 Al은 내열성이 나쁘기 때문에 막대 형상으로 돌출되는 소위 힐록(hillock)(또는 범프(bump))을 형성하게 된다는 것은 공지되어 있다. 이 힐록은 또한 열처리 과정에서 더 성장하여 높이가 1 마이크로미터까지 될 수도 있다.

게이트 절연층(58)은 약 0.3 - 0.5 마이크로미터 정도의 두께를 가지며, 힐록(측방 힐록)은 게이트 전극(59)의 Al 패턴의 측벽으로부터 횡방향으로 형성되는 때, 게이트 절연층(58)의 두께의 거리로는 측방 힐록을 방지하기에는 불충분하며 소스 및 드레인 전극(55, 56) 등의 하부층들에 이를 수도 있게 된다.

특히, TFT 어레이 기판과 대향 기판과의 간극에는 기판간 거리를 일정하게 유지하기 위하여, 필러(filler)가 이들 기판 사이에 산포되어 있다. 이 필러가 측방 힐록의 발생 부분에 있게 되면, 측방 힐록은 물리적으로 소스 및 드레인 전극(55, 56)등의 하부층들 상에 압착되어 그 결과 게이트와 소스 사이 및 게이트와 드레인 사이에 쇼트 회로가 생기게 된다. 게이트와 소스 사이의 쇼트 회로는 점 결함(dot defect)을 야기하고, 게이트와 드레인 사이의 쇼트 회로는 선 결함(line defect)을 야기하여 표시 품질을 악화시키게 된다.

제3도는 힐록 발생 밀도와 열처리 온도와의 관계를 나타내는 도면이다. Al의 힐록은 150℃ 이상으로 가열하는 때에 형성되는 것을 보여준다. 그러나, 현행 제조 공정에서는 게이트 전극(59)의 형성 이후에 액정의 배향을 제어하기 위한 배향막이 되는 폴리이미드의 막 형성 단계, 및 패시베이션막의 형성을 위한 약 200℃의 단계가 포함된다. 그러므로, 힐록의 발생을 피할 수 없게 된다.

반면에, 힐록의 발생을 방지하기 위하여, Al은 박막화된다. 즉, 게이트 전극(59) 및 게이트 라인(60)을 구성하는 Al막은 힐록을 방지하기 위하여 500Å 이하의 두께를 가지도록 제조할 수 있다. 이 경우에, 3000 Å의 두께의 Mo 등의 적층 구조를 취함으로써 단선을 피할 수 있지만, Mo는 Al보다 5배 정도의 저항률을 가지며 선저항의 관점에서 볼 때, 대형 패널을 제조하는데 적합하지 않다.

본 발명은 게이트 금속에 힐록이 발생함으로써 게이트와 소스 사이 및 게이트와 드레인 사이에 쇼트 회로가 생기는 것을 방지하도록 구성된 액정 표시 장치를 제공하는 것을 목적으로 한다.

상기 목적을 달성하기 위하여, 본 발명에 따른 액정 표시 장치는 기판 상에 매트릭스 어레이로 배치된 액정을 구동하기 위한 복수의 화소 전극, 화소 전극의 열들 사이에 형성된 복수의 드레인 라인, 화소 전극의 행들 사이에 형성되어 있고 절연층과 반도체층 등의 하부 층들을 갖는 복수의 게이트 라인, 각각이 드레인 라인과 게이트 라인의 교차점 근처에 형성되어 있고 화소 전극에 전압을 인가하는 복수의 박막 트랜지스터를 구비하고 있다. 각각의 박막 트랜지스터는 화소 전극의 일부분을 구성하는 소스 전극, 드레인 라인의 일부분을 구성하는 드레인 전극, 소스 전극과 드레인 전극 상으로 연장하여 형성된 반도체층, 반도체층 상에 형성된 절연층, 및 절연층 상에 형성되어 있고 게이트 라인의 일부분을 형성하는 게이트 전극을 가지고 있다. 또한, 게이트 라인 및 게이트 전극은 절연층의 라인 폭보다 좁게 형성되어 있는 것을 특징으로 한다.

이와 같이, 게이트 라인과 게이트 전극의 폭은 절연층의 라인 폭보다 좁게 형성되어 있으며, 게이트 라인과 게이트 전극으로부터 이들 아래의 하부 위치에 배치된 소스 전극(화소 전극)과 드레인 전극(드레인 라인)까지의 거리는 「절연층의 두께 + 게이트 라인(및 전극)의 라인 폭과 절연층의 라인 폭과의 차이」 와 같게 되어 있다. 그러므로, 알루미늄이 게이트 라인과 게이트 전극으로 사용되는 때에, 힐록이 알루미늄 상에 형성되는 경우라도, 힐록의 돌출 단부는 소스 및 드레인 전극(라인)에 도달하여 쇼트 회로를 야기하는 것을 방지하게 된다.

게이트 전극 및 게이트 라인용 재료로서 Nd를 함유하는 Al을 사용함으로써 내열성을 개선하게 된다. 이와 같이, 게이트 전극과 게이트 라인의 형성이후의 공정에 고온 단계가 포함되어 있더라도 힐록의 형성을 억압하게 된다. 그러므로, 게이트 전극과 게이트 라인이 하부 절연층과 동일한 라인 폭을 갖도록 형성되는 경우에도, 힐록의 형성으로 생기는 쇼트 회로가 이들 게이트와, 소스 전극과 드레인 전극(드레인 라인) 등의 하부층들 사이에 생기는 것이 방지된다. 게이트 전극과 게이트 라인이 절연층보다 좁은 라인 폭을 갖도록 형성되는 때에, 힐록으로 인한 쇼트 회로가 생기는 것을 더욱 철저하게 방지할 수 있다.

본 발명은 또한 거의 테이퍼 형상의 차광층이 기판 상의 박막 트랜지스터의 채널부에 해당하는 위치에 형성되는 것을 특징으로 한다.

게다가, 게이트 라인은 반도체층 및 절연층을 거쳐 드레인 라인과 교차한다. 이와 같이, 드레인 라인과 게이트 라인의 교차점에서, 게이트 라인과 드레인 라인 사이의 거리는 「게이트 라인과 절연층의 라인 폭간의 차이 + 절연층의 두께」가 되며, 따라서 이 2개의 라인 사이에서 쇼트 회로가 생길 확률은 힐록이 게이트 라인상에 형성되는 경우에도 감소될 수 있다.

상기 액정 표시 장치의 제조 방법은 기판 상에 투명 도전층을 형성하는 단계; 화소 전극, 드레인 라인, 소스 전극 및 드레인 전극을 형성하기 위하여 제1 마스크로 투명 도전층을 에칭하는 단계; 드레인 라인과 3개의 전극을 형성한 후에 반도체층, 절연층 및 도전층을 순차 형성하는 단계; 도전층 상에 제2 마스크를 형성하여 제2 마스크로 도전층을 제2 마스크와 동일 형상으로 에칭하는 단계, 도전층에 제2 마스크보다 좁은 라인 폭을 갖는 패턴을 제공하도록 에칭된 도전층의 측방부를 또다시 에칭하여 게이트 라인과 게이트 전극을 형성하는 단계; 및 제2 마스크로 절연층과 반도체층을 에칭하여 제2 마스크와 동일 형상을 형성하는 단계를 가지고 있다.

본 발명은 도전층이 등방성 에칭(예를 들어, 습식 에칭, 플라즈마 에칭)에 의해 에칭되고, 절연층과 반도체층이 비등방성 에칭(예를 들어, 건식 에칭)에 의해 에칭되는 것을 특징으로 한다.

이와 같이, 게이트 라인과 게이트 전극이 제2 마스크보다 더 좁은 라인 폭을 갖는 패턴을 갖도록 에칭되고, 따라서 단순한 절차를 통해 쇼트 회로가 힐록의 발생으로 인한 전극(라인)들 사이에 발생되는 것을 방지할 수 있다. 게다가, 동일한 마스크를 사용하여 절연층과 반도체층 뿐만 아니라 게이트 라인과 게이트 전극을 에칭할 수 있고, 따라서 포토리소그레픽 단계를 단일 단계로 줄일 수 있게 되고 제조단가를 감소시킬 수 있게 된다.

게이트 라인과 게이트 전극으로 구성되는 도전층은 Nd를 함유하는 Al을 사용하여 형성될 수 있고, 따라서 힐록의 형성이 상기한 바와 같이 감소된다.

게다가, 박막 트랜지스터의 형성에 앞서, 상기 기판 상의 상기 박막 트랜지스터의 채널부에 대응하는 위치에 Cr을 사용하여 차광성 층을 형성하고; 상기 차광성 층의 상부층의 형성시에 질소 분위기로 하여 상기 차광성 층의 상부층을 질화크롬으로 제조하며; 상기 차광성 층을 에칭함으로써 거의 테이퍼 형상의 차광층을 형성하도록 설계되었다. 이와 같이, 차광층의 모서리 부분에서의 곡률은 크고 단차가 완화되어 있다. 따라서, 이 차광층 상에 절연층 등을 거쳐 형성되는 박막 트랜지스터나 각종 배선 등이 상기 차광층의 모서리부에서의 단차에 의해 단선되는 것을 방지할 수 있다.

이제 본 발명의 실시예들을 첨부된 도면을 참조하여 설명하기로 한다.

실시예 1

제4도는 본 발명의 제1 실시예에 따른 액정 표시 장치의 평면도이고, 제5도는 제4도의 라인 4X-4X'을 따라 절취한 단면도이다. Cr 등으로 이루어진 차광층(11) 및 차광층(11)을 덮고 있는 층간 절연층(12)은 투명한 기판(10) 상에 형성되어 있고, ITO로 이루어진 화소 전극(13), 드레인 라인(14), 화소 전극(13)과 일체인 소스 전극(15), 및 드레인 라인(14)와 일체인 드레인 전극(16)은 층간 절연층(12) 상에 형성되어 있다. a-Si 층(17), 게이트 절연층(18) 및 게이트 전극(19)는 이 순서로 소스 및 드레인 전극(15, 16) 상에 적층되어 TFT를 형성하게 된다. 게이트 절연층(18) 상에 형성되는 게이트 라인(20)은 Al로 만들어져 a-Si(17)과 게이트 절연층(18)과 동일한 패턴을 가지도록 형성되어 드레인 라인(14)과 교차하게 된다.

본 실시예에서, 게이트 전극(19) 및 게이트 라인(20)은 게이트 절연층(18)보다 더 좁게 형성되어 있다. 측방 힐록이 게이트 전극(19)과 게이트 라인(20)을 구성하는 Al 상에 제조되는 경우에도, 이들이 게이트 절연층(18)을 통하여 하부 위치에 있는 드레인 라인(14)과 소스 및 드레인 전극(15, 16)에 도달하는 것을 방지하게 된다. 즉, 게이트 절연층(18)에 대해 상부 위치에 있는 게이트 전극(19) 및 게이트 라인(20)은, 게이트 절연층(18)의 이 두께와 게이트 절연층(18)의 패턴 모서리와 게이트 전극(19) 또는 게이트 라인(20)의 패턴 모서리 간의 거리의 총합만큼 그 하부에 있는 드레인 라인(14), 소스 전극(15) 및 드레인 전극(16)로부터 떨어져 있다. 이와 같이, Al로 만들어진 게이트 전극(19)과 게이트 라인(20) 상의 측방 힐록은 드레인 라인(14), 소스 전극(15) 및 드레인 전극(16)애 도달하지 않게 된다.

이제부터는, 상기한 액정 표시 장치를 제조하는 공정에 대해서 설명하기로 한다. 제6도에서, Cr은 글라스 등으로 만들어진 기판(10) 상에 스퍼터링되고 차광층(11)을 형성하도록 에칭되었다. 차광층(11)은 전체 두께가 약 1000-2000 Å이 되도록 형성되었다. 차광층의 상부층은 스퍼터링 공정의 마지막 단계에서 질소 분위기에서의 스퍼터링애 의해 두께가 100-300 Å인 CrNx(11N)으로 되어 있었다. CrNx는 Cr보다 고속으로 에칭될 수 있기 때문에, 차광층(11)은 상술한 바와 같이 상부층에 대해 CrNx(11N)을 사용하여 단차있는 부분을 제거함으로써 테이퍼 형상의 단면을 가지도록 형성된 모서리를 가지고 있다. 차광층(11)을 형성한 이후에, 기판은 예를 들어 실리콘 질화물의 CVD 막으로 완전히 코팅되어 층간 절연층(12)을 형성하게 된다.

ITO는 제7도에 도시된 바와 같이, 약 1000 Å 두께로 층간 절연층(12) 상에 스퍼터되고, 선정된 패턴으로 에칭되어 화소 전극(13), 드레인 라인(14), 소스 전극(15), 및 드레인 전극(16)을 형성한다. 상술한 바와 같이, TFT의 옴(ohmic) 특성을 향상시키기 위해서, 인과 같은 N-형 불순물은 미리 타겟 ITO 내에 주입되어, ITO 스퍼터링 공정을 사용하여 인을 화소 전극(13), 드레인 라인(14), 소스 전극(15), 및 드레인 전극(16)에 첨가한다.

제8도에 도시된 바와 같이, a-Si 층(17)은 화소 전극(13), 드레인 라인(14), 소스 전극(15), 및 드레인 전극(16)이 형성되어 있는 기판 상에서 플라즈마 CVD법에 의해 500-1000Å 두께로 형성된다. 이 시점에서, ITO 내에 함유된 인은 a-Si 층의 성장과 함께 a-Si 층쪽으로 분산되어 ITO와 a-Si 층(17) 사이에 있는 인터페이스에 N^+형 접촉층(17N)을 형성함으로써 옴 접촉부를 제공한다. a-Si 층(17)의 형성 후, 실리콘 질화물은 플라즈마 CVD법을 사용하여 2000-4000Å의 두께를 갖는 게이트 절연층(18)을 형성하도록 피착된다. 그 다음, Al은 약 4000Å 두께로 스퍼터되어 게이트 전극(19) 및 게이트 라인(20)을 형성한다.

게이트 라인 패턴을 갖는 포토레지스트(21)는 제9도에 도시된 바와 같이, 게이트 전극(19) 및 게이트 라인(20)용의

Al층 상에 형성된다. 포토레지스트(21)를 마스크로서 사용하면, Al층은 에천트로서 아세트산, 인산 및 질산의 혼합물을 사용하여 에칭되어, 제10도에 도시된 바와 같이, 게이트 전극(19) 및 게이트 라인(20)을 형성한다. 대안적으로, 게이트 전극 및 게이트 라인은 플라즈마 에칭 공정을 사용하여 측방 에칭을 함으로써 좁은 패턴으로 형성된다. 이 시점에서, 에칭 시간은 Al층이 마스크의 사이즈보다 약 1 마이크로미터 크게 측방 에칭되도록 조정되기 때문에, 게이트 전극(19) 및 게이트 라인(20)은 포토레지스트(21)보다 좁게 형성된 패턴을 갖는다.

제11도에 도시된 바와 같이, RIE(반응성 이온 에칭)와 같은 이방성 에칭은 마스크로서 동일한 포토레지스트(21)를 사용하고 에칭 가스로서는 카본 테트라 플루오르화물을 사용하여 수행되어, 게이트 절연층(18) 및 a-Si 층(17)을 제거한다. 따라서, 게이트 절연층(18) 및 a-Si 층(17)은 게이트 전극(19) 및 게이트 라인(20)을 따라 있는 영역 내에 남아 있다. a-Si 층(17), 게이트 절연층(18) 및 게이트 전극(19)은 이 순서대로 소스 전극(15) 및 드레인 전극(16) 상에 피착되어 TFT를 구성한다.

포토레지스트(21)는 마지막에 제거되어, 제4도의 구성을 완성한다.

따라서, 이 예에서, 게이트 전극(19) 및 게이트 라인(20)은 등방성 에칭, 예를 들면 습식 에칭 및 플라즈마 에칭에 의해 측방 에칭되어, 패턴을 포토레지스트(21)보다 좁게 만들고, 게이트 절연층(18) 및 a-Si 층(17)은 이방성 에칭되어 포토레지스트(21)과 동일한 패턴을 가짐으로써, 게이트 전극(19) 및 게이트 라인(20)은 게이트 절연층(18)의 패턴보다 좁게 형성된 그들의 패턴을 갖는다. 또한, 상부 위치에 있는 게이트 전극(19) 및 게이트 라인(20)과, 하부 위치에 있는 드레인 라인(14), 소스 전극(15) 및 드레인 전극(16)은 a-Si 층(17), 게이트 절연층(18) 및 측방 에칭된 양의 Al의 두께를 합한 전체 거리만큼 교차점에서 분리된다. 따라서, Al의 게이트 라인상에 측방 힐록이 형성되고, 이 측방 힐록이 필러에 의해 하향 방향으로 밀려지더라도, 측방 힐록은 드레인 라인(14), 소스 전극(15) 및 드레인 전극(16)에 도달하지 못하므로, 게이트와 소스 사이, 그리고 게이트와 드레인 사이에 쇼트 회로가 형성되는 것을 방지한다.

제12도는 본 예에 따른 액정 표시 장치의 테스트 결과에 관한 것인데, 이는 힐록으로 인한 쇼트 회로의 발생율과 측방 에칭량과의 관계를 도시한다. 제12도에 도시된 바와 같이, 게이트 전극과 게이트 라인의 측방 에칭량이 약 0.8 마이크로미터보다 작을 때 쇼트 회로의 발생율은 측방 에칭량에 크게 좌우되지만, 측방 에칭량이 상기 값보다 클 때 쇼트 회로의 발생율은 의존도가 낮다. 따라서, 측방 에칭량, 즉 게이트 절연막 등의 측방을 기준으로 한 게이트 전극 및 게이트 라인의 초과 에칭량은 양호하게 대략 1 마이크로미터로 설정된다.

상술한 바와 같이, 게이트 라인 Al 상의 힐록으로 인한 게이트와 소스, 그리고 게이트와 드레인 사이의 쇼트 회로들 각각은 스태거형 TFT을 사용하여 액정 표시 장치 내에 생기는 것이 방지되고, 따라서 이러한 표시 장치의 수율은 향상된다.

또한, 이러한 형태의 액정 표시 장치는 에칭량을 조정함으로써 달성될 수 있고, 마스크의 수를 증가시키지 않고도 만들어질 수 있으므로, 제조 가격을 저렴하게 한다.

실시예 2

이 예는 제13도 및 제14도를 참조하여 설명된다.

유리와 같은 투명 기판(30) 상에서, Cr은 스퍼터 및 포토에칭되어 약 3000Å 두께의 차광막을 형성하고, 5000Å 두께의 SiO_2 막은 CVD법을 사용하여 차광막(31)을 전체적으로 덮도록 형성되어, 층간 절연층(32)을 형성한다. 차광막(31)은 TFT가 형성되는 영역을 덮는다.

ITO는 층간 절연층(32) 상의 1500Å 두께의 막 상에 스퍼터된다. 액정을 구동시키기 위한 화소 전극(33P), 이 화소 전극(33P) 주변의 드레인 라인(33L), 화소 전극(33P)과 일체로 된 소스 전극(33S), 및 드레인 라인(33L)과 일체로 된 드레인 전극(33D)은 포토에칭에 의해 형성된다.

채널 영역을 형성하는 a-Si 층(34), 및 게이트 절연막(35)은 소스 전극(33S), 드레인 전극(33D), 및 소스 전극(33S)과 드레인 전극(33D) 사이의 영역 상에 형성된다. 게이트 라인(36L)으로부터 연속된 게이트 전극(36G)은 게이트 절연막(35) 상에 형성된다. TFT는 게이트 전극(36G), 게이트 절연막(35), a-Si 층(34), 소스 전극(33S) 및 드레인 전극(33D)로 구성된다.

게이트 전극(36G) 및 게이트 라인(36L)은 Al에 중량당 2%의 Nd가 함유된 Al-Nd 합금으로 만들어진다. 비결정 실리콘(a-Si) 및 SiNx는 진공 파괴없이 플라즈마 CVD법을 사용하여 각각 3000Å 및 5000Å 두께의 막 내에 연속적으로 형성된다. 그 다음, 상기 Al-Nd는 3000Å 두께의 막 상에 스퍼터된다. 이들 3개의 층들은 동일-패턴 마스크(동일한 마스크)를 사용하여 에칭된다.

N^+ a-Si 층(34N)은 a-Si 층(34)과 소스 전극(33S)의 사이, 및 a-Si 층(34)와 드레인 전극(33D)의 사이에 보유되어, TFT의 옴 특성을 달성한다. ITO를 스퍼터링할 때 ITO 내에 주입된 인이 a-Si 층(34)이 플라즈마 CVD법에 의해 막 내에 형성될 때 반응하기 위해 a-Si 층쪽으로 분산되는 경우에, N^+ a-Si 층(34N)은 실시예 1에서와 같이, ITO와 a-Si 층 사이의 N^+ 형 막으로서 형성된 층이다.

따라서, 이러한 예는 Al에 중량당 2%의 Nd가 함유된 Al-Nd 합금을 사용하여 게이트 전극 및 라인(36)을 만든다. Al-Nd 합금은 열 저항이 높고 고온 공정 중에 힐록을 만들기가 어렵다. 게이트 전극 및 라인(36)과 동일한 패턴을 갖도록 a-Si 층(34) 및 게이트 절연막(35)을 형성하므로써 가격이 낮춰진 마스킹 공정(3 단계 LCD)에 의해 만들어진 LCD에 있어서, 게이트 전극 및 라인(36)과, 게이트 절연막 (35)이 사이에 끼어 있는 드레인 전극 및 라인(33)의 교차점에서 조차, 게이트 전극 및 라인(36) 상에 형성된 힐록으로 인한 쇼트 회로가 드레인 전극 및 라인(33)과 게이트 전극 및 라인(36) 사이에 발생하지 않는다.

제15도는 TFT 어레이 기판이 다양한 종류의 금속을 사용하고 이들을 열처리함으로써 만들어질 때 힐록의 발생에 관한 테스트 결과를 도시한다. 이 예에서 3000Å 두께의 Al-Nd(중량당 2%)를 게이트 금속으로서 사용하므로써 테스트가 수행될 때, 게이트 라인 상에 형성된 힐록들의 수는 삼각형(△)으로 표시된다. 비교예가 순수 Al(p-Al)을 막 내에 형성하고 즉시 이를 게이트 전극 및 라인으로서 사용하도록 어닐링시킬 때, 게이트 라인 상에 형성된 힐록들의 수는 검은 원(●)으로 표시된다. 또한, 게이트 전극 및 라인으로서 사용하도록 500/3000Å 두께의 A/Mo 내에 얇은 Al(t-Al)을 만듦으로써 테스트가 수행될 때에도, 한 게이트 라인 상에 형성된 힐록들의 수는 원(○)으로 표시된다. 그래프에서 곡선 (a), (b) 및 (c)들은 p-Al 막들을 만들고, 그들의 어닐링 온도가 각각 180, 190 및 200℃로 되도록 결정하므로써 달성된 결과를 나타낸다. 그래프를 통해서, Al-Nd가 300℃ 이하에서는 힐록을 형성하지 않으며, 상기 레벨 이하의 온도 범위에서 수행되는 공정에서 게이트 전극 및 라인(36)으로서 Al-Nd를 사용함으로써 쇼트 회로가 힐록으로 인해 게이트와 소스간, 및 게이트와 트레인 간에서 발생되는 것을 거의 완전히 방지할 수 있다는 것을 알 수 있다. 힐록들의 형성은 또한, t-Al이 사용될 때 억제되며, 상기 라인 저항에 대해 단점이 있기 때문에, 큰 사이즈의 표시 장치에는 적합하지 않다. 한편, p-Al이 사용되면, 힐록이 형성되고, 힐록들의 수는 막 형성 후의 어닐링 온도에 따라 다양하다. 즉, 입자들의 형성은 고온에서 어닐링될 때 촉진되고, 막의 품질은 향상되며, 형성된 힐록들의 수는 감소된다. 그러나, 힐록들의 성장이 역으로 촉진되고, 소스 및 드레인 전극 및 라인(33)에 도달할 수 있는 가능성은 증가되므로, 그 결과 쇼트의 감소가 달성되지 않는다. 특히, Al의 어닐링 온도는 생성된 힐록들의 수를 상당히 감소시키므로써 쇼트 회로들의 발생 가능성을 감소시키기 위해서, 사실상 증가될 필요가 있다. 그러나, 본 발명에 의한 구성에 있어서, a-Si는 게이트 Al막이 형성될 때 형성되기 때문에, 어닐링 온도의 증가는 즉시 a-Si을 열화시키거나, TFT의 특성을 변화시키므로, 실용성을 떨어뜨린다.

게이트 전극 및 라인(36)을 만들고 a-Si층(34), 게이트 절연막(35) 및 게이트 전극 및 라인(36)을 동일 패턴으로 형성하기 위한 물질로서 Al에 Nd가 중량당 2% 함유된 Al-Nd 합금을 사용하므로써 생산 공정이 간략화된 3 단계 LCD에 있어서, 게이트 전극 및 라인(36)과, 게이트 절연막(35)이 사이에 끼어 있는 소스 및 드레인 전극 및 라인(33)의 교차점에서 조차, 그들(33, 36) 사이에 쇼트 회로가 발생하지 않으므로, 수율을 향상시킨다. 실시예 1의 게이트 전극 및 라인 물질로서 본 예의 Al-Nd 합금을 사용하면, 힐록의 형성으로 인한 전극들 사이의 쇼트 회로는 완전히 방지될 수 있다.

스태거형 TFT들을 사용하는 액정 표시 장치용의 게이트 전극 및 라인 물질로서 Nd를 함유한 Al을 사용함에 의한 열저항의 향상은 힐록의 형성을 방지한다는 것은 상기 설명에 의해 명백해진다. 따라서, 게이트(전극 및 라인)와 동일한 형태의 절연층 두께에 의해 절연되는 게이트(전극 및 라인)와 소스/드레인(전극 및 라인)의 구조는 힐록으로 인해 쇼트 회로가 상기 전극과 라인 사이에 발생하는 것을 방지하므로, 수율을 향상시킨다.

본 발명이 양호한 실시예들과 관련하여 설명되었지만, 이는 본 발명을 제한하려는 의도는 아니며, 본 분야의 숙련자들이라면 본 발명이 첨부된 청구범위를 벗어나지 않는 한도에서 다양하게 변형될 수 있다는 것을 알 수 있다.

(57) 청구의 범위

청구항 1.

액정 표시 장치에 있어서,

기판 상에 매트릭스 어레이로 배치된 복수의 액정 구동용 화소 전극,

상기 화소 전극의 열들 사이에 형성된 복수의 드레인 라인,

상기 화소 전극들의 행들 사이에 형성되고 절연층 및 반도제층 등의 하부층을 갖고 있는 복수의 게이트 라인, 및

각각이 드레인 라인과 게이트 라인의 교차점 부근에 형성되고 상기 화소 전극에 전압을 인가하는 복수의 박막 트랜지스터를 포함하며,

상기 박막 트랜지스터 각각은

상기 대응하는 화소 전극의 일부를 구성하는 소스 전극,

상기 대응하는 드레인 라인의 일부를 구성하는 드레인 전극,

상기 소스 전극과 상기 드레인 전극 위로 연장되도록 형성된 상기 반도체층,

상기 반도체층 상에 형성된 상기 절연층, 및

상기 절연층 상에 형성되고, 상기 게이트 라인의 일부를 구성하는 게이트 전극을 갖고 있고,

상기 게이트 라인 및 상기 게이트 전극은 그들의 하부층의 상기 절연층의 라인 폭보다 좁은 폭으로 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서, 상기 게이트 전극 및 상기 게이트 라인은 Nd를 함유한 Al로 이루어지는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항에 있어서, 거의 테이퍼 형상의 차광층이 상기 기판 상의 상기 박막 트랜지스터의 채널 영역에 대응하는 위치에 형성되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

기판 상에 매트릭스 어레이로 배치된 복수의 액정 구동용 화소 전극,

상기 화소 전극의 열들 사이에 형성된 복수의 드레인 라인,

상기 화소 전극의 행들 사이에 형성되고 절연층 및 반도체층 등의 하부층을 갖고 있는 복수의 게이트 라인, 및

각각이 드레인 라인과 게이트 라인의 교차점 부근에 형성되고, 대응하는 화소 전극에 전압을 인가하는 복수의 박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는

상기 대응하는 화소 전극의 일부를 구성하는 소스 전극,

상기 드레인 라인의 일부를 구성하는 드레인 전극,

상기 소스 전극과 상기 드레인 전극 위로 연장되도록 형성된 상기 반도체층,

상기 반도체층 상에 형성된 상기 절연층, 및

상기 절연층 상에 형성되고 상기 게이트 라인의 일부를 형성하는 게이트 전극을 갖고 있는 액정 표시 장치의 제조 방법에 있어서,

상기 기판 상에 투명 도전층을 형성하는 단계,

상기 투명 도전층을 제1 마스크로 에칭하여 상기 화소 전극, 상기 드레인 라인, 상기 소스 전극 및 상기 드레인 전극을 형성하는 단계,

상기 드레인 라인, 및 상기 화소 전극, 상기 소스 전극 및 상기 드레인 전극을 형성한 후 상기 반도체층, 상기 절연층 및 상기 도전층을 순차적으로 형성하는 단계,

상기 도전층 상에 제2 마스크를 형성하고, 상기 제2 마스크를 이용하여 상기 도전층을 상기 제2 마스크와 동일 형상으로 에칭하는 단계,

상기 에칭된 도전층의 측방을 다시 에칭하여 상기 도전층에 상기 제2 마스크보다 좁은 라인 폭을 갖는 패턴을 제공하여 상기 게이트 라인 및 상기 게이트 전극을 형성하는 단계, 및

상기 제2 마스크로 상기 절연층 및 상기 반도체층을 에칭하여 상기 제2 마스크와 동일 형상이 되도록 하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치 제조 방법.

청구항 5.

제4항에 있어서, 상기 도전층은 습식 에칭 처리에 의해 에칭되고, 상기 절연층 및 상기 반도체층은 건식 에칭 처리에 의해 에칭되는 것을 특징으로 하는 액정 표시 장치 제조 방법.

청구항 6.

제4항에 있어서, 상기 도전층은 플라즈마 에칭 처리에 의해 에칭되고, 상기 절연층 및 상기 반도체층은 건식 에칭 처리에 의해 에칭되는 것을 특징으로 하는 액정 표시 장치 제조 방법.

청구항 7.

제4항에 있어서, 상기 게이트 라인 및 상기 게이트 전극을 구성하는 상기 도전층은 Nd를 함유한 Al로 이루어지는 것을 특징으로 하는 액정 표시 장치 제조 방법.

청구항 8.

제4항에 있어서,

상기 박막 트랜지스터를 형성하기 전에 상기 기판 상의 상기 박막 트랜지스터의 채널부에 대응하는 위치에 Cr의 차광성층을 형성하는 단계,

상기 차광성 층의 상부층의 형성시에 질소 분위기로 상기 차광성 층의 상부층을 질화 크롬으로 제조하는 단계, 및

상기 차광성 층을 에칭하여 거의 테이퍼 형상의 차광층을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치 제조 방법.

청구항 9.

기판 상에 복수 형성된 액정 구동용의 화소 전극,

복수의 드레인 전극 배선,

상기 드레인 전극 배선에 교차하는 복수의 게이트 전극 배선,

상기 화소 전극에 접속된 소스 전극, 상기 드레인 전극 배선에 접속된 드레인 전극, 상기 게이트 전극 배선에 접속된 게이트 전극을 갖는 박막 트랜지스터를 갖는 액정 표시 장치에 있어서,

상기 각 전극 배선 및 상기 각 전극중 적어도 하나는 Al에 Nd를 소량 함유한 합금에 의해 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

기판 상에 복수 형성된 액정 구동용의 화소 전극,

복수의 드레인 라인,

상기 드레인 라인에 교차하는 복수의 게이트 라인,

상기 화소 전극에 접속된 소스, 상기 드레인 라인에 접속된 드레인,

상기 게이트 라인에 접속된 게이트를 갖는 박막 트랜지스터를 갖는 액정 표시 장치에 있어서,

상기 드레인 라인 또는/ 및 상기 게이트 라인 또는/ 및 게이트는, Al에 Nd를 소량 함유한 합금에 의해 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제9항 또는 제10항에 있어서,

상기 합금은, Al에 약 2wt.%의 Nd가 함유되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제9항 또는 제10항에 있어서,

상기 박막 트랜지스터는, 소스, 드레인에 대하여, 게이트가 기판으로부터 멀리 떨어져 있는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제9항 또는 제10항에 있어서,

상기 게이트가 Al에 Nd를 소량 함유한 합금에 의해 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 14.

제9항 또는 제10항에 있어서,

상기 게이트 라인이 Al에 Nd를 소량 함유한 합금에 의해 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

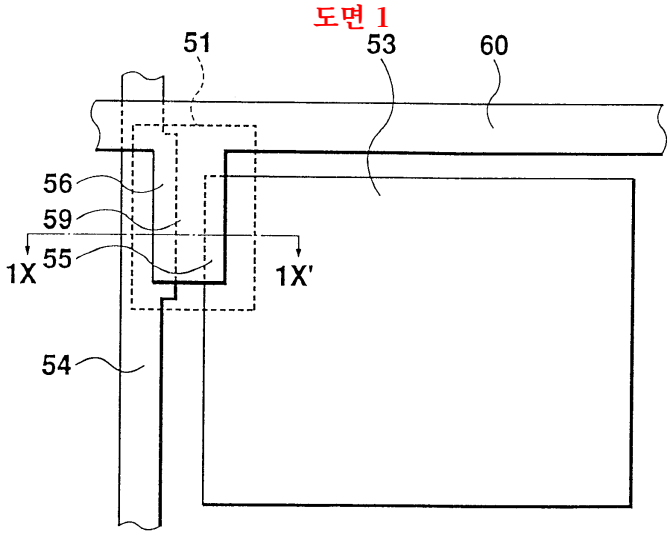
청구항 15.

제9항 또는 제10항에 있어서,

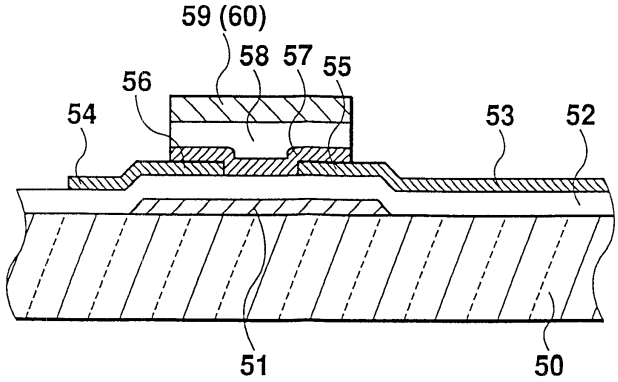
상기 게이트 및 상기 게이트 라인이 Al에 Nd를 소량 함유한 합금에 의해 형성되어 있는 것을 특징으로 하는 액정 표시 장치.

도면

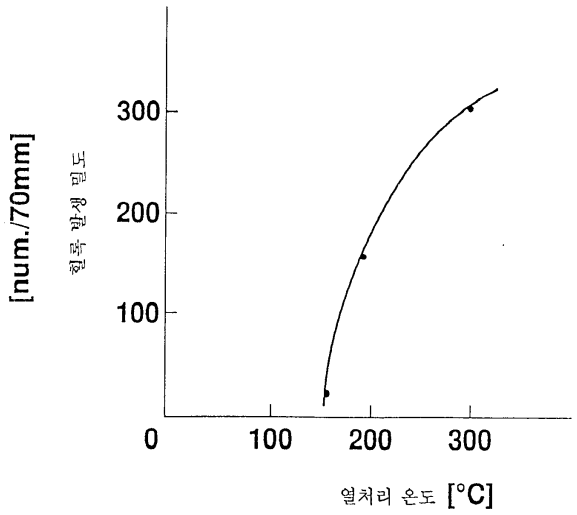
도면 1



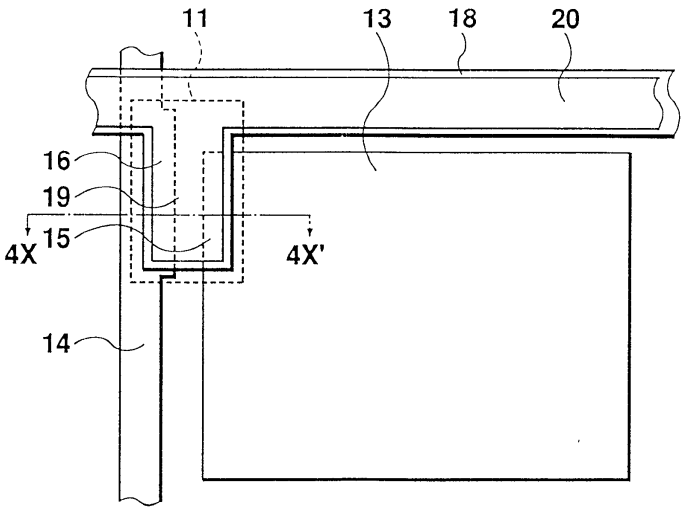
도면 2



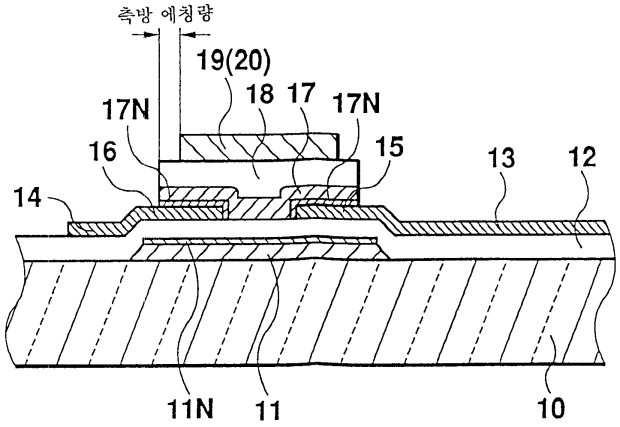
도면 3


[num./70mm]
힐록 생성 밀도
300
200
100
0
100
200
300
열처리 온도 [°C]

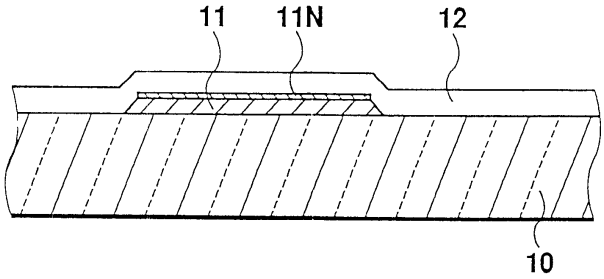
도면 4


11
13
18
20
16
19
4X
15
4X'
14

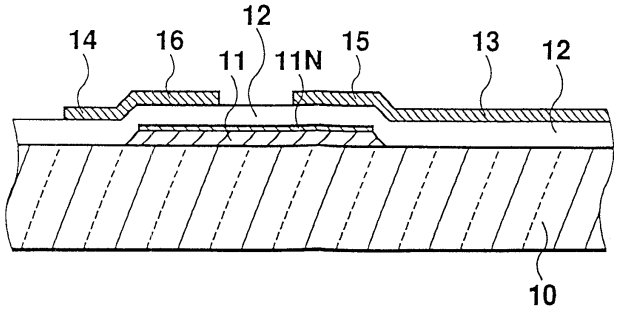
도면 5


측방 에칭량
19(20)
18
17
17N
17N
16
15
13
12
14
11N
11
10

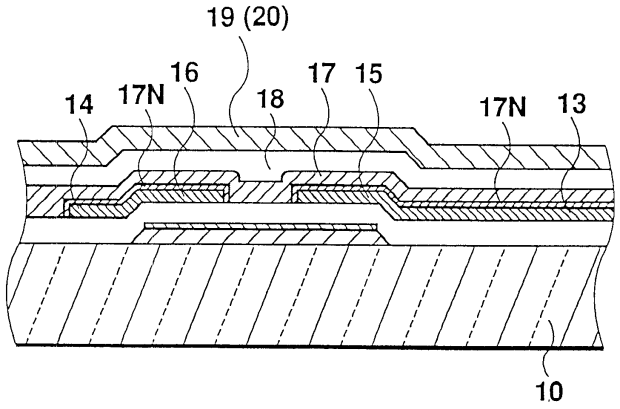
도면 6


11
11N
12
10

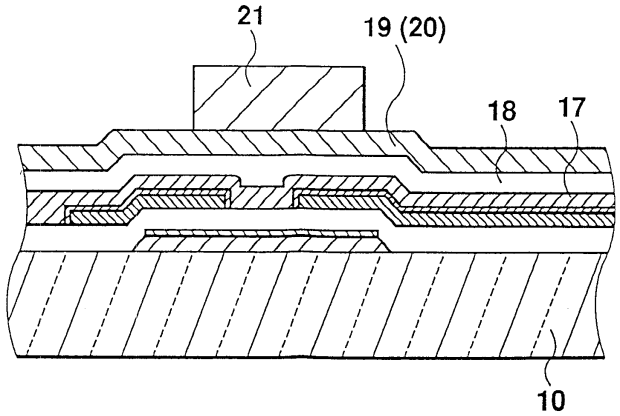
도면 7


12
14
16
11
11N
15
13
12
10

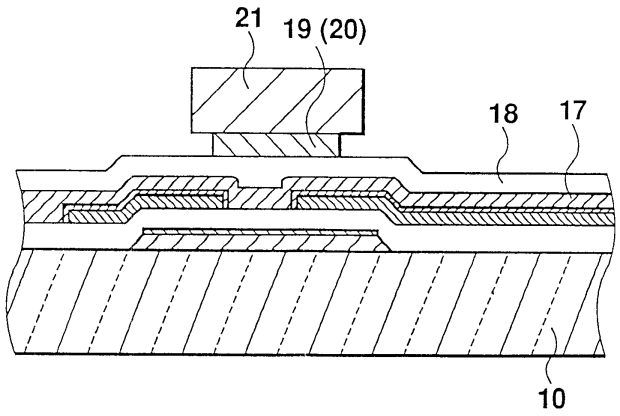
도면 8



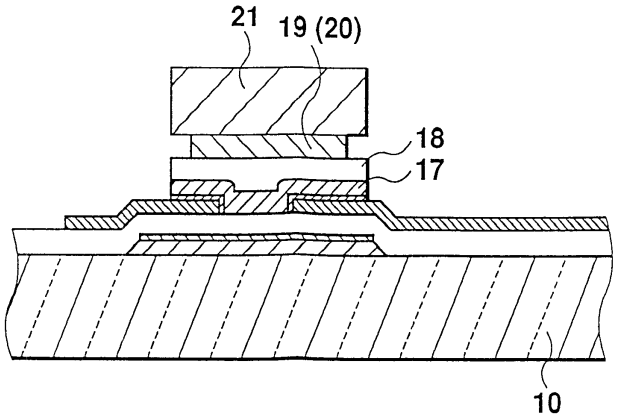
도면 9



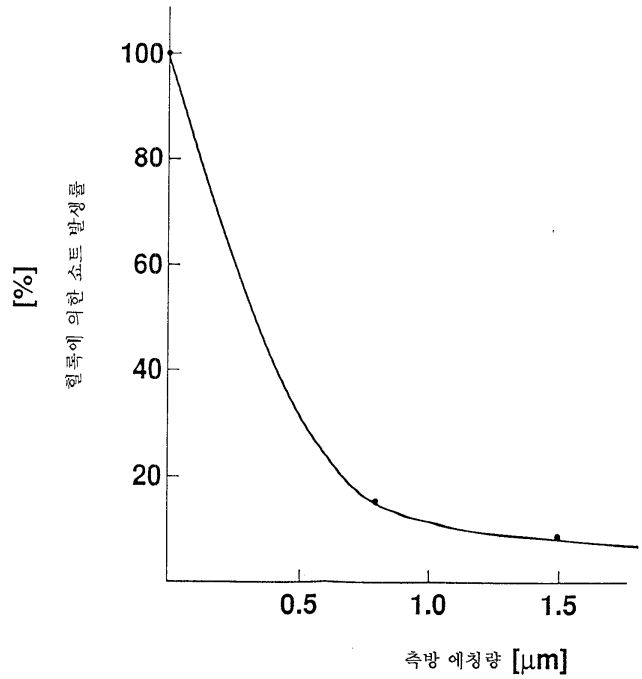
도면 10



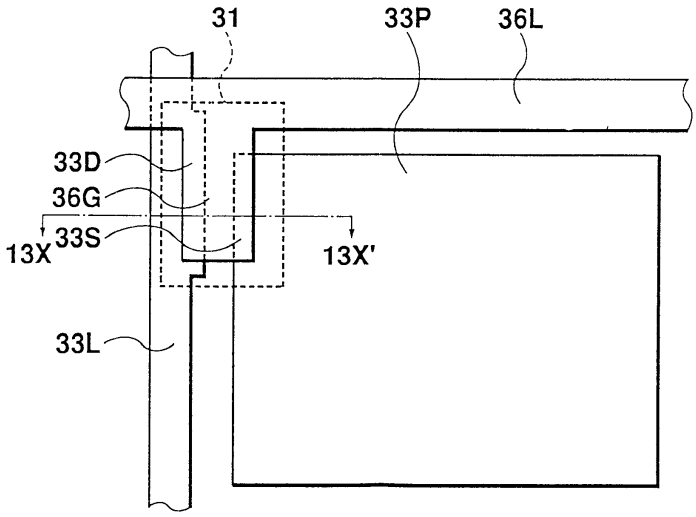
도면 11



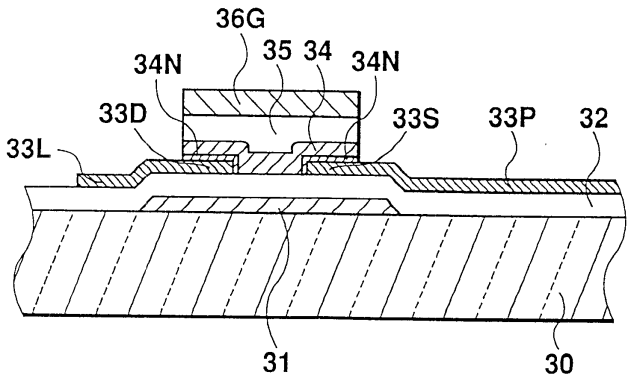
도면 12



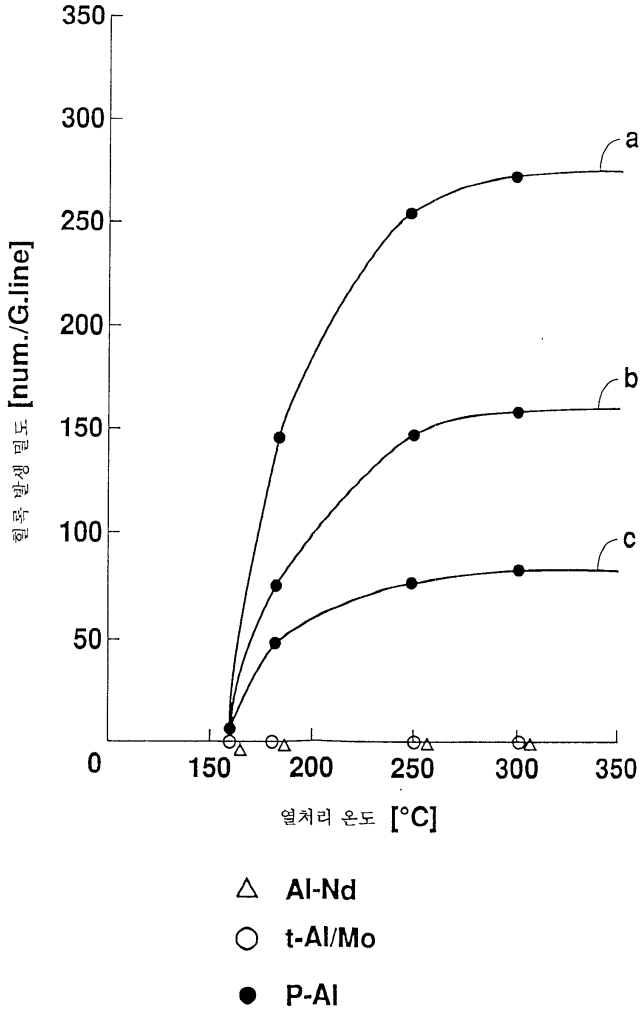
도면 13


31
33P
36L
33D
36G
13X
33S
13X'
33L

도면 14


36G
35
34
34N
34N
33D
33S
33P
32
33L
31
30

도면 15


350
300
250
200
150
100
50
0
150
200
250
300
350
a
b
c
힐록 발생 밀도 [num./G.line]
열처리 온도 [°C]
△ Al-Nd
○ t-Al/Mo
● P-Al