

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-208152

(P2017-208152A)

(43) 公開日 平成29年11月24日(2017.11.24)

|                                |               |                   |
|--------------------------------|---------------|-------------------|
| (51) Int.Cl.                   | F I           | テーマコード (参考)       |
| <b>G 1 1 C 16/02 (2006.01)</b> | G 1 1 C 17/00 | 6 1 1 E 5 B 2 2 5 |
| <b>G 1 1 C 16/04 (2006.01)</b> | G 1 1 C 17/00 | 6 2 2 E           |
|                                | G 1 1 C 17/00 | 6 4 1             |

審査請求 未請求 請求項の数 16 O L (全 40 頁)

|           |                              |          |                |
|-----------|------------------------------|----------|----------------|
| (21) 出願番号 | 特願2016-101093 (P2016-101093) | (71) 出願人 | 317006041      |
| (22) 出願日  | 平成28年5月20日 (2016. 5. 20)     |          | 東芝メモリ株式会社      |
|           |                              |          | 東京都港区芝浦一丁目1番1号 |
|           |                              | (74) 代理人 | 100108855      |
|           |                              |          | 弁理士 蔵田 昌俊      |
|           |                              | (74) 代理人 | 100103034      |
|           |                              |          | 弁理士 野河 信久      |
|           |                              | (74) 代理人 | 100075672      |
|           |                              |          | 弁理士 峰 隆司       |
|           |                              | (74) 代理人 | 100153051      |
|           |                              |          | 弁理士 河野 直樹      |
|           |                              | (74) 代理人 | 100189913      |
|           |                              |          | 弁理士 鵜飼 健       |

最終頁に続く

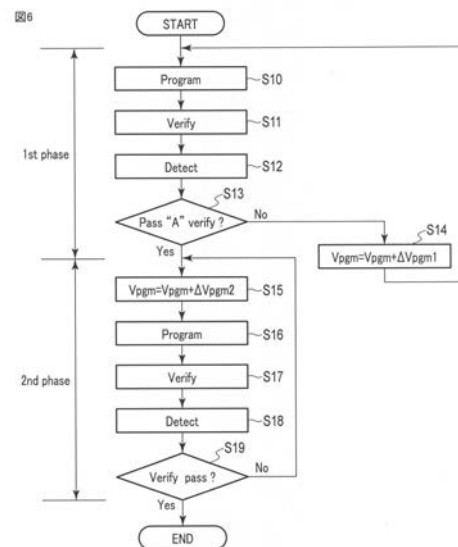
(54) 【発明の名称】 半導体記憶装置及びメモリシステム

(57) 【要約】

【課題】データの信頼性を向上することが可能な半導体記憶装置及びメモリシステムを提供する。

【解決手段】実施形態の半導体記憶装置10は、2ビット以上のデータを記憶可能な複数のメモリセルMCと、複数のメモリセルMCに接続されたワード線WLと、を備える。複数のメモリセルMCの書き込み動作において、ワード線WLにプログラム電圧V<sub>pgm</sub>を印加するプログラム動作を含むプログラムループが繰り返される。書き込み動作は、それぞれが複数回のプログラムループを含む第1期間と第1期間に続く第2期間とを含む。プログラム電圧V<sub>pgm</sub>は、第1期間中にはプログラムループ毎に第1電圧ΔV<sub>pgm1</sub>ずつ増加し、第2期間中にはプログラムループ毎に第1電圧より小さい第2電圧ΔV<sub>pgm2</sub>ずつ増加する。

【選択図】 図6



## 【特許請求の範囲】

## 【請求項 1】

それぞれが 2 ビット以上のデータを記憶可能な複数の第 1 メモリセルと、  
前記複数の第 1 メモリセルに接続された第 1 ワード線と、を備え、  
第 1 書き込み動作において、前記第 1 ワード線にプログラム電圧を印加するプログラム動作を含むプログラムループが繰り返され、  
前記第 1 書き込み動作は、それぞれが複数回の前記プログラムループを含む第 1 期間と前記第 1 期間に続く第 2 期間とを含み、  
前記プログラム電圧は、前記第 1 期間中には前記プログラムループ毎に第 1 電圧ずつ増加し、前記第 2 期間中には前記プログラムループ毎に前記第 1 電圧より小さい第 2 電圧ずつ増加する  
ことを特徴とする半導体記憶装置。

10

## 【請求項 2】

前記プログラムループは、前記プログラム動作に続いて前記複数の第 1 メモリセルの閾値電圧が第 1 閾値を超えたかどうかを確認するベリファイ動作を含み、  
前記第 1 書き込み動作は、前記ベリファイ動作によって前記第 1 閾値のベリファイにパスしたことに基づいて、前記第 1 期間から前記第 2 期間に移行する  
ことを特徴とする請求項 1 に記載の半導体記憶装置。

## 【請求項 3】

前記第 1 閾値のベリファイにパスすると、その次のプログラムループから前記プログラム電圧の増加量が変化する  
ことを特徴とする請求項 2 に記載の半導体記憶装置。

20

## 【請求項 4】

前記第 1 閾値のベリファイにパスすると、その 2 つ後のプログラムループから前記プログラム電圧の増加量が変化する  
ことを特徴とする請求項 2 に記載の半導体記憶装置。

## 【請求項 5】

各プログラムループにおけるベリファイ動作の結果から前記第 1 閾値のベリファイにパスしたかどうかを判定する判定動作は、その次のプログラムループにおけるプログラム動作と並列処理される  
ことを特徴とする請求項 4 に記載の半導体記憶装置。

30

## 【請求項 6】

それぞれが 2 ビット以上のデータを記憶可能な複数の第 2 メモリセルと、  
前記複数の第 2 メモリセルに接続された第 2 ワード線と、をさらに備え、  
前記プログラム動作において、前記第 2 ワード線には書き込みパス電圧が印加され、  
前記書き込みパス電圧は、前記第 1 期間中には前記プログラムループ毎に第 3 電圧ずつ増加し、前記第 2 期間中には前記プログラムループ毎に前記第 3 電圧より小さい第 4 電圧ずつ増加する  
ことを特徴とする請求項 1 に記載の半導体記憶装置。

## 【請求項 7】

前記第 3 電圧は前記第 1 電圧以下であり、前記第 4 電圧は前記第 2 電圧以下である  
ことを特徴とする請求項 6 に記載の半導体記憶装置。

40

## 【請求項 8】

前記第 1 書き込み動作は、複数回の前記プログラムループを含み且つ前記第 2 期間に続く第 3 期間をさらに含み、  
前記プログラム電圧は、前記 3 期間中には前記プログラムループ毎に前記第 2 電圧より小さい第 3 電圧ずつ増加する  
ことを特徴とする請求項 1 に記載の半導体記憶装置。

## 【請求項 9】

複数の第 1 メモリセルにそれぞれ接続された複数のビット線をさらに備え、

50

前記第 1 書き込み動作において、前記第 1 メモリセルに第 1 データを書き込む場合、第 1 閾値と前記第 1 閾値より低い第 2 閾値とが設定され、

前記プログラム動作において前記ビット線には、前記第 1 及び第 2 閾値のベリファイにフェイルした場合第 3 電圧が印加され、前記第 1 及び第 2 閾値のベリファイにそれぞれフェイル及びパスした場合前記第 3 電圧より高い第 4 電圧が印加され、前記第 1 及び第 2 閾値のベリファイにパスした場合前記第 4 電圧より高い第 5 電圧が印加される

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 10】

前記第 1 書き込み動作は、前記第 1 期間で実行された前記プログラムループの回数に基づいて、前記第 1 期間から前記第 2 期間に移行する

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 11】

前記第 1 書き込み動作は、前記第 1 期間で実行された前記プログラムループ毎の前記プログラム電圧の値に基づいて、前記第 1 期間から前記第 2 期間に移行する

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 12】

前記第 1 メモリセルには、3 ビット又は 4 ビットのデータが 1 回の前記第 1 書き込み動作で書き込まれる

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 13】

コマンドに応じて書き込み動作を実行する制御回路をさらに備え、

前記制御回路は、第 1 コマンドを受けた場合に前記第 1 書き込み動作を実行し、第 2 コマンドを受けた場合に前記第 1 書き込み動作と異なる第 2 書き込み動作を実行し、

前記第 1 書き込み動作の実行時間と、前記第 2 書き込み動作の実行時間とは異なる

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 14】

前記第 2 書き込み動作において、前記プログラムループが繰り返され、

前記プログラム電圧は、前記第 2 書き込み動作中には前記プログラムループ毎に第 3 電圧ずつ増加する

ことを特徴とする請求項 13 に記載の半導体記憶装置。

【請求項 15】

請求項 13 に記載の半導体記憶装置と、

前記第 1 及び第 2 コマンドを発行可能なコントローラと、を備える

ことを特徴とするメモリシステム。

【請求項 16】

それぞれが 2 ビット以上のデータを記憶可能な複数の第 2 メモリセルと、

前記複数の第 2 メモリセルに接続された第 2 ワード線と、を備え、

半導体基板の上方には、前記第 1 及び第 2 ワード線にそれぞれ対応する第 1 及び第 2 配線層が積層されている

ことを特徴とする請求項 1 に記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は半導体記憶装置及びメモリシステムに関する。

【背景技術】

【0002】

2 ビット以上のデータを記憶するメモリセルを用いた半導体記憶装置が知られている。

【先行技術文献】

【特許文献】

【0003】

10

20

30

40

50

【特許文献 1】特開 2 0 1 4 - 2 4 1 1 8 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

データの信頼性を向上することが可能な半導体記憶装置及びメモリシステムを提供する。

【課題を解決するための手段】

【0 0 0 5】

実施形態の半導体記憶装置は、2 ビット以上のデータを記憶可能な複数の第 1 メモリセルと、複数の第 1 メモリセルに接続された第 1 ワード線と、を備える。書き込み動作において、第 1 ワード線にプログラム電圧を印加するプログラム動作を含むプログラムループが繰り返される。書き込み動作は、それぞれが複数回のプログラムループを含む第 1 期間と第 1 期間に続く第 2 期間とを含む。プログラム電圧は、第 1 期間中にはプログラムループ毎に第 1 電圧ずつ増加し、第 2 期間中にはプログラムループ毎に第 1 電圧より小さい第 2 電圧ずつ増加する。

【図面の簡単な説明】

【0 0 0 6】

【図 1】第 1 実施形態に係るメモリシステムのブロック図。

【図 2】第 1 実施形態に係る半導体記憶装置のブロック図。

【図 3】第 1 実施形態に係る半導体記憶装置の備えるメモリセルアレイ及びセンスアンプモジュールの回路図。

【図 4】第 1 実施形態に係る半導体記憶装置の備えるメモリセルの閾値分布。

【図 5】第 1 実施形態に係る半導体記憶装置の備えるセンスアンプモジュールの回路図。

【図 6】第 1 実施形態に係る半導体記憶装置における書き込み動作のフローチャート。

【図 7】第 1 実施形態に係る半導体記憶装置における書き込み動作の波形図。

【図 8】第 1 実施形態に係る半導体記憶装置における書き込み動作の説明図。

【図 9】第 1 実施形態に係る半導体記憶装置における効果の説明図。

【図 1 0】第 2 実施形態に係る半導体記憶装置における書き込み動作のフローチャート。

【図 1 1】第 2 実施形態に係る半導体記憶装置における書き込み動作の波形図。

【図 1 2】第 2 実施形態に係る半導体記憶装置における書き込み動作の説明図。

【図 1 3】第 3 実施形態に係る半導体記憶装置における書き込み動作のフローチャート。

【図 1 4】第 3 実施形態に係る半導体記憶装置における書き込み動作の波形図。

【図 1 5】第 3 実施形態に係る半導体記憶装置における書き込み動作の説明図。

【図 1 6】第 4 実施形態に係る半導体記憶装置における書き込み動作の説明図。

【図 1 7】第 4 実施形態に係る半導体記憶装置における書き込み動作の波形図。

【図 1 8】第 5 実施形態に係る半導体記憶装置における書き込み動作のフローチャート。

【図 1 9】第 5 実施形態に係る半導体記憶装置における書き込み動作の波形図。

【図 2 0】第 5 実施形態に係る半導体記憶装置における書き込み動作の説明図。

【図 2 1】第 5 実施形態に係る半導体記憶装置における書き込み動作のフローチャート。

【図 2 2】第 6 実施形態に係る半導体記憶装置の備えるメモリセルの閾値分布。

【図 2 3】第 6 実施形態に係る半導体記憶装置の備えるメモリセルの閾値分布。

【図 2 4】第 7 実施形態に係るメモリシステムにおける書き込み動作の説明図。

【図 2 5】第 7 実施形態に係るメモリシステムにおける書き込み動作のコマンドシーケンス。

【図 2 6】第 7 実施形態に係るメモリシステムにおける書き込み動作のコマンドシーケンス。

【図 2 7】第 7 実施形態に係るメモリシステムにおける設定変更動作のコマンドシーケンス。

【図 2 8】第 8 実施形態に係る半導体記憶装置におけるメモリセルアレイの回路図。

【図 2 9】第 8 実施形態に係る半導体記憶装置におけるメモリセルアレイの断面図。

10

20

30

40

50

## 【発明を実施するための形態】

## 【0007】

以下に、実施形態について図面を参照して説明する。参照される図面は模式的なものである。以下の説明において、同一の機能及び構成を有する要素については、共通する参照符号を付す。参照符号を構成する数字の後のアルファベットは、同じ数字を含んだ参照符号によって参照され、且つ同様の構成を有する要素同士を区別するために用いられている。同じ数字を含んだ参照符号で示される要素を相互に区別する必要がない場合、これらの要素は数字のみを含んだ参照符号により参照される。

## 【0008】

## 〔1〕第1実施形態

以下に、第1実施形態に係る半導体記憶装置について説明する。

## 【0009】

## 〔1-1〕メモリシステム1の構成

まず、図1を用いてメモリシステムの構成について説明する。図1にはメモリシステムのブロック図が示されている。図1に示すようにメモリシステム1は、半導体記憶装置10、及びコントローラ20を備えている。

## 【0010】

半導体記憶装置10は、データを不揮発に記憶するNAND型フラッシュメモリである。半導体記憶装置10の構成の詳細については後述する。

## 【0011】

コントローラ20は、外部の図示せぬホスト機器からの命令に応答して、半導体記憶装置10に対して読み出し、書き込み、及び消去等を命令する。またコントローラ20は、半導体記憶装置10におけるメモリ空間を管理する。

## 【0012】

図1に示すようにコントローラ20は、プロセッサ(CPU)21、内蔵メモリ(RAM)22、ECC回路23、NANDインターフェイス回路24、バッファメモリ25、及びホストインターフェイス回路26を備えている。

## 【0013】

プロセッサ21は、コントローラ20全体の動作を制御する。例えばプロセッサ21は、ホスト機器から受信した書き込み命令に応答して、NANDインターフェイスに基づく書き込み命令を発行する。この動作は、読み出し及び消去の場合についても同様である。

## 【0014】

内蔵メモリ22は、例えばDRAM等の半導体メモリであり、プロセッサ21の作業領域として使用される。内蔵メモリ22は、半導体記憶装置10を管理するためのファームウェアや、各種の管理テーブル等を保持する。

## 【0015】

ECC回路23は、データのエラー訂正(ECC: Error Checking and Correcting)処理を行う。具体的には、ECC回路23は、データの書き込み時に書き込みデータに基づいてパリティを生成する。そしてECC回路23は、データの読み出し時にパリティからシンドロームを生成してエラーを検出し、検出したエラーを訂正する。

## 【0016】

NANDインターフェイス回路24は、半導体記憶装置10と接続され、半導体記憶装置10との通信を司る。例えばNANDインターフェイス回路24は、半導体記憶装置10との間で入出力信号I/Oを送信及び受信する。例えば、コントローラ20が半導体記憶装置10に送信する入出力信号I/OはコマンドCMD、アドレス情報ADD、及び書き込みデータDATを含み、コントローラ20が半導体記憶装置10から受信する入出力信号I/Oはステータス情報STS、及び読み出しデータDATを含んでいる。

## 【0017】

バッファメモリ25は、コントローラ20が半導体記憶装置10及びホスト機器から受信したデータ等を一時的に保持する。

10

20

30

40

50

**【0018】**

ホストインターフェイス回路26は、図示せぬホストバスを介してホスト機器と接続され、ホスト機器との通信を司る。例えばホストインターフェイス回路26は、ホスト機器から受信した命令及びデータをそれぞれ、プロセッサ21及びバッファメモリ25に転送する。

**【0019】**

〔1-1-1〕半導体記憶装置10の構成

次に、図2を用いて半導体記憶装置10の構成について説明する。図2には半導体記憶装置10のブロック図が示されている。図2に示すように半導体記憶装置10は、メモリセルアレイ11、センスアンプモジュール12、ロウデコーダ13、入出力回路14、レジスタ15、ロジック制御回路16、シーケンサ17、レディ／ビジー制御回路18、及び電圧生成回路19を備えている。

10

**【0020】**

メモリセルアレイ11は、ブロックBLK0～BLKn（nは1以上の自然数）を備えている。ブロックBLKは、ビット線及びワード線に関連付けられた複数の不揮発性メモリセルの集合であり、例えばデータの消去単位となる。半導体記憶装置10は、各メモリセルにおいて、2ビット以上のデータを記憶させるMLC（Multi-Level Cell）方式を適用してデータを保持することが出来る。本実施形態は、メモリセルに2ビットのデータを記憶させる場合を例に説明する。

20

**【0021】**

センスアンプモジュール12は、メモリセルアレイ11から読み出したデータDATを、入出力回路14を介してコントローラ20に出力する。またセンスアンプモジュール12は、コントローラ20から入出力回路14を介して受け取った書き込みデータDATを、メモリセルアレイ11に転送する。

**【0022】**

ロウデコーダ13は、読み出し動作及び書き込み動作を行う対象のメモリセルに対応するワード線を選択する。そしてロウデコーダ13は、選択ワード線及び非選択ワード線にそれぞれ所望の電圧を印加する。

**【0023】**

入出力回路14は、コントローラ20との間で例えば8ビット幅の入出力信号I/O（I/O1～I/O8）を送信及び受信する。例えば入出力回路14は、コントローラ20から受信した入出力信号I/Oに含まれた書き込みデータDATを、センスアンプモジュール12に転送する。また入出力回路14は、センスアンプモジュール12から転送された読み出しデータDATを入出力信号I/Oとしてコントローラ20に送信する。

30

**【0024】**

レジスタ15は、ステータスレジスタ15A、アドレスレジスタ15B、コマンドレジスタ15Cを含む。ステータスレジスタ15Aは、ステータス情報STSを保持する。またステータスレジスタ15Aは、シーケンサ17の指示に応じてこのステータス情報STSを入出力回路14に転送する。アドレスレジスタ15Bは、入出力回路14からアドレス情報ADDを受け取り、このアドレス情報ADDを保持する。そしてアドレスレジスタ15Bは、アドレス情報ADDに含まれたカラムアドレス信号CA及びロウアドレス信号RAをそれぞれ、センスアンプモジュール12及びロウデコーダ13に転送する。コマンドレジスタ15Cは、入出力回路14からコマンドCMDを受け取り、このコマンドCMDを保持する。そしてコマンドレジスタ15Cは、コマンドCMDをシーケンサ17に転送する。

40

**【0025】**

ロジック制御回路16は、コントローラ20から各種制御信号を受信し、入出力回路14及びシーケンサ17を制御する。この制御信号としては、例えばチップイネーブル信号／CE、コマンドラッチイネーブル信号CLE、アドレスラッチイネーブル信号ALE、ライトイネーブル信号／WE、リードイネーブル信号／RE、及びライトプロテクト信号

50

／W Pが使用される。信号／C Eは、半導体記憶装置10をイネーブルにするための信号である。信号C L Eは、アサートされている信号C L Eと並行して半導体記憶装置10に入力される信号がコマンドC M Dであることを入出力回路14に通知する信号である。信号A L Eは、アサートされている信号A L Eと並行して半導体記憶装置10に入力される信号がアドレス情報A D Dであることを入出力回路14に通知する信号である。信号／W E及び／R Eはそれぞれ、例えば入出力信号I / O 1～I / O 8の入力及び出力を入出力回路14に指示する信号である。信号/W Pは、例えば電源のオンオフ時に半導体記憶装置10を保護状態するための信号である。

#### 【0026】

シーケンサ17は、半導体記憶装置10全体の動作を制御する。具体的には、シーケンサ17は、コマンドレジスタ15Cから転送されたコマンドC M Dに基づいてセンスアンプモジュール12、ロウデコーダ13、電圧生成回路19等を制御し、データの書き込み動作、読み出し動作等を実行する。また、シーケンサ17はカウンタを備えている。このカウンタは書き込み動作時に使用され、後述するプログラムループが繰り返された回数をカウントするものである。

#### 【0027】

レディ／ビジー制御回路18は、シーケンサ17の動作状態に基づいてレディ／ビジー信号R Y／(／B Y)を生成し、この信号をコントローラ20に送信する。信号R Y／(／B Y)は、半導体記憶装置10がレディ状態（コントローラ20からの命令を受け付ける状態）であるか、ビジー状態（コントローラ20からの命令を受け付けない状態）であるかをコントローラ20に通知する信号である。また信号R Y／(／B Y)は、レディ／ビジー制御回路18が、その出力に接続されたトランジスタT rのオンオフを制御することによって生成される。例えば信号R Y／(／B Y)は、半導体記憶装置10がデータの読み出し等の動作中には“L”レベルとされ（ビジー状態）、これらの動作が完了すると“H”レベルとされる（レディ状態）。

#### 【0028】

電圧生成回路19は、シーケンサ17の指示に基づいて所望の電圧を生成する。そして電圧生成回路19は、生成した電圧をメモリセルアレイ11、センスアンプモジュール12、及びロウデコーダ13に供給する。

#### 【0029】

〔1-1-2〕メモリセルアレイ11の構成

次に、図3を用いてメモリセルアレイ11の構成について説明する。図3はメモリセルアレイ11及びセンスアンプモジュール12の回路図であり、メモリセルアレイ11内の1つのブロックB L Kについて詳細な回路構成が示されている。図3に示すようにブロックB L Kは、複数のN A N DストリングN Sを備えている。

#### 【0030】

各N A N DストリングN Sは、ビット線B L 0～B L (L-1) ((L-1)は1以上の自然数)に対応して設けられ、例えば8個のメモリセルトランジスタM T (M T 0～M T 7)、及び選択トランジスタS T 1、S T 2を含んでいる。尚、1つのN A N DストリングN Sが含むメモリセルトランジスタM Tの数はこれに限定されず、任意の数にすることが出来る。

#### 【0031】

メモリセルトランジスタM Tは、制御ゲート及び電荷蓄積層を備え、データを不揮発に保持する。また、メモリセルトランジスタM T 0～M T 7は、選択トランジスタS T 1のソースと選択トランジスタS T 2のドレインとの間に直列接続されている。同一ブロックB L K内の選択トランジスタS T 1及びS T 2のゲートはそれぞれ、セレクトゲート線S G D及びS G Sに共通接続されている。同様に、同一ブロックB L K内のメモリセルトランジスタM T 0～M T 7の制御ゲートはそれぞれ、ワード線W L 0～W L 7に共通接続されている。

#### 【0032】

10

20

30

40

50

またメモリセルアレイ 11 内において、同一列にある NAND ストリング NS における選択トランジスタ ST1 のドレインは、ビット線 BL に共通接続されている。つまりビット線 BL は、複数のブロック BLK 間で同一列にある NAND ストリング NS を共通に接続している。さらに、複数の選択トランジスタ ST2 のソースは、ソース線 SL に共通接続されている。

#### 【0033】

以上の構成において、共通のワード線 WL に接続された複数のメモリセルの保持する 1 ビットデータの集合を「ページ」と呼ぶ。従って、1 つのメモリセルに 2 ビットデータを記憶させる場合、1 本のワード線 WL に接続された複数のメモリセルの集合には、2 ページ分のデータが記憶される。

#### 【0034】

本実施形態においてデータの書き込み動作は、ワード線 WL 毎に行われる。例えば、1 つのメモリセルに 2 ビットデータを記憶させる場合には、書き込み動作の実行を指示するコマンドの入力で、1 本のワード線 WL に割り当てられた 2 ページ分のデータが一括して書き込まれる。以下では、このワード線 WL 毎にデータを書き込む方式のことを sequential writing と呼ぶ。

#### 【0035】

図 3 に示すセンスアンプモジュール 12 の構成の詳細については後述する。

#### 【0036】

尚、以上で説明したメモリセルトランジスタ MT の閾値分布は、例えば図 4 に示すものとなる。図 4 には、2 ビットデータを保持するメモリセルトランジスタ MT の閾値分布、及びベリファイ時に用いる電圧が示されている。図 4 の縦軸及び横軸はそれぞれ、メモリセルトランジスタ MT の数及び閾値電圧  $V_{th}$  に対応している。

#### 【0037】

メモリセルトランジスタ MT が 2 ビットのデータを保持する場合、その閾値電圧の分布は、図 4 に示すように 4 個に分かれる。この 4 個の閾値分布にそれぞれ対応する 2 ビットのデータを、閾値電圧の低いものから順に“ER”レベル、“A”レベル、“B”レベル、及び“C”レベルと呼ぶ。また、図 4 に示すベリファイ電圧 AV、BV、及び CV はそれぞれ、書き込み動作時における“A”レベル、“B”レベル、及び“C”レベルのベリファイに用いられる。読み出し電圧 Vread は、読み出し電圧 Vread がゲートに印加されたメモリセルトランジスタ MT が、保持するデータに依らずにオンする電圧である。これらの電圧値の関係は、 $AV < BV < CV < V_{read}$  である。

#### 【0038】

“ER”レベルを保持するメモリセルトランジスタ MT の閾値電圧は、電圧 AV 未満であり、データの消去状態に相当する。“A”レベルを保持するメモリセルトランジスタ MT の閾値電圧は、電圧 AV 以上であり且つ BV 未満である。“B”レベルを保持するメモリセルトランジスタ MT の閾値電圧は、電圧 BV 以上であり且つ CV 未満である。“C”レベルを保持するメモリセルトランジスタ MT の閾値電圧は、電圧 CV 以上である。

#### 【0039】

読み出し動作の際、読み出し対象のメモリセルトランジスタ MT の閾値電圧がどのレベルに含まれるか判定される。この判定のために、種々の読み出し電圧が定められている。あるメモリセルトランジスタ MT が“ER”レベルの閾値電圧を有するか“A”レベル以上の閾値電圧を有するかを判定するための電圧は、“ER”レベルの高い方の裾と“A”レベルの低い方の裾との間に設定される。あるメモリセルトランジスタ MT が“A”レベル以下の閾値電圧を有するか“B”レベル以上の閾値電圧を有するかを判定するための電圧は、“A”レベルの高い方の裾と“B”レベルの低い方の裾との間に設定される。あるメモリセルトランジスタ MT が“B”レベル以下の閾値電圧を有するか“C”レベルの閾値電圧を有するかを判定するための電圧は、“B”レベルの高い方の裾と“C”レベルの低い方の裾との間に設定される。

#### 【0040】

## 〔 1－1－3 〕 センスアンプモジュール 1 2 の構成

次に、図 3 に戻りセンスアンプモジュール 1 2 の構成について説明する。図 3 に示すようにセンスアンプモジュール 1 2 は、ビット線 B L 毎に設けられたセンスアンプユニット S A U ( S A U 0 ～ S A U ( L－1 ) ) を備えている。

## 【 0 0 4 1 〕

各センスアンプユニット S A U は、センスアンプ部 S A、ラッチ回路 S D L、L D L、U D L、及び X D L を備えている。これらセンスアンプ部 S A、ラッチ回路 S D L、L D L、U D L、及び X D L は、互いにデータを送受信可能なように接続されている。

## 【 0 0 4 2 〕

センスアンプ部 S A は、読み出し動作時には対応するビット線 B L に読み出されたデータをセンスし、読み出しデータが “ 0 ” であるか “ 1 ” であるかを判断する。また書き込み動作時には、書き込みデータに基づいてビット線 B L に電圧を印加する。

## 【 0 0 4 3 〕

ラッチ回路 S D L、L D L、及び U D L は、読み出しデータ及び書き込みデータを一時的に保持する。読み出し動作時にセンスアンプ部 S A が確定させた読み出しデータ、及び書き込み時にラッチ回路 X D L に転送された書き込みデータは、例えばラッチ回路 S D L、L D L、及び U D L のいずれかに転送される。

## 【 0 0 4 4 〕

ラッチ回路 X D L は、センスアンプユニット S A U とコントローラ 2 0 との間のデータの入出力に用いられる。つまりコントローラ 2 0 から受信したデータは、ラッチ回路 X D L を介してラッチ回路 S D L、L D L、若しくは U D L、又はセンスアンプ部 S A に転送される。また、ラッチ回路 S D L、L D L、若しくは U D L、又はセンスアンプ部 S A のデータは、ラッチ回路 X D L を介してコントローラ 2 0 に転送される。

## 【 0 0 4 5 〕

以上で説明したセンスアンプユニット S A U の回路構成は、例えば図 5 に示すものとなる。図 5 はセンスアンプユニット S A U の回路図であり、センスアンプ部 S A 及びラッチ回路 S D L の詳細な回路構成が示されている。

## 【 0 0 4 6 〕

まず、センスアンプ部 S A の回路構成について説明する。図 5 に示すようにセンスアンプ部 S A は、p チャネル M O S トランジスタ 3 0、n チャネル M O S トランジスタ 3 1 ～ 3 7、及びキャパシタ 3 8 を備えている。

## 【 0 0 4 7 〕

トランジスタ 3 0 は、一端が電源端子に接続され、ゲートがノード I N V に接続されている。トランジスタ 3 1 は、一端がトランジスタ 3 0 の他端に接続され、他端がノード C O M に接続され、ゲートに制御信号 B L X が入力される。トランジスタ 3 2 は、一端がノード C O M に接続され、他端が対応するビット線 B L に接続され、ゲートに制御信号 B L C が入力される。トランジスタ 3 3 は、一端がノード C O M に接続され、他端がノード S R C に接続され、ゲートがノード I N V に接続されている。

## 【 0 0 4 8 〕

トランジスタ 3 4 は、一端がトランジスタ 3 0 の他端に接続され、他端がノード S E N に接続され、ゲートに制御信号 H L L が入力される。トランジスタ 3 5 は、一端がノード S E N に接続され、他端がノード C O M に接続され、ゲートに制御信号 X X L が入力される。トランジスタ 3 6 は、一端が接地端子に接続され、ゲートがノード S E N に接続されている。トランジスタ 3 7 は、一端がトランジスタ 3 6 の他端に接続され、他端がバス L B U S に接続され、ゲートに制御信号 S T B が入力される。キャパシタ 3 8 は、一端がノード S E N に接続され、他端にクロック C L K が供給される。

## 【 0 0 4 9 〕

尚、トランジスタ 3 0 の一端に接続された電源端子に印加される電圧は、例えば V d d である。また、ノード S R C に印加される電圧は、例えば V s s である。

## 【 0 0 5 0 〕

10

20

30

40

50

次に、ラッチ回路 S D L の回路構成について説明する。図 5 に示すようにラッチ回路 S D L は、インバータ 4 0 及び 4 1、並びにトランジスタ 4 2 及び 4 3 を備えている。

【 0 0 5 1 】

インバータ 4 0 は、入力端子がノード L A T に接続され、出力端子がノード I N V に接続されている。インバータ 4 1 は、入力端子がノード I N V に接続され、出力端子がノード L A T に接続されている。トランジスタ 4 2 は、一端がノード I N V に接続され、他端がバス L B U S に接続され、ゲートに制御信号 S T I が入力される。トランジスタ 4 3 は、一端がノード L A T に接続され、他端がバス L B U S に接続され、ゲートに制御信号 S T L が入力される。

【 0 0 5 2 】

尚、ラッチ回路 L D L 及び U D L の回路構成は、以上で説明したラッチ回路 S D L の回路構成と同様のため、説明を省略する。

【 0 0 5 3 】

以上で説明したセンスアンプユニット S A U の構成において、各種制御信号は例えばシーケンサ 1 7 によって生成される。読み出し動作において、センスアンプユニット S A U が読み出しデータを確定するタイミングは、信号 S T B がアサートされるタイミングに基づく。また、各種動作においてトランジスタ 3 2 は、信号 B L C に基づいてビット線 B L の電圧をクランプする。

【 0 0 5 4 】

尚、センスアンプモジュール 1 2 の構成はこれに限定されず、種々変更が可能である。例えば、センスアンプユニット S A U が備えるラッチ回路の個数は、1 つのメモリセルトランジスタ M T が保持するデータのビット数に基づいて設計される。

【 0 0 5 5 】

また、センスアンプモジュール 1 2 の構成には、例えば“THRESHOLD DETECTING METHOD AND VERIFY METHOD OF MEMORY CELL”という 2 0 1 1 年 3 月 2 1 日に出願された米国特許出願 1 3 / 0 5 2 , 1 4 8 に記載された構成を適用することが出来る。この特許出願の内容は、その全体が本願明細書において参照により援用されている。

【 0 0 5 6 】

〔 1 - 2 〕 書き込み動作

次に、半導体記憶装置 1 0 における書き込み動作の概略について説明する。書き込み動作では、プログラム動作、ベリファイ動作、及び検知動作の組み合わせであるプログラムループが繰り返される。

【 0 0 5 7 】

プログラム動作では、ワード線 W L にプログラム電圧が印加されることによりメモリセルトランジスタ M T の電荷蓄積層に電子が注入され、メモリセルトランジスタ M T の閾値電圧が上昇する。書き込み完了及び書き込み禁止のメモリセルトランジスタ M T については、例えばセルフブースト技術等によって閾値電圧の変動が抑制される。この書き込み完了及び書き込み禁止のメモリセルトランジスタ M T とは、書き込み動作において所望の閾値電圧に達したメモリセルトランジスタ M T のことを示している。

【 0 0 5 8 】

このプログラム動作において、ワード線 W L に印加されるプログラム電圧は、プログラムループ毎にステップアップされる。つまりプログラム電圧は、プログラムループ毎に一定量ずつ増加する。さらに本実施形態の書き込み動作では、任意のレベルのベリファイにパスしたことに基づいて、以降のプログラムループ毎におけるプログラム電圧の増加量が小さくされる。

【 0 0 5 9 】

ベリファイ動作では、プログラム動作によって変動した閾値電圧が適切なレベルに達したかどうかを確認する。ベリファイにパスした場合、以降のベリファイ動作で当該レベルのベリファイは行われず。尚、ベリファイ動作においてベリファイするレベルは、例えばプログラムサイクル数に基づいて設定される。例えば 1 回目のプログラムループでは、

10

20

30

40

50

閾値の低い“ A ”レベル及び“ B ”レベルのベリファイを実行する。

【 0 0 6 0 】

検知動作では、例えばシーケンサ 1 7 が、ベリファイ動作の結果から各レベルのベリファイにパスしたかどうかを判定する。具体的には、書き込むレベル毎に書き込みを終了したメモリセルの数が所定の数未満の場合、そのレベルのベリファイにフェイルしたと判定され、所定の数以上の場合そのレベルのベリファイにパスしたと判定される。

【 0 0 6 1 】

次に、図 6 及び図 7 を用いて半導体記憶装置 1 0 の書き込み動作の詳細について説明する。図 6 には書き込み動作のフローチャートが示され、図 7 には書き込み動作の一例がタイミングチャートで示されている。

10

【 0 0 6 2 】

図 6 に示すように本実施形態の書き込み動作は、それぞれがプログラムループを含む 2 つの段階に分けられる。これらを実行される順に書き込み動作の第 1 及び第 2 段階と呼び、以下に各段階の動作について説明する。

【 0 0 6 3 】

以下の説明において、書き込み動作の対象のメモリセルトランジスタ M T の組に接続されたワード線 W L のことを選択ワード線 W L sel と呼び、その他のワード線 W L のことを非選択ワード線 W L usel と呼ぶ。また、書き込み動作によって閾値電圧を上昇させたいメモリセルトランジスタ M T を含む N A N D ストリング N S と接続されたビット線 B L のことを書き込み対象のビット線 B L と呼び、書き込み動作によって閾値電圧の変動を抑制したいメモリセルトランジスタ M T を含む N A N D ストリング N S と接続されたビット線 B L のことを書き込み禁止のビット線 B L inh と呼ぶ。

20

【 0 0 6 4 】

まず、書き込み動作の第 1 段階について説明する。

まずシーケンサ 1 7 は、プログラム動作を実行する（ステップ S 1 0）。具体的には、図 7 に示すようにセンスアンプモジュール 1 2 が、書き込み対象のビット線 B L に電圧 V ss を印加し、書き込み禁止のビット線 B L inh に電圧 V dds a を印加する。電圧 V ss は接地電圧であり、電圧 V dds a はセンスアンプモジュール 1 2 から供給される電源電圧である。ビット線 B L inh に電圧 V dds a が印加されると、対応する選択トランジスタ S T 1 がカットオフされ、メモリセルトランジスタ M T のチャネルがフローティング状態になる。

30

【 0 0 6 5 】

そしてロウデコーダ 1 3 が、選択ワード線 W L sel にプログラム電圧 V p g m を印加し、非選択ワード線 W L usel に書き込みパス電圧 V p a s s を印加する。電圧 V p g m は、メモリセルトランジスタ M T の電荷蓄積層に電子を注入可能な高電圧であり、その初期値は電圧 V p a s s より大きい。また、電圧 V p a s s の初期値は、 $V_{read} \geq V_{pass} > V_{ss}$  である。すると、書き込み対象のメモリセルトランジスタ M T は、制御ゲート及びチャネル間の電位差により閾値電圧が上昇する。一方、書き込み禁止のメモリセルトランジスタ M T は、チャネルの電圧がブーストされることにより閾値電圧の変動が抑制される。

【 0 0 6 6 】

次にシーケンサ 1 7 は、ベリファイ動作を実行する（ステップ S 1 1）。具体的には、図 7 に示すようにセンスアンプモジュール 1 2 が、各ビット線 B L に電圧 V b l を印加する。電圧 V b l は、センスアンプモジュール 1 2 がメモリセルトランジスタ M T に記憶されたデータの判定に用いる電圧であり、その値は  $V_{dds a} > V_{bl} > V_{ss}$  である。

40

【 0 0 6 7 】

そしてロウデコーダ 1 3 が、選択ワード線 W L sel に各ベリファイ電圧を順に印加し、非選択ワード線 W L usel に電圧 V r e a d を印加する。このときシーケンサ 1 7 は、選択ワード線 W L sel に各ベリファイ電圧が印加される度に信号 S T B をアサートする。信号 S T B がアサートされるとセンスアンプモジュール 1 2 は、書き込み対象のメモリセルトランジスタ M T の閾値電圧がベリファイ電圧以上になったか否かを判定する。

【 0 0 6 8 】

50

次にシーケンサ 17 は、検知動作を実行する（ステップ S 12）。続けてシーケンサ 17 は、“A”レベルのベリファイ結果を確認する（ステップ S 13）。ここで“A”レベルのベリファイにフェイルしていた場合（ステップ S 13、No）、シーケンサ 17 はプログラム電圧  $V_{pgm}$  を  $\Delta V_{pgm1}$  だけ増加させて（ステップ S 14）、ステップ S 10 の動作に戻る。尚、ステップ S 14 において書き込みパス電圧  $V_{pass}$  も  $\Delta V_{pass1}$  だけ増加される。この  $\Delta V_{pass1}$  は、 $\Delta V_{pgm1}$  以下である。

#### 【0069】

以上のように書き込み動作の第 1 段階では、プログラム電圧  $V_{pgm}$  及び書き込みパス電圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm1}$  及び  $\Delta V_{pass1}$  ずつ増加させて、ステップ S 10～S 12 に対応するプログラムループが繰り返される。そして、“A”レベルのベリファイにパスした場合（ステップ S 13、Yes）、半導体記憶装置 10 の書き込み動作は第 2 段階に移行する。つまり本例において第 1 段階におけるプログラムループは、“A”レベルのベリファイにパスするまで繰り返される。

10

#### 【0070】

次に、書き込み動作の第 2 段階について説明する。第 2 段階におけるプログラムループでは、プログラムループ毎に増加させられるプログラム電圧  $V_{pgm}$  の量が第 1 段階より小さくされる。

#### 【0071】

具体的には、まずシーケンサ 17 は、電圧  $V_{pgm}$  及び  $V_{pass}$  をそれぞれ  $\Delta V_{pgm2}$  及び  $\Delta V_{pass2}$  だけ増加させる（ステップ S 15）。この  $\Delta V_{pgm2}$  及び  $\Delta V_{pass2}$  はそれぞれ、 $\Delta V_{pgm1}$  及び  $\Delta V_{pass1}$  より小さい。続けてシーケンサ 17 は、プログラム動作、ベリファイ動作、及び検知動作を順に実行する（ステップ S 16～S 18）。ステップ S 16～S 18 に対応するプログラムループの動作は、ステップ S 10～S 12 に対応するプログラムループの動作と同様である。

20

#### 【0072】

次にシーケンサ 17 は、残りのレベルのベリファイにパスしたか否かを確認する（ステップ S 19）。ここでベリファイにフェイルしていた場合（ステップ S 19、No）、ステップ S 15 の動作に戻る。

#### 【0073】

以上のように書き込み動作の第 2 段階では、プログラム電圧  $V_{pgm}$  及び書き込みパス電圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm2}$  及び  $\Delta V_{pass2}$  ずつ増加させて、ステップ S 16～S 18 に対応するプログラムループが繰り返される。そして、残りのレベルのベリファイにパスした場合（ステップ S 19、Yes）、半導体記憶装置 10 は書き込み動作を終了する。

30

#### 【0074】

以上の動作について、図 7 に示す一例に対応する各パラメータをテーブルとして示したものが図 8 である。図 8 には、プログラムループ数、1 つ前のプログラムループに対するプログラム電圧の増加量  $\Delta V_{pgm}$ 、及び当該プログラムループで実行したベリファイのレベルが示されている。

#### 【0075】

図 8 に示すように本例では、3 回目のプログラムループで“A”レベルのベリファイにパスして、4 回目のプログラムループで  $\Delta V_{pgm}$  が変化している。具体的には、“A”レベルのベリファイにパスするまでの  $\Delta V_{pgm}$  が 0.4 V（ $\Delta V_{pgm1}$ ）であるのに対して、“A”レベルのベリファイにパスした後の  $\Delta V_{pgm}$  が 0.3 V（ $\Delta V_{pgm2}$ ）と小さくなっている。つまり本例において、1～3 回目のプログラムループが書き込み動作の第 1 段階に対応し、4～8 回目のプログラムループが書き込み動作の第 2 段階に対応している。

40

#### 【0076】

このように、本実施形態に係る半導体記憶装置 10 の書き込み動作では、“A”レベルのベリファイにパスしたに基づいて、その次のプログラムループから  $\Delta V_{pgm}$  が小さくされる。尚、本実施形態は“A”レベルのベリファイにパスすることを  $\Delta V_{pgm}$  変更のトリガーとした場合を例に説明したが、これに限定されない。例えば、“B”レベルのベ

50

リファイをパスすることを  $\Delta V_{pgm}$  変更のトリガーとしても良い。

#### 【0077】

##### 〔1-3〕第1実施形態の効果

次に、第1実施形態の効果について説明する。本実施形態に係る半導体記憶装置10によれば、書き込んだデータの信頼性を向上することが出来る。以下に、この効果の詳細について説明する。

#### 【0078】

半導体記憶装置の書き込み動作において、メモリセルの閾値電圧は、プログラムループ毎のプログラム電圧の増加量 ( $\Delta V_{pgm}$ ) ずつ上昇することが理想である。しかしメモリセルの閾値電圧は、その閾値電圧が高くなる程上昇し辛くなり、 $\Delta V_{pgm}$  に対する閾値電圧の上昇量 (プログラムスロープ) が悪化する。また、閾値電圧が高くなったメモリセルに書き込む際のプログラムスロープは、 $\Delta V_{pgm}$  が大きい程悪くなる傾向にある。

10

#### 【0079】

プログラムスロープが悪化したメモリセルに対しては、大きい  $\Delta V_{pgm}$  でプログラム電圧を印加しても、その閾値電圧の上昇に大きく貢献しない。それにも関わらず、プログラムスロープが悪化した状態でプログラムループが繰り返されると、閾値電圧の上昇量とプログラム電圧の増加量との乖離が大きくなり、最終的に到達するプログラム電圧が高くなる。このような余計に高いプログラム電圧が印加された場合、書き込みが終了したメモリセルに対するプログラムディスタークの影響が大きくなってしまう。具体的には、図9に示す閾値分布図の破線に示すように閾値分布がシフトして、読み出し動作時におけるエラービット数が増加してしまう可能性がある。

20

#### 【0080】

このようなプログラムディスタークの影響を低減する方法としては、プログラムループ毎の  $\Delta V_{pgm}$  を小さくすることが考えられる。プログラムループ毎の  $\Delta V_{pgm}$  を小さくすると、閾値電圧が高くなったメモリセルに書き込む際のプログラムスロープが改善する。つまり、閾値電圧の上昇量とプログラム電圧の増加量との乖離が小さくなるため、最終的に到達するプログラム電圧を抑制することが出来る。しかし書き込み動作全体で  $\Delta V_{pgm}$  を小さく設定すると、書き込み動作におけるプログラムループ数が多くなるため、書き込み動作の時間が長くなってしまう。

#### 【0081】

30

そこで本実施形態に係る半導体記憶装置10は、書き込み動作の途中からプログラムループ毎のプログラム電圧の増加量  $\Delta V_{pgm}$  を小さくする。具体的には、所定のレベルの書き込みが終了したことに基づいて、当該書き込みが終了したプログラムループ以降のプログラムループ毎の  $\Delta V_{pgm}$  を小さくする。さらに言い換えると、所定のレベルのベリファイにパスしたことに基づいて、当該レベルのベリファイにパスしたプログラムループ以降のプログラムループ毎の  $\Delta V_{pgm}$  が小さく変更される。

#### 【0082】

つまりメモリセルの閾値電圧が低い書き込み動作前半と、メモリセルの閾値電圧が高くなった書き込み動作後半とで、プログラムループ毎の  $\Delta V_{pgm}$  を変更している。具体的には、 $\Delta V_{pgm}$  の大きさによらずプログラムスロープが良好な書き込み動作前半には、プログラムループ毎の  $\Delta V_{pgm}$  が大きく設定される。そして  $\Delta V_{pgm}$  が大きいとプログラムスロープが悪化する書き込み動作後半には、プログラムスロープが改善するようにプログラムループ毎の  $\Delta V_{pgm}$  が小さく設定される。

40

#### 【0083】

これにより本実施形態に係る半導体記憶装置10の書き込み動作では、最終的に到達するプログラム電圧の値を抑制することが出来る。従って本実施形態に係る半導体記憶装置10は、プログラムディスタークの影響を低減することが出来、書き込んだデータの信頼性を向上することが出来る。

#### 【0084】

また、本実施形態に係る半導体記憶装置10の書き込み動作では、書き込み動作前半の

50

プログラムループ毎の $\Delta V_{pgm}$ を大きく設定することにより、書き込み動作前半におけるプログラムループ毎の閾値電圧の上昇量を大きくすることが出来る。これにより本実施形態に係る半導体記憶装置10は、書き込み動作前半におけるプログラムループ数を抑制することが出来、書き込み動作の速度低下を抑制することが出来る。

#### 【0085】

また、メモリセルの閾値電圧が高くなった書き込み動作後半において大きい $\Delta V_{pgm}$ は、プログラムスロープが悪化するため閾値電圧の上昇に大きく貢献しない。つまり書き込み動作後半では、小さい $\Delta V_{pgm}$ を設定した場合と大きい $\Delta V_{pgm}$ を設定した場合とで閾値電圧の上昇量に大きな差がない場合がある。従って本実施形態に係る半導体記憶装置10は、書き込み動作後半に小さい $\Delta V_{pgm}$ を設定した場合においても、プログラムループ数の増加が抑制されるため、書き込み動作の速度低下を抑制することが出来る。

10

#### [2] 第2実施形態

次に、第2実施形態に係る半導体記憶装置について説明する。第2実施形態は、第1実施形態で説明した書き込み動作に対して、各プログラムループの検知動作とその次のプログラムループのプログラム動作とを並列処理する点が異なる。以下に、第1実施形態と異なる点を説明する。

#### 【0086】

##### [2-1] 書き込み動作

まず、図10及び図11を用いて半導体記憶装置10の書き込み動作について説明する。図10には書き込み動作のフローチャートが示され、図11には書き込み動作の一例がタイミングチャートで示されている。

20

#### 【0087】

図10に示すように本実施形態の書き込み動作は、第1実施形態と同様にそれぞれがプログラムループを含む2つの段階に分けられる。以下に各段階の動作について説明する。

#### 【0088】

まず、書き込み動作の第1段階について説明する。

まずシーケンサ17は、プログラム動作を実行する(ステップS20)。図11に示すこの具体的な動作は、第1実施形態で説明したステップS10と同様である。これにより、書き込み対象のメモリセルトランジスタMTは閾値電圧が変動し、書き込み禁止のメモリセルトランジスタMTは閾値電圧の変動が抑制される。

30

#### 【0089】

次にシーケンサ17は、ベリファイ動作を実行する(ステップS21)。図11に示すこの具体的な動作は、第1実施形態で説明したステップS11と同様である。これにより、書き込み対象のメモリセルトランジスタMTの閾値電圧がベリファイ電圧以上になったか否かが判定される。

#### 【0090】

次にシーケンサ17は、プログラム電圧 $V_{pgm}$ を $\Delta V_{pgm1}$ だけ増加させる(ステップS22)。このステップS22において、書き込みパス電圧 $V_{pass}$ も $\Delta V_{pass1}$ だけ増加される。

#### 【0091】

次にシーケンサ17は、プログラム動作及び検知動作を実行する(ステップS23)。具体的には、ステップS20と同様のプログラム動作が実行されている裏で、ステップS21で得られたベリファイ結果に対する検知動作が実行される。つまり、各ベリファイ動作に対する検知動作と、それに続くプログラム動作とが並列処理される。

40

#### 【0092】

次にシーケンサ17は、“A”レベルのベリファイ結果を確認する(ステップS24)。ここで“A”レベルのベリファイにフェイルしていた場合(ステップS24、No)、シーケンサ17はステップS21の動作に戻る。

#### 【0093】

以上のように書き込み動作の第1段階では、プログラム電圧 $V_{pgm}$ 及び書き込みパス電

50

圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm1}$  及び  $\Delta V_{pass1}$  ずつ増加させて、ステップ  $S21 \sim S23$  に対応するプログラムループが繰り返される。そして、“A”レベルのベリファイにパスした場合（ステップ  $S24$ 、Yes）、半導体記憶装置 10 の書き込み動作は第 2 段階に移行する。つまり本例において第 1 段階におけるプログラムループは、“A”レベルのベリファイにパスするまで繰り返される。

#### 【0094】

次に、書き込み動作の第 2 段階について説明する。第 2 段階におけるプログラムループでは、第 1 実施形態と同様に、プログラムループ毎に増加させられるプログラム電圧  $V_{pgm}$  の量が第 1 段階より小さくされる。

#### 【0095】

具体的には、まずステップ  $S21$  と同様のベリファイ動作が実行される（ステップ  $S25$ ）。次にシーケンサ 17 は、プログラム電圧  $V_{pgm}$  及び書き込みパス電圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm2}$  及び  $\Delta V_{pass2}$  だけ増加させる（ステップ  $S26$ ）。この  $\Delta V_{pgm2}$  及び  $\Delta V_{pass2}$  はそれぞれ、 $\Delta V_{pgm1}$  及び  $\Delta V_{pass1}$  より小さい。

#### 【0096】

次にシーケンサ 17 は、ステップ 23 と同様のプログラム動作及び検知動作を実行する（ステップ  $S27$ ）。続けてシーケンサ 17 は、残りのレベルのベリファイにパスしたか否かを確認する（ステップ  $S28$ ）。ここでベリファイにフェイルしていた場合（ステップ  $S28$ 、No）、ステップ  $S25$  の動作に戻る。

#### 【0097】

以上のように書き込み動作の第 2 段階では、プログラム電圧  $V_{pgm}$  及び書き込みパス電圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm2}$  及び  $\Delta V_{pass2}$  ずつ増加させて、ステップ  $S25 \sim S27$  に対応するプログラムループが繰り返される。そして、残りのレベルのベリファイにパスした場合（ステップ  $S28$ 、Yes）、半導体記憶装置 10 は書き込み動作を終了する。

#### 【0098】

尚、本実施形態の書き込み動作では、ベリファイ動作の後の検知動作が次のプログラム動作と並列処理される為、ベリファイ動作から次のプログラム動作に移行する間隔が第 1 実施形態より短くなる。また、ベリファイ動作及びプログラム動作が並列処理される為、各レベルのベリファイ結果が次のプログラムループで反映される場合がある。つまり図 11 に示すように、プログラム電圧を印加した後に書き込み動作が終了する場合がある。

#### 【0099】

以上の動作について、図 11 に示す一例に対応する各パラメータをテーブルとして示したものが図 12 である。図 12 には、プログラムループ数、1 つ前のプログラムループに対するプログラム電圧の増加量  $\Delta V_{pgm}$ 、及び当該プログラムループで実行したベリファイのレベルが示されている。

#### 【0100】

図 12 に示すように本例では、3 回目のプログラムループで“A”レベルのベリファイにパスして、5 回目のプログラムループでプログラム電圧の増加量  $\Delta V_{pgm}$  が変化している。具体的には、“A”レベルのベリファイにパスした次のプログラムループまでの  $\Delta V_{pgm}$  が  $0.4V$  ( $\Delta V_{pgm1}$ ) であるのに対して、“A”レベルのベリファイにパスした 2 つ後の  $\Delta V_{pgm}$  が  $0.3V$  ( $\Delta V_{pgm2}$ ) と小さくなっている。つまり本例において、1～4 回目のプログラムループが書き込み動作の第 1 段階に対応し、5～8 回目のプログラムループが書き込み動作の第 2 段階に対応している。

#### 【0101】

このように、本実施形態に係る半導体記憶装置 10 の書き込み動作では、“A”レベルのベリファイにパスしたに基づいて、その 2 つ後のプログラムループから  $\Delta V_{pgm}$  が小さくされる。尚、本実施形態は、“A”レベルのベリファイにパスすることを  $\Delta V_{pgm}$  変更のトリガーとした場合を例に説明したが、これに限定されない。例えば、“B”レベルのベリファイをパスすることを  $\Delta V_{pgm}$  変更のトリガーとしても良い。

#### 【0102】

10

20

30

40

50

また、本実施形態は、検知動作がプログラム動作と同じステップで実行される場合を例に説明したが、これに限定されない。例えば、各プログラムループにおいて検知動作が開始するタイミングと、その次のプログラムループにおいてプログラム動作が開始するタイミングとはずれていても良い。また、検知動作がステップ S 2 1 及び S 2 6 のベリファイ動作の直後から検知動作が開始されるようにしても良い。

#### 【0103】

##### 〔2-2〕第2実施形態の効果

次に、第2実施形態の効果について説明する。本実施形態に係る半導体記憶装置10によれば、第1実施形態よりも書き込み動作を高速化することが出来る。以下に、この効果の詳細について説明する。

10

#### 【0104】

半導体記憶装置10の書き込み動作のプログラムループにおいて、ベリファイ毎に入る検知動作は、動作速度低下の要因の一つとなる。

#### 【0105】

そこで本実施形態に係る半導体記憶装置10は、各プログラムループの検知動作とその次のプログラムループのプログラム動作とを並列処理する。具体的には、ベリファイ動作に続く検知動作の終了を待たずに、プログラム電圧のステップアップ及びプログラム動作を実行する。すると検知動作の時間を隠すことが可能となり、書き込み動作の時間を圧縮することが出来る。

20

#### 【0106】

これにより本実施形態に係る半導体記憶装置10は、第1実施形態と同様に書き込んだデータの信頼性を向上することが出来、さらに第1実施形態よりも書き込み動作を高速化することが出来る。

#### 【0107】

##### 〔3〕第3実施形態

次に、第3実施形態に係る半導体記憶装置について説明する。第3実施形態は、第1実施形態で説明した書き込み動作において、さらにもう一段階プログラム電圧を小さく変化させるものである。以下に、第1及び第2実施形態と異なる点を説明する。

#### 【0108】

##### 〔3-1〕書き込み動作

次に、図13及び図14を用いて半導体記憶装置10の書き込み動作について説明する。図13には書き込み動作のフローチャートが示され、図14には書き込み動作の一例がタイミングチャートで示されている。

30

#### 【0109】

図13に示すように本実施形態の書き込み動作は、それぞれがプログラムループを含む3つの段階に分けられる。これらを実行される順に書き込み動作の第1～第3段階と呼び、以下に各段階の動作について説明する。尚、図14に示す各段階のプログラムループにおける具体的な動作は、第1実施形態で説明した図7と同様のため説明を省略する。

#### 【0110】

書き込み動作の第1段階は、第1実施形態で説明した図7と同様である。つまり、“A”レベルのベリファイにパスするまで、プログラム電圧  $V_{pgm}$  及び書き込みパス電圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm1}$  及び  $\Delta V_{pass1}$  ずつ増加させて、プログラムループが繰り返される。“A”レベルのベリファイにパスすると、書き込み動作の第2段階に移行する。

40

#### 【0111】

続く書き込み動作の第2段階は、第1実施形態で説明した図7に対して、ステップ S 1 9 の動作を“B”レベルのベリファイ結果の確認（ステップ S 3 0）に置き換えたものと同様である。

#### 【0112】

具体的には、第1実施形態で説明した図7と同様に、電圧  $V_{pgm}$  及び  $V_{pass}$  をそれぞれ、 $\Delta V_{pgm1}$  及び  $\Delta V_{pass1}$  より小さい  $\Delta V_{pgm2}$  及び  $\Delta V_{pass2}$  だけ増加させる（ステッ

50

プ S 1 5)。続けてシーケンサ 1 7 は、プログラム動作、ベリファイ動作、及び検知動作を順に実行する（ステップ S 1 6～S 1 8）。そして“ B ”レベルのベリファイにフェイルしていた場合（ステップ S 3 0、N o）、ステップ S 1 5に戻る。

#### 【0 1 1 3】

つまり、“ B ”レベルのベリファイにパスするまで、プログラム電圧  $V_{pgm}$  及び書き込みパス電圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm} 2$  及び  $\Delta V_{pass} 2$  ずつ増加させて、プログラムループが繰り返される。そして、“ B ”レベルのベリファイにパスした場合（ステップ S 3 0、Y e s）、書き込み動作の第 3 段階に移行する。

#### 【0 1 1 4】

続く書き込み動作の第 3 段階におけるプログラムループでは、プログラムループ毎に増加させられるプログラム電圧  $V_{pgm}$  の量が第 2 段階より小さくされる。

#### 【0 1 1 5】

具体的には、まずシーケンサ 1 7 は、電圧  $V_{pgm}$  及び  $V_{pass}$  をそれぞれ  $\Delta V_{pgm} 3$  及び  $\Delta V_{pass} 3$  だけ増加させる（ステップ S 3 1）。この  $\Delta V_{pgm} 3$  及び  $\Delta V_{pass} 3$  はそれぞれ、 $\Delta V_{pgm} 2$  及び  $\Delta V_{pass} 2$  より小さい。続けてシーケンサ 1 7 は、プログラム動作、ベリファイ動作、及び検知動作を順に実行する（ステップ S 3 2～S 3 4）。ステップ S 3 2～S 3 4 に対応するプログラムループの動作は、ステップ S 1 0～S 1 2 に対応するプログラムループの動作と同様である。

#### 【0 1 1 6】

次にシーケンサ 1 7 は、残りのレベルのベリファイにパスしたか否かを確認する（ステップ S 3 5）。ここでベリファイにフェイルしていた場合（ステップ S 3 5、N o）、ステップ S 3 1 の動作に戻る。

#### 【0 1 1 7】

以上のように書き込み動作の第 3 段階では、プログラム電圧  $V_{pgm}$  及び書き込みパス電圧  $V_{pass}$  をそれぞれ  $\Delta V_{pgm} 3$  及び  $\Delta V_{pass} 3$  ずつ増加させて、プログラムループが繰り返される。そして、残りのレベルのベリファイにパスした場合（ステップ S 3 5、Y e s）、半導体記憶装置 1 0 は書き込み動作を終了する。

#### 【0 1 1 8】

以上の動作について、図 1 4 に示す一例に対応する各パラメータをテーブルとして示したものが図 1 5 である。図 1 5 には、プログラムループ数、1 つ前のプログラムループに対するプログラム電圧の増加量  $\Delta V_{pgm}$ 、及び当該プログラムループで実行したベリファイのレベルが示されている。

#### 【0 1 1 9】

図 1 5 に示すように本例は、図 8 で説明した例に対して、さらに 6 回目のプログラムループで“ B ”レベルのベリファイにパスして、7 回目のプログラムループで  $\Delta V_{pgm}$  が変化している点が異なっている。

#### 【0 1 2 0】

具体的には、“ B ”レベルのベリファイにパスするまでの  $\Delta V_{pgm}$  が  $0.3V$  ( $\Delta V_{pgm} 2$ ) であるのに対して、“ B ”レベルのベリファイにパスした後の  $\Delta V_{pgm}$  が  $0.2V$  ( $\Delta V_{pgm} 3$ ) と小さくなっている。つまり本例において、1～3 回目のプログラムループが書き込み動作の第 1 段階に対応し、4～6 回目のプログラムループが書き込み動作の第 2 段階に対応し、7 及び 8 回目のプログラムループが書き込み動作の第 3 段階に対応している。

#### 【0 1 2 1】

##### 〔3－2〕第 3 実施形態の効果

次に、第 3 実施形態の効果について説明する。本実施形態に係る半導体記憶装置 1 0 によれば、第 1 実施形態よりもデータの信頼性を向上することが出来る。以下に、この効果の詳細について説明する。

#### 【0 1 2 2】

半導体記憶装置の書き込み動作では、第 1 実施形態の効果の項目で述べたように、プログラムスロープ毎の  $\Delta V_{pgm}$  の最適な値が書き込み動作の進行に伴い変化する。

10

20

30

40

50

## 【0123】

そこで本実施形態に係る半導体記憶装置10は、第1実施形態に対して、書き込み動作の途中でさらにもう1段階プログラムスロープ毎の $\Delta V_{pgm}$ を小さくする。具体的には、例えば“ A ”レベルのベリファイにパスした以降、及び“ B ”レベルのベリファイにパスした以降にそれぞれ、プログラムスロープ毎の $\Delta V_{pgm}$ を小さく変更する。このように $\Delta V_{pgm}$ を小さくするタイミングは、第1実施形態と同様に所定のレベルのベリファイにパスしたことに基づいている。

## 【0124】

つまり本実施形態に係る半導体記憶装置10では、書き込み動作が3つの段階に分類され、各段階においてそれぞれプログラムスロープ毎の $\Delta V_{pgm}$ が変更される。そしてこの3つの段階におけるプログラムスロープ毎の $\Delta V_{pgm}$ は、各段階におけるプログラムスロープが改善するように、後半の $\Delta V_{pgm}$ の方が小さく設定される。

10

## 【0125】

これにより本実施形態に係る半導体記憶装置10の書き込み動作では、第1実施形態よりも書き込み動作後半におけるプログラムスロープ毎の閾値電圧の上昇量とプログラム電圧の増加量との乖離が小さくなるため、最終的に到達するプログラム電圧の値を抑制することが出来る。従って本実施形態に係る半導体記憶装置10は、第1実施形態よりもプログラムディスターブを低減することが出来、書き込んだデータの信頼性を向上することが出来る。

## 【0126】

20

## 〔4〕第4実施形態

次に、第4実施形態に係る半導体記憶装置について説明する。第4実施形態は、第1実施形態で説明した書き込み動作に対して、QPW (Quick Pass Write) 方式を適用したものである。以下に、第1～第3実施形態と異なる点を説明する。

## 【0127】

## 〔4-1〕書き込み動作

まず、図16及び図17を用いてQPW方式を適用した書き込み動作について説明する。図16にはQPW方式を適用した書き込み動作によりメモリセルの閾値分布がシフトする様子が示され、図17には書き込み動作の一例がタイミングチャートで示されている。

## 【0128】

30

図16に示すようにQPW方式の書き込み動作では、書き込むレベル毎に2種類のベリファイ電圧 $V_H$ 及び $V_L$ が設定される。電圧 $V_H$ は、メモリセルの最終的な目標閾値に対応する。電圧 $V_L$ は、電圧 $V_H$ より任意の値 $\Delta V_R$ だけ低く設定される。

## 【0129】

QPW方式を適用した場合のプログラム動作において、ビット線 $B_L$ には、直前のベリファイ結果に基づいて図17に示すような3種類の電圧が印加される。

## 【0130】

具体的には、メモリセルトランジスタ $M_T$ の閾値電圧が電圧 $V_L$ 未満の場合、ビット線 $B_L$ には電圧 $V_{ss}$ が印加される。このときメモリセルトランジスタ $M_T$ の制御ゲート及びチャンネル間には高い電位差が発生するため、メモリセルトランジスタ $M_T$ の閾値電圧が上昇する。

40

## 【0131】

メモリセルトランジスタ $M_T$ の閾値電圧が電圧 $V_L$ 以上電圧 $V_H$ 未満の場合、対応するビット線 $B_L$ qpwには電圧 $V_{qpw}$ が印加される。この電圧 $V_{qpw}$ は、電圧 $V_{ss}$ 及び $V_{ddsa}$ の間に設定される。このとき、ビット線 $B_L$ に電圧 $V_{ss}$ が印加されている場合と比べて、メモリセルトランジスタ $M_T$ の制御ゲート及びチャンネル間に生じる電位差が小さくなる。すると、メモリセルトランジスタ $M_T$ の閾値電圧の上昇量は、ビット線 $B_L$ に電圧 $V_{ss}$ を印加する場合と比べて小さくなる。

## 【0132】

メモリセルトランジスタ $M_T$ の閾値電圧が電圧 $V_H$ 以上の場合、対応するビット線 $B_L$

50

inhには電圧  $V_{ddsa}$  が印加される。このとき、選択トランジスタ  $ST1$  がカットオフされてチャンネルの電圧がブーストされるため、メモリセルトランジスタ  $MT$  の閾値電圧の変動が抑制される。

#### 【0133】

以上のように  $QPW$  方式を適用した書き込み動作は、目標とするペリファイ電圧  $V_H$  より低いペリファイ電圧  $V_L$  を設定する。そしてメモリセルトランジスタ  $MT$  の閾値電圧がペリファイ電圧  $V_L$  を超えた場合に、ビット線  $BL$  を電圧  $V_{qpw}$  に充電したプログラム動作によって閾値電圧の変動量を小さくする。すると図 17 に示すように、書き込みを終了したメモリセルトランジスタ  $MT$  の閾値分布が細くなる。その他の動作は、第 1 実施形態で説明した図 7 と同様である。

10

#### 【0134】

尚、図 17 では、各レベルに対応するペリファイ電圧が印加されている間に、2 回の信号  $STB$  がアサートされている。この 2 回の信号  $STB$  はそれぞれ、各レベルのペリファイ電圧  $V_L$  及び  $V_H$  のペリファイ読み出しに対応している。この電圧  $V_L$  及び  $V_H$  に対応するペリファイ読み出しは、検知する電流量に閾値を設けることによって実現される。

#### 【0135】

また本実施形態において、印加するペリファイ電圧を一定にした状態で電圧  $V_L$  及び  $V_H$  のペリファイ読み出しを実現した場合を例に説明したが、これに限定されない。例えば、ワード線  $WL$  に各レベルのペリファイ電圧  $V_L$  及び  $V_H$  を順に印加することにより、それぞれのペリファイ読み出しを行っても良い。

20

#### 【0136】

また、 $QPW$  方式の詳細は“不揮発性半導体記憶装置”という 2014 年 4 月 28 日に出願された米国特許出願 14/263,948 号、及び“不揮発性半導体記憶装置”という 2009 年 9 月 21 日に提出された米国特許出願 12/563,296 号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

#### 【0137】

##### [4-2] 第 4 実施形態の効果

次に、第 4 実施形態の効果について説明する。本実施形態に係る半導体記憶装置 10 によれば、第 1 実施形態よりも書き込んだデータの信頼性を向上することが出来る。以下に、この効果の詳細について説明する。

30

#### 【0138】

半導体記憶装置の書き込み方法として  $QPW$  方式が知られている。 $QPW$  方式を適用した書き込み動作では、ビット線  $BL$  を充電することによりメモリセルのゲートチャンネル間の電位差を小さくして、電荷蓄積層に注入する電子の量を調整する。 $QPW$  方式を適用した場合、閾値分布が細くなるため書き込んだデータの信頼性が向上する。この  $QPW$  方式の書き込み方法は、第 1 実施形態に係る半導体記憶装置 10 に対しても適用することが可能である。

#### 【0139】

そこで本実施形態に係る半導体記憶装置 10 は、 $QPW$  方式の書き込み方法を上記第 1 実施形態の半導体記憶装置 10 に適用する。これにより本実施形態に係る半導体記憶装置 10 は、第 1 実施形態に係る半導体記憶装置 10 に対してさらに  $QPW$  方式を適用することによって閾値電圧の分布が細くなる効果が得られる。つまり本実施形態に係る半導体記憶装置 10 は、第 1 実施形態よりも書き込んだデータの信頼性を向上することが出来る。

40

#### 【0140】

尚、 $QPW$  方式の書き込み方法は、第 2 及び第 3 実施形態に係る半導体記憶装置 10 に対しても適用することが可能である。つまり第 2 及び第 3 実施形態に係る半導体記憶装置 10 も  $QPW$  方式を適用することにより、書き込んだデータの信頼性を向上することが出来る。

#### 【0141】

##### [5] 第 5 実施形態

50

次に、第5実施形態に係る半導体記憶装置について説明する。第5実施形態は、第1実施形態で説明した書き込み動作において、プログラムループ毎のプログラム電圧の増加量が増加されるタイミングが、プログラムループの回数に基づくものである。以下に、第1～第4実施形態と異なる点を説明する。

#### 【0142】

##### 〔5-1〕書き込み動作

まず、図18及び図19を用いて半導体記憶装置10の書き込み動作について説明する。図18には書き込み動作のフローチャートが示され、図19には書き込み動作の一例がタイミングチャートで示されている。

#### 【0143】

図18に示すように本実施形態の書き込み動作は、第1実施形態と同様にそれぞれがプログラムループを含む2つの段階に分けられる。以下に各段階の動作について説明する。尚、図19に示す各段階のプログラムループにおける具体的な動作は、第1実施形態で説明した図7と同様のため説明を省略する。

#### 【0144】

まず、書き込み動作の第1段階について説明する。

まずシーケンサ17は、カウンタをリセットする( $N=0$ 、ステップS40)。続けてシーケンサ17は、プログラム動作、ベリファイ動作、及び検知動作を順に実行する(ステップS10～S12)。

#### 【0145】

次にシーケンサ17は、カウンタを参照してステップS10～12に対応するプログラムループが繰り返された回数を確認する(ステップS41)。ここでカウンタの数値が $k$ ( $k$ は1以上の自然数)未満だった場合(ステップS41、No)、シーケンサ17はカウンタをインクリメントする(ステップS42)。この数値 $k$ は、書き込み動作の第1段階においてプログラムループを繰り返す回数であり、任意の数値に設定される。続けてシーケンサ17は、プログラム電圧 $V_{pgm}$ 及び $V_{pass}$ をそれぞれ $\Delta V_{pgm1}$ 及び $\Delta V_{pass1}$ だけ増加させ(ステップS14)、ステップS10の動作に戻る。

#### 【0146】

以上のように書き込み動作の第1段階では、第1実施形態と同様に、プログラム電圧 $V_{pgm}$ 及び書き込みパス電圧 $V_{pass}$ をそれぞれ $\Delta V_{pgm1}$ 及び $\Delta V_{pass1}$ ずつ増加させて、ステップS10～S12に対応するプログラムループが繰り返される。そしてカウンタの数値が $k$ に一致した場合(ステップS41、Yes)、つまり書き込み動作の第1段階においてプログラムループを繰り返した回数が $k$ 回に達した場合、半導体記憶装置10の書き込み動作は第2段階に移行する。尚、書き込み動作の第2段階は、第1実施形態で説明した図6と同様のため、説明を省略する。

#### 【0147】

以上の動作について、図19に示す一例に対応する各パラメータをテーブルとして示したものが図20である。図20には、プログラムループ数、1つ前のプログラムループに対するプログラム電圧の増加量 $\Delta V_{pgm}$ 、及び当該プログラムループで実行したベリファイのレベルが示されている。

#### 【0148】

図20に示すように本例では、プログラム電圧の増加量 $\Delta V_{pgm}$ が5回目のプログラムループで0.4から0.3に変化している。具体的には、本例は $k=3$ に設定された場合の例であり、第1段階においてプログラムループが3回繰り返される。つまり、4回目のプログラムループで書き込み動作の第1段階が終了し、5回目以降のプログラムループから書き込み動作の第2段階に移行する。

#### 【0149】

以上のように、本実施形態に係る半導体記憶装置10の書き込み動作では、第1期間で実行されたプログラムループの回数に基づいて第1期間から第2期間に移行する。言い換えると、半導体記憶装置10は、プログラムループが実行された回数が所定の回数に達した

10

20

30

40

50

ことを検知して、プログラムループ毎の  $\Delta V_{pgm}$  を小さい値に変更する。

【0150】

このように、本実施形態において  $\Delta V_{pgm}$  が変化するタイミングはベリファイにパスしたタイミングに依存しない。従って本実施形態に係る半導体記憶装置では、第1及び第2実施形態と異なり、図19に示すように“ A ”レベルのベリファイにパスしてから3つ以上後のプログラムループで  $\Delta V_{pgm}$  が変化する可能性がある。

【0151】

〔5-2〕第5実施形態の効果

次に、第5実施形態の効果について説明する。第5実施形態に係る半導体記憶装置10によれば、第1実施形態と同様に書き込んだデータの信頼性を向上することが出来る。以下に、この効果の詳細について説明する。

10

【0152】

上記実施形態に係る半導体記憶装置の書き込み動作では、プログラムループ毎の  $\Delta V_{pgm}$  を変更するトリガーとしてベリファイ結果を参照している。しかし書き込み動作途中におけるメモリセルの閾値電圧は、プログラムループを繰り返した回数によってある程度予測できる場合がある。

【0153】

そこで本実施形態に係る半導体記憶装置10は、プログラムループ毎のプログラム電圧の増加量  $\Delta V_{pgm}$  を小さくするタイミングを、プログラムループ数に基づいて決定する。具体的には、プログラムループ数をカウントして、プログラムループを所定の回数実行した後プログラムループ毎の  $\Delta V_{pgm}$  を小さくする。

20

【0154】

これにより本実施形態に係る半導体記憶装置10は、第1実施形態と同様に、最終的に到達するプログラム電圧の値を抑制することが出来る。従って本実施形態に係る半導体記憶装置10は、第1実施形態と同様にプログラムディスタurbを低減することが出来、書き込んだデータの信頼性を向上することが出来る。

【0155】

尚、本実施形態に係る半導体記憶装置10は、第3実施形態のように3段階の  $\Delta V_{pgm}$  を設定しても良い。この場合、プログラムループ毎の  $\Delta V_{pgm}$  変更のタイミングを指定するプログラムループ数が2種類設定され、書き込み動作ではそれぞれのタイミングで  $\Delta V_{pgm}$  が小さくされる。

30

【0156】

また、本実施形態のようにプログラムループ毎の  $\Delta V_{pgm}$  を変更するタイミングを一定にしたい場合、半導体記憶装置がプログラムループ毎のプログラム電圧  $V_{pgm}$  の電圧値に基づいてプログラムループ毎の  $\Delta V_{pgm}$  を変更するようにしても良い。この場合の動作は、例えば図21に示すフローチャートのようなになる。

【0157】

図21に示す動作は、本実施形態で説明した図18に対してステップS40及びS42の動作を削除し、ステップS41の動作をプログラム電圧  $V_{pgm}$  の電圧値を判定する動作（ステップS50）に置き換えたものと同様である。具体的には、ステップS50においてシーケンサ17は、プログラムループ毎にステップアップされたプログラム電圧  $V_{pgm}$  の電圧値が、 $V_{set}$  を超えたかどうかを判断する。この電圧値  $V_{set}$  は、プログラム電圧  $V_{pgm}$  の初期値よりも大きい任意の値に設定される。

40

【0158】

プログラム電圧  $V_{pgm}$  の値が  $V_{set}$  以下の場合（ステップS50、No）、ステップS14に移行し、プログラム電圧をステップアップしてプログラムループが繰り返される。一方、プログラムループを繰り返すことによりプログラム電圧  $V_{pgm}$  の電圧値が  $V_{set}$  を超えた場合（ステップS50、Yes）、ステップS15に移行し、プログラムループ毎のステップアップ量を小さくしたプログラムループが繰り返される。

【0159】

50

つまり本例では、図 2 1 に示す第 1 期間で実行されたプログラムループ毎のプログラム電圧  $V_{pgm}$  の値に基づいて、第 1 期間から第 2 期間に移行する。その他の動作は、本実施形態で説明した図 1 8 と同様のため説明を省略する。

#### 【0160】

以上のように、プログラムループ毎にステップアップされるプログラム電圧が所定の電圧値を超えたかどうか判断され、プログラムループ毎の  $\Delta V_{pgm}$  が小さくされる。これにより半導体記憶装置は、第 1 実施形態と同様にプログラムディスタープを低減することが出来、書き込んだデータの信頼性を向上することが出来る。

#### 【0161】

尚、図 2 1 に示す例ではプログラム電圧  $V_{pgm}$  が所定の電圧値を超えたかどうかを  $\Delta V_{pgm}$  変更のトリガーとしたが、これに限定されない。例えば、プログラム電圧  $V_{pgm}$  が所定の電圧値と一致した場合に  $\Delta V_{pgm}$  が変更されるようにしても良い。

#### 【0162】

##### [6] 第 6 実施形態

次に、第 6 実施形態に係る半導体記憶装置について説明する。第 6 実施形態は、第 1 実施形態に係る書き込み動作を、3 ビット又は 4 ビットデータの sequential writing に適用する場合の一例である。以下に、第 1 ～第 5 実施形態と異なる点を説明する。

#### 【0163】

##### [6-1] メモリセルの閾値分布

まず、図 2 2 及び図 2 3 を用いて、メモリセルトランジスタ MT の閾値分布について説明する。図 2 2 及び図 2 3 にはそれぞれ、3 ビット及び 4 ビットデータを記憶するメモリセルの閾値分布が示されている。図 2 2 及び図 2 3 の縦軸及び横軸はそれぞれ、メモリセルの数及び閾値電圧  $V_{th}$  に対応している。

#### 【0164】

半導体記憶装置 10 は、1 つのメモリセルに 3 ビットのデータを記憶させる T L C (Triple Level Cell) 方式の書き込み動作や、4 ビットのデータを記憶させる Q L C (Quadruple Level Cell) 方式の書き込み動作を実行することが出来る。

#### 【0165】

メモリセルが 3 ビットのデータを保持する場合、その閾値電圧の分布は、図 2 2 に示すように 9 個に分かれる。この 9 個の閾値分布にそれぞれ対応する 3 ビットのデータを、閾値電圧の低いものから順に“ER”レベル、“A”レベル、“B”レベル、“C”レベル、“D”レベル、“E”レベル、“F”レベル、及び“G”レベルと呼ぶ。

#### 【0166】

一方、メモリセルが 4 ビットのデータを保持する場合、その閾値電圧の分布は、図 2 3 に示すように 16 個に分かれる。この 16 個の閾値分布にそれぞれ対応する 4 ビットのデータを、閾値電圧の低いものから順に“ER”レベル、“A”レベル、“B”レベル、“C”レベル、“D”レベル、“E”レベル、“F”レベル、“G”レベル、“H”レベル、“I”レベル、“J”レベル、“K”レベル、“L”レベル、“M”レベル、及び“N”レベルと呼ぶ。

#### 【0167】

このように、メモリセルが複数ビットのデータを保持する場合、記憶するビット数が多くなる程、閾値分布の山が多くなる。また、3 ビット及び 4 ビットのデータが記憶されたメモリセルに対して書き込み動作及び読み出し動作を行う場合、ベリファイ電圧及び読み出し電圧は、図 4 で説明した 2 ビットの場合と同様に設定される。

#### 【0168】

##### [6-2] 書き込み動作

次に、半導体記憶装置 10 の書き込み動作について説明する。

第 6 実施形態では、3 ビット又は 4 ビットデータの sequential writing に対して、第 1 実施形態の書き込み動作を適用する。具体的には、例えば 3 ビットデータの sequential writing を実行する場合、“A”～“F”のいずれかのレベルのベリファイをパスした後に

プログラムループ毎におけるプログラム電圧の増加量  $\Delta V_{pgm}$  を小さくする。同様に、4ビットデータの sequential writing を実行する場合、“A”～“M”のいずれかのレベルのベリファイをパスした後に  $\Delta V_{pgm}$  を小さくする。

#### 【0169】

この動作は、第1実施形態で説明した図6に示すフローチャートにおいて、ステップS13に対応する動作を、所望のレベルのベリファイにパスしたか否かを確認する動作に変更したものと同様である。

#### 【0170】

##### 〔6-3〕第6実施形態の効果

次に、第6実施形態の効果について説明する。本実施形態に係る半導体記憶装置10によれば、メモリセルに3ビット又は4ビットのデータを記憶させる場合においても、書き込んだデータの信頼性を向上することが出来る。以下に、この効果の詳細について説明する。

#### 【0171】

半導体記憶装置においてメモリセルが複数ビットのデータを保持する場合、保持するビット数に基づいて閾値分布の山が増加する。この閾値分布の山は、消去レベルの電圧と読み出し電圧との間に設けられる。つまり、メモリセルが記憶するデータのビット数が増加する程、各データに対応するレベルの閾値分布の間隔が狭くなり、プログラムディスタープの影響が大きくなる。

#### 【0172】

そこで本実施形態に係る半導体記憶装置10は、3ビット又は4ビットデータの sequential writing に対して、第1実施形態の書き込み方法を適用する。具体的には、3ビット又は4ビットデータの sequential writing で、第1実施形態と同様に、所定のレベルの書き込みが終了したことに基づいてプログラムループ毎の  $\Delta V_{pgm}$  を小さくする。

#### 【0173】

これにより本実施形態に係る半導体記憶装置10は、メモリセルに3ビット又は4ビットのデータを記憶させる場合においても、最終的に到達するプログラム電圧の値を下げる事が出来、プログラムディスタープを低減することが出来る。従って本実施形態に係る半導体記憶装置10は、第1実施形態と同様に、書き込んだデータの信頼性を向上することが出来る。

#### 【0174】

尚、上記説明において、3ビット又は4ビットデータの sequential writing において第1実施形態の書き込み方法を適用した場合を例に説明したが、これに限定されない。例えば、3ビット又は4ビットデータを書き込む場合に、第2～第5実施形態の書き込み方法を適用することが出来る。例えば、3ビットデータの sequential writing で第3実施形態の書き込み方法を適用する場合、“A”～“F”のうち2つのレベルのベリファイにパスした後に  $\Delta V_{pgm}$  が変更される。

#### 【0175】

##### 〔7〕第7実施形態

次に、第7実施形態に係るメモリシステムについて説明する。第7実施形態は、上記第1～第6実施形態で説明した半導体記憶装置の書き込み方法を、コントローラの制御によって使い分けるものである。以下に、第1～第6実施形態と異なる点を説明する。

#### 【0176】

##### 〔7-1〕書き込み動作

まず、図24を用いてメモリシステム1における書き込み動作の概略について説明する。図24には、2種類の書き込み動作と、それに対応する書き込み方法の組み合わせの一例が示されている。

#### 【0177】

メモリシステム1は、複数種類の書き込み方法を使い分けることが可能である。例えば、半導体記憶装置10はコントローラ20の制御に基づいて、図24に示すように第1及

10

20

30

40

50

び第 2 書き込み動作を実行することが出来る。

#### 【0178】

第 1 書き込み動作には、例えば通常書き込み方法が適用され、第 2 書き込み動作には、例えば第 1 実施形態で説明した書き込み方法が適用される。この書き込み方法の割り当てをケース 1 とする。ここで通常書き込み方法とは、書き込み動作の途中でプログラムループ毎のプログラム電圧の増加量  $\Delta V_{pgm}$  が変化しない書き込み方法のことを示している。

#### 【0179】

また、図 24 のケース 2 及び 3 に示すように、第 1 書き込み動作に通常書き込み方法を適用して、第 2 書き込み動作に例えば第 2 及び第 3 実施形態で説明した書き込み方法を適用しても良い。さらに、図 24 のケース 4 及び 5 に示すように、第 1 及び第 2 書き込み動作に対してそれぞれ、異なる実施形態の書き込み方法を適用しても良い。

#### 【0180】

以上で説明した書き込み動作は、コントローラ 20 がホストからの命令に基づいて、発行するコマンドを変更することによって実現される。以下に、メモリシステム 1 の書き込み動作におけるコマンドシーケンスの一例について説明する。

#### 【0181】

##### 〔7-1-1〕書き込み動作のコマンドシーケンス

まず、図 25 を用いて第 1 書き込み動作のコマンドシーケンスについて説明する。図 25 には、第 1 書き込み動作のコマンドシーケンスの一例が示されている。以下の説明においてコントローラ 20 から発行されたアドレス及びコマンドはそれぞれ、アドレスレジスタ 15B 及びコマンドレジスタ 15C に格納されるものとする。

#### 【0182】

2 ページデータの sequential writing において、コントローラ 20 は 2 ページ分の書き込みデータに対応する情報を、1 ページ分ずつ 2 回に分けて半導体記憶装置 10 に送信する。まず始めに、1 ページ目の情報を送信するコマンドシーケンスについて説明する。

#### 【0183】

まずコントローラ 20 は、書き込みコマンド “80h” を発行して半導体記憶装置 10 に送信する。コマンド “80h” は、書き込み動作の開始を命令するコマンドである。

#### 【0184】

次にコントローラ 20 は、例えば 5 サイクルに渡ってアドレス情報 ADD を発行して半導体記憶装置 10 に送信する。このアドレス情報 ADD は、データを書き込む先のアドレスを指定するものである。

#### 【0185】

次にコントローラ 20 は、複数サイクルに渡って書き込みデータ Din を半導体記憶装置 10 に出力する。ここで出力されたデータ Din は、1 ページ分の書き込みデータに相当し、センスアンプモジュール 12 のラッチ回路 XDL に保持される。

#### 【0186】

続けてコントローラ 20 は、コマンド “1Ah” を発行して半導体記憶装置 10 に送信する。コマンド “1Ah” は、コントローラ 20 がここまで送信した情報が sequential writing における 1 ページ分の情報に相当することを示すものである。コマンド “1Ah” がレジスタ 15C に格納されると、シーケンサ 17 はセンスアンプユニット SAU を制御して、ラッチ回路 XDL が保持しているデータを空いているラッチ回路（例えばラッチ回路 LDL）に転送させる。

#### 【0187】

このときレディ／ビジー制御回路 18 は、レディ／ビジー信号を “L” レベルにして、半導体記憶装置 10 がビジー状態であることをコントローラ 20 に知らせる。そしてデータの転送が終了すると、レディ／ビジー制御回路 18 はレディ／ビジー信号を “H” レベルにして、半導体記憶装置 10 がレディ状態であることをコントローラ 20 に知らせる。図示する tDLtrans は、データ転送が行われている期間を示している。

## 【0188】

以上のコマンドシーケンスによって、コントローラ20から半導体記憶装置10に対して1ページ目の情報が送信される。

## 【0189】

続く2ページ目の情報を送信するコマンドシーケンスは、1ページ目の情報を送信するコマンドシーケンスに対して、コマンド“1Ah”をコマンド“10h”に変更したものと同様である。コマンド“10h”は、直前に送信されたアドレス情報ADD及びデータDinに基づいて半導体記憶装置10に書き込み動作を実行させるためのコマンドである。

## 【0190】

コマンド“10h”がレジスタ15Cに保持されると、シーケンサ17はセンスアンプモジュール12及びロウデコーダ13等を制御して、第1書き込み動作を開始する。この際センスアンプモジュール12は、レジスタ内のアドレス情報のうちのカラムアドレス信号CAをデコードし、各ビット線BLに対してラッチ回路XDLに保持されたデータDinを転送する。またロウデコーダ13は、レジスタ内のアドレス情報のうちのロウアドレス情報RAをデコードし、選択ワード線及び非選択ワード線に所望の電圧を印加する。

## 【0191】

このときレディ／ビジー制御回路18は、レディ／ビジー信号を“L”レベルにして、半導体記憶装置10がビジー状態であることをコントローラ20に知らせる。そして半導体記憶装置10が第1書き込み動作を終了すると、レディ／ビジー制御回路18はレディ／ビジー信号を“H”レベルにして、半導体記憶装置10がレディ状態であることをコントローラ20に知らせる。図示するtProg1は、この第1書き込み動作が行われている時間を示している。

## 【0192】

次に、図26を用いて第2書き込み動作のコマンドシーケンスについて説明する。図26には、第2書き込み動作のコマンドシーケンスの一例が示されている。第2書き込み動作のコマンドシーケンスは、前述した第1書き込み動作のコマンドシーケンスに対して、始めに特殊コマンドが追加されている点が異なっている。

## 【0193】

具体的には、まずコントローラ20は、特殊コマンド“xxh”を発行して半導体記憶装置10に送信する。コマンド“xxh”は、特殊な書き込み方法による書き込みを命令するコマンドである。続けてコントローラ20は、書き込みコマンド“80h”を発行して半導体記憶装置10に送信する。これ以降のコマンドシーケンスは、図25を用いて説明した第1書き込み動作と同様である。図示するtProg2は、この第2書き込み動作が行われている時間を示している。

## 【0194】

尚、特殊コマンド“xxh”は、少なくとも1ページ目の情報を送信するコマンドシーケンスの始めに追加されていれば良く、2ページ目以降の情報の送信するコマンドシーケンスには含まれていなくても良いし、含まれていても良い。

## 【0195】

以上で説明した第1及び第2書き込み動作は通常、処理速度が異なる書き込み方法が適用されるため、対応するtProg1及びtProg2の処理時間は異なっている。

## 【0196】

また、以上で説明した第1及び第2書き込み動作に対応する書き込み方法は、Set featureと呼ばれるパラメータ設定シーケンスによって変更することが出来る。

## 【0197】

[7-1-2] Set featureのコマンドシーケンス

ここで、図27を用いてSet featureのコマンドシーケンスについて説明する。図27にはSet featureのコマンドシーケンスの一例が示されている。

## 【0198】

図27に示すように、まずコントローラ20は、Set featureコマンド“EFh”を発

行し、半導体記憶装置 10 に送信する。コマンド “ E F h ” は、半導体記憶装置 10 に対してパラメータの変更を命令するコマンドである。

#### 【 0 1 9 9 】

次にコントローラ 20 は、アドレス情報 A D D を発行し、半導体記憶装置 10 に送信する。このアドレス情報 A D D は、変更したいパラメータに対応するアドレスを指定するものである。次にコントローラ 20 は、複数サイクルに渡って設定データ D in を半導体記憶装置 10 に出力する。ここで出力されたデータ D in は、変更するパラメータに相当するデータである。

#### 【 0 2 0 0 】

するとシーケンサ 17 はセンスアンプモジュール 12 及びロウデコーダ 13 等を制御して、Set featureを開始する。Set featureが開始すると、前述した書き込み方法と同様の動作で、設定のパラメータが書き換えられる。図示する t Setは、このSet featureが行われている期間を示している。

#### 【 0 2 0 1 】

Set featureが終了すると、半導体記憶装置 10 は例えば特殊書き込みモードになる。この特殊書き込みモードとは、図 25 で説明した第 1 書き込み動作のコマンドシーケンスによって、上記実施形態の書き込み動作を実行するものである。つまり半導体記憶装置 10 は、特殊書き込みモードの場合、特殊コマンドの受信無しに上記実施形態の書き込み動作を実行する。

#### 【 0 2 0 2 】

〔 7 - 2 〕 第 7 実施形態の効果

次に、第 7 実施形態の効果について説明する。第 7 実施形態に係るメモリシステム 1 によれば、メモリシステム 1 の動作速度を向上することが出来る。以下に、この効果の詳細について説明する。

#### 【 0 2 0 3 】

メモリシステムに記憶されるデータには、書き換え頻度が高いものと、書き換え頻度が低いものがある。例えば、書き換え頻度が低いデータとしては画像データが挙げられ、書き換え頻度が高いデータとしてはドキュメントデータが挙げられる。いずれのデータも読み出し時にエラーが少ない方が好ましい。

#### 【 0 2 0 4 】

しかし、信頼性を高めた書き込み動作は、通常書き込み動作と比較して動作速度が遅い場合がある。また、書き換え頻度が高いデータについては、多少のフェイルビットを許容してでも動作速度を優先したい場合がある。

#### 【 0 2 0 5 】

そこで本実施形態に係るメモリシステム 1 は、書き込むデータに応じて、データの書き込み方法を使い分ける。具体的には、外部のホストが書き込むデータを判別してコントローラ 20 に指示を出し、コントローラ 20 がホストの指示に基づいて書き込みコマンドを発行する。このコマンドとしては、例えば動作速度を重視したい場合には通常書き込みコマンド ( 8 0 h ) を使用し、データの信頼性を重視したい場合には特殊コマンド ( x x h + 8 0 h ) を使用する。

#### 【 0 2 0 6 】

そして半導体記憶装置 10 は、この書き込みコマンドに基づいて、動作速度を重視した書き込み動作、又はデータの信頼性を重視した書き込み動作を実行する。動作速度を重視した書き込み動作には、例えば通常書き込み方法が適用され、信頼性を重視した書き込み動作には、例えば第 1 実施形態の書き込み方法が適用される。

#### 【 0 2 0 7 】

このように第 7 実施形態に係る半導体記憶装置 10 は、異なる書き込み方法をコントローラ 20 の発行するコマンドによって使い分けることが出来る。これにより第 7 実施形態に係る半導体記憶装置 10 は、ユーザが書き込み動作において動作速度、及びデータの信頼性のどちらを優先するか選択できるようになる。

10

20

30

40

50

## 【0208】

尚、上記実施形態で説明した書き込み方法は、Set featureによってデフォルト設定を変えることにより実行するようにしても良い。この場合、書き込むデータに応じて、書き込み動作の冒頭にSet featureが実行される。これにより半導体記憶装置10は、特殊コマンドを受けること無く、適切な書き込み方法によるデータの書き込みを実行することが出来る。

## 【0209】

また、特殊コマンドの種類は上記に限定されず、2種類以上あってもよい。この場合も同様に、それぞれの特殊コマンドに対して異なる書き込み方法を割り当てることによって、用途に合わせた書き込み方法を選択することが出来る。

10

## 【0210】

## 〔8〕第8実施形態

次に、第8実施形態に係る半導体記憶装置について説明する。第8実施形態は、上記実施形態におけるメモリセルアレイの構成を、メモリセルが積層された構成に変更したものである。以下に、第1～第7実施形態と異なる点を説明する。

## 【0211】

## 〔8-1〕半導体記憶装置10の構成

## 〔8-1-1〕メモリセルアレイ11の回路構成

図28を用いて、メモリセルアレイ11の回路構成について説明する。図28には、メモリセルアレイ11の回路図が示されている。メモリセルが三次元に積層された半導体記憶装置10の回路構成は、第1実施形態で説明した図3に対して、ブロックBLK内の構成が異なる。以下に、この回路構成について1つのブロックBLKを用いて説明する。

20

## 【0212】

ブロックBLKは、例えば4個のストリングユニットSUを備えている。ストリングユニットSUの各々は、L個（Lは1以上の自然数）のNANDストリングNSを備えている。NANDストリングNSの構成は、第1実施形態で説明した図3と同様である。

## 【0213】

ストリングユニットSU0～SU3内の選択トランジスタST1のゲートはそれぞれ、セレクトゲート線SGD0～SGD3に共通接続されている。同一ブロック内の選択トランジスタST2のゲートは、セレクトゲート線SGSに共通接続されている。同様に、同一ブロック内のメモリセルトランジスタMT0～MT7の制御ゲートはそれぞれ、ワード線WL0～WL7に共通接続されている。

30

## 【0214】

また、メモリセルアレイ11内において同一列にあるNANDストリングNSの選択トランジスタST1のドレインは、ビット線BLに共通接続されている。つまりビット線BLは、複数のブロックBLK間で同一列にあるNANDストリングNSを共通に接続している。さらに、複数の選択トランジスタST2のソースは、ソース線SLに共通に接続されている。

## 【0215】

## 〔8-1-2〕メモリセルアレイ11の断面構造

次に、図29を用いて、メモリセルアレイ11の断面構造について説明する。図29にはメモリセルアレイ11の断面図と、それぞれが互いに直行するX軸、Y軸、及びZ軸とが示されている。尚、図29では層間絶縁膜を省略して示している。

40

## 【0216】

図29に示すように半導体記憶装置10は、P型ウェル領域50、配線層51～56、複数の半導体ピラーMH、及び複数のコンタクトプラグLIを備えている。

## 【0217】

P型ウェル領域50は、半導体基板の表面内に形成されている。P型ウェル領域50の上方には、配線層51～53が順に積層されている。この配線層51～53はそれぞれ、セレクトゲート線SGS、ワード線WL、及びセレクトゲート線SGDとして機能する。

50

つまり配線層 5 1 ~ 5 3 の層数はそれぞれ、セレクトゲート線 S G S、ワード線 W L、及びセレクトゲート線 S G D の本数に対応している。

【0 2 1 8】

尚、セレクトゲート線 S G S 及び S G D にそれぞれ対応する配線層 5 1 及び 5 3 は、図 2 9 に示すように複数設けられても良い。また、配線層 5 1 ~ 5 3 は、X 方向と Y 方向に広がった板状に設けられている。

【0 2 1 9】

複数の半導体ピラー M H は、配線層 5 3 の上面から P 型ウェル領域 5 0 の上面に達するように形成されている。つまり半導体ピラー M H は、Z 方向に沿って配線層 5 1 ~ 5 3 を通過するように設けられている。これら半導体ピラー M H の側面には、ブロック絶縁膜 5 7、絶縁膜（電荷蓄積層）5 8、及びトンネル酸化膜 5 9 が順に形成されている。また半導体ピラー M H において、トンネル酸化膜 5 9 より内側には、導電性の材料を含む半導体材料 6 0 が埋め込まれている。

10

【0 2 2 0】

配線層 5 3 及び半導体ピラー M H の上方には、ビット線 B L に対応する配線層 5 4 が形成されている。ビット線 B L は、対応する半導体ピラー M H と接続されている。尚、ビット線 B L と対応する半導体ピラー M H との間には、導電性の材料を含むコンタクトプラグを形成してもよい。

【0 2 2 1】

配線層 5 3 及び 5 4 の間には、ソース線 S L 及びウェル線 C P W E L L にそれぞれ対応する配線層 5 5 及び 5 6 が形成されている。ソース線 S L は、コンタクトプラグ L I を介して、ウェル領域 5 0 の表面内に形成された  $n^+$  不純物拡散領域 6 1 に接続されている。ウェル線 C P W E L L は、コンタクトプラグ L I を介して、ウェル領域 5 0 の表面内に形成された  $p^+$  不純物拡散領域 6 2 に接続されている。尚、コンタクトプラグ L I は、X 方向と Z 方向に広がった板状に設けられている。

20

【0 2 2 2】

以上の構成において、1 つの半導体ピラー M H が、1 つの N A N D ストリング N S に対応している。具体的には、セレクトゲート線 S G D 及び S G S と、半導体ピラー M H との交点がそれぞれ選択トランジスタ S T 1 及び S T 2 に対応している。同様に、ワード線 W L と半導体ピラー M H との交点がメモリセルトランジスタ M T に対応している。

30

【0 2 2 3】

また、以上の構成は X 方向に複数配列される。例えば、1 つのストリングユニット S U は、X 方向に配列する複数の N A N D ストリング N S の集合によって構成される。同一のブロック B L K 内に複数のストリングユニット S U を設ける場合、セレクトゲート線 S G D に対応する配線層 5 3 は、ストリングユニット S U 間で分離される。

【0 2 2 4】

尚、最下層の配線層 5 1 及びトンネル酸化膜 5 9 は、 $n^+$  型不純物拡散領域 6 1 の近傍まで設けられている。これにより、選択トランジスタ S T 2 がオン状態になると、N A N D ストリング N S 及び  $n^+$  型不純物拡散領域 6 1 間に電流経路が形成される。

【0 2 2 5】

また、メモリセルアレイ 1 1 の構成については、その他の構成であってもよい。メモリセルアレイ 1 1 の構成については、例えば“三次元積層不揮発性半導体メモリ”という 2 0 0 9 年 3 月 1 9 日に出願された米国特許出願 1 2 / 4 0 7, 4 0 3 号に記載されている。また、“三次元積層不揮発性半導体メモリ”という 2 0 0 9 年 3 月 1 8 日に出願された米国特許出願 1 2 / 4 0 6, 5 2 4 号、“不揮発性半導体記憶装置及びその製造方法”という 2 0 1 0 年 3 月 2 5 日に出願された米国特許出願 1 2 / 6 7 9, 9 9 1 号、“半導体メモリ及びその製造方法”という 2 0 0 9 年 3 月 2 3 日に出願された米国特許出願 1 2 / 5 3 2, 0 3 0 号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

40

【0 2 2 6】

50

## 〔 8－2 〕 第 8 実施形態の効果

次に、第 8 実施形態の効果について説明する。第 8 実施形態に係る半導体記憶装置 10 によれば、メモリセルが三次元に積層された半導体記憶装置においても、データの信頼性を向上することが出来る。以下に、この効果の詳細について説明する。

## 【 0 2 2 7 〕

半導体記憶装置の書き込み動作において、メモリセルにプログラム電圧を印加した場合、メモリセルの特性によって閾値電圧が上昇する量が決まる。例えば、メモリセルに導電層を適用した場合と、絶縁層を適用した場合とで特性が異なる。また、メモリセルを平面に配列させた場合と、メモリセルを三次元に積層させた場合とでも特性が異なる。このため、メモリセルを三次元に積層させた場合、より精密なプログラム電圧の調整が必要になる場合がある。

10

## 【 0 2 2 8 〕

そこで第 8 実施形態の半導体記憶装置 10 は、メモリセルを三次元に積層させた半導体記憶装置に対して第 1～第 7 実施形態の書き込み動作を適用する。これらの実施形態の書き込み動作は、メモリセルが平面上に形成された半導体記憶装置だけでなく、メモリセルを三次元に積層させた半導体記憶装置においても同様に動作させることが可能である。

## 【 0 2 2 9 〕

これにより第 8 実施形態に係る半導体記憶装置 10 は、上記実施形態の書き込み方法を適用することにより、上記実施形態と同様の効果を得ることが出来る。

## 【 0 2 3 0 〕

20

## 〔 9 〕 変形例等

上記実施形態に係る半導体記憶装置< 10、図 1 >は、それぞれが 2 ビット以上のデータを記憶可能な複数の第 1 メモリセル< MC、図 3 >と、複数の第 1 メモリセルに接続された第 1 ワード線< WL >と、を備える。書き込み動作において、第 1 ワード線にプログラム電圧< V<sub>pgm</sub>、図 6 >を印加するプログラム動作< Program、図 6 >を含むプログラムループが繰り返される。書き込み動作は、それぞれが複数回のプログラムループを含む第 1 期間< 1st phase、図 6 >と第 1 期間に続く第 2 期間< 2nd phase、図 6 >を含む。プログラム電圧は、第 1 期間中にはプログラムループ毎に第 1 電圧< Δ V<sub>pgm1</sub>、図 6 >ずつ増加し、第 2 期間中にはプログラムループ毎に第 1 電圧より小さい第 2 電圧< Δ V<sub>pgm2</sub>、図 6 >ずつ増加する。

30

## 【 0 2 3 1 〕

これにより、データの信頼性を向上することが可能な半導体記憶装置を提供することが出来る。

## 【 0 2 3 2 〕

尚、実施形態は上記第 1～第 8 実施形態に限定されず、種々の変形が可能である。例えば、第 6 実施形態のようにメモリセルに 3 ビット以上のデータを記憶させる場合、Δ V<sub>pgm</sub>を 3 段階以上変化させるようにしてもよい。つまり書き込み動作の間に 3 種類以上の Δ V<sub>pgm</sub>を使用してもよい。この場合も上記実施形態と同様に、書き込み動作後半の Δ V<sub>pgm</sub>の方が小さくなるように設定される。

## 【 0 2 3 3 〕

40

また、上記実施形態において、ベリファイ動作についてベリファイ電圧をステップ状に上昇させた場合を例に説明したが、これに限定されない。例えば、電圧を連続的に上昇させることにより、ベリファイ電圧を生成するようにしても良い。この場合のベリファイ電圧とは、センスアンプモジュール 12 がビット線 BL の電圧をセンスするタイミングの電圧値のことを指す。また、ベリファイ電圧を印加する回数とは、ベリファイ動作時にビット線 BL の電圧をセンスする回数に対応している。

## 【 0 2 3 4 〕

また、上記実施形態において、複数のレベルに対してベリファイ動作を連続して行った場合を例に説明したが、これに限定されない。例えば、各レベルに対するベリファイを、それぞれ分けて行っても良い。また、ベリファイ電圧を印加する順番も、低い方から順に

50

ベリファイする場合を例に説明したがこれに限定されず、それぞれ順番を入れ替えることが可能である。

#### 【0235】

また、第5実施形態においてプログラムループの実行回数をカウントするカウンタは、数値をインクリメントすることにより回数をカウントしていたが、これに限定されない。例えば、カウンタの数値をデクリメントすることによりプログラムループ数をカウントしても良い。この場合、例えば第5実施形態において、ステップS40で説明したカウンタのリセット動作の替わりに、カウンタに $N=k$ をセットする。そして、ステップS41でシーケンサ17に $N=0$ かどうかを判定させ、ステップS42でカウンタをデクリメントさせる。これにより、カウンタをインクリメントさせる場合と同様に、所望の回数だけプログラムループを実行した後に、 $\Delta V_{pgm}$ を変更することが出来る。

10

#### 【0236】

また、上記実施形態において、最終的にベリファイがパスする場合を例に説明したが、これに限定されない。例えば、規定の回数のプログラムループを実行してベリファイをパスしない場合、そのページの書き込み自体をフェイルとするようにしても良い。

#### 【0237】

また、第7実施形態において、2ページデータのsequential writingの場合を例にコマンドシーケンスの説明をしたが、3ページ以上のデータのsequential writingを行う場合についても同様のコマンドシーケンスとなる。例えば、コントローラ20はページ毎に対応する情報を半導体記憶装置10に送信し、所望のページ数のデータが揃ったらコマンド“10h”によりsequential writingを実行する。つまり1回の書き込み動作とは、一番初めに送信された書き込みコマンド“80h”と、書き込み動作の実行するコマンド“10h”との間に送信された情報に基づいて実行されるものとも言える。

20

#### 【0238】

また、上記説明において「接続」とは電氣的に接続していることを示し、直接接続される場合だけでなく、任意の素子を介して接続される場合も含んでいる。

#### 【0239】

また、コントローラ20が半導体記憶装置10の動作状態を知る手段として、レディ／ビジー制御回路18を使用しなくても良い。この場合シーケンサ17は、レディ／ビジー信号に対応するレディ／ビジー情報をステータスレジスタ15Aに格納する。そこでコントローラ20がステータスリードコマンドを発行すると、この情報がステータスレジスタ15Aから読み出され、入出力回路14から出力される。これによりコントローラ20は、半導体記憶装置10の動作状態を知ることが出来る。

30

#### 【0240】

また、上記実施形態において、ブロックBLKがデータの消去単位にならなくても良い。例えば他の消去動作は、“不揮発性半導体記憶装置”という2011年9月18日出願された米国特許出願13/235,389号、“不揮発性半導体記憶装置”という2010年1月27日出願された米国特許出願12/694,690号に記載されている。これらの特許出願は、その全体が本願明細書において参照により援用されている。

#### 【0241】

尚、上記各実施形態において、  
(1)読み出し動作では、“A”レベルの読み出し動作に選択されたワード線に印加される電圧は、例えば0~0.55Vの間である。これに限定されることなく、0.1~0.24V、0.21~0.31V、0.31~0.4V、0.4~0.5V、0.5~0.55Vのいずれかの間にしてもよい。

40

#### 【0242】

“B”レベルの読み出し動作に選択されたワード線に印加される電圧は、例えば1.5~2.3Vの間である。これに限定されることなく、1.65~1.8V、1.8~1.95V、1.95~2.1V、2.1~2.3Vのいずれかの間にしてもよい。

#### 【0243】

“C”レベルの読み出し動作に選択されたワード線に印加される電圧は、例えば3.0V

50

～4.0Vの間である。これに限定されることなく、3.0～3.2V、3.2～3.4V、3.4～3.5V、3.5～3.6V、3.6～4.0Vのいずれかの間にしてもよい。

【0244】

読み出し動作の時間（ $t_{\text{Read}}$ ）としては、例えば25～38 $\mu\text{s}$ 、38～70 $\mu\text{s}$ 、70～80 $\mu\text{s}$ の間にしてもよい。

（2）書き込み動作は、上述したとおりプログラム動作とベリファイ動作を含む。書き込み動作では、プログラム動作時に選択されたワード線に最初に印加される電圧は、例えば13.7～14.3Vの間である。これに限定されることなく、例えば13.7～14.0V、14.0～14.6Vのいずれかの間としてもよい。

【0245】

奇数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧と、偶数番目のワード線を書き込む際の、選択されたワード線に最初に印加される電圧を変えてもよい。

【0246】

プログラム動作をISP方式（Incremental Step Pulse Program）としたとき、ステップアップの電圧として、例えば0.5V程度が挙げられる。

【0247】

非選択のワード線に印加される電圧としては、例えば6.0～7.3Vの間としてもよい。この場合に限定されることなく、例えば7.3～8.4Vの間としてもよく、6.0V以下としてもよい。

【0248】

非選択のワード線が奇数番目のワード線であるか、偶数番目のワード線であるかで、印加するバス電圧を変えてもよい。

【0249】

書き込み動作の時間（ $t_{\text{Prog}}$ ）としては、例えば1700～1800 $\mu\text{s}$ 、1800～1900 $\mu\text{s}$ 、1900～2000 $\mu\text{s}$ の間にしてもよい。

（3）消去動作では、半導体基板上部に形成され、かつ、上記メモリセルが上方に配置されたウェルに最初に印加する電圧は、例えば12～13.6Vの間である。この場合に限定されることなく、例えば13.6～14.8V、14.8～19.0V、19.0～19.8V、19.8～21Vの間であってもよい。

【0250】

消去動作の時間（ $t_{\text{Erase}}$ ）としては、例えば3000～4000 $\mu\text{s}$ 、4000～5000 $\mu\text{s}$ 、4000～9000 $\mu\text{s}$ の間にしてもよい。

（4）メモリセルの構造は、半導体基板（シリコン基板）上に膜厚が4～10nmのトンネル絶縁膜を介して配置された電荷蓄積層を有している。この電荷蓄積層は膜厚が2～3nmのSiN、又はSiON等の絶縁膜と膜厚が3～8nmのポリシリコンとの積層構造にすることが出来る。また、ポリシリコンにはRu等の金属が添加されていてもよい。電荷蓄積層の上には絶縁膜を有している。この絶縁膜は、例えば、膜厚が3～10nmの下層High-k膜と膜厚が3～10nmの上層High-k膜に挟まれた膜厚が4～10nmのシリコン酸化膜を有している。High-k膜はHfO等が挙げられる。また、シリコン酸化膜の膜厚はHigh-k膜の膜厚よりも厚くすることが出来る。絶縁膜上には膜厚が3～10nmの材料を介して膜厚が30～70nmの制御電極が形成されている。ここで材料はTaO等の金属酸化膜、TaN等の金属窒化膜である。制御電極にはW等を用いることが出来る。

【0251】

また、メモリセル間にはエアギャップを形成することが出来る。

【0252】

尚、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要

10

20

30

40

50

旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

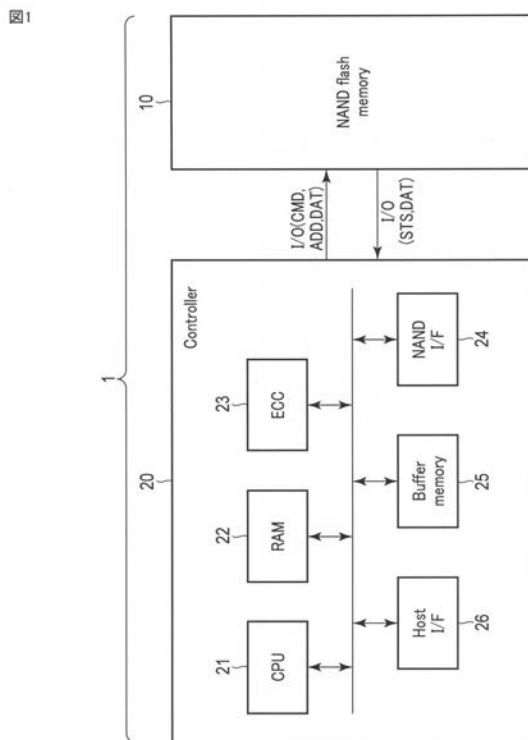
【符号の説明】

【0253】

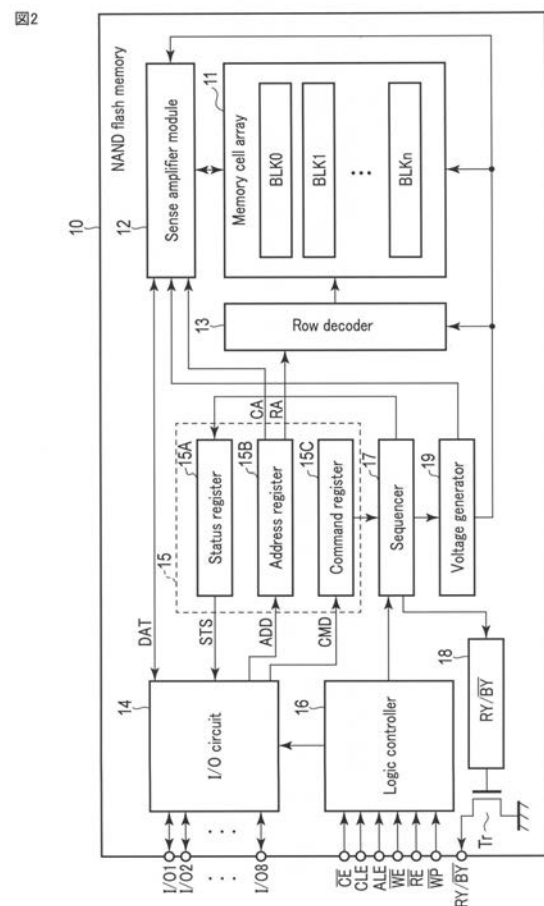
1…メモリシステム、10…半導体記憶装置、11…メモリセルアレイ、12…センスアンプモジュール、13…ロウデコーダ、14…入出力回路、15…レジスタ、16…ロジック制御回路、17…シーケンサ、18…レディ／ビジー制御回路、19…電圧生成回路、20…コントローラ、21…プロセッサ、22…内蔵メモリ、23…ECC回路、24…NANDインターフェイス回路、25…バッファメモリ、26…ホストインターフェイス回路。

10

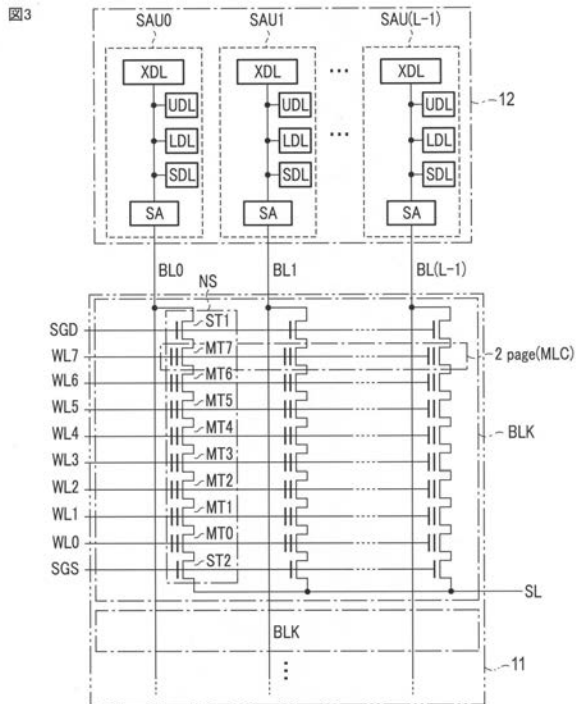
【図1】



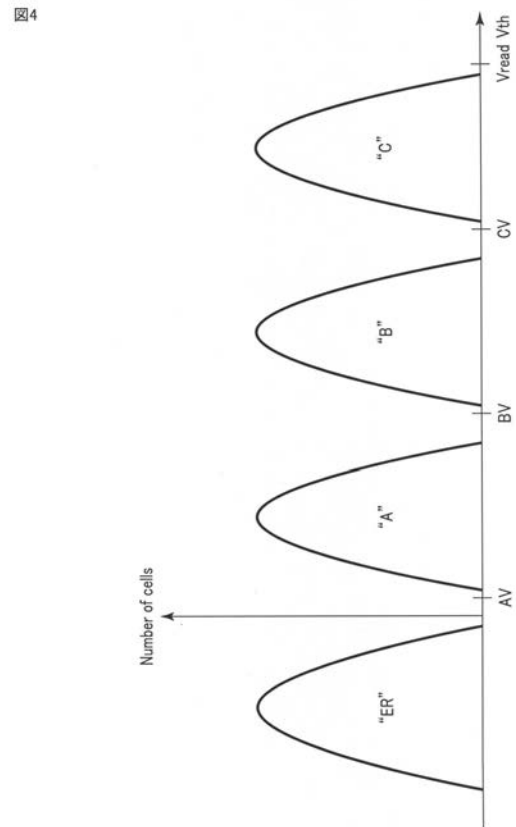
【図2】



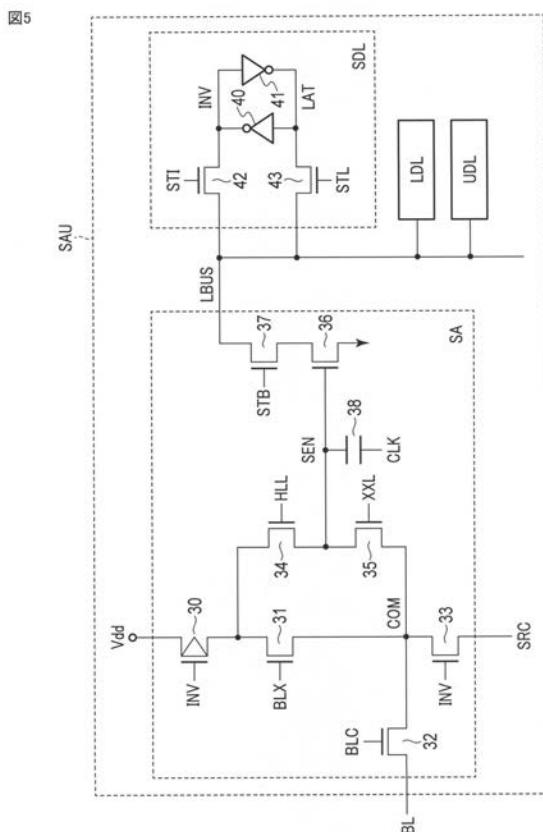
【図3】



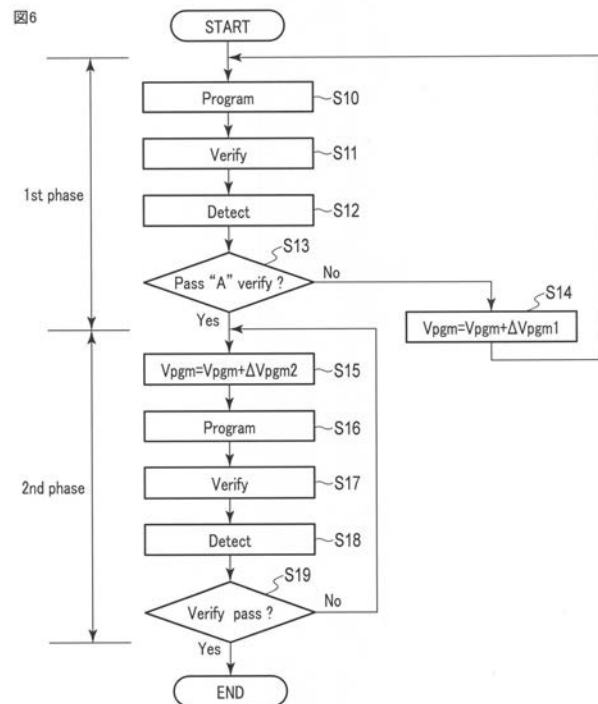
【図4】



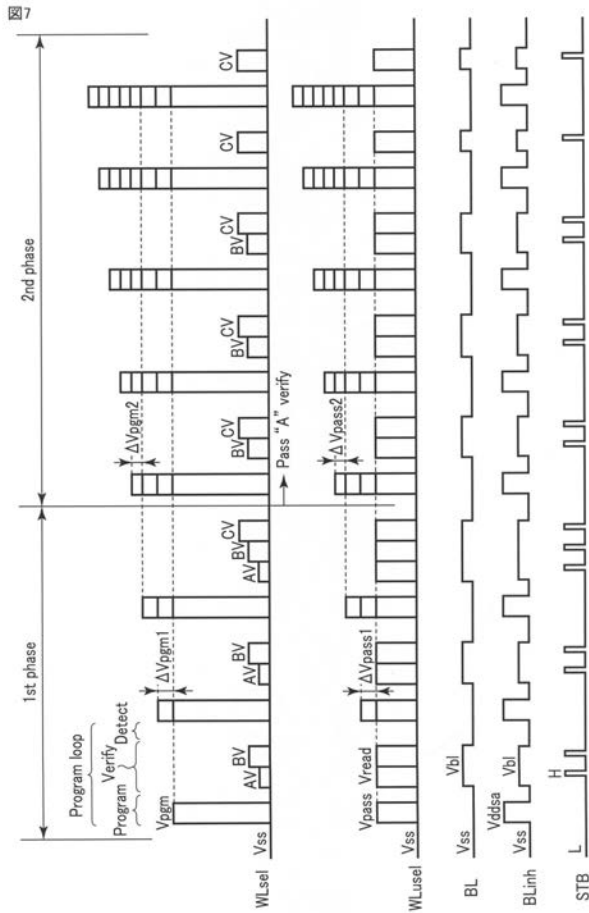
【図5】



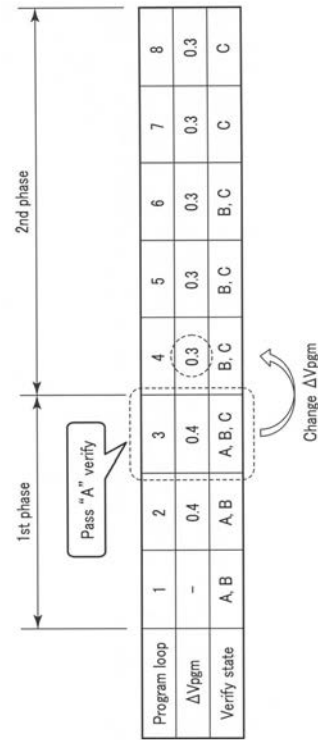
【図6】



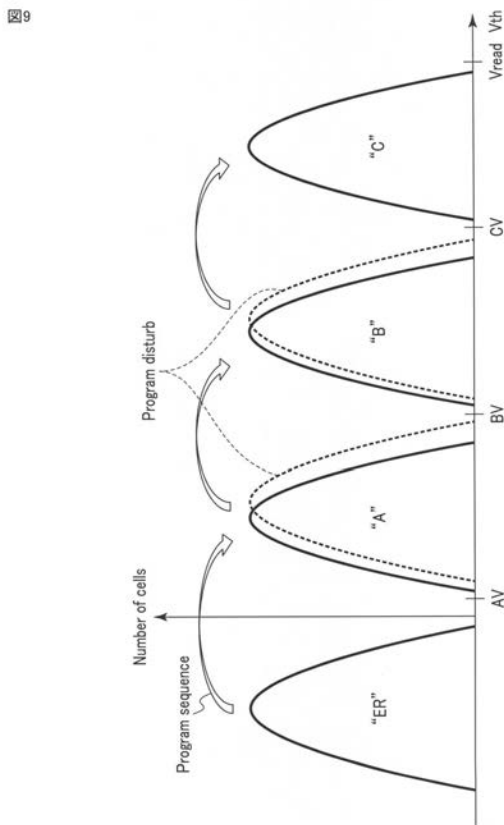
【図 7】



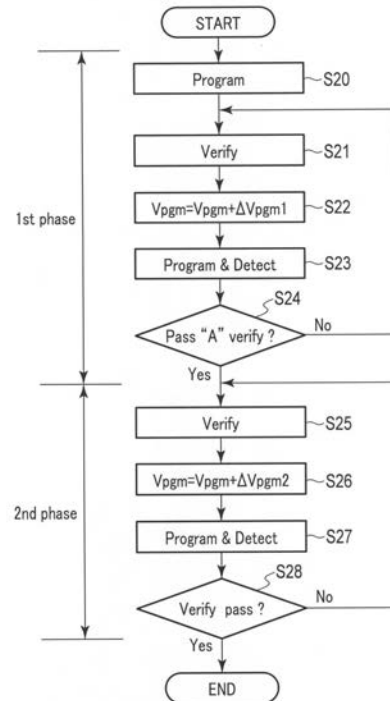
【図 8】



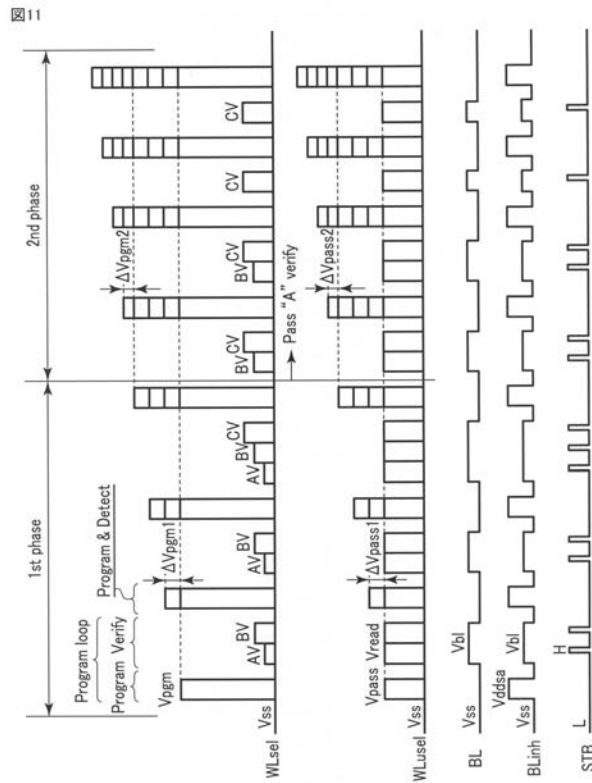
【図 9】



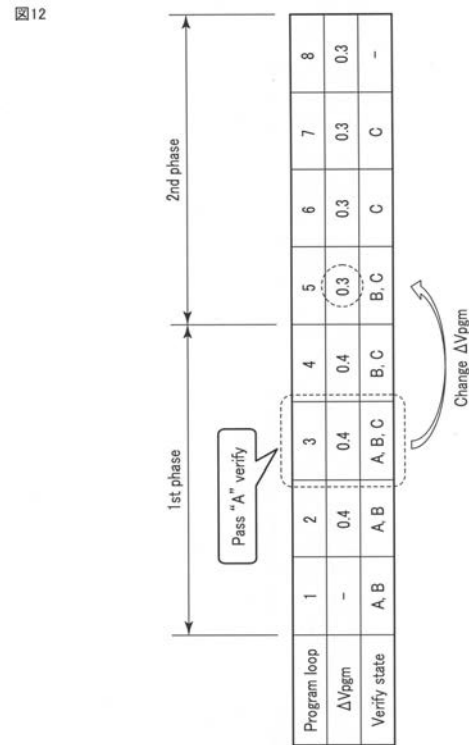
【図 10】



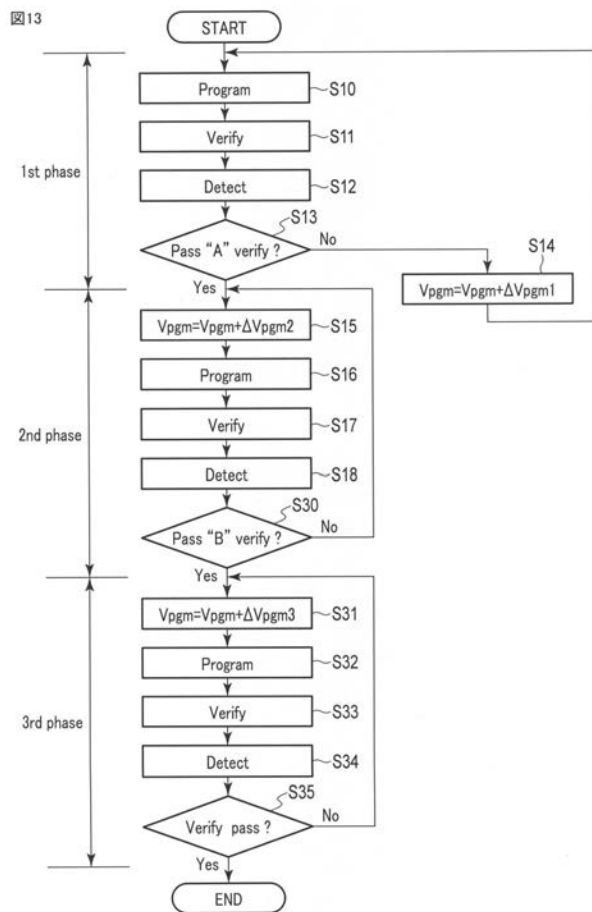
【図 1 1】



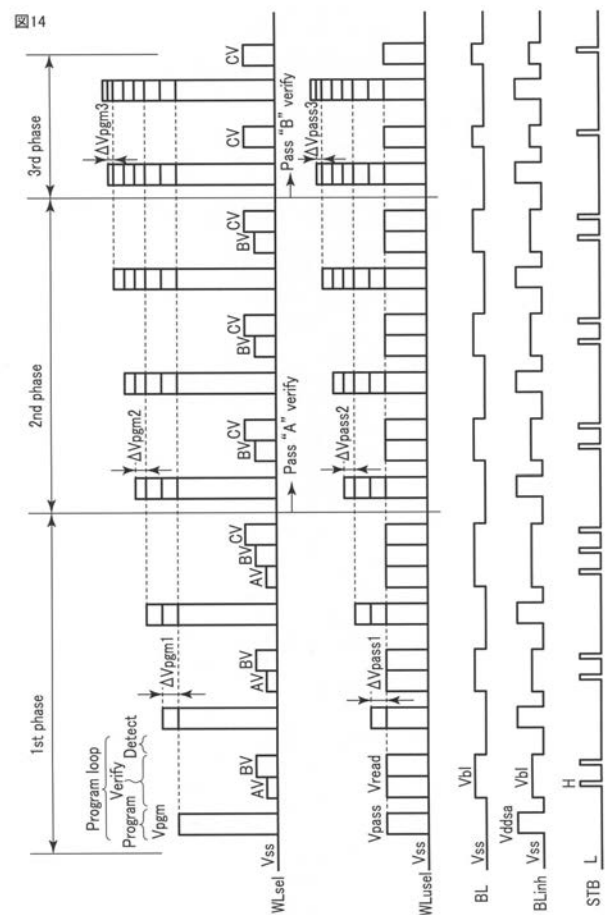
【図 1 2】



【図 1 3】

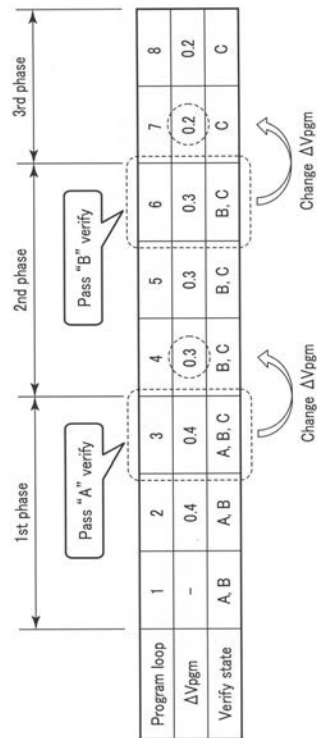


【図 1 4】



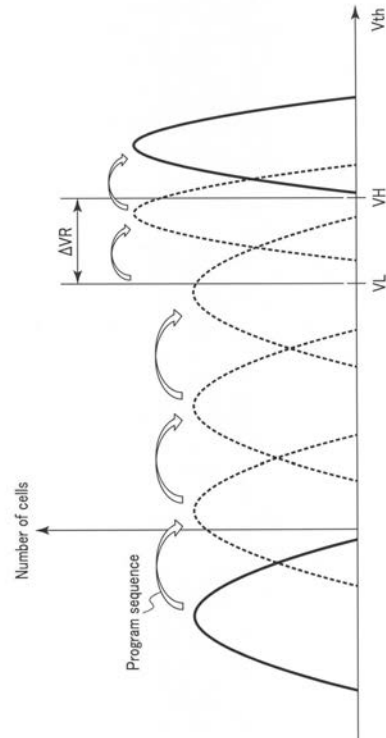
【図 15】

図 15



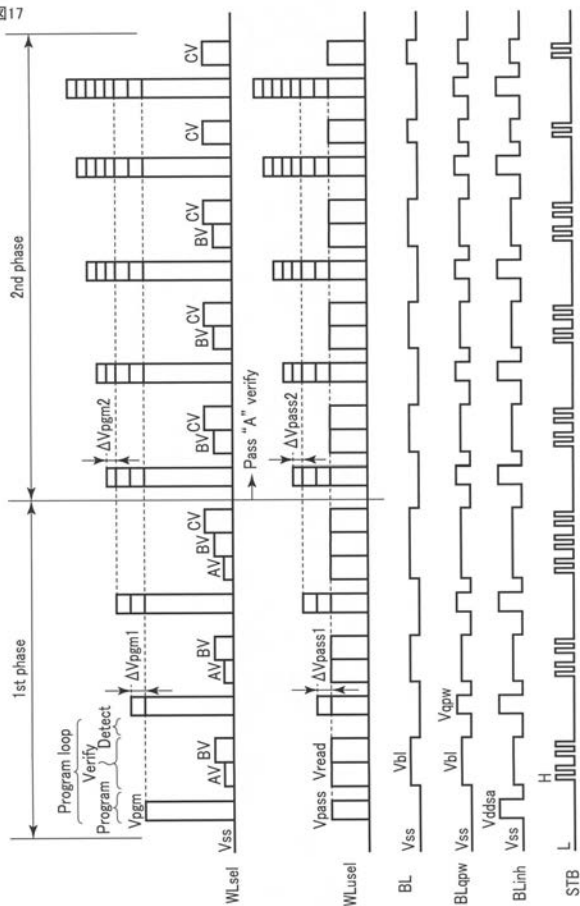
【図 16】

図 16



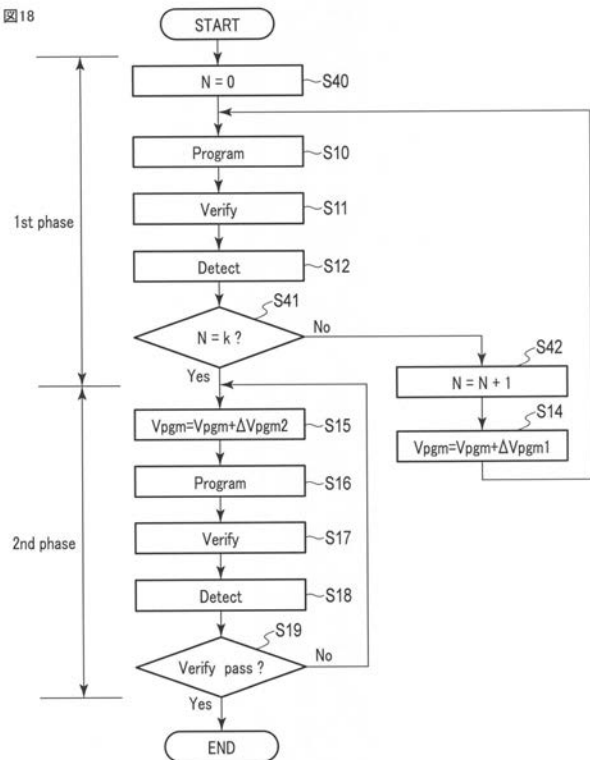
【図 17】

図 17

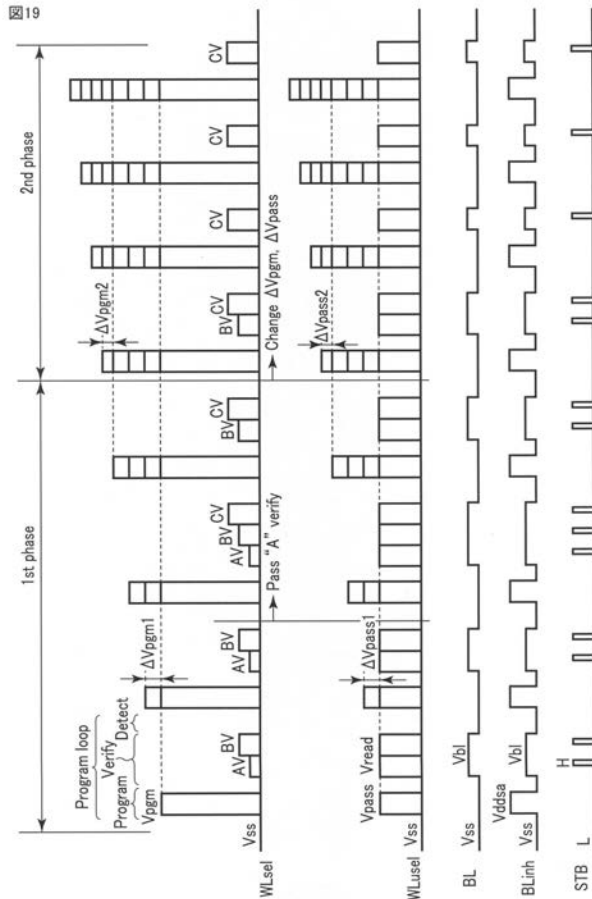


【図 18】

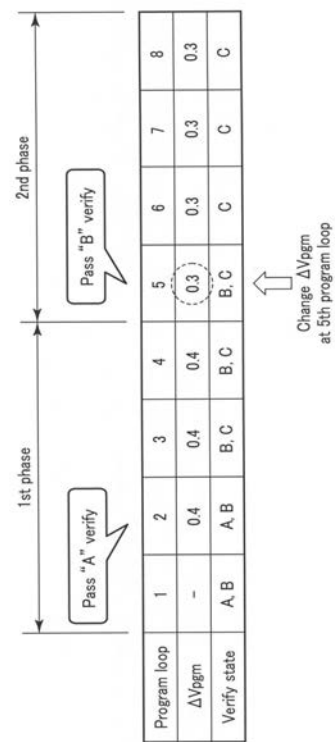
図 18



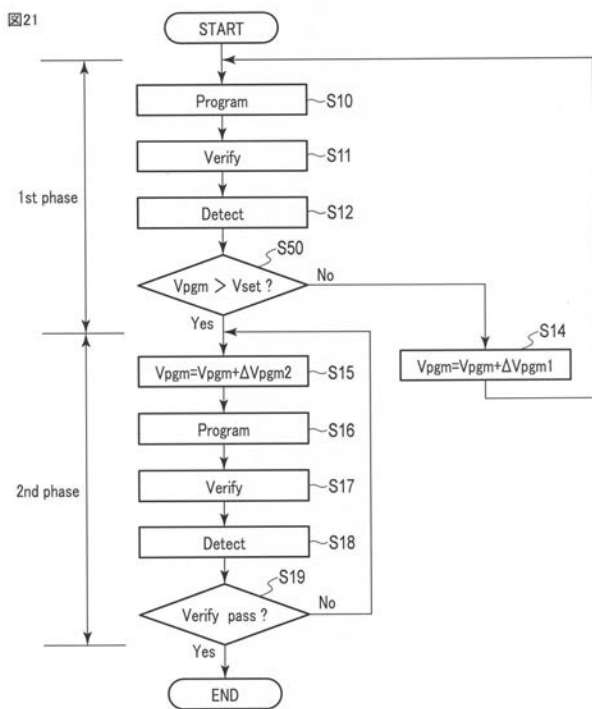
【図 19】



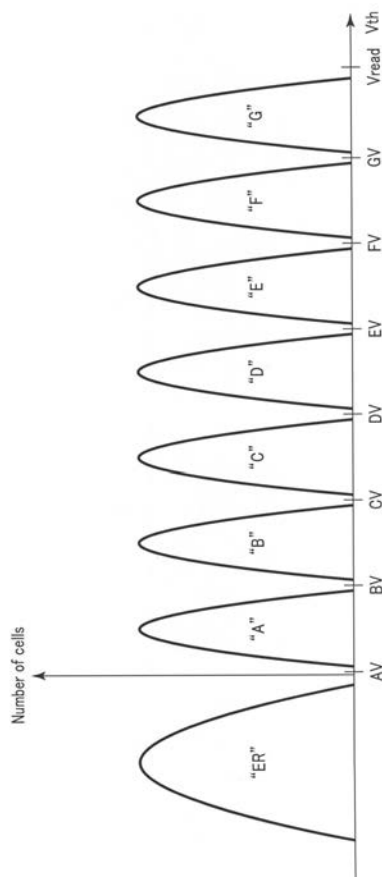
【図 20】



【図 21】

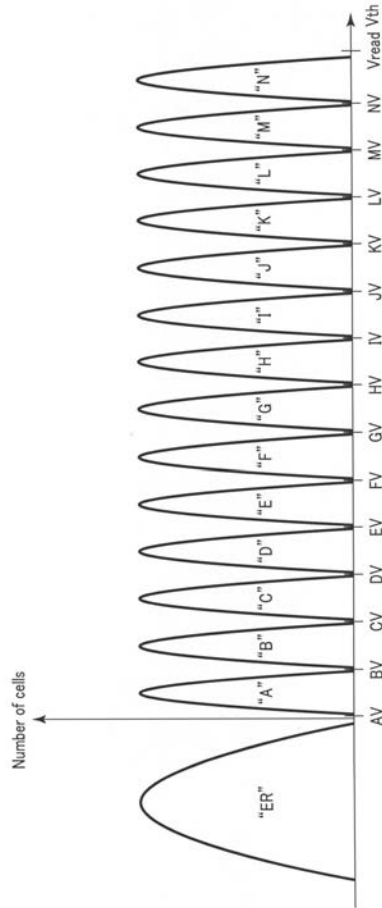


【図 22】



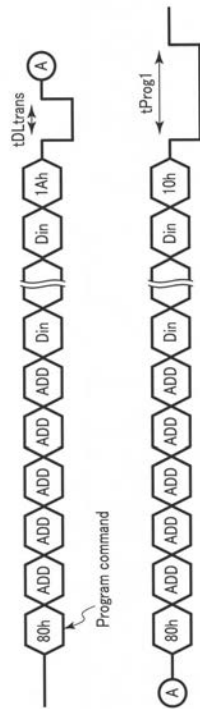
【図 2 3】

図23



【図 2 5】

図25



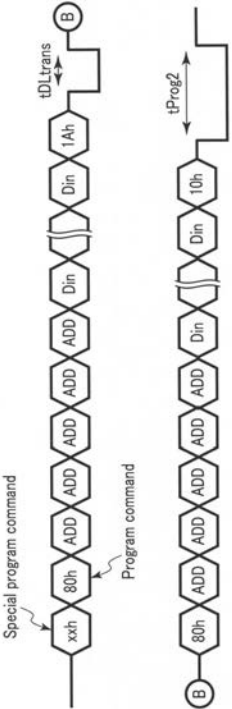
【図 2 4】

図24

|                       | Command   | Case1                            | Case2                            | Case3                            | Case4                            | Case5                            |
|-----------------------|-----------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|----------------------------------|
| 1st program operation | 80h       | Normal program                   | Normal program                   | Normal program                   | Special program (1st embodiment) | Special program (2nd embodiment) |
| 2nd program operation | xxh + 80h | Special program (1st embodiment) | Special program (2nd embodiment) | Special program (3rd embodiment) | Special program (3rd embodiment) | Special program (3rd embodiment) |

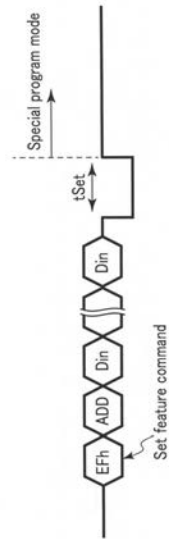
【図 2 6】

図26



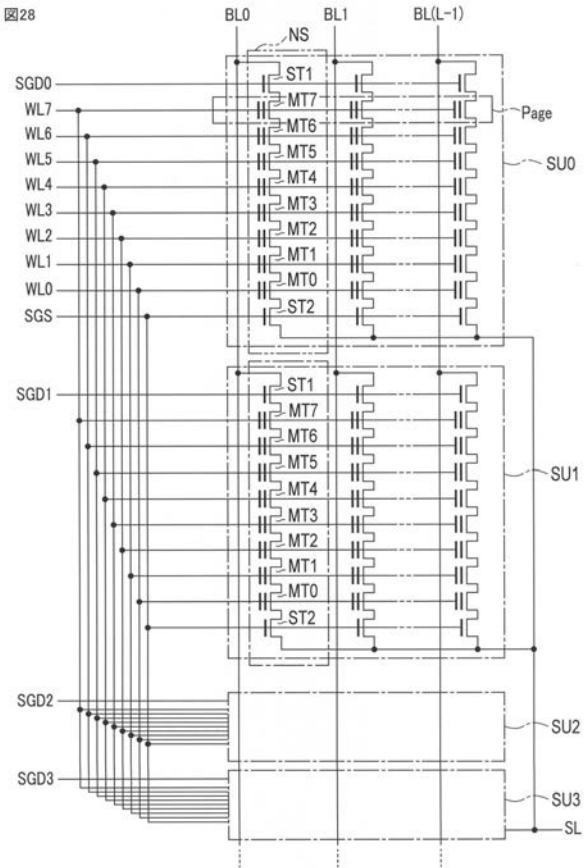
【図 27】

図27



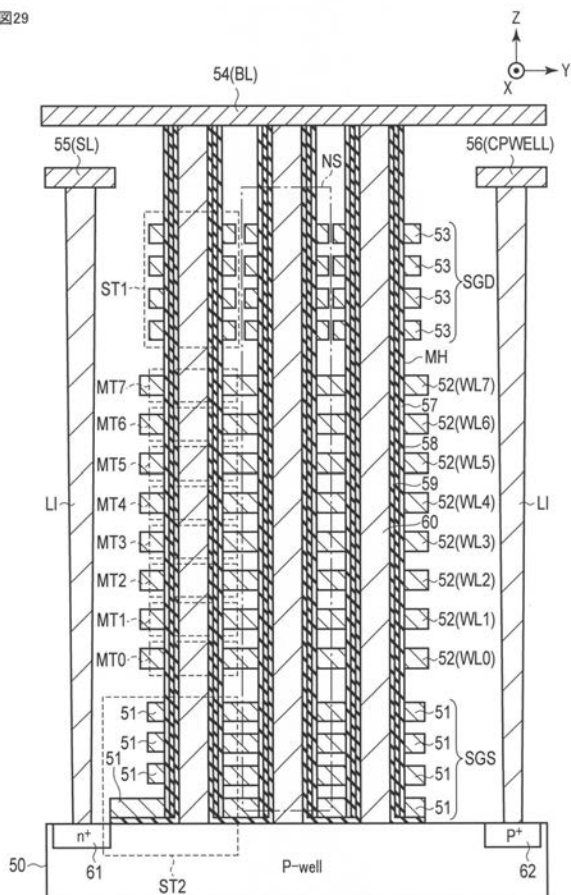
【図 28】

図28



【図 29】

図29



---

フロントページの続き

(72)発明者 四方 剛

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 大池 昇

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B225 BA01 BA19 CA11 DB02 DB08 DB22 DB27 DB28 DB30 EA05  
EK01 EK02 FA01 FA02