(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5166264号
(P5166264)

(45)発行日　平成25年3月21日(2013.3.21)　(24)登録日　平成24年12月28日(2012.12.28)

(51)Int.Cl.		F I		
H01L 21/336	(2006.01)	H01L	29/78	301X
H01L 29/78	(2006.01)	H01L	29/78	301Y
H01L 29/786	(2006.01)	H01L	29/78	301G
H01L 21/8238	(2006.01)	H01L	29/78	618C
H01L 27/092	(2006.01)	H01L	29/78	617N

請求項の数 10　(全 17 頁)　最終頁に続く

(21)出願番号　特願2008-523986 (P2008-523986)
(86)(22)出願日　平成18年7月21日 (2006.7.21)
(65)公表番号　特表2009-512996 (P2009-512996A)
(43)公表日　平成21年3月26日 (2009.3.26)
(86)国際出願番号　PCT/US2006/028312
(87)国際公開番号　WO2007/015957
(87)国際公開日　平成19年2月8日 (2007.2.8)
審査請求日　平成21年3月25日 (2009.3.25)
(31)優先権主張番号　11/161,213
(32)優先日　平成17年7月27日 (2005.7.27)
(33)優先権主張国　米国(US)

(73)特許権者　390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
ＩＮＴＥＲＮＡＴＩＯＮＡＬ　ＢＵＳＩＮＥＳＳ　ＭＡＣＨＩＮＥＳ　ＣＯＲＰＯＲＡＴＩＯＮ
アメリカ合衆国１０５０４　ニューヨーク州　アーモンク　ニュー　オーチャード　ロード
(74)復代理人　100085545
弁理士　松井　光夫
(74)復代理人　100118599
弁理士　村上　博司
(74)代理人　100108501
弁理士　上野　剛史

最終頁に続く

(54)【発明の名称】電界効果トランジスタ（ＦＥＴ）、その製造方法及びそれを備えている集積回路

(57)【特許請求の範囲】
【請求項１】
電界効果トランジスタ（ＦＥＴ）であって、
基板と、
前記基板上に隣接したシリコン・ゲルマニウム（ＳｉＧｅ）層と、
前記ＳｉＧｅ層上に隣接したフィン状の半導体層であって、前記ＳｉＧｅ層の端部分がアンダーカットされており、当該アンダーカットによって前記基板上に前記ＳｉＧｅ層及び前記フィン状の半導体層からなるＴ型ボディが形成されている、前記フィン状の半導体層と、
前記基板上に、前記ＳｉＧｅ層の前記アンダーカットされた側面に、並びに、前記フィン状の半導体層の上面、前記半導体層の下面及び前記半導体層の側面に隣接した絶縁層と、
前記ＳｉＧｅ層の前記アンダーカットされた側面に隣接した前記絶縁層に隣接した一対の第１のゲート構造体と、
前記基板上に隣接し、前記フィン状の半導体層及び前記一対の第１のゲート構造体を覆うように設けられた第２のゲート構造体と
を備えている、前記ＦＥＴ。
【請求項２】
前記一対の第１のゲート構造体の一部は、前記絶縁層によりカプセル封入されている、請求項１に記載のＦＥＴ。

【請求項３】
前記一対の第１のゲート構造体の残りは、前記前記ＳｉＧｅ層の前記アンダーカットされた部分を完全に充填し、且つ、前記フィン状の半導体層の一側面に沿って逆Ｔ字型を形成している、請求項２に記載のＦＥＴ。
【請求項４】
前記ＳｉＧｅ層は炭素を含む、請求項１～３のいずれか一項に記載のＦＥＴ。
【請求項５】
電界効果トランジスタ（ＦＥＴ）を製造する方法であって、
基板上にシリコン・ゲルマニウム（ＳｉＧｅ）層を形成するステップと、
前記ＳｉＧｅ層上に隣接して半導体層を堆積させるステップと、
前記ＳｉＧｅ層及び前記半導体層をエッチングする第１のエッチング処理を実行し、前記基体上に前記ＳｉＧｅ層及び前記半導体層からなる長方形ボディを形成するステップと、
前記長方形ボディ中のＳｉＧｅ層の端部分を選択的にエッチングしてアンダーカットする第２のエッチング処理を実行し、前記基板上に前記ＳｉＧｅ層及び前記半導体層からなるＴ型ボディを形成し、フィン状の半導体層を形成するステップと、
前記基板に、前記ＳｉＧｅ層の前記アンダーカットされた側面に、並びに、前記半導体層の上面、前記半導体層の下面及び前記半導体層の側面に隣接して絶縁層を形成するステップと、
前記ＳｉＧｅ層の前記アンダーカットされた側面に隣接した絶縁層に隣接した一対の第１のゲート構造体を配置するステップと、
前記基板上に隣接し、前記フィン状の半導体層及び前記一対の第１のゲート構造体を覆うように第２のゲート構造体を形成するステップと
を含む、前記方法。
【請求項６】
前記配置するステップにおいて、前記一対の第１のゲート構造体の一部が前記絶縁層によりカプセル封入されるように前記配置するステップが行われる、請求項５に記載の方法。
【請求項７】
前記配置するステップにおいて、前記一対の第１のゲート構造体の残りが前記ＳｉＧｅ層の前記アンダーカットされた部分を完全に充填し、且つ、前記フィン状の半導体層の一側面に沿って逆Ｔ字型を形成するように前記配置するステップが行われる、請求項６に記載の方法。
【請求項８】
前記ＳｉＧｅ層は炭素を含む、請求項５～７のいずれか一項に記載の方法。
【請求項９】
請求項１～４のいずれか一項に記載のＦＥＴを備えている集積回路。
【請求項１０】
集積回路であって、
基板と、
前記基板上に隣接した第１の電界効果トランジスタ（ＦＥＴ）と、
前記基板上に隣接した第２のＦＥＴと
を備えており、
前記第１のＦＥＴは、
前記基板上の第１のスペーサ層であって、ソース・ドレイン領域を形成する前記第１のスペーサ層と、
前記第１のスペーサ層上に隣接した第１の半導体層であって、当該第１の半導体層はフィンを形成する、前記第１の半導体層と、
前記第１の半導体層上に隣接したSiO_2層と、
前記第１の半導体層の側面並びに前記SiO_2層の上面及び前記SiO_2層の側面を

覆うように隣接した第１のゲート誘電体層と、
　前記第１のスペーサ層の側面、並びに、前記第１のゲート誘電体層の上面、前記第１のゲート誘電体層の側面及び前記第１のゲート誘電体層の下面を覆うように隣接した第１のゲート電極と
を備えており、
前記第２のＦＥＴは、
　前記基板上に隣接したＳｉＧｅ層と、
　前記ＳｉＧｅ層上に隣接した第２の半導体層であって、前記ＳｉＧｅ層の端部分がアンダーカットされており、当該アンダーカットによって前記基板上に前記ＳｉＧｅ層及び前記第２の半導体層からなるＴ型ボディが形成されており、当該第２の半導体層はフィンを形成する、前記第２の半導体層と、
　前記ＳｉＧｅ層の前記アンダーカットされた側面を充填する第２のスペーサ層と、
　前記第２の半導体層の側面及び前記第２の半導体層の上面を覆うように隣接した第２のゲート誘電体層と、
　前記第２のスペーサ層の側面、並びに、前記第２のゲート誘電体層の上面、前記第２のゲート誘電体層の側面及び前記第２のゲート誘電体層の下面を覆うように隣接した第２のゲート電極と
を備えている、前記集積回路。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明の実施形態は、一般に、半導体デバイスに関し、特に、電界効果トランジスタ（ＦＥＴ）デバイスに関する。
【背景技術】
【０００２】
　ハイブリッド配向技術（Hybrid orientation technology、ＨＯＴ）は、ＰＦＥＴ反転層のための表面と、ＮＦＥＴ反転層のための表面とを提供する。ＨＯＴ技術を達成する低コストの手段により、ＦＥＴの１つのタイプのデバイス・ボディが酸化物（シリコン・オン・インシュレータ（ＳＯＩ））によって分離され、他のものは、バルク・ウェハに物理的に結合される。ＨＯＴにおいては、トライゲート（trigate）・デバイスが示されたが、一般に、電気的閾値電圧（Ｖｔ）調整手段を欠いたものであった。設計には、完全な空乏効果及び制御された短チャネル効果を保証するために、幅及び高さの制御が必要とされるので、通常、バルク・シリコン上でトライゲート・デバイスにおけるフィンの高さを設定することが重要である。
【０００３】
　トライゲート技術は、６５ｎｍノードを超える、相補型金属酸化膜半導体（ＣＭＯＳ）技術のスケーリングを拡張するために提案された。さらに、接合分離型ＦｉｎＦＥＴ又は酸化物分離型ＦｉｎＦＥＴのいずれかを提供するバルクＦｉｎＦＥＴ統合スキームが導入された。さらに、個々のデバイスにおけるドーパントの変動のために、デバイスのサイズが物理的に減少するにつれて、一般に、ドーピングによる閾値電圧の制御は、ますます効果がなくなっている。さらに、Ｖｔの制御は、ＣＭＯＳデバイスの更なるスケーリングに対する主要な障壁にもなっている。
【発明の開示】
【発明が解決しようとする課題】
【０００４】
　従って、ＦＥＴデバイスにおける閾値電圧をより良く制御できるデバイスに対する必要性が残っている。
【課題を解決するための手段】
【０００５】
　上記に鑑みて、本発明の１つの実施形態は、基板と、基板の上のシリコン・ゲルマニウ

ム（ＳｉＧｅ）層と、ＳｉＧｅ層の上の、ＳｉＧｅ層に隣接した半導体層と、基板、ＳｉＧｅ層及び半導体層に隣接した絶縁層と、絶縁層に隣接した一対の第１のゲート構造体と、絶縁層の上の第２のゲート構造体とを含む電界効果トランジスタ（ＦＥＴ）を提供する。絶縁層は、ＳｉＧｅ層の側面、並びに半導体層の上面、半導体層の下面及び半導体の側面に隣接していることが好ましい。ＳｉＧｅ層は、炭素を含むことが好ましい。一対の第１のゲート構造体は、第２のゲート構造体に対して実質的に横断方向にあることが好ましい。さらに、第１のゲート構造体の対は、絶縁層によりカプセル封入されることが好ましい。

【０００６】

本発明の別の実施形態は、基板と、基板に隣接したシリコン・ゲルマニウム（ＳｉＧｅ）層と、基板に隣接した第１の電界効果トランジスタ（ＦＥＴ）と、ＳｉＧｅ層に隣接した第２のＦＥＴとを含む集積回路を提供し、第１のＦＥＴは、ＦｉｎＦＥＴ及びトライゲート構造体のいずれかを含むことができ、第２のＦＥＴは、ＦｉｎＦＥＴ及びトライゲート構造体のいずれかを含むことができ、第１のＦＥＴは基板の上の半導体層と、半導体層の上の絶縁層と、半導体層の上の誘電体層と、誘電体層及び絶縁層の上のポリシリコン層とを含むことができる。さらに、第２のＦＥＴは、ＳｉＧｅ層の上の半導体層と、半導体層の上の、ＳｉＧｅ層に隣接した誘電体と、誘電体層の上の、ＳｉＧｅ層に隣接したポリシリコン層とを含むことができる。さらに、ＳｉＧｅ層は、炭素を含むことができる。集積回路は、基板内に複数の注入ウェル領域をさらに含むことができ、注入ウェル領域の少なくとも１つはＳｉＧｅ層に接触する。さらに、集積回路は、基板内に複数の注入ウェル領域をさらに含むことができ、注入ウェル領域の少なくとも１つは半導体層に接触する。

【０００７】

本発明の別の態様は、シリコン基板と、シリコン基板の上のシリコン・ゲルマニウム（ＳｉＧｅ）層と、シリコン基板の上の第１の電界効果トランジスタ（ＦＥＴ）と、ＳｉＧｅ層に接触する第２のＦＥＴとを含むトランジスタを提供し、第２のＦＥＴは、部分空乏型ＦＥＴ構造体を含むことが好ましい。第１のＦＥＴは、シリコン基板の上の半導体層と、半導体層の上の絶縁層と、半導体層の上の誘電体層と、誘電体層及び絶縁層の上のポリシリコン層とを含むことが好ましい。さらに、第２のＦＥＴは、ＳｉＧｅ層の上の半導体層と、半導体層の上の、ＳｉＧｅ層に隣接した誘電体層と、誘電体層の上の、ＳｉＧｅ層に隣接したポリシリコン層とを含むことが好ましい。また、ＳｉＧｅ層は炭素を含むことが好ましい。好ましくは、トランジスタは、基板内に複数の注入ウェル領域をさらに含み、注入ウェル領域の少なくとも１つはＳｉＧｅ層に接触する。また、トランジスタは、基板内に複数の注入ウェル領域をさらに含むことができ、注入ウェル領域の少なくとも１つは半導体層に接触する。トランジスタは、第１のＦＥＴとシリコン基板との間に絶縁層をさらに含むことが好ましい。さらに、トランジスタは、絶縁層内に空間電荷領域を含むことができる。さらに、トランジスタは、第２のＦＥＴと基板との間に、ＳｉＧｅ層に対して実質的に平坦なボディ領域をさらに含むことが好ましい。トランジスタは、ボディ領域内の中立領域をさらに含むことが好ましい。さらに、第１のＦＥＴは第１の幅を含み、第２のＦＥＴは第２の幅を含み、第２の幅は第１の幅より広い。

【０００８】

本発明の別の実施形態は、電界効果トランジスタ（ＦＥＴ）を製造する方法を提供し、この方法は、基板の上にシリコン・ゲルマニウム（ＳｉＧｅ）層を形成するステップと、ＳｉＧｅ層の上に、ＳｉＧｅ層に隣接して半導体層を堆積させるステップと、基板、ＳｉＧｅ層及び半導体層に隣接して絶縁層を構成するステップと、絶縁層に隣接して一対の第１のゲート構造体を配置するステップと、絶縁層の上に第２のゲート構造体を形成するステップとを含み、構成するステップは、ＳｉＧｅ層の側面、並びに前記半導体層の上面、半導体層の下面及び半導体層の側面に隣接して絶縁層を形成するステップを含むことができる。構成するステップは、絶縁層により第１のゲート構造体の対をカプセル封入するステップを含むことが好ましい。

【０００９】

本発明の別の態様は、トランジスタを製造する方法を提供し、この方法は、シリコン基板の上にシリコン・ゲルマニウム（ＳｉＧｅ）層を形成するステップと、シリコン基板の上に第１の電界効果トランジスタ（ＦＥＴ）を構成するステップと、第２のＦＥＴを前記ＳｉＧｅ層に接触させるステップとを含み、構成するステップは、第１のＦＥＴをシリコン基板に接触させるステップを含むことが好ましく、構成するステップは、シリコン基板の上に半導体層を形成するステップと、半導体層の上に絶縁層を形成するステップと、半導体層の上に誘電体層を形成するステップと、誘電体層及び絶縁層の上にポリシリコン層を形成するステップとを含むことが好ましい。第２のＦＥＴは、ＳｉＧｅ層の上に半導体層を配置するステップと、半導体層の上に、前記ＳｉＧｅ層に隣接して誘電体層を配置するステップと、誘電体層の上に、ＳｉＧｅ層に隣接してポリシリコン層を配置するステップとを含むことが好ましい。この方法は、第１のＦＥＴと基板の間、及び、第２のＦＥＴと基板の間に絶縁層を形成するステップをさらに含むことができる。さらに、この方法は、第１の幅を有する第１のＦＥＴを構成するステップと、第２の幅を有する第２のＦＥＴを構成するステップとをさらに含むことができ、第２の幅は第１の幅より広い。

【００１０】

本発明の実施形態のこれらの態様及び他の態様は、以下の説明及び添付図面と併せて考察すると、より良く認識され、理解される。しかしながら、以下の説明は、本発明の好ましい実施形態及び本発明の多くの具体的な詳細を示すが、例示の目的で与えられるものであり、限定を目的とするものではないことを理解すべきである。本発明の精神から逸脱することなく本発明の実施形態の範囲内で多くの変更及び修正を行うことができ、本発明の実施形態はこのような修正の全てを含むものである。

【発明を実施するための最良の形態】

【００１１】

本発明の実施形態は、図面に関する以下の詳細な説明からより良く理解されるであろう。

【００１２】

本発明の実施形態、並びに本発明の様々な特徴及び利点の詳細は、添付図面において示され、以下の説明において詳述される限定的ではない実施形態を参照して、より完全に説明される。図面に示される特徴は、必ずしも一定の縮尺で描かれていないことに留意すべきである。周知の要素及び処理技術の説明は、本発明の実施形態を必要以上に分かりにくくしないように省略される。本明細書で用いられる例は、単に、本発明の実施形態を実施する方法の理解を容易にすること、及び、さらに当業者が本発明の実施形態を実施できるようにすることを意図するものである。従って、これらの例は、本発明の実施形態の範囲を限定するものとして解釈されるべきではない。

【００１３】

述べられたように、ＦＥＴデバイスにおける閾値電圧をより良く制御することができるデバイスに対する必要性が残っている。本発明の実施形態は、トライゲート構成の自己整合されたボディ・コンタクト型ＳｉＧｅベース・デバイスを有する構造体を提供することによって、これを達成するものである。ここで図を参照すると、より特定的には、図全体にわたって一貫して同様の参照符号が対応する特徴的形態を示す図１乃至図３８を参照すると、本発明の好ましい実施形態が示される。

【００１４】

図１乃至図１０は、本発明の第１の実施形態を示す。まず、図１に示されるように、本発明の第１の実施形態の構造体が、最初に、約２００μｍから５００μｍまでの好ましい厚さを有する半導体（例えば、シリコン）ウェハ１０１で始めることによって形成される。ウェハ１０１は、｛１００｝結晶配向を有するバルク・シリコンを含むことが好ましい。その後、約５５０℃の好ましい成長温度で、分子ビーム・エピタキシ（ＭＢＥ）、原子層堆積（ＡＬＤ）、又は化学気相堆積（ＣＶＤ）技術を用いて、シリコン・ウェハ１０１上に、随意的に炭素を有するシリコン・ゲルマニウム（ＳｉＧｅ）層（例えば、ｐ－型ＳｉＧｅ層）の層１０３がエピタキシャル成長される。例えば、１重量％までの炭素をＳｉ

Ｇｅ層１０３に添加し、ＳｉＧｅ層１０３内の歪みを軽減させることができる。ＳｉＧｅ層は、１５ｎｍから５０ｎｍまでの間の近似的な厚さを有することが好ましい。

【００１５】

次に、周知のＭＢＥ又はＣＶＤ技術を用いて、ＳｉＧｅ層１０３の上に、別のシリコン層１０５がエピタキシャル成長される。シリコン層１０５は、｛１００｝結晶配向と、おおよそ７ｎｍから５０ｎｍまでの範囲の好ましい厚さとを有するシリコンを含むことが好ましい。｛１００｝シリコンを用いることにより、後に形成されるチャネルのために高移動度の面を用いることが可能になる。次に、図２に示されるように、トライゲート・ボディは、上部シリコン層１０５をエッチングし、次にシリコンに対して露出されたＳｉＧｅ層１０３を選択的にエッチングするエッチングを使用し、下部シリコン・ウェハ１０１上で停止することによって定められる。プラズマ・エッチング、反応性イオン・エッチング（ＲＩＥ）、湿式エッチング、又は金属酸化物半導体（ＭＯＳ）デバイスに適した他の任意の周知のエッチング・プロセスを用いて、エッチング・プロセスを達成することもできる。その後、選択的エッチングなどの等方性エッチング技術を用いて、又はＳｉよりずっと速い速度でＳｉＧｅを酸化させる約６００℃での熱酸化を行い、引き続き等方性SiO_2エッチングを行うことによって、ＳｉＧｅ層１０３の端部分を選択的に除去し、残りの上部シリコン領域１０５をアンダーカットする。

【００１６】

図３に示されるように、好ましくは約９００度での高温酸化を用いて、デバイスの上に犠牲酸化物１０７が熱成長される。次に、図４及び図５に示されるように、酸化物層１０７が、湿式エッチング、好ましくは緩衝フッ化水素（ＨＦ）溶液を用いて除去され、ゲート品質の誘電体１０９ａが成長又は堆積される。この誘電体１０９ａは、二酸化シリコン、又は窒素化された二酸化シリコン、或いはハフニウム・シリケート、二酸化ハフニウム等のような高ｋ誘電体のいずれかを含むことができる。図６及び図７に示されるように、ポリシリコン層１１１が、ＣＶＤのような共形（conformal）堆積プロセスを用いて堆積され、このことにより、最終的なトライゲート・デバイスのボディ・ゲートが形成される。ポリシリコン層１１１は、好ましくは上部シリコン領域１０５をアンダーカットする領域を完全に充填するのに十分な厚さからなり、かつ、好ましくは６ｎｍから２００ｎｍまでの間の近似的な厚さを有する。

【００１７】

次に、レジスト１２０が、ポリシリコン層１１１上に堆積され、シリコン・ボディ領域１０５の上のポリシリコン層１１１の部分の上部が露出されるまで、例えば、スピンオン及びエッチバック・プロセスによって平坦化される。次に、通常のフォトリソグラフィ・プロセスによって、レジスト１２０がパターン形成される。

【００１８】

その後、異方性ＲＩＥプロセスを行って、ポリシリコン層１１１及び酸化物層１０９ａの部分をエッチングし、下部シリコン層１０１及び上部シリコン層１０５を露出させる。ＳｉＧｅ層１０３の側部を固定するポリシリコン１１１の残りの部分は、デバイスのボディ・ゲートとして働き、レジスト１２０によって保護されるポリシリコン１１１の残りの部分は、デバイスのコンタクト領域として働く。続いて、図８に示されるように、デバイスの露出された部分の上に、露出されたシリコン面又は堆積された高ｋ誘電体の熱酸化及び／又は窒化を通して、ＣＶＤ技術或いはＡＬＤ技術により、第３の誘電体層１０９ｂが成長される。誘電体層１０９ａは、１ｎｍから５０ｎｍまでの近似的な厚さを有することが好ましく、ポリシリコン・ボディゲート領域１１１を囲む領域において誘電体層１０９ａと共形に配合される。さらに、酸化物層１０９ｂは、デバイスの最終的な電界効果トランジスタ（ＦＥＴ）部分のためのゲート酸化物として働く。次に、図９及び図１０に示されるように、ＦＥＴゲートが、酸化物層１０９ｂの上にポリシリコン層１１３を（例えば、ＣＶＤを用いて）堆積させることによって構成され、トライゲート構造体（２つのボディ・ゲート１１１及び１つのＦＥＴゲート１１３）が形成される。ポリシリコン層１１３は、フィン（シリコン領域１０５）の少なくとも２倍の高さを有することが好ましい。さ

らに、周知のプロセスを用いて、デバイス１５０上に、ソース／ドレイン・コンタクト１１２、主ゲート・コンタクト１１６及びボディゲート・コンタクト１１４が形成される。

【００１９】

本発明の第１の実施形態は、効果的で安価なトライゲート半導体構造体１５０と、バルク・シリコン・ウェハ１０１上への製造方法とを提供する。本発明の第１の実施形態は、フィン１０５の高さが、正確なシリコン・エッチング時間にほとんど左右されないことを可能にするエッチング停止材料を提供することにより、バルク・シリコン１０１上のトライゲート・フィン高を良好に制御するゲート型ボディ・コンタクト１１４を提供するものである。さらに、ゲート型ボディ・コンタクト１１４により、トライゲート・フィン１０５が、ボディ内に注入される電荷を有することが可能になり、これによりＶｔが変化することが可能になり、必要に応じてボディ電位が動的に変化又は「フローティング」させることがさらに可能になる。このように、閾値電圧より正の（more positive）電圧（ｎ型ＦＥＴの場合の、又はｐ型ＦＥＴの場合は反対）を用いてボディ・コンタクト１４４を「オフ」にゲーティングすることによって、Ｖｔの基板バイアスへの依存及びチャネル・ドライブの損失といった有害なボディ効果を防ぐことができる。

【００２０】

具体的には、基板１０１からトライゲートＦＥＴボディ１１１までのボディ・コンタクト１１４は、ボディ・コンタクト・ゲート１１４が閾値電圧より低いときにのみ電気的に連続しており、その時点で、ボディ・コンタクト・ゲート１１１により囲まれているボディ・コンタクト１１４が堆積され、導電性になる（ｐ型トライゲートＦＥＴの場合は、逆も真である）。このように、１つの構造体において、最適な動作のための柔軟性が達成される。従って、デバイス１５０は、半導体材料に適用された電場の影響によって少なくとも部分的に分離される。

【００２１】

従って、本発明の第１の実施形態は、（１）トライゲートにおけるＶｔ制御へのキーであるよく制御されたフィン高、（２）バルク寄生チャネル（図示せず）のよく制御された分離、及び（３）分離用ゲート１１３へのカットオフ電圧の印加による、トライゲート・デバイスのボディ・コンタクトを選択的に「フローティングさせる」機会を用いて、基板１０１からバルク・トライゲート・フィン１０５を分離させる。

【００２２】

図１１乃至図１６に示される本発明の第２の実施形態においては、ウェハ１０１、ＳｉＧｅ層１０３及びシリコン層１０５を含む、第１の実施形態において提供されたものと同じベース基板が形成される。その後、図１１に示されるように、シリコン層１０５の上で、第１のマスク１０６ａがパターン形成され、下にあるシリコン層１０５の一部分を露出させる。周知のイオン注入技術を用いて、深い注入ウェル領域１０８が形成される。例えば、ウェル領域１０８は、デバイスの最終的なｐ－ウェル領域として働くことができる。イオン注入パラメータによって、ウェル領域１０８は、代替的に、デバイスの最終的なｎ－ウェル領域として働くこともできる。次に、図１２に示されるように、ハードマスク１１０が、シリコン１０５の上に堆積され、５ｎｍから５０ｎｍまでの間の近似的な厚さを有することができる。ハードマスク１１０は、二酸化シリコン及び／又は窒化シリコンを含むことが好ましく、酸化／窒化又はＣＶＤ技術を用いて形成されることが好ましい。

【００２３】

その後、ハードマスク層１１０の上に第２のマスク１０６ｂが形成され、図１２に示されるように、マスク１０６ｂ及び下にあるハードマスク層１１０の部分が、下にあるシリコン層１０５の層に至るまで選択的にエッチングされる。次に、図１３に示されるように第２のマスク１０６ｂを剥離した後、別のエッチング・プロセスを行って、シリコン層１０５の露出された領域を除去し、ＳｉＧｅ層１０３の部分を露出させる。図１３の左手のフィン１０５は、通常、デバイスのＮＦＥＴ部分になり、図１３の右手のフィン２０５は、通常、デバイスのＰＦＥＴ部分になる。勿論、当業者であれば、最初の注入ウェル領域１０８が予め形成されたときの最初のイオン注入パラメータによって、ＮＦＥＴ部分及び

ＰＦＥＴ部分を反転させ得る（すなわち、右手のフィン２０５がＮＦＥＴになり、左手のフィン１０５がＰＦＥＴになる）ことを理解するであろう。随意的な酸素イオン注入プロセス（図１３に下向き矢印で全体的に示されるような）を行うこともできる。

【００２４】

次に、図１４に示されるように、緩衝ＨＦ又はＲＩＥを用いて、ハードマスク層１１０の残りの領域がエッチングされ、デバイスの露出された部分の上に酸化物層１１２が形成される。Ｓｉのものに比べてずっと速い速度でＳｉＧｅを酸化させる約６００℃の酸化雰囲気において、酸化物層１１２が形成される。図１５に示されるように、ポリシリコン層１１４は、ＣＶＤ技術を用いてデバイスの上に堆積され、１２ｎｍから１５０ｎｍまでの間の近似的な厚さ又はトライゲート・フィン１０５、２０５の高さの約２倍を有することが好ましく、ポリシリコン層１１４は平坦化される。その後、図１６に示されるように、ポリシリコン層１１４が選択的にパターン形成され、周知の技術を用いてエッチングされ、トライゲート構造体１６０を形成する。トライゲート構造体１６０は、半導体フィン１０５、２０５と、フィン１０５、２０５の上部並びに右側及び左側にあるチャネル面（図示せず）と、チャネル面上のゲート誘電体１１２と、ゲート誘電体領域１１２に連続しているゲート電極１１４とを含む。

【００２５】

本発明の第２の実施形態は、フィン高を精密に制御する方法で、トライゲートＣＭＯＳデバイス１６０におけるＶｔの電気的設定をもたらすことができる構造体及び方法を提供する。フィン１０５、２０５の高さは、シリコン領域１０５の厚さによって与えられ、ＳｉＧｅ層１０３の選択的エッチング／酸化の特性によって可能になる。さらに、トライゲート構造体の場合、フィン１０５、２０５の幅とフィン１０５、２０５の高さの比は、２：１から１：２までの間の比であることが好ましい。さらに、電圧を漸減的不純物濃度（retrograde）ウェル１０８に印加し、Ｖｔを変える又は制御することもできる。

【００２６】

図１７乃至図２５に、本発明の第３の実施形態が示される。第１の表面配向を有するシリコン基板１０１と、埋込み酸化物領域１０３と、第２の表面配向を有するシリコン領域１０５とを含むハイブリッドＳＯＩベース基板が準備される。基板１０１は｛１００｝の表面配向を有し、第２のシリコン領域は｛１１０｝の表面配向を有するが、その反対及び他の組み合わせも可能である。その後、図１７に示されるように、シリコン層１０５の上に、二酸化シリコン（SiO_2）層１００及び窒化シリコン（Si_3N_4）層１０６が連続的に堆積される。SiO_2層１００は、５ｎｍから５０ｎｍまでの間の近似的な厚さを有することが好ましく、Si_3N_4層１０６は、５ｎｍから５０ｎｍまでの間の近似的な厚さを有することが好ましい。次に、図１８に示されるように、選択的エッチング・プロセスを行って、埋込み酸化物層１０３、シリコン層１０５、SiO_2層１００及びSi_3N_4層１０６の一部分を除去し、これにより下にある基板層１０１の一部分を露出させる。

【００２７】

図１９に示されるように、ＳｉＧｅ層１０３、シリコン層１０５、SiO_2層１００及びSi_3N_4層１０６の残りの層で構成されるスタックの両側に、犠牲側壁スペーサ１０２が形成される。これらのスペーサは、ＣＶＤによる酸化シリコン又は窒化シリコンを含むことができ、約４ｎｍから６０ｎｍまでの間の幅であることが好ましい。側壁スペーサ１０２は、Si_3N_4層１０６の上部高さをほんの少し下回る高さに形成することができる。次に、約５ｎｍから５０ｎｍまでの間の好ましい厚さを有する薄いＳｉＧｅ層１０７が、露出された基板１０１の上にエピタキシャル成長され、続いて、概ね図２０に示されるようなシリコン層１０５の高さまで、シリコン層１０４がエピタキシャル成長される。シリコン層１０４は、約３ｎｍから５０ｎｍまでの間の厚さであることが好ましく、基板１０１と同じ結晶配向を有する。その後、図２１に示されるように、化学機械研磨及び／又はＲＩＥエッチバックを用いて、SiO_2層１００、Si_3N_4層１０６及び側壁スペーサ１０２の上部をエッチングすることによって、構造体を平坦化する。

【００２８】
次に、図２２に示されるように、ｎ－ウェル注入領域１１２が、シリコン層１０４内に形成され、基板層１０１内、側壁スペーサ１０２の周り及びＳｉＧｅ層１０３の下方に延びる。次に、図２３に示されるように、トライゲート・フィン領域１０４、１０５が、フォトレジストを用いてパターン形成され、選択的エッチング・プロセスが行われ、シリコン層１０４及びシリコン層１０５からフィンを形成する。その深さが下部ＳｉＧｅ層１０３まで延び、よってＳｉＧｅ領域１０７もフィン１０４内に達すると、フィン・エッチングを停止することができる。約６００℃の適切な温度でＯ２を用いる露出されたＳｉＧｅの選択的酸化が続いて行われる。緩衝ＨＦエッチングを用いて、この酸化プロセス中に露出されたフィン側壁及びその上部に成長される少量の二酸化シリコンを除去し、酸化されたＳｉＧｅ領域の大部分を完全な状態のまま残す。
【００２９】
図２４に示されるように、酸窒化シリコンを形成するための熱酸化／窒化、及び／又は、シリコン層１０４、１０５の各々の周りに高ｋ材料を形成するためのＡＬＤ又はＣＶＤ技術によって、ゲート誘電体材料１１６が堆積される。材料１１６の厚さは、約１ｎｍから５０ｎｍまでの間であることが好ましい。このプロセスに続いて、ポリシリコン層１１８が、デバイスの上に堆積され、選択的にパターン形成され、エッチングされてゲート電極を形成する。図２５に示されるわずかに異なる実施形態においては、ｐ－ウェル注入領域１１９が、ｎ－ウェル注入領域１２０に沿って形成される。一般に、本発明の第３の実施形態によると、バルクｐ－型シリコン層１０１内に、ｎ－ウェル領域１１２（図２４）を形成することができる。代替的に、バルクｐ－型シリコン層１０１内に、バルクｎ－バンド分離型ｐ－ウェル注入領域１１９を形成することもできる。更なる代案として、バルクｎ－型シリコン層１０１内に、ｐ－ウェル注入領域（図示せず）を形成することができる。当業者であれば、ｎ－ウェル領域１１２、１２０及びｐ－ウェル領域１１９を交換できることを容易に理解するであろう。更に別の代替的な実施形態においては、ＳＯＩ層１０１は、｛１１０｝結晶配向を有するシリコンを含むことができ、デバイス１７０のＰＦＥＴ部分は該デバイス１７０のバルク部分内にあり、デバイス１７０のＮＦＥＴ部分はＳＯＩ層１０１内にある。図１７乃至図２５によると、デバイス１７０のバルク部分は、一般に、デバイスの左手部分により定められる。これらの実施形態の全てにおいて、説明されたウェルは、通常のフォトリソグラフィを使用してレジストをパターン形成し、ウェルが所望される場所に開口部を形成すること及びｐ－型種又はｎ－型種のイオン注入によって形成することができる。ｎ－バンドの場合、ｐ－ウェル（ｐ－型）種（典型的には、ホウ素）に比べると、高いエネルギー、よってより深いｎ－バンド（ｎ－型）種（典型的には、ヒ素）の注入を用いることによって、ｐ－ウェルを注入するのに用いられるものと同じマスクを用いてｎ－バンドを注入することができる。
【００３０】
一般に、本発明の第３の実施形態は、１つのデバイスがＳＯＩ層１０１内にあり、他方がバルク領域内もある、閾値電圧を電気的に制御することができるＨＯＴトライゲート・デバイス１７０を提供する。このＨＯＴトライゲート・デバイス１７０は、低コストのハイブリッド・ウェル解決法及びバックゲート解決法を提供し、それぞれウェル・バイアス及びバックゲート・バイアスを通してＶｔを電気的に変える。埋込み酸化物１０３の下方のウェル領域１１２、１１９は、トライゲート・ボディ１０５のための効果的なバックゲートである。ドーピングがより少ないとき、ドーピングの変動がＶｔのばらつきにあまり影響を与えず、かつ、適切なウェル・バイアス及びバックゲート・バイアスによりプロセスが引き起こしたＶｔのばらつきを電気的に修正できるので、電気制御によりＶｔを設定することにより、ドーピングにあまり依存しないこと、よってよく制御されたデバイスＶｔが可能になる。
【００３１】
図２６乃至図３８に、本発明の第４の実施形態が示される。バルク・ウェハ１０１、ＳｉＧｅ層１０３及びシリコン層１０５を含む、第１及び第２の実施形態において提供され

たものと同じベース基板が形成される。第３の実施形態と同様に、図２６に示されるように、シリコン層１０５の上に、SiO_2層１００及びSi_3N_4層１０６が連続的に堆積される。SiO_2層１００の近似的な厚さは５ｎｍから５０ｎｍまでであることが好ましく、Si_3N_4層１０６の近似的な厚さは５ｎｍから５０ｎｍまでであることが好ましい。次に、Si_3N_4層１０６の上に、フォトレジスト・マスク１２２が堆積され、選択的に形成される。次に、随意的に、図２７に示されるように、選択的エッチング・プロセスを行って、SiO_2層１００及びSi_3N_4層１０６の一部分を除去し、これにより下にあるシリコン層１０５の一部分を露出させる。

【００３２】

その後、図２８に示されるように、フォトレジスト・マスクを剥離し、SiO_2層１００をエッチバックし、SiO_2層１００の端部を除去する。次に、図２９に示されるように、周知のエッチング・プロセスを用いて、Si_3N_4層１０６を除去する。図３０に示されるように、SiO_2層１００により保護されていない領域において構造体をエッチングし、下にあるシリコン基板層１０１の上面に至るまで、露出された領域において上部シリコン層１０５及び下にあるＳｉＧｅ層１０３を除去し、これにより１つのフィン構造体１２８及び１つのメサ構造体１２９が形成される。図３１は、ＳｉＧｅ層１０３の選択的エッチバックが行われた後の構造体を示す。このエッチングは、フィン１２８を完全にアンダーカットするのに十分な期間のものであるが、メサ１２９をアンダーカットするのに十分なものではない。図３１に示されるデバイスの左手側のフィン構造体１２８は、図３１及び図３２に示される図の面外にあるために、非ハッシュ・ラインで示されるソース／ドレイン領域１４４によって支持される。

【００３３】

次に、SiO_2層１００の選択的剥離除去が行われ、これにより図３１の左手のフィン構造体１２８の上で、随意的なマスク（図示せず）がパターン形成され、より幅広のフィン構造体１２９（図３１の右手のフィン構造体１２９）の上のSiO_2層１００が除去される。SiO_2層の剥離中にフィン１２８がマスクされた場合、フィン１２８は、構造体１２８の両側においてのみゲーティングされる。フィン１２８がマスクされない場合には、上面もゲーティングされ、フィンは、トライゲート・トランジスタを形成することができる。結果として得られるデバイスが、図３２に示される。次に、図３３に示されるように、構造体全体の上に、好ましくは窒化シリコン又は酸化シリコンを含む共形のスペーサ１２５が堆積される。このスペーサは、フィン１２９の幅の約２．５倍から３．５倍までであることが好ましい。その後、図３４に示されるように、指向性エッチング・プロセスを行い、これにより左手のフィン構造体１２８及び右手のフィン構造体１２９の両方の領域においてシリコン層１０５の下方にある領域を除いて、スペーサ１２５が除去される。

【００３４】

次に、図３５に示されるように、フィン構造体１２８、１２９の上に、ゲート誘電体層１３０が堆積される。シリコン酸窒化物を形成するための酸化及び／又は窒化、及び／又は、高ｋ誘電体を形成するためのＣＶＤ／ＡＬＤを用いて、ゲート誘電体層１３０を形成することができる。ゲート誘電体層１３０は、約１ｎｍから５ｎｍまでの間の厚さであることが好ましい。次に、図３６に示されるように、ポリシリコン層１３２が、デバイスの上に堆積され、対応するフィン構造体１２８及びメサ構造体１２９の上で選択的にエッチングされ、ゲート電極を形成する。ポリシリコン層１３２は、フィン１２８、１２９の高さの２倍より高いことが好ましい。

【００３５】

空間電荷領域１３４が、図３７に示されるデバイス１８０のフィン構造体１２８及びメサ構造体１２９の各々の中に形成される。トランジスタ・ボディ内の電子キャリアの大部分に反発するゲート電極１３２の電気的影響のために、空間電荷領域１３４は「空間電荷」状態になる。一般に、フィン構造体１２８は、完全空乏型ＦｉｎＦＥＴ又はトライゲート・デバイスであり、メサ構造体１２９は、部分空乏型のバルク・コンタクト式ボディＦＥＴデバイスである。構造体１２８は、十分に小さい容量で作製され、ゲート電極が大部

分のキャリアのフィン（又はボディ）全体を空乏化し、該構造体１２８をいわゆる「完全空乏型デバイス」にし、対照的に、メサ構造体１２９は、ＳｉＧｅ層１０３／Ｓｉ層１０１はシリコン層１０５と連続的であることにより、大きい容積を有し、ゲート電極１３２により大部分のキャリアがデバイスのボディの一部分だけを有効に空乏化することができ、よって「部分空乏型」と呼ばれる。さらに、周知の手順に従って、デバイス１８０内にウェル領域（図示せず）を注入し、ＰＦＥＴ及びＮＦＥＴを形成することができる。図３８は、図３７のデバイス１８０の平面図であり、各フィン１２８、１２９のそれぞれのポリシリコン・ゲート領域１３２と共に、フィン構造体１２８のソース／ドレイン領域１４６ａ及びフィン構造体１２９のソース／ドレイン領域１４６ｂをさらに示す。

【００３６】

本発明の第４の実施形態は、絶縁体分離型ＦｉｎＦＥＴ又はトライゲート・デバイス１２８、及び、ボディ・コンタクトを有するバルク部分空乏型ＦＥＴ１２９の両方を、低コスト、低容量プロセスで提供する。従って、本発明の第４の実施形態は、トライゲート構造体におけるＶｔ制御へのキーであるよく制御されたフィン高と、バルク寄生チャネルのよく制御された分離を用いて、基板１０１からのバルク・トライゲート・フィン１０５の分離を提供する。フィン高は、ＳｉＧｅ層１０３によって正確に制御され、このことにより、ＳｉＧｅ層１０３の上方にシリコン層１０５の厚さに等しいフィン高を構築することが可能になる。さらに、部分空乏型ＦＥＴ１２９は、その基板１０１に電気的バイアスをかけることによって更に調整されるＶｔを有することができる。本発明の第４の実施形態は、ＳｉＧｅベースのバルク統合を用いて、バルク基板１０１上にＦｉｎＦＥＴ及び／又はトライゲートを生成する。ＳｉＧｅ層１０３の制限された選択的エッチバックを付加し、その後薄い酸化物充填プロセスを行うことによって、本発明の第４の実施形態は、酸化物分離型フィン及びバルク結合型ＦＥＴの両方を達成する。

【００３７】

本発明の幾つかの実施形態は、集積回路チップに形成することができる。結果として得られる集積回路チップは、生ウェハの形態で（即ち、多数のパッケージされていないチップを有する単一のウェハとして）、ベア・ダイとして、又はパッケージされた形態で、製造業者により流通させることができる。後者の場合、チップは、単一のチップ・パッケージ（マザーボード又は他のより高いレベルのキャリアに取り付けられたリード線を有するプラスチック製キャリアのような）、又は、マルチチップ・パッケージ（片面又は両面の相互接続部、或いは埋め込まれた相互接続部を有するセラミック製キャリアのような）の中にマウントされる。いずれにせよ、その後、チップは、他のチップ、別個の回路素子、及び／又は、（ａ）マザーボードなどの中間製品又は（ｂ）最終製品のいずれかの部品のような他の信号処理デバイスと共に統合される。最終製品は、玩具及び他のローエンド用途から、ディスプレイ、キーボード又は他の入力デバイス、及び中央処理装置を有する高性能コンピュータ製品に及ぶ、集積回路チップを含む何らかの製品とすることができる。

【００３８】

上記の特定の実施形態の説明は、本発明の一般的な性質を十分に明らかにするものであるため、他者は、現在の知識を適用して、包括的な概念から逸脱することなく種々の用途のためにこの特定の実施形態を容易に改変し及び／又は適合させることができ、従って、このような適合及び改変は、開示された実施形態の均等物の意味及び範囲内にあるものと理解されるべきであり、かつ、そのように意図されている。本明細書において用いられている用語又は術語は、説明を目的とするものであり、限定を目的とするものではないことを理解すべきである。従って、好ましい実施形態に関して本発明の実施形態を説明してきたが、当業者であれば、本発明の実施形態は添付の特許請求の範囲の趣旨及び範囲内で改変して実施できることが分かるであろう。

【図面の簡単な説明】

【００３９】

【図１】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図２】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図３】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図４】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図５】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図６】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図７】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図８】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図９】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図である。

【図１０】本発明の第１の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１１】本発明の第２の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１２】本発明の第２の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１３】本発明の第２の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１４】本発明の第２の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１５】本発明の第２の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１６】本発明の第２の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１７】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１８】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図１９】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２０】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２１】本発明の第３の実施形態による集積回路構造体の連続的な製造の概略図である。

【図２２】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２３】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２４】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２５】本発明の第３の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２６】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２７】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２８】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図２９】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図３０】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図３１】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図３２】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図３３】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図３４】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

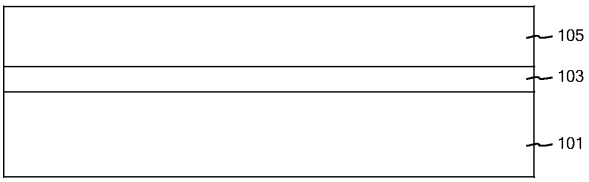
【図３５】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図３６】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

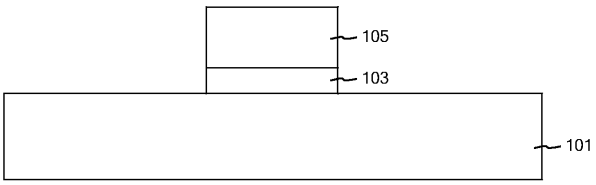
【図３７】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

【図３８】本発明の第４の実施形態による、集積回路構造体の連続的な製造の概略図ある。

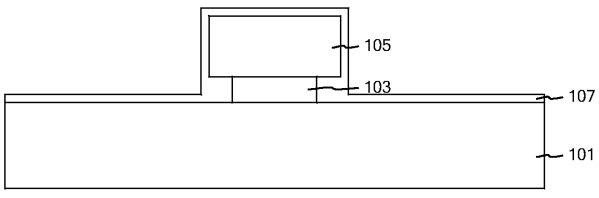
【図１】



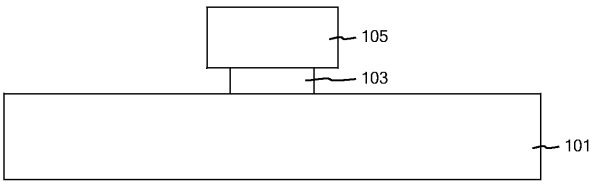
【図２】



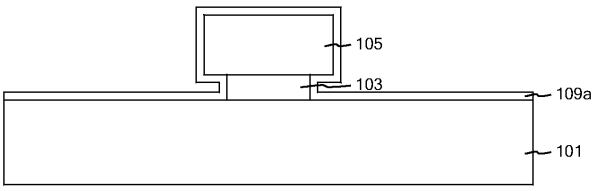
【図３】



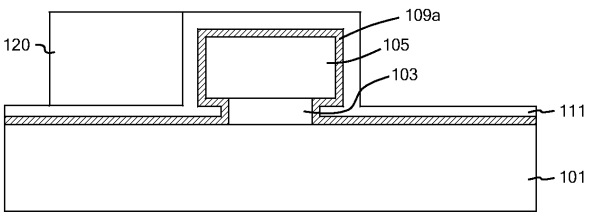
【図４】



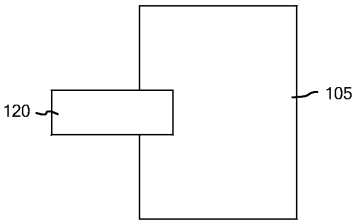
【図５】



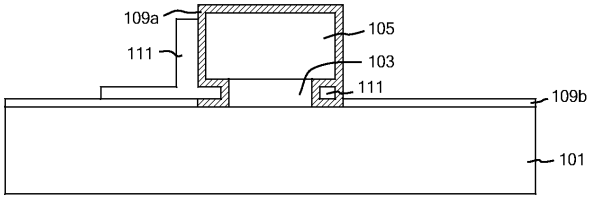
【図６】



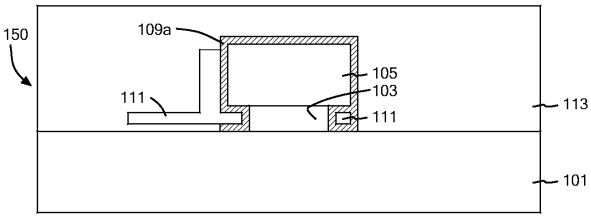
【図７】



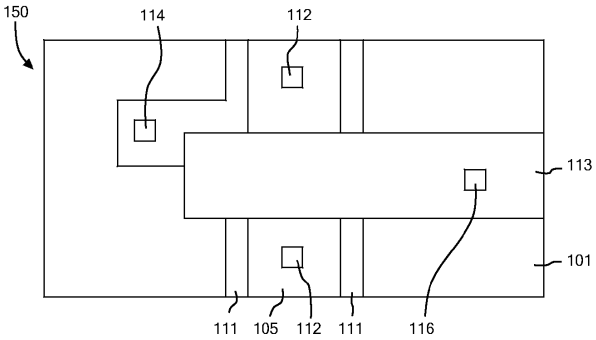
【図８】



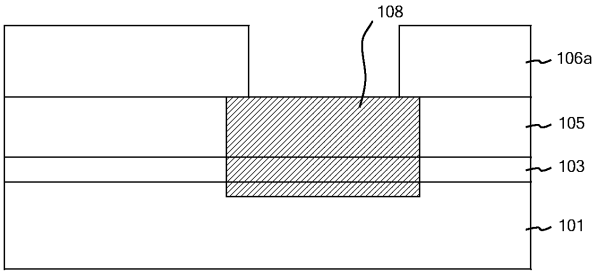
【図９】



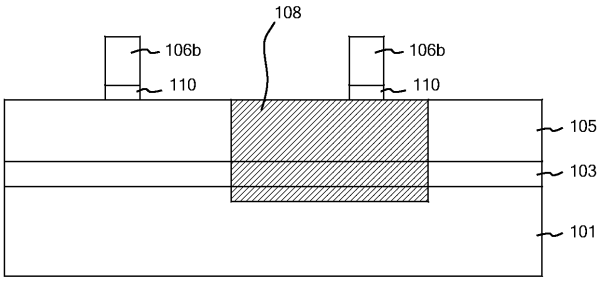
【図１０】



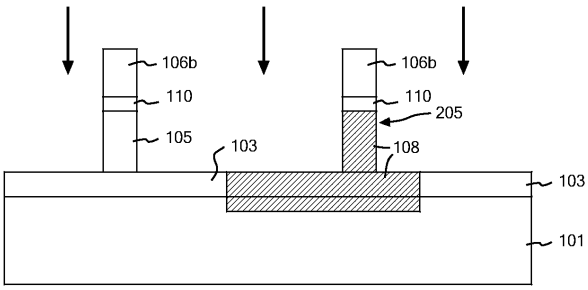
【図１１】



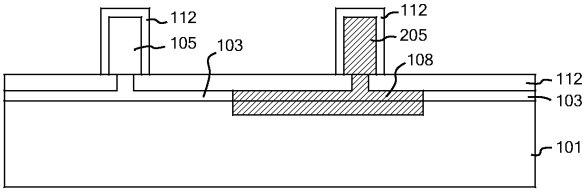
【図１２】



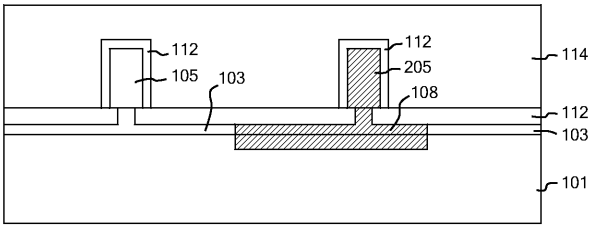
【図１３】



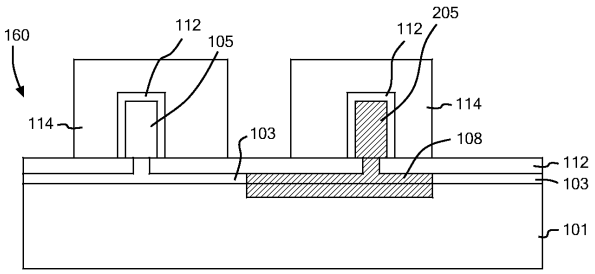
【図１４】



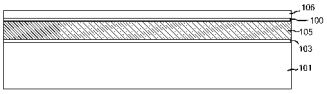
【図１５】



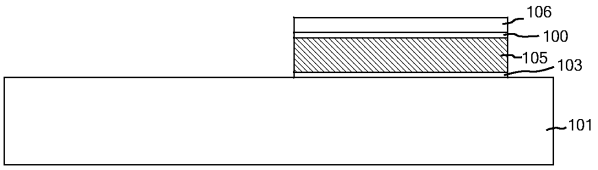
【図１６】



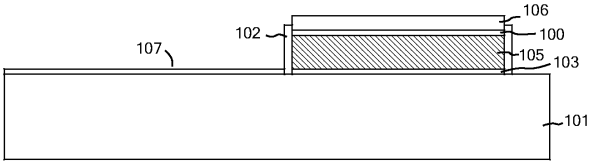
【図１７】



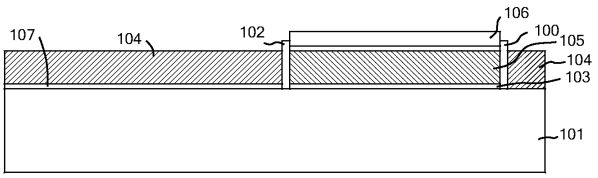
【図１８】



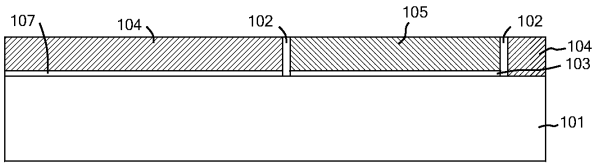
【図１９】



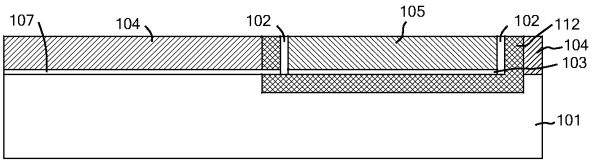
【図２０】



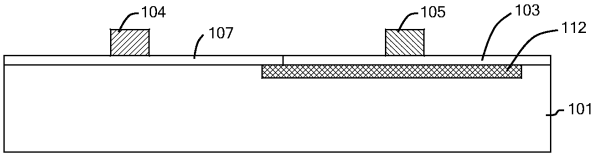
【図２１】



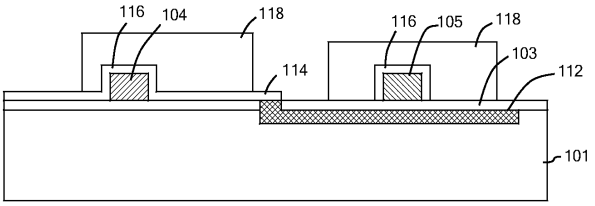
【図２２】



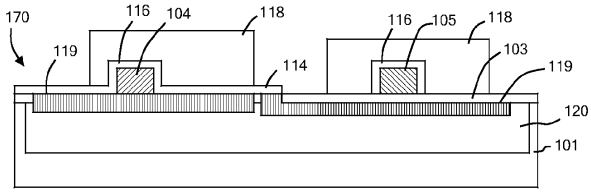
【図２３】



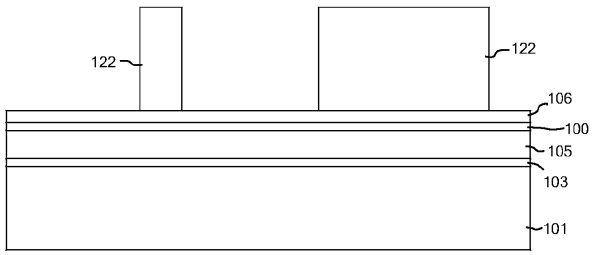
【図２４】



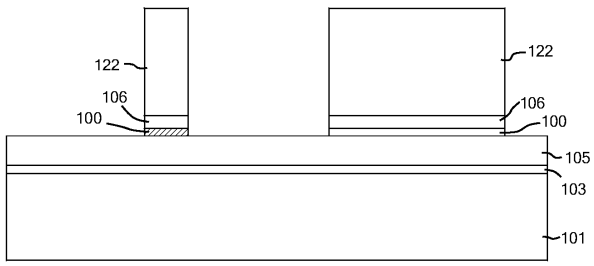
【図２５】



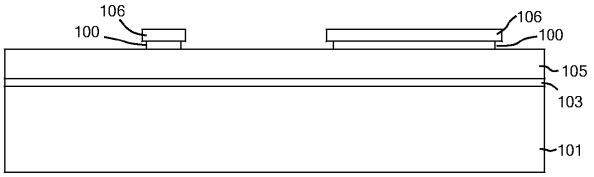
【図２６】



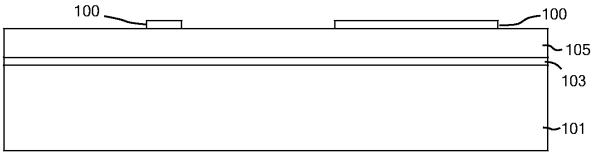
【図２７】



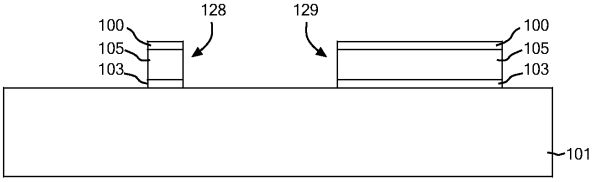
【図２８】



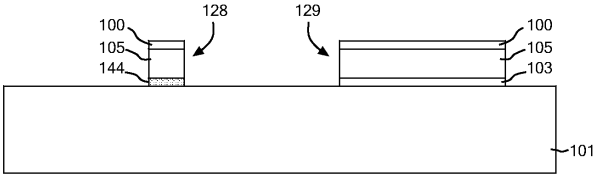
【図２９】



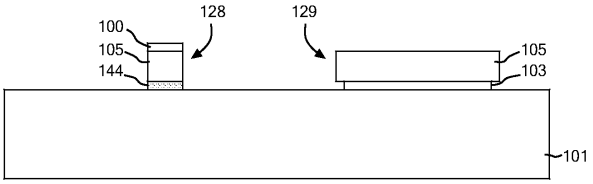
【図３０】



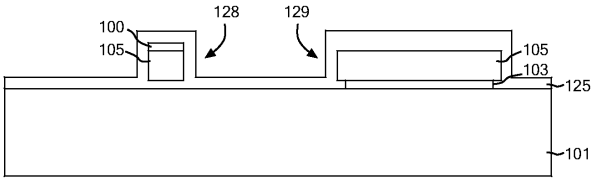
【図３１】



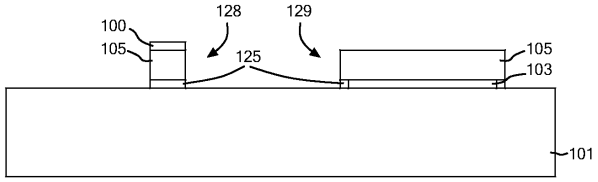
【図３２】



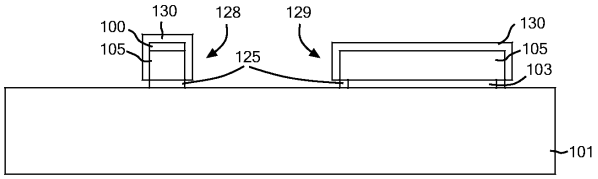
【図３３】



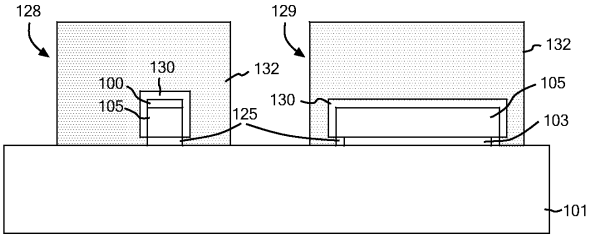
【図３４】



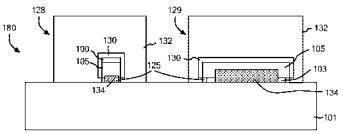
【図３５】



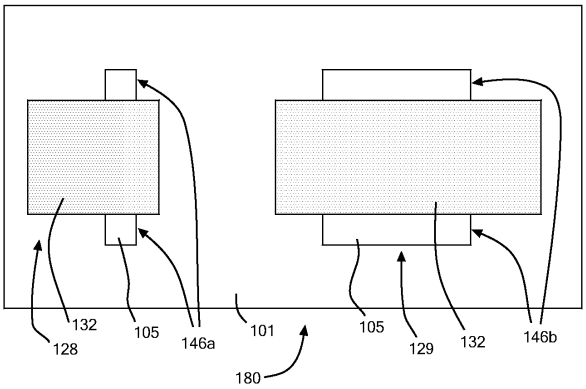
【図３６】



【図３７】



【図３８】



フロントページの続き

(51)Int.Cl.			FI		
H01L	***21/8234***	***(2006.01)***	H01L	27/08	321B
H01L	***27/088***	***(2006.01)***	H01L	27/08	102A
H01L	***29/423***	***(2006.01)***	H01L	29/58	G
H01L	***29/49***	***(2006.01)***	H01L	21/28	301B
H01L	***21/28***	***(2006.01)***	H01L	27/08	331E
H01L	***27/08***	***(2006.01)***			

(74)代理人 100112690
弁理士 太佐 種一
(74)代理人 100091568
弁理士 市位 嘉宏
(74)代理人 100086243
弁理士 坂口 博
(72)発明者 アンダーソン、ブレント、エー
アメリカ合衆国 05465 バーモント州 ジェリコ シリー・ヒル・ロード 221
(72)発明者 ブライトウィッシュ、マシュー、ジェイ
アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション ウッズ・エンド・ドライブ 13
(72)発明者 ノーワーク、エドワード、ジェイ
アメリカ合衆国 05452 バーモント州 エセックス・ジャンクション ウィンドリッジ・ロード 8
(72)発明者 レイニー、ベスアン
アメリカ合衆国 05495 バーモント州 ウィリストン オーク・ノール・ロード 702

審査官 多賀 和宏

(56)参考文献 特開2005－317978（JP，A）
国際公開第2005／038931（WO，A1）

(58)調査した分野(Int.Cl.，DB名)
H01L 21/28、21/336、21/8234、21/8238
27/08、27/088、27/092、29/423
29/49、29/78、29/786