



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I412123 B

(45)公告日：中華民國 102 (2013) 年 10 月 11 日

(21)申請案號：099131002

(22)申請日：中華民國 99 (2010) 年 09 月 14 日

(51)Int. Cl. : H01L27/11 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2009/09/16 日本

2009-214094

(71)申請人：新加坡優尼山帝斯電子私人有限公司 (新加坡) UNISANTIS ELECTRONICS
SINGAPORE PTE LTD. (SG)

新加坡

(72)發明人：舛岡 富士雄 MASUOKA, FUJIO (JP) ; 新井 紳太郎 ARAI, SHINTARO (JP)

(74)代理人：洪武雄；陳昭誠

(56)參考文獻：

WO 2009/096467A1

審查人員：周楷智

申請專利範圍項數：8 項 圖式數：29 共 0 頁

(54)名稱

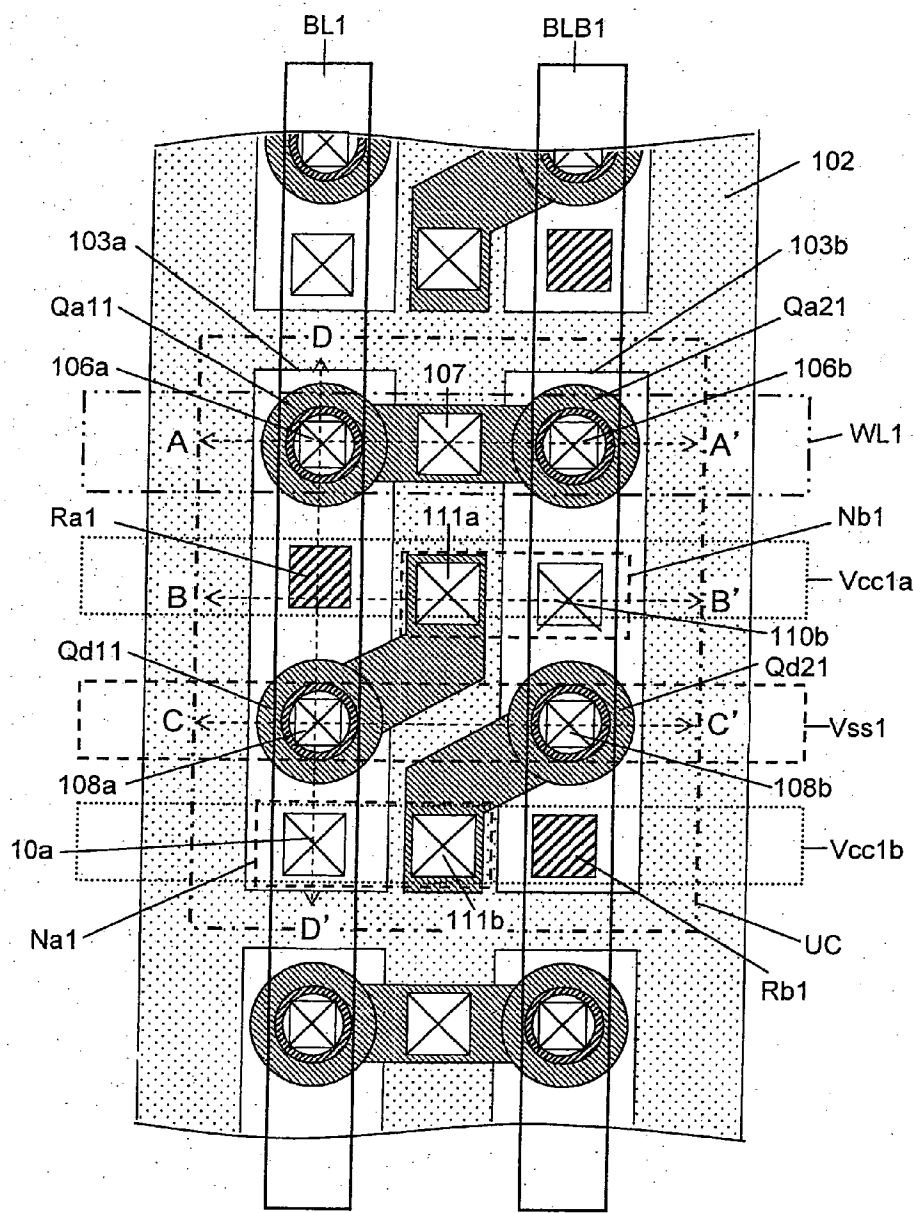
半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

(57)摘要

本發明提供一種半導體記憶裝置，係在利用 4 個 MOS 電晶體及 2 個負荷電阻元件而構成之靜態型記憶體單元中，構成記憶體單元之 MOS 電晶體係形成在基板上所形成之擴散層上。該擴散層係為記憶節點，且具有以下構造：MOS 電晶體之汲極、閘極、源極相對於基板配置在垂直方向，閘極包圍柱狀半導體層之構造。再者，負荷電阻元件係藉由接觸插塞而形成。藉由以上構成，可形成小面積之 SRAM 單元。

In a static memory cell configured using four MOS transistors and two load resistance elements, the MOS transistors are formed on diffusion layers formed on a substrate. The diffusion layers serve as memory nodes. The drain, gate and source of the MOS transistors are arranged in the direction orthogonal to the substrate, and the gate surrounds a columnar semiconductor layer. In addition, the load resistance elements are formed by contact plugs. In this way, it is possible to form a SRAM cell with a small area.



第 2 圖

- 102 . . . 元件分離件
- 103a、103b . . . N+擴散層
- 106a、106b . . . 存取電晶體源極擴散層上接觸部
- 107 . . . 存取電晶體閘極配線上接觸部
- 108a、108b . . . 驅動電晶體源極擴散層上接觸部
- 110a、110b . . . 記憶節點上接觸部
- 111a、111b . . . 閘極配線上接觸部
- Qa11、Qa21 . . . 存取電晶體
- Qd11、Qd21 . . . 驅動電晶體
- BL1、BLB1 . . . 位元線
- WL1 . . . 字元線
- Vss1 . . . 接地電位配線
- Ra1 . . . 接觸插塞、多晶矽插塞
- Vcc1a、Vcc1b . . . 電源電位配線
- Na1、Nb1 . . . 節點連接配線
- Ra1 . . . 負荷電阻元件

100年7月22日修正
補充

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99131002

※申請日：99.9.14

※IPC 分類：H01L 27/11 (2006.01)
H01L 29/40 (2006.01)

一、發明名稱：(中文/英文)

半導體記憶裝置

SEMICONDUCTOR MEMORY DEVICE

二、中文發明摘要：

本發明提供一種半導體記憶裝置，係在利用 4 個 MOS 電晶體及 2 個負荷電阻元件而構成之靜態型記憶體單元中，構成記憶體單元之 MOS 電晶體係形成在基板上所形成之擴散層上。該擴散層係為記憶節點，且具有以下構造：MOS 電晶體之汲極、閘極、源極相對於基板配置在垂直方向，閘極包圍柱狀半導體層之構造。再者，負荷電阻元件係藉由接觸插塞而形成。藉由以上構成，可形成小面積之 SRAM 單元。

三、英文發明摘要：

In a static memory cell configured using four MOS transistors and two load resistance elements, the MOS transistors are formed on diffusion layers formed on a substrate. The diffusion layers serve as memory nodes. The drain, gate and source of the MOS transistors are arranged in the direction orthogonal to the substrate, and the gate surrounds a columnar semiconductor layer. In addition, the load resistance elements are formed by contact plugs. In this way, it is possible to form a SRAM cell with a small area.

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

102	元件分離件
103a、103b	N+擴散層
106a、106b	存取電晶體源極擴散層上接觸部
107	存取電晶體閘極配線上接觸部
108a、108b	驅動電晶體源極擴散層上接觸部
110a、110b	記憶節點上接觸部
111a、111b	閘極配線上接觸部
Qa11、Qa21	存取電晶體
Qd11、Qd21	驅動電晶體
BL1、BLB1	位元線
WL1	字元線
Vss1	接地電位配線
Ra1	接觸插塞、多晶矽插塞
Vccla、Vcclb	電源電位配線
Na1、Nb1	節點連接配線
Ra1	負荷電阻元件

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

本案無代表化學式

六、發明說明：

本案係主張以 2009 年 9 月 16 日在日本申請之特願 2009-214094 號為基礎之優先權，並將該基礎案之內容全部納入本案。

【發明所屬之技術領域】

本發明係關於一種半導體記憶裝置，特別是關於由 SRAM(靜態隨機存取記憶體，Static Random Access Memory)所構成之半導體記憶裝置。

【先前技術】

就為了發展半導體裝置之高集積化、高性能化的對策而言，已知有 SGT(環繞閘極電晶體，Surrounding Gate Transistor)相關之技術(例如，日本特開平 2-188966 號公報所揭示)。SGT 係在半導體基板之表面形成柱狀半導體層，並在其側壁以將該柱狀半導體層圍繞之方式形成閘極之縱型閘極電晶體。在 SGT 中，由於汲極、閘極、源極係配置在垂直方向，因此與習知之平面(planar)型電晶體相比較，可大幅縮小佔有面積。

近年來，對於搭載在 LSI(大規模積體電路)之 SRAM，大容量化的要求日益增多，且期待採用上述 SGT 之具有小單元(cell)面積之 SRAM 的實現化。在採用 SGT 之 SRAM 中，藉由應用在垂直方向形成有電晶體之特徵，即可使 SRAM 單元面積比習知之由平面型電晶體所構成之 SRAM 小。

第 17A 圖係日本特開平 2-188966 號公報之實施例所示之使用 4 個 SGT 與 2 個負荷電阻元件所構成之 E/R 型

4T-SRAM 的平面圖，第 17B 圖係第 17A 圖之 A-A' 剖面圖。

在第 17A 圖及第 17B 圖中，該 SRAM 單元係由以下構件所構成：存取電晶體，由 2 個柱狀矽層(701a、701b)所形成，且用來對記憶體單元進行存取；驅動電晶體，由 2 個柱狀矽層(702a、702b)所形成，且為了進行資料之讀出及寫入而驅動；及 2 個負荷電阻元件(Ra7、Rb7)，由多晶矽配線(polysilicon wiring)所形成。

在各個柱狀矽層之底部形成有下部擴散層(707a、707b、707)，在柱狀矽層之上部形成有上部擴散層 708，在柱狀矽層之周圍形成有閘極電極(706a 至 706c)。

BL7 及 BLB7 係為位元線，WL7 係為字元線，Vcc7 係為電源電位配線，Vss7 係為接地電位配線。此外，Ma7 及 Mb7 係顯示由配線層所形成之資料記憶用的記憶節點(memory node)。

前述習知之 SRAM 單元係由 3 個擴散層(707a、707b、707)所形成，因此由於各擴散層之寬度及擴散層間之距離，而使單元面積之縮小化受到限制。

【發明內容】

(發明所欲解決之課題)

本發明之目的在於，如前所述在使用 SGT 之 E/R 型 4T-SRAM 中，實現面積更小之 SRAM 單元。

(解決課題之手段)

為了達成前述目的，本發明之半導體記憶裝置係具備在基板上排列有 4 個 MOS 電晶體及 2 個負荷電阻元件之靜

態型記憶體單元，該半導體記憶裝置之特徵為：

前述 4 個 MOS 電晶體之各者中係發揮作為對記憶體單元進行存取用之第 1 及第 2NMOS 存取電晶體、及為了進行記憶體單元之資料的寫入與讀出而驅動記憶節點之第 1 及第 2NMOS 驅動電晶體的功能；

在對記憶體單元進行存取用之第 1 及第 2NMOS 存取電晶體中，具有 N 型導電型之第 1 擴散層、第 1 柱狀半導體層及具有 N 型導電型之第 2 擴散層於垂直方向階層式地配置在基板上，前述第 1 柱狀半導體層係配置在形成於前述第 1 柱狀半導體層的底部之前述第 1 擴散層與形成在前述第 1 柱狀半導體層的上部之前述第 2 擴散層之間，而在前述第 1 柱狀半導體層的側壁形成有閘極；

在驅動記憶節點之第 1 及第 2NMOS 驅動電晶體中，具有 N 型導電型之第 3 擴散層、第 2 柱狀半導體層及具有 N 型導電型之第 4 擴散層於垂直方向階層式地配置在基板上，前述第 2 柱狀半導體層係配置在形成於前述第 2 柱狀半導體層的底部之前述第 3 擴散層與形成在前述第 2 柱狀半導體層的上部之前述第 4 擴散層之間，而在前述第 2 柱狀半導體層的側壁形成有閘極；

前述第 1NMOS 存取電晶體及前述第 1NMOS 驅動電晶體係彼此鄰接排列；

前述第 2NMOS 存取電晶體及前述第 2NMOS 驅動電晶體係彼此鄰接排列；

形成於前述第 1NMOS 的存取電晶體的底部之前述第 1

擴散層及形成於前述第 1NMOS 驅動電晶體的底部之前述第 3 擴散層係直接連接，且直接連接之前述第 1 擴散層及第 3 擴散層係作為保持資料之第 1 記憶節點而發揮功能；

形成於前述第 2NMOS 的存取電晶體的底部之前述第 1 擴散層及形成於前述第 2NMOS 驅動電晶體的底部之前述第 3 擴散層係直接連接，且直接連接之前述第 1 擴散層及第 3 擴散層係作為保持資料之第 2 記憶節點而發揮功能；

將前述 2 個負荷電阻元件之各者分別配置在作為前述第 1 記憶節點而發揮功能之擴散層及作為前述第 2 記憶節點而發揮功能之擴散層上。

再者，在本發明之其他較佳態樣中，於前述半導體記憶裝置中，前述 2 個負荷電阻元件係分別形成為由形成在作為前述第 1 記憶節點而發揮功能之擴散層上之半導體或金屬所構成之第 1 接觸插塞(Contact Plug)、及由形成在作為前述第 2 記憶節點而發揮功能之擴散層上之半導體或金屬所構成之第 2 接觸插塞。

再者，在本發明之其他較佳態樣中，於前述半導體記憶裝置中，將從前述第 1 及第 2NMOS 存取電晶體之閘極電極延伸之閘極配線上所形成的接觸部(Contact)之至少一者，與從鄰接之另一記憶體單元之 NMOS 存取電晶體的閘極電極延伸之閘極配線上所形成的接觸部共有化。

再者，在本發明之其他較佳態樣中，於前述半導體記憶裝置中，從形成在作為前述第 1 記憶節點而發揮功能之前述第 1 擴散層上的前述第 1NMOS 驅動電晶體之閘極延伸

的閘極配線，係與作為前述第 2 記憶節點而發揮功能之前述第 2 擴散層藉由共用的接觸部而連接，而從形成在作為前述第 2 記憶節點而發揮功能之前述第 2 擴散層上的前述第 2NMOS 驅動電晶體之閘極延伸的閘極配線，係與作為前述第 1 記憶節點而發揮功能之前述第 1 擴散層藉由共用的接觸部而連接。

再者，在本發明之其他較佳態樣中，於前述半導體記憶裝置中，形成前述第 1 及第 2NMOS 驅動電晶體之柱狀半導體層的側壁之周圍長度係具有形成前述第 1 及第 2NMOS 存取電晶體之柱狀半導體層的側壁之周圍長度以上的值，或者形成前述第 1 及第 2NMOS 驅動電晶體之柱狀半導體層的側壁之周圍長度係具有形成前述第 1 及第 2NMOS 存取電晶體之柱狀半導體層的側壁之周圍長度以下的值。

此外，前述 4 個 MOS 電晶體係在前述基板上排列成 2 列 2 行，前述第 1NMOS 存取電晶體亦可排列在第 1 列第 1 行，前述第 1NMOS 驅動電晶體亦可排列在第 2 列第 1 行，前述第 2NMOS 存取電晶體亦可排列在第 1 列第 2 行，前述第 2NMOS 驅動電晶體亦可排列在第 2 列第 2 行。此時，亦可使形成在從前述第 1 及第 2NMOS 存取電晶體之閘極延伸之閘極配線上的接觸部成為共有。

此外，前述 4 個 MOS 電晶體係在前述基板上排列成 2 列 2 行，前述第 1NMOS 存取電晶體亦可排列在第 1 列第 1 行，前述第 1NMOS 驅動電晶體亦可排列在第 2 列第 1 行，前述第 2NMOS 存取電晶體亦可排列在第 2 列第 2 行，前述第

2NMOS 驅動電晶體亦可排列在第 1 列第 2 行。

【實施方式】

以下，根據圖式詳細地說明本發明實施形態。此外，在以下之各實施形態中，本發明之半導體記憶裝置係作成爲由 E/R 型 4T-SRAM 所構成者。再者，在說明實施形態時參照之圖式中，原則上對於同一部材標記同一符號，並省略其重複之說明。

(實施形態 1)

第 1 圖係顯示本發明實施形態 1 之 SRAM 記憶體單元的等效電路。在第 1 圖中，BL1 及 BLB1 係位元線，WL1 係字元線，Vcc1 係顯示電源電位，Vss1 係顯示接地電位，Qa11 及 Qa21 係顯示對記憶體單元進行存取用之存取電晶體，Qd11 及 Qd21 係顯示為了進行記憶體單元之資料的讀出及寫入而驅動記憶節點之驅動電晶體，Ra1 及 Rb1 係顯示用以將電荷供給至記憶節點之負荷電阻元件，Ma1 及 Mb1 係顯示用以記憶資料之記憶節點。

第 2 圖係本發明實施形態 1 之 SRAM 的平面圖。如第 2 圖所示，在 SRAM 單元陣列內，反覆配置有裝置單元(unit cell)UC。第 3A 圖至第 3D 圖係分別顯示第 2 圖之平面圖的剖線 A-A'、B-B、C-C' 及 D-D' 之剖面構造。

首先，參照第 2 圖、第 3A 圖至第 3D 圖說明本實施形態之配置(layout)。在 SRAM 單元陣列內形成有 P-Well101，藉由元件分離件 102，屬於平面狀矽層之 N+擴散層(103a、103b)係被分離。N+擴散層(103a、103b)係分別作為記憶節

點(Ma1、Mb1)發揮功能。Qa11 及 Qa21 係為存取電晶體、Qd11 及 Qd21 係為驅動電晶體，Ra1 及 Rb1 係為由以多晶矽等所構成之接觸插塞所形成的負荷電阻元件。

在本實施形態中，一個裝置單元 UC 係具備於基板上排列有 2 列 2 行之電晶體。在第 1 行中，在屬於第 1 記憶節點 Ma1 之平面狀矽層 103a 上，從圖之上側分別排列有存取電晶體 Qa11 及驅動電晶體 Qd11。此外，在第 2 行中，在屬於第 2 記憶節點 Mb1 之平面狀矽層 103b 上，從圖之上側分別排列有存取電晶體 Qa21 及驅動電晶體 Qd21。本實施形態之 SRAM 單元陣列係藉由將具備該 4 個電晶體之裝置單元 UC 在圖中之上下方向連續地排列而構成。

由第 2 圖、第 3A 圖至第 3D 圖得知，作為第 1 記憶節點 Ma 發揮功能之 N+擴散層 103a 係為存取電晶體 Qa11 及驅動電晶體 Qd11 的共用之擴散層，作為第 2 記憶節點 Mb1 發揮功能之 N+擴散層 103b 係為存取電晶體 Qa21 及驅動電晶體 Qd21 的共用之擴散層。

形成在 N+擴散層 103a 上之接觸部 110a 係藉由節點連接配線 Na1 與形成在從驅動電晶體 Qd21 之閘極電極延伸之閘極配線上的接觸部 111b 相連接。此外，形成在 N+擴散層 103b 上之接觸部 110b 係藉由節點連接配線 Nb1 與形成在從驅動電晶體 Qd11 之閘極電極延伸之閘極配線上的接觸部 111a 相連接。

形成在存取電晶體 Qa11 上部之接觸部 106a 係連接在位元線 BL1，形成在存取電晶體 Qa21 上部之接觸部 106b

係連接在位元線 BLB1。形成在從存取電晶體 Qa11 及 Qa21 之間極電極延伸之閘極配線上的接觸部 107 係連接在字元線 WL1。此外，形成在驅動電晶體(Qd11、Qd21)上部之接觸部(108a、108b)皆係連接在屬於接地電位之配線層 Vss1。由多晶矽等所形成之屬於接觸插塞的 Ra1 及 Rb1 係分別連接在屬於電源電位之配線層 Vccla 及 Vcc1b。

字元線之配線、位元線之配線、電源電位之配線及接地電位的配線係為了與其他記憶體單元之配線共用，較佳為以比屬於各記憶體單元內之配線的節點連接配線更上方之層來連接。

此外，就前述之階層性配線之構成一例而言，為了各配線不會與不應接觸之接觸部接觸，可實現以下構成：在最下層形成節點連接配線(Na1)、節點連接配線(Nb1)、及接地電位之配線 Vss1，在比該最下層上方之層形成電源電位之配線(Vccla、Vcc1b)，且在該等層之上層形成位元線(BL1、BLB1)，在最上層配置字元線(WL1)。

在本發明中，如下所述定義構成 SRAM 單元之各電晶體的源極及汲極。針對驅動電晶體(Qd11、Qd21)，將形成在連接於接地電壓之柱狀半導體層之上部的擴散層定義為源極擴散層，將形成在柱狀半導體層之下部的擴散層定義為汲極擴散層。關於存取電晶體(Qa11、Qa21)，依動作狀態形成在柱狀半導體層上部的擴散層及形成在下部之擴散層雖皆成為源極或汲極，但方便起見，將形成在柱狀半導體層上部的擴散層定義為源極擴散層，將形成在柱狀半導

體層下部的擴散層定義為汲極擴散層。

接著，參照第 3A 圖至第 3D 圖所示之斷面構造說明本發明之 SRAM 單元的構造。如第 3A 圖所示，在 SRAM 單元陣列內，於基板上形成有 P-Well101，藉由元件分離件 102，N+擴散層(103a、103b)會被分離。N+擴散層(103a、103b)係分別作為記憶節點(Ma1、Mb1)發揮功能。在 N+擴散層 103a 上形成有用以形成存取電晶體 Qa11 之柱狀矽層 121a，在 N+擴散層 103b 上形成有用以形成存取電晶體 Qa21 之柱狀矽層 121b。在各自之柱狀矽層的周圍形成有閘極絕緣膜 117 及閘極電極 118。在柱狀矽層上部藉由雜質注入等形成有 N+擴散層 114。雖未圖示，但形成在存取電晶體 Qa11 上之接觸部 106a 係連接在位元線 BL1；形成在存取電晶體 Qa21 上之接觸部 106b 係連接在位元線 BLB1；形成在從存取電晶體 Qa11 及 Qa21 之閘極電極延伸之閘極配線 118a 上的接觸部 107 係連接在字元線 WL1。

如第 3B 圖所示，在 SRAM 單元陣列內，基板上形成有 P-Well101，藉由元件分離件 102，N+擴散層(103a、103b)會被分離。N+擴散層(103a、103b)係分別作為記憶節點(Ma1、Mb1)發揮功能。在平面狀矽層 103a 上形成有作為負荷電阻元件之由多晶矽等所形成之接觸插塞 Ra1。雖未圖示，但形成在從驅動電晶體 Qd11 之閘極電極延伸之閘極配線 118b 上的接觸部 111a，係透過記憶節點連接配線 Nb1 連接在形成於 N+擴散層 103b 上之接觸部 110b。

如第 3C 圖所示，在 SRAM 單元陣列內，於基板上形成

有 P-Well101，藉由元件分離件 102，N+擴散層(103a、103b)會被分離。N+擴散層(103a、103b)係分別作為記憶節點(Ma1、Mb1)發揮功能。在 N+擴散層 103a 上形成有用以形成驅動電晶體 Qd11 之柱狀矽層 122a，在 N+擴散層 103b 上形成有用以形成驅動電晶體 Qd21 之柱狀矽層 122b。在各自之柱狀矽層的周圍形成有閘極絕緣膜 117 及閘極電極 118。柱狀矽層上部藉由雜質注入形成有 N+擴散層 114。雖未圖示，但形成在驅動電晶體(Qd11、Qd21)上之接觸部(108a、108b)皆係透過配線層連接在接地電位 Vss1。

如第 3D 圖所示，在 SRAM 陣列內，於基板上形成有 P-Well101，藉由元件分離件 102，N+擴散層 103a 會被分離。N+擴散層 103a 係作為記憶節點(Ma1)發揮功能。在 N+擴散層 103a 上形成有用以構成存取電晶體 Qa11 之柱狀矽層 121a，在 N+擴散層 103a 上形成有用以構成驅動電晶體 Qd11 之柱狀矽層 122a。在各自之柱狀矽層的周圍形成有閘極絕緣膜 117 及閘極電極 118。在各自的柱狀矽層上部藉由雜質注入等形成有 N+擴散層 114。雖未圖示，但形成在存取電晶體 Qa11 上之接觸部 106a 連接位元線 BL1，且形成在驅動電晶體 Qd11 上的接觸部 108a 係連接接地電位配線 Vss1，而多晶矽插塞 Ra1 係連接在電源電位配線 Vccla。此外，汲極擴散層上之接觸部 110a 係透過記憶節點連接配線 Na1，連接在形成於從驅動電晶體 Qd21 之閘極電極延伸之閘極配線上的接觸部 111b。

第 17A 圖及第 17B 圖所示之習知 SRAM 單元係藉由 3

個擴散層(707、707a、707b)所形成，因此單元面積之縮小化會受到限制，但在本發明中，由於藉由形成記憶節點之 2 個 N⁺擴散層(103a、103b)形成 SRAM 單元，因此擴散層之面積利用效率高，且可形成更小之 SRAM 面積。此外，由於該等擴散層係由長方形之簡單形狀所構成，因此容易以 OPC(Optical Proximity Correction，光學鄰近效應修正)進行圖案形狀之補正，係為適合實現小 SRAM 單元面積的配置。再者，負荷電阻元件(Ra1、Rb1)並非如習知例所示配置在多晶矽配線層，而是藉由接觸插塞等形成在作為記憶節點發揮功能之擴散層(103a、103b)上。因此，在本發明中，由於可在接觸部 2 個份空間形成電阻元件，因此可形成小面積之 SRAM 單元。

在本實施形態中，負荷電阻元件係藉由以多晶矽所形成之接觸插塞而形成。負荷電阻元件之電阻值係可藉由多晶矽成膜時之雜質濃度所控制。此外，即使負荷電阻元件不是多晶矽，亦可藉由將電阻高之金屬或半導體等埋設於接觸部或配線層間之孔等而形成。

此外，前述接觸插塞亦可在本實施形態所示之佈局以外，可一面微調整 SRAM 單元之佈局，一面以最適當之佈局進行配置，藉此可設計面積小之 SRAM 單元。

以下，針對本發明之半導體記憶裝置製造方法的一例，參照第 4A 圖至第 11B 圖加以說明。在各圖中，A 圖為平面圖，B 圖為 A 圖之 A-A' 剖面圖。

如第 4A 圖及第 4B 圖所示，在基板上將氮化矽膜等予

以成膜，並藉由微影技術形成柱狀矽層之圖案，並藉由進行蝕刻形成遮罩層 119 及柱狀矽層(121a、121b、122a、122b)。

如第 5A 圖及第 5B 圖所示，形成元件分離件 102。元件分離件係首先蝕刻溝圖案，並利用 CVD 等在溝圖案埋入氧化膜，並藉由以乾蝕刻或濕蝕刻等去除多餘之基板上的氧化膜的方法等而形成。

如第 6A 圖及第 6B 圖所示，藉由離子植入等導入雜質，而在柱狀矽層之下部形成 N+擴散層(103a、103b)，以作為平面狀矽層。

如第 7A 圖及第 7B 圖所示，將閘極絕緣膜 117 與閘極導電膜 118 予以成膜。

如第 8A 圖及第 8B 圖所示、利用阻劑 133、藉由微影技術形成閘極配線圖案。

如第 9A 圖及第 9B 圖所示，將阻劑 133 作為遮罩，並對閘極導電膜 117 及閘極絕緣膜 118 進行蝕刻，並加以去除。藉此形成閘極配線(118a 至 118c)。然後，去除柱上之遮罩層 119。

如第 10A 圖及第 10B 圖所示，藉由離子植入等導入雜質，在柱狀矽層上部形成 N+擴散層 114。

如第 11A 圖及第 11B 圖所示，形成由多晶矽等所形成之接觸插塞(Ra1、Rb1)，以作為負荷電阻元件。然後，形成通常之接觸部(107、106a、108a、110a、111a、106b、108a、110a、111a)。

(實施形態 2)

第 12 圖係本實施形態 2 之 SRAM 的平面圖。在本實施形態中，與實施形態 1 不同者係為以下之點。在本實施形態中，屬於記憶節點(Ma1)之 N+擴散層 203a、及從驅動電晶體 Qd22 之閘極電極延伸之閘極配線係藉由橫跨兩者所形成之共用接觸部 210a 相連接。再者，屬於記憶節點(Mb1)之 N+擴散層 203b、及從驅動電晶體 Qd12 之閘極電極延伸之閘極配線係藉由橫跨兩者所形成之共用接觸部 210b 相連接。如前所述，藉由以接觸部而非以配線層來連接閘極與記憶節點，即可減少 SRAM 單元內之接觸部的個數，因此藉由調整柱狀矽層與接觸部之配置，即可縮小單元面積。

此外，如第 1 實施形態所述，字元線之配線、位元線之配線、電源電位之配線及接地電位之配線係為了與其他記憶體單元之配線共用，而配置在比屬於各記憶體單元內之配線的節點連接配線還上層之位置。此外，在本實施形態中，節點連接配線係由接觸部所形成。

關於上述以外之點，由於與實施形態 1 所示之構成相同，故省略其說明。

(實施形態 3)

第 13 圖係本發明實施形態 3 之 SRAM 的平面圖。在本實施形態中，於 SRAM 單元陣列內，第 13 圖之裝置單元 UC 之排列在第 1 行之電晶體的配置構成係與在該裝置單元 UC 之上側或下側鄰接之排列在其他記憶體單元之第 2 行的電晶體相等。此外，裝置單元 UC 之排列在第 2 行之電晶體的

配置構成係與在該裝置單元 UC 之上側或下側鄰接之排列在其他記憶體單元之第 1 行的電晶體相等。

再者，如在實施形態 1 所述，字元線之配線、位元線之配線、電源電位之配線及接地電位之配線係為了與其他記憶體單元之配線共用，而較佳為配置在比屬於各記憶體單元內之配線的節點連接配線還上層之位置。在此方面，就階層性之配線構成的一例而言，為了使各配線不會與不應接觸之接觸部接觸，而可實現以下構成：在下層形成由接觸部構成之節點連接配線(310a、310b)，在中間之層形成字元線(WL3)及接地電位之配線(Vss3 a、Vss3b)，在上層形成位元線的配線(BL3、BLB3)及電源電位之配線 Vcc3。此外，在本實施形態中，節點連接配線係由接觸部所形成。

關於上述以外之構成，由於與實施形態 1 相同，故省略其說明。

(實施形態 4)

第 14 圖係本發明實施形態 4 之 SRAM 的平面圖。在本實施形態中與實施形態 3 不同之點在於：驅動電晶體 Qd14 與多晶矽插塞 Ra4 之位置交換之點；及驅動電晶體 Qd24 與多晶矽插塞 Rb4 之位置交換之點。因此，閘極配線之佈局係成為長方形狀，且閘極配線之形成變得容易。此外，在本實施形態中，電源配線(Vcc4a、Vcc4b)係與字元線 WL4 平行地形成，接地配線 Vss4 係與位元線(BL4、BLB4)平行地形成。

此外，如在實施形態 1 所述，字元線之配線、位元線

之配線、電源電位之配線及接地電位之配線係為了與其他記憶體單元之配線共用，而較佳為配置在比屬於各記憶體單元內之配線的節點連接配線為上層之位置。此點，就階層性之配線構成的一例而言，可實現與實施形態 3 相同之構成。此外，在本實施形態中，節點連接配線係由接觸部所形成。

關於上述以外之構成，由於與實施形態 1 所示構成相同，故省略其說明。

（實施形態 5）

第 15 圖係本發明實施形態 5 之 SRAM 的平面圖。本實施形態中與實施形態 1 不同之點在於：形成存取電晶體之柱狀矽層的形狀及形成驅動電晶體之柱狀矽層的大小不同。在 E/R 型 4T-SRAM 中，藉由提升驅動電晶體相對存取電晶體之驅動能力，即可改善讀出裕度。如本實施形態，藉由使形成驅動電晶體之柱狀矽層的周圍長度變大，即可提升驅動電晶體相對存取電晶體之驅動能力，且擴大讀出裕度。

另一方面，欲改善寫入裕度時，提升存取電晶體相對驅動電晶體之驅動能力為有效。此時，藉由使形成存取電晶體之柱狀矽層的周圍長度變大，並藉由提升存取電晶體相對驅動電晶體之驅動能力，即可改善寫入裕度。

然而，由於使柱狀矽層之直徑變大時，閘極所導致之通道控制會變弱，因此短通道效應(short channel effect)會變大，電晶體之關斷漏流(off leak)會增加。因此，在

增加柱狀矽層之周圍長度時，必須考慮因通道寬度增加所致之電晶體能力的改善與因短通道效應所致之關斷漏流的增加之權衡(trade off)來進行。此外，藉由將柱狀矽層之形狀作成圓形、甚至橢圓形或長方形等形狀，亦可使柱狀矽層之周圍長度增長。此時，既可抑制短通道效應，又能改善電晶體之能力。

如前所述，藉由變更存取電晶體、驅動電晶體之各個形狀，即可調整各種 SRAM 特性。

此外，如在實施形態 1 所述，字元線之配線、位元線之配線、電源電位之配線及接地電位之配線係為了與其他記憶體單元之配線共用，而較佳為配置在比屬於各記憶體單元內之配線的節點連接配線為上層之位置。此點，就階層性之配線構成的一例而言，可實現與實施形態 1 相同之構成。

關於上述以外之構成，由於與實施形態 1 所示構成相同，故省略其說明。

(實施形態 6)

在前述之實施形態中，負荷電阻元件雖係藉由以多晶矽等形成之接觸插塞而形成，但實際上亦可藉由連接比接觸部更上層之配線間的穿孔或配線層來形成負荷電阻元件。第 16 圖係顯示在實施形態 1 中，將負荷電阻元件形成在第 1 配線層間而非形成在接觸部層間時之第 2 圖的 D-D' 剖面。

在第 16 圖中，在接觸部(606a、612a、608a、610a)

上部形成有第 1 配線層(636a、638a、640a)、及在第 1 配線層上部形成有第 1 配線穿孔(646a、642a、648a、650a)，負荷電阻元件 Ra6 係形成在第 1 配線層間。在本實施形態中，負荷電阻元件係形成在第 1 配線層間，形成有負荷電阻元件之部位並非被限定在第 1 配線層間者。

關於上述以外之構成，由於與實施形態 1 所示構成相同，故省略其說明。

【圖式簡單說明】

第 1 圖係顯示本發明實施形態 1 之 SRAM 記憶體單元的等效電路。

第 2 圖係顯示本發明實施形態 1 之 SRAM 的平面圖。

第 3A 圖係顯示第 2 圖之 A-A' 剖面的圖。

第 3B 圖係顯示第 2 圖之 B-B' 剖面的圖。

第 3C 圖係顯示第 2 圖之 C-C' 剖面的圖。

第 3D 圖係顯示第 2 圖之 D-D' 剖面的圖。

第 4A 圖係顯示本發明實施形態 1 之 SRAM 的製程(1)的平面圖。

第 4B 圖係顯示本發明實施形態 1 之 SRAM 的製程(1)的剖面圖。

第 5A 圖係顯示本發明實施形態 1 之 SRAM 的製程(2)的平面圖。

第 5B 圖係顯示本發明實施形態 1 之 SRAM 的製程(2)的剖面圖。

第 6A 圖係顯示本發明實施形態 1 之 SRAM 的製程(3)

的平面圖。

第 6B 圖係顯示本發明實施形態 1 之 SRAM 的製程(3)的剖面圖。

第 7A 圖係顯示本發明實施形態 1 之 SRAM 的製程(4)的平面圖。

第 7B 圖係顯示本發明實施形態 1 之 SRAM 的製程(4)的剖面圖。

第 8A 圖係顯示本發明實施形態 1 之 SRAM 的製程(5)的平面圖。

第 8B 圖係顯示本發明實施形態 1 之 SRAM 的製程(5)的剖面圖。

第 9A 圖係顯示本發明實施形態 1 之 SRAM 的製程(6)的平面圖。

第 9B 圖係顯示本發明實施形態 1 之 SRAM 的製程(6)的剖面圖。

第 10A 圖係顯示本發明實施形態 1 之 SRAM 的製程(7)的平面圖。

第 10B 圖係顯示本發明實施形態 1 之 SRAM 的製程(7)的剖面圖。

第 11A 圖係顯示本發明實施形態 1 之 SRAM 的製程(8)的平面圖。

第 11B 圖係顯示本發明實施形態 1 之 SRAM 的製程(8)的剖面圖。

第 12 圖係顯示本發明實施形態 2 之 SRAM 的平面圖。

第 13 圖係顯示本發明實施形態 3 之 SRAM 的平面圖。

第 14 圖係顯示本發明實施形態 4 之 SRAM 的平面圖。

第 15 圖係顯示本發明實施形態 5 之 SRAM 的平面圖。

第 16 圖係顯示本發明實施形態 6 之 SRAM 的剖面圖。

第 17A 圖係使用習知之 SGT 之 SRAM 的平面圖。

第 17B 圖係使用習知之 SGT 之 SRAM 的剖面圖。

【主要元件符號說明】

101、601 P-Well

102、202、302、402、502、602 元件分離件

103a、203a、303a、403a、503a、603a、103b、203b、303b、
403b、503b N+擴散層

106a、206a、306a、406a、506a、606a、106b、206b、306b、
406b、506b 存取電晶體源極擴散層上接觸部

107、207、307a、407a、307b、407b、507 存取電晶體閘
極配線上接觸部

108a、208a、308a、408a、508a、608a、108b、208b、308b、
408b、508b 驅動電晶體源極擴散層上接觸部

110a、510a、110b、510b、610a 記憶節點上接觸部

111a、511a、111b、511b 閘極配線上接觸部

210a、210b、310a、310b、410a、410b 共用接觸部

114、614 N+源極擴散層

117、617 閘極絕緣膜

118、618 閘極電極

118a、118b、118c 閘極配線

119	遮罩層	
121a、121b、621a	存取電晶體柱狀矽層	
122a、122b、622a	驅動電晶體柱狀矽層	
133	阻劑	
701a、701b	存取電晶體	
702a、702b	驅動電晶體	
703a、703b、704a、704b、705	接觸部	
706a、706b、706c	閘極電極	
707、707a、707b	N+下部擴散層	
708	N+上部擴散層	
711	LOCOS	
Qa11、Qa21、Qa12、Qa22、Qa13、Qa23、Qa14、Qa24、Qa15、 Qa25、Qa16	存取電晶體	
Qd11、Qd21、Qd12、Qd22、Qd13、Qd23、Qd14、Qd24、Qd15、 Qd25、Qd16	驅動電晶體	
BL1、BL2、BL3、BL4、BL5、BL7、BLB1、BLB2、BLB3、BLB4、 BLB5、BLB7	位元線	
WL1、WL2、WL3、WL4、WL5、WL7	字元線	
Vss1、Vss2、Vss3a、Vss3b、Vss4a、Vss4b、Vss5、Vss7	接地電位配線	
Ra1	接觸插塞、多晶矽插塞	
Vcc1a、Vcc1b、Vss2a、Vcc2b、Vcc3、Vcc4a、Vcc4b、Vcc5a、 Vcc5b、Vcc7	電源電位配線	
Na1、Nb1、Na5、Nb5	節點連接配線	

Ma1、Mb1、Ma7、Mb7 記憶節點

Ra1、Rb1、Ra2、Rb2、Ra3、Rb3、Ra4、Rb4、Ra5、Rb5、

Ra6、Ra7、Rb7 負荷電阻元件

636a、638a、640a 第 1 配線層

646a、642a、648a、650a 第 1 配線穿孔

612a 接觸部

七、申請專利範圍：

1. 一種半導體記憶裝置，係具備在基板上排列有 4 個 MOS 電晶體及 2 個負荷電阻元件之靜態型記憶體單元，該半導體記憶裝置之特徵為：

前述 4 個 MOS 電晶體之各者係發揮作為對記憶體單元進行存取用之第 1 及第 2NMOS 存取電晶體、及為了進行記憶體單元之資料的寫入與讀出而驅動記憶節點之第 1 及第 2NMOS 驅動電晶體的功能；

在對記憶體單元進行存取用之第 1 及第 2NMOS 存取電晶體中，具有 N 型導電型之第 1 擴散層、第 1 柱狀半導體層及具有 N 型導電型之第 2 擴散層於垂直方向階層式地配置在基板上，前述第 1 柱狀半導體層係配置在形成於前述第 1 柱狀半導體層的底部之前述第 1 擴散層與形成在前述第 1 柱狀半導體層的上部之前述第 2 擴散層之間，而在前述第 1 柱狀半導體層的側壁形成有閘極；

在驅動記憶節點之第 1 及第 2NMOS 驅動電晶體中，具有 N 型導電型之第 3 擴散層、第 2 柱狀半導體層及具有 N 型導電型之第 4 擴散層於垂直方向階層式地配置在基板上，前述第 2 柱狀半導體層係配置在形成於前述第 2 柱狀半導體層的底部之前述第 3 擴散層與形成在前述第 2 柱狀半導體層的上部之前述第 4 擴散層之間，而在前述第 2 柱狀半導體層的側壁形成有閘極；

前述第 1NMOS 存取電晶體及前述第 1NMOS 驅動電晶體係彼此鄰接排列；

前述第 2NMOS 存取電晶體及前述第 2NMOS 驅動電晶體係彼此鄰接排列；

形成於前述第 1NMOS 的存取電晶體的底部之前述第 1 擴散層及形成於前述第 1NMOS 驅動電晶體的底部之前述第 3 擴散層係直接連接，且直接連接之前述第 1 擴散層及第 3 擴散層係作為保持資料之第 1 記憶節點而發揮功能；

形成於前述第 2NMOS 的存取電晶體的底部之前述第 1 擴散層及形成於前述第 2NMOS 驅動電晶體的底部之前述第 3 擴散層係直接連接，且直接連接之前述第 1 擴散層及第 3 擴散層係作為保持資料之第 2 記憶節點而發揮功能；

將前述 2 個負荷電阻元件之各者分別配置在作為前述第 1 記憶節點而發揮功能之擴散層及作為前述第 2 記憶節點而發揮功能之擴散層上；

作為前述第 1 記憶節點而發揮功能之擴散層與作為前述第 2 記憶節點而發揮功能之擴散層之間係藉由元件分離件而分離。

2. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中，前述 2 個負荷電阻元件係分別形成為由形成在作為前述第 1 記憶節點而發揮功能之擴散層上之半導體或金屬所構成之第 1 接觸插塞、及由形成在作為前述第 2 記憶節點而發揮功能之擴散層上之半導體或金屬所構成之第 2 接觸插塞。

3. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中，
將從前述第 1 及第 2NMOS 存取電晶體之閘極電極延伸之
閘極配線上所形成的接觸部之至少一者，與從鄰接之另一
記憶體單元之 NMOS 存取電晶體的閘極電極延伸之閘
極配線上所形成的接觸部共有化。
4. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中，
從形成在作為前述第 1 記憶節點而發揮功能之前述第 1
擴散層上的前述第 1NMOS 驅動電晶體之閘極延伸的閘
極配線，係與作為前述第 2 記憶節點而發揮功能之前述
第 2 擴散層藉由共用的接觸部而連接；

而從形成在作為前述第 2 記憶節點而發揮功能之
前述第 2 擴散層上的前述第 2NMOS 驅動電晶體之閘極延
伸的閘極配線，係與作為前述第 1 記憶節點而發揮功能
之前述第 1 擴散層藉由共用的接觸部而連接。

5. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中，
形成前述第 1 及第 2NMOS 驅動電晶體之柱狀半導體層的
側壁之周圍長度係具有形成前述第 1 及第 2NMOS 存取電
晶體之柱狀半導體層的側壁之周圍長度以上的值，

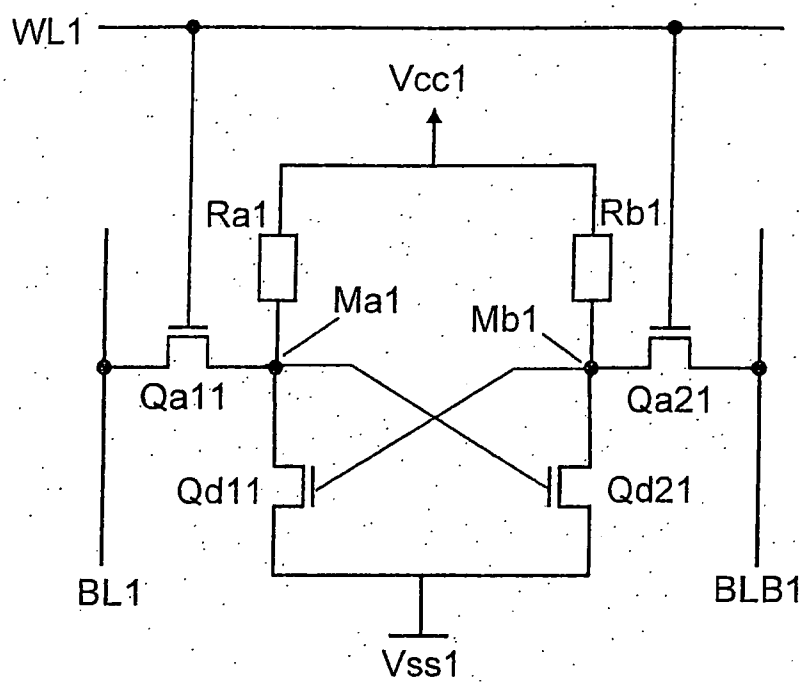
或者形成前述第 1 及第 2NMOS 驅動電晶體之柱狀半
導體層的側壁之周圍長度係具有形成前述第 1 及第
2NMOS 存取電晶體之柱狀半導體層的側壁之周圍長度
以下的值。

6. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中，
前述 4 個 MOS 電晶體係在前述基板上排列成 2 列 2 行，

前述第 1NMOS 存取電晶體係排列在第 1 列第 1 行，
前述第 1NMOS 驅動電晶體係排列在第 2 列第 1 行，
前述第 2NMOS 存取電晶體係排列在第 1 列第 2 行，
前述第 2NMOS 驅動電晶體係排列在第 2 列第 2 行。

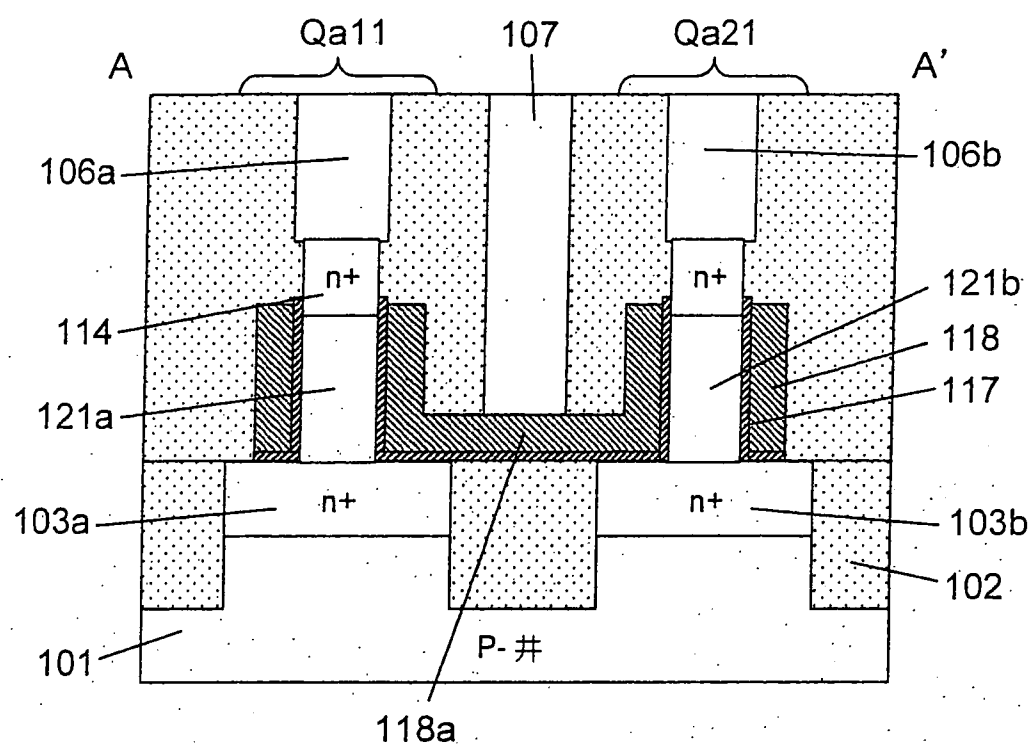
7. 如申請專利範圍第 6 項所述之半導體記憶裝置，其中，
使形成在從前述第 1 及第 2NMOS 存取電晶體之間極延伸
之閘極配線上的接觸部成為共有。
8. 如申請專利範圍第 1 項所述之半導體記憶裝置，其中，
前述 4 個 MOS 電晶體係在前述基板上排列成 2 列 2 行，
前述第 1NMOS 存取電晶體係排列在第 1 列第 1 行，
前述第 1NMOS 驅動電晶體係排列在第 2 列第 1 行，
前述第 2NMOS 存取電晶體係排列在第 2 列第 2 行，
前述第 2NMOS 驅動電晶體係排列在第 1 列第 2 行。

八、圖式：

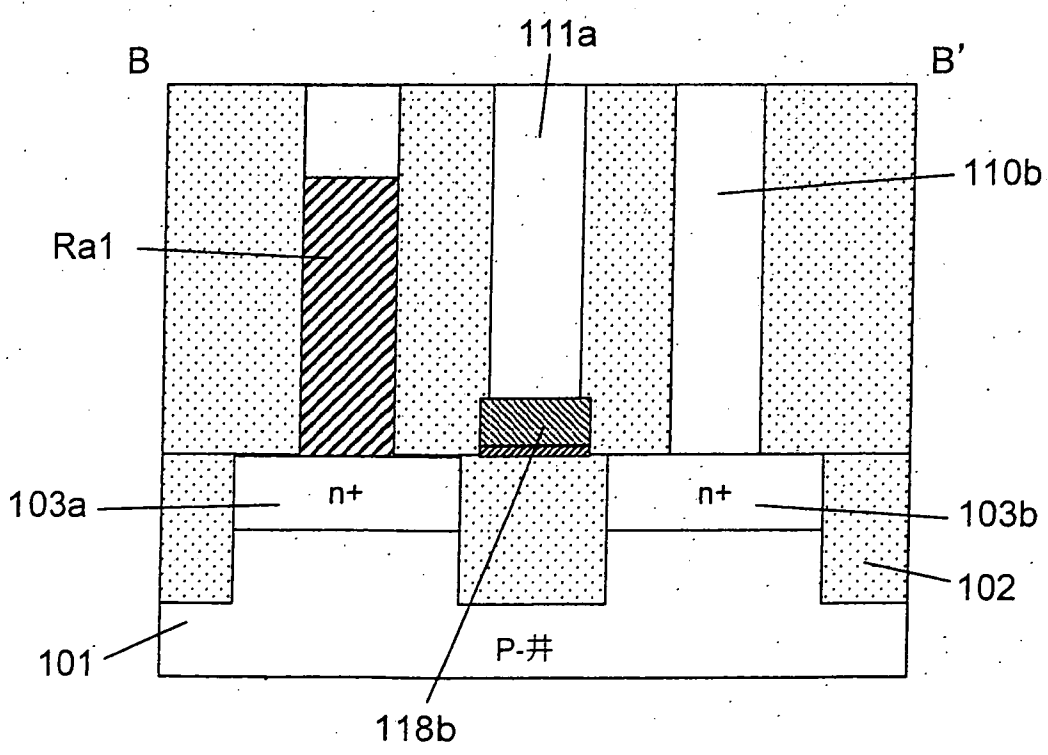


第 1 圖

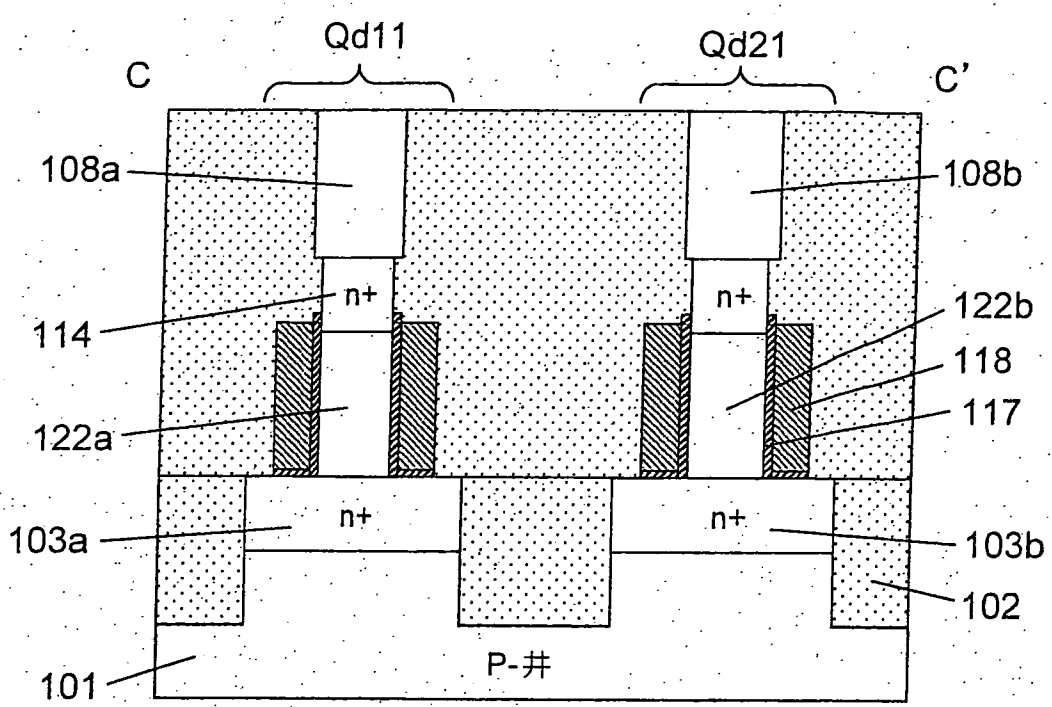




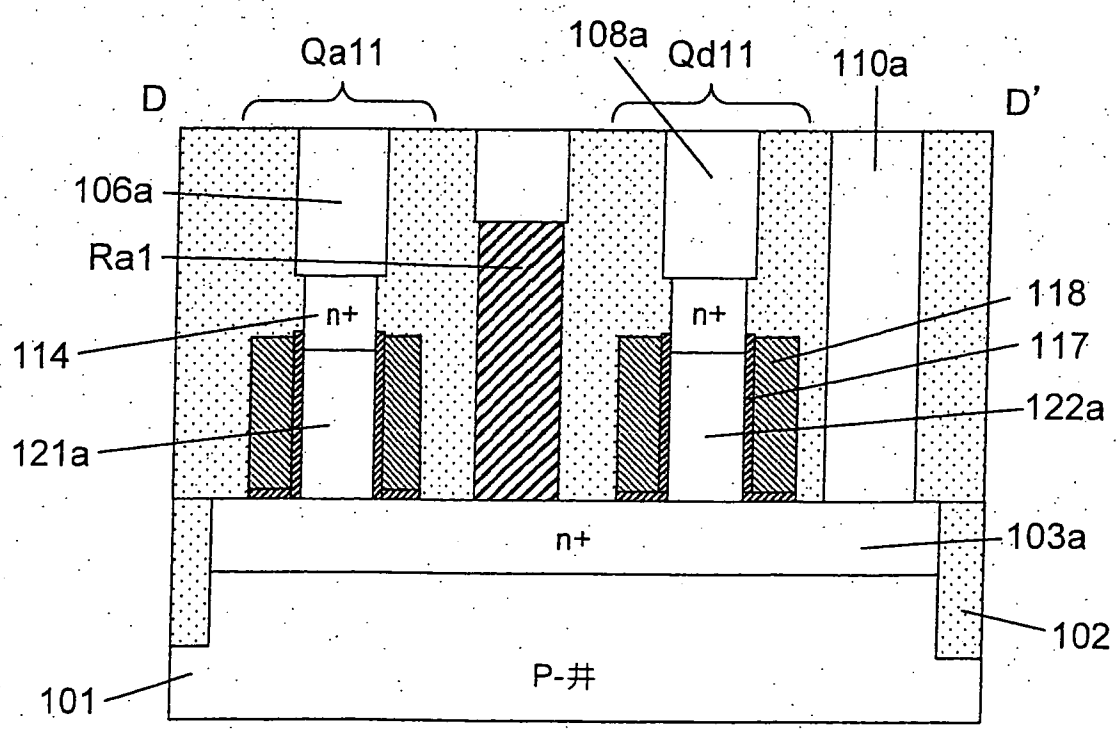
第 3A 圖



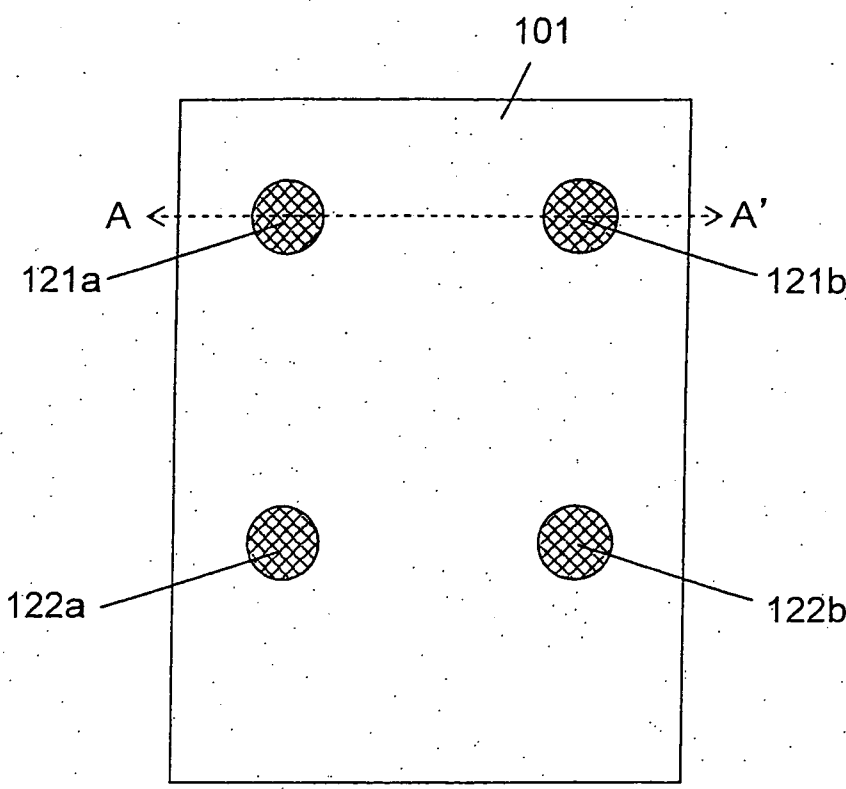
第 3B 圖



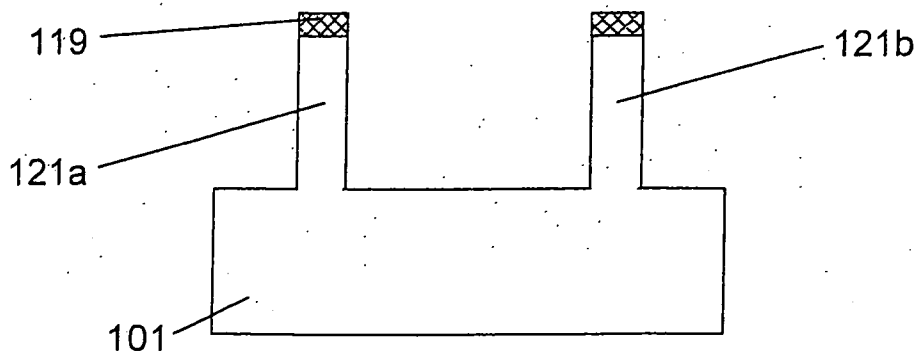
第 3C 圖



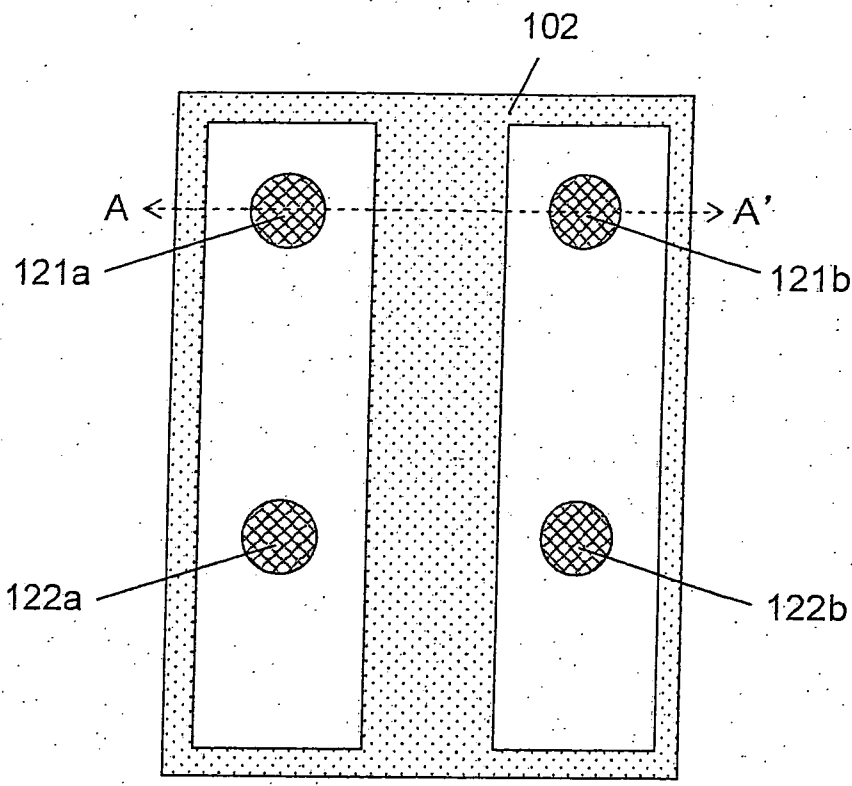
第 3D 圖



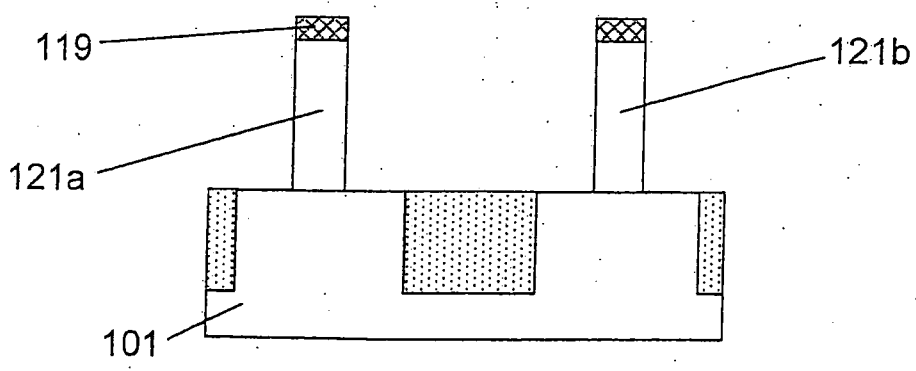
第 4A 圖



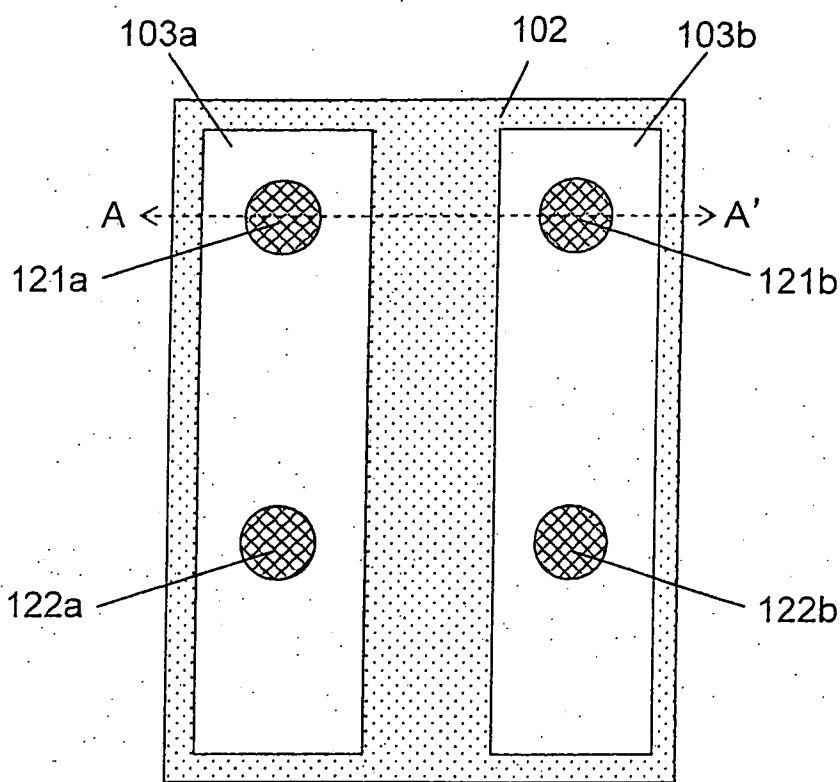
第 4B 圖



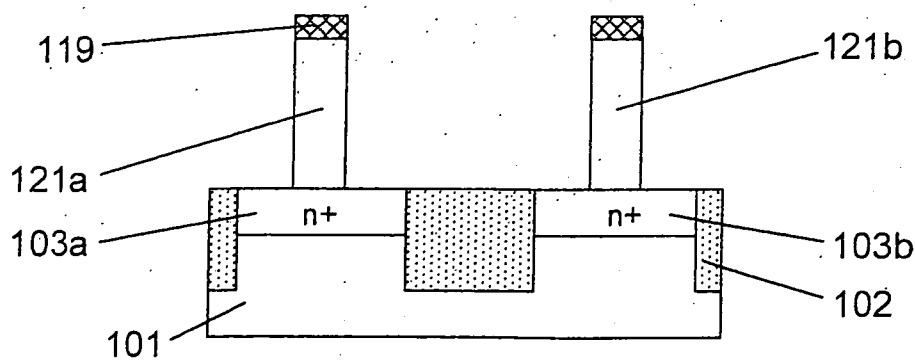
第 5A 圖



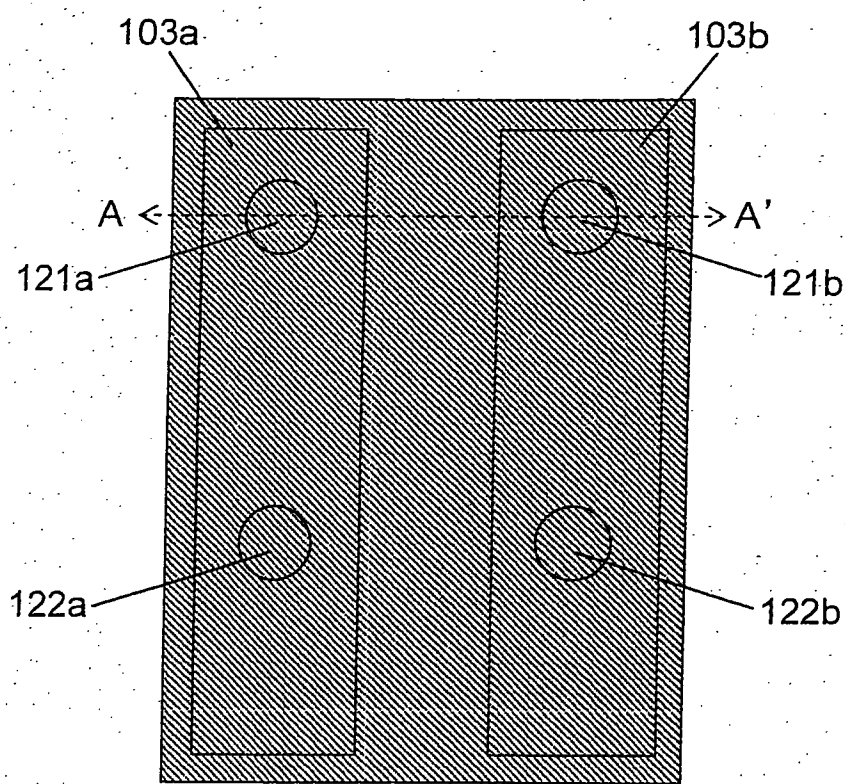
第 5B 圖



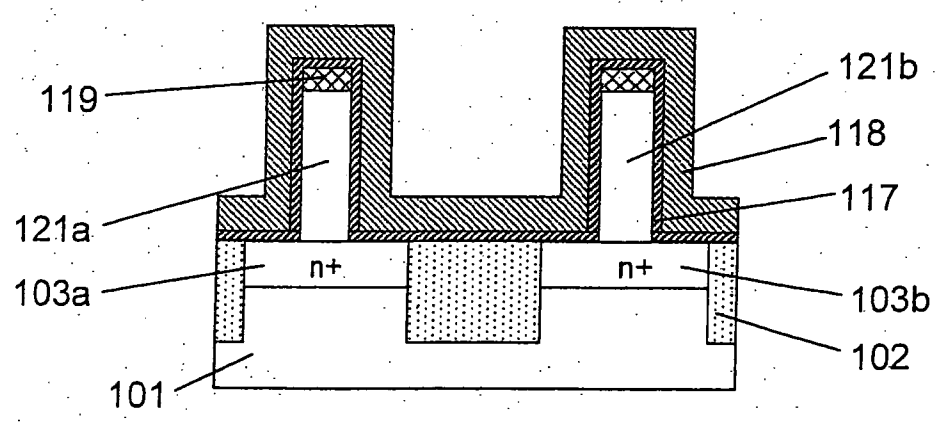
第 6A 圖



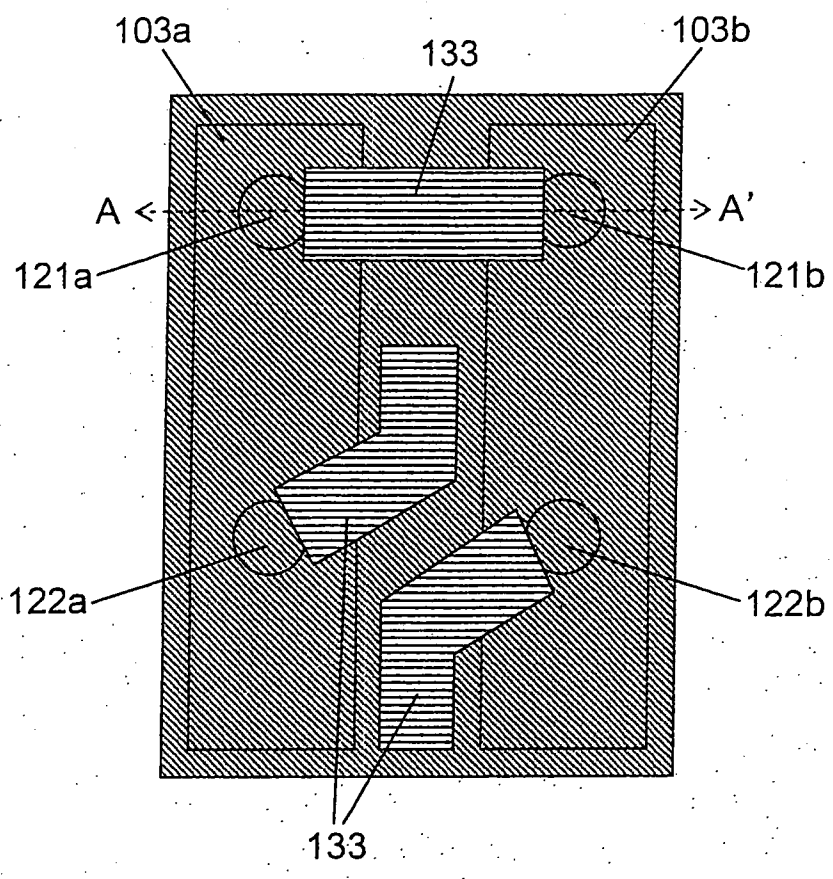
第 6B 圖



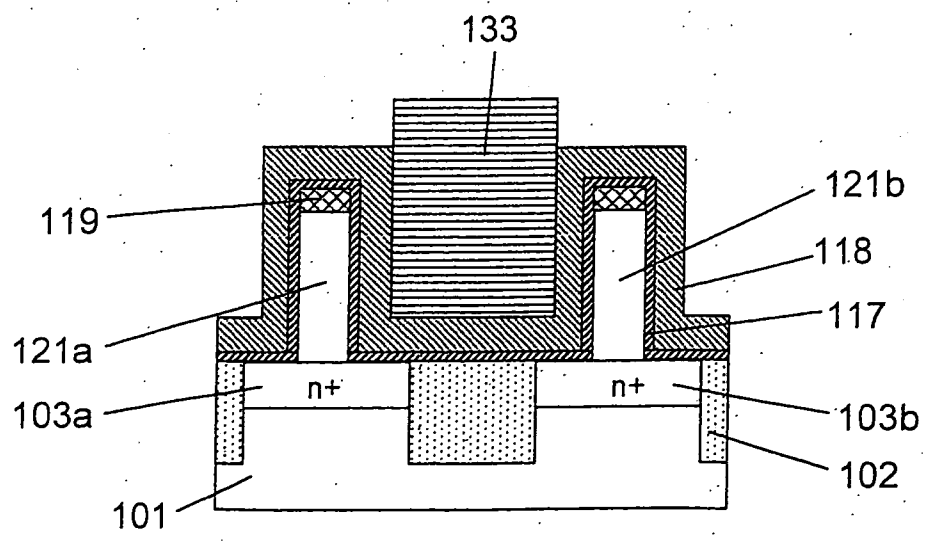
第 7A 圖



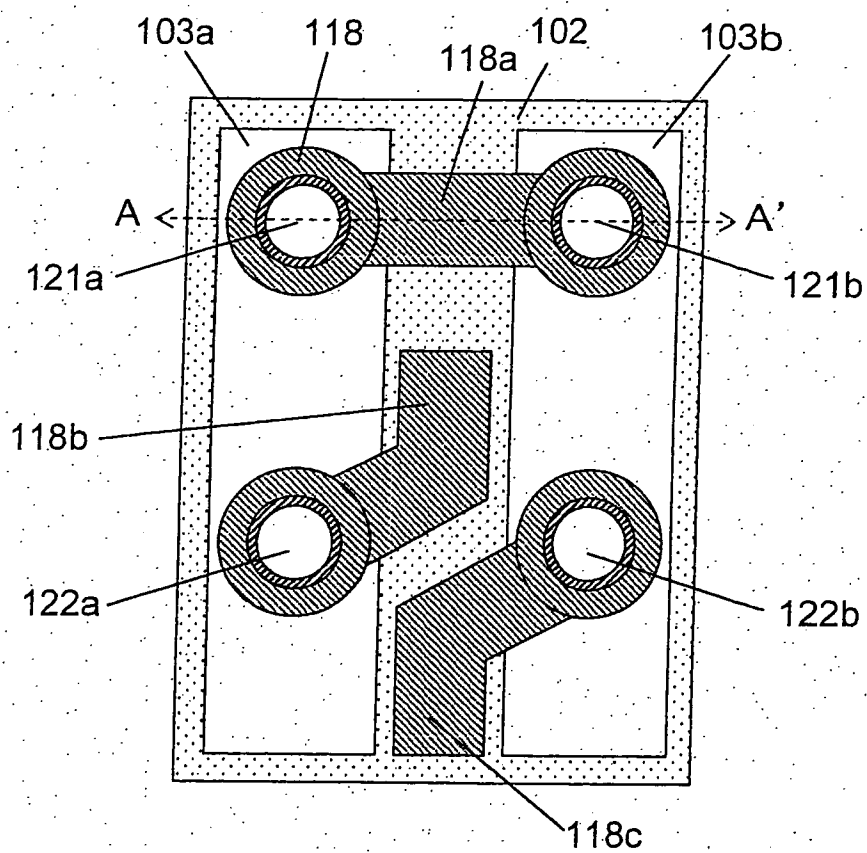
第 7B 圖



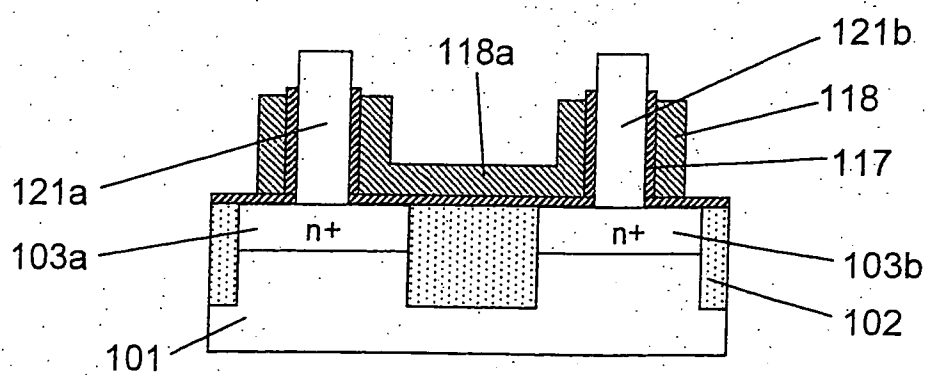
第 8A 圖



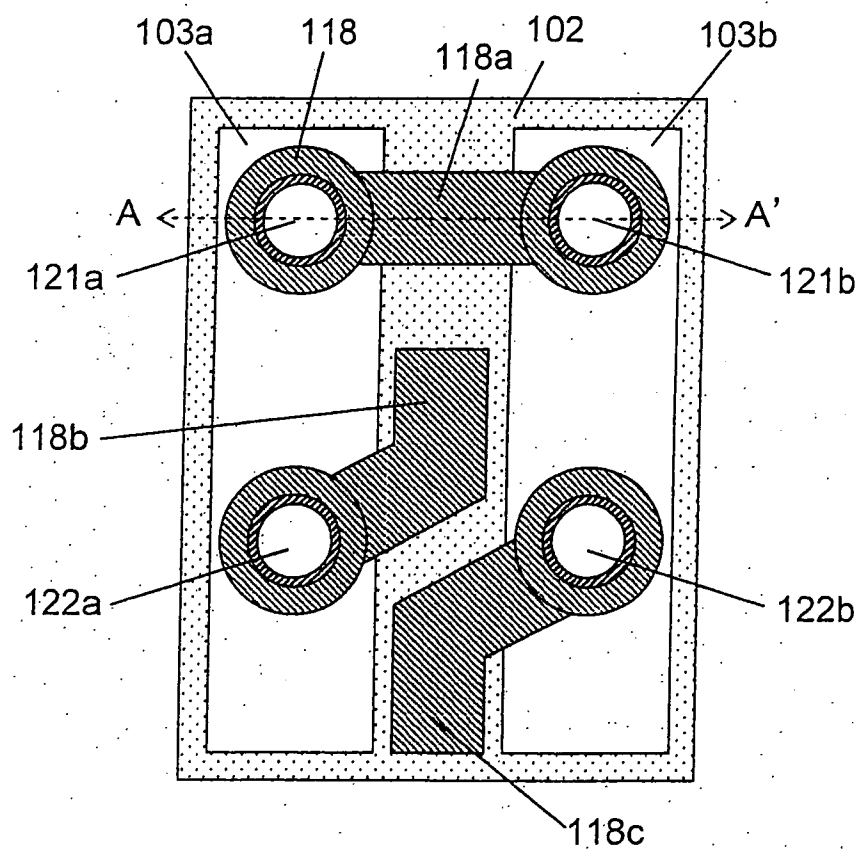
第 8B 圖



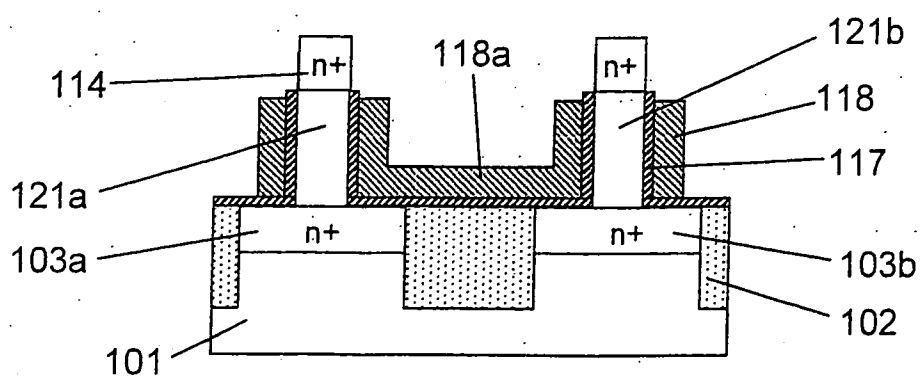
第 9A 圖



第 9B 圖

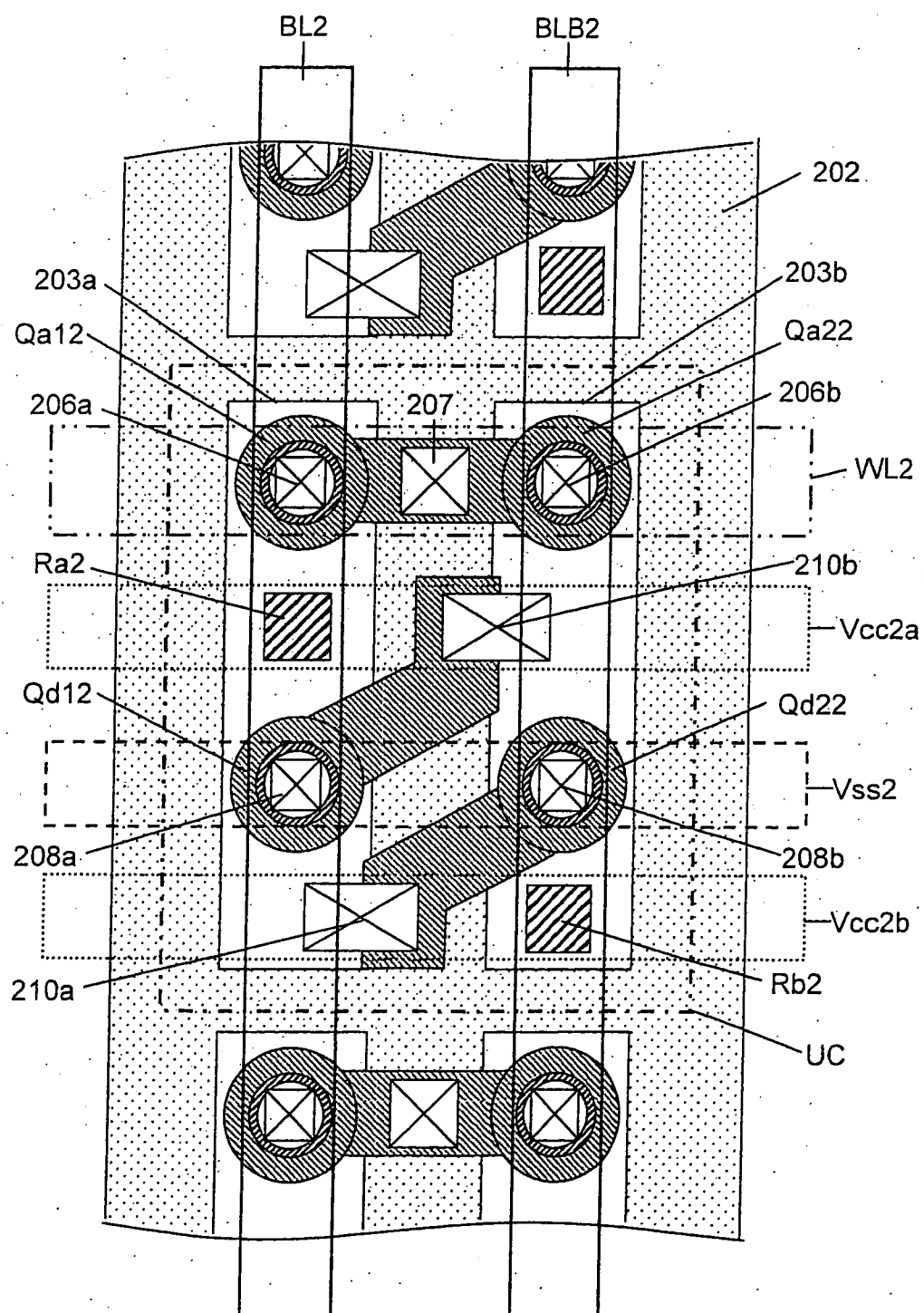


第 10A 圖



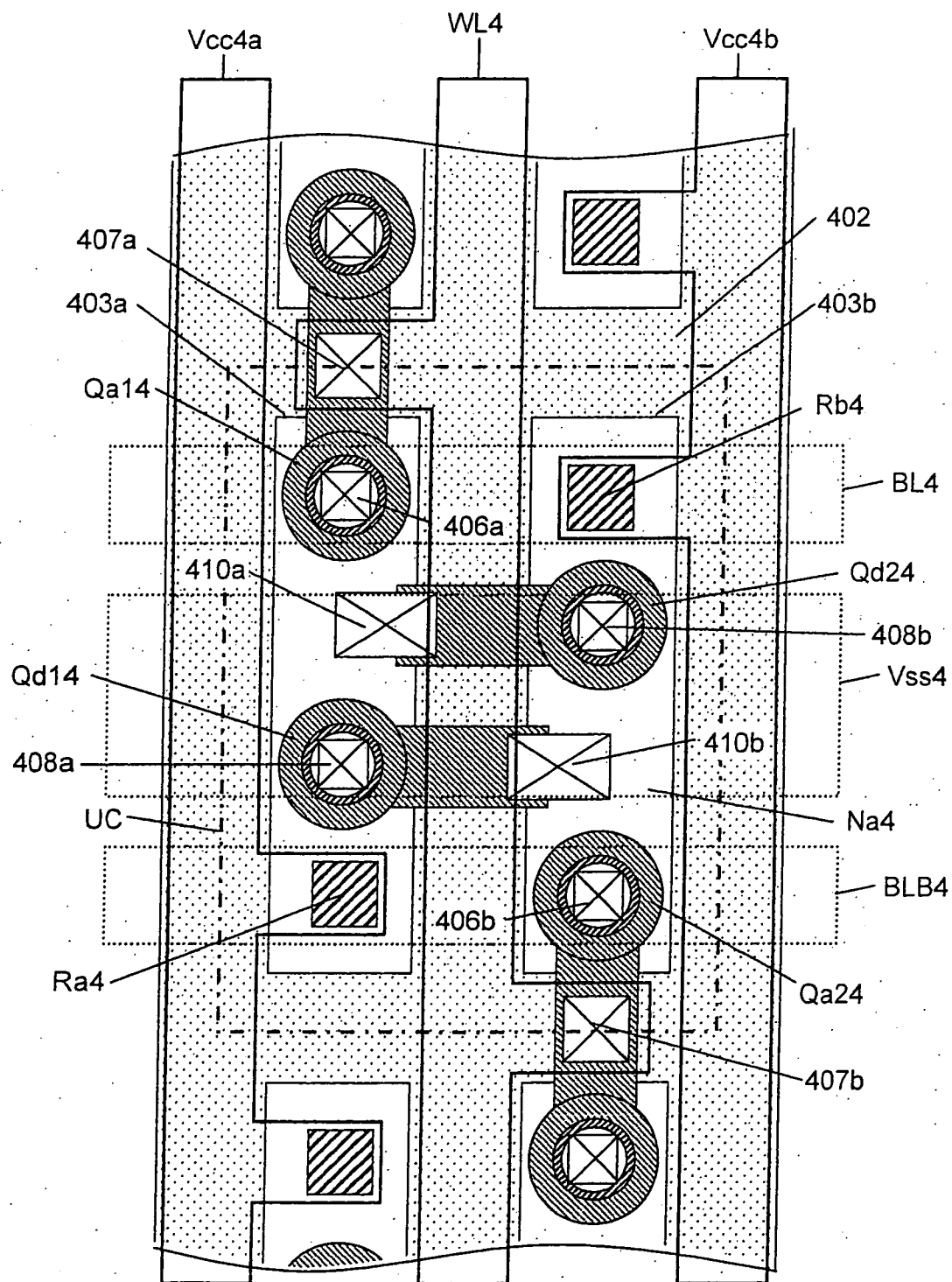
第 10B 圖





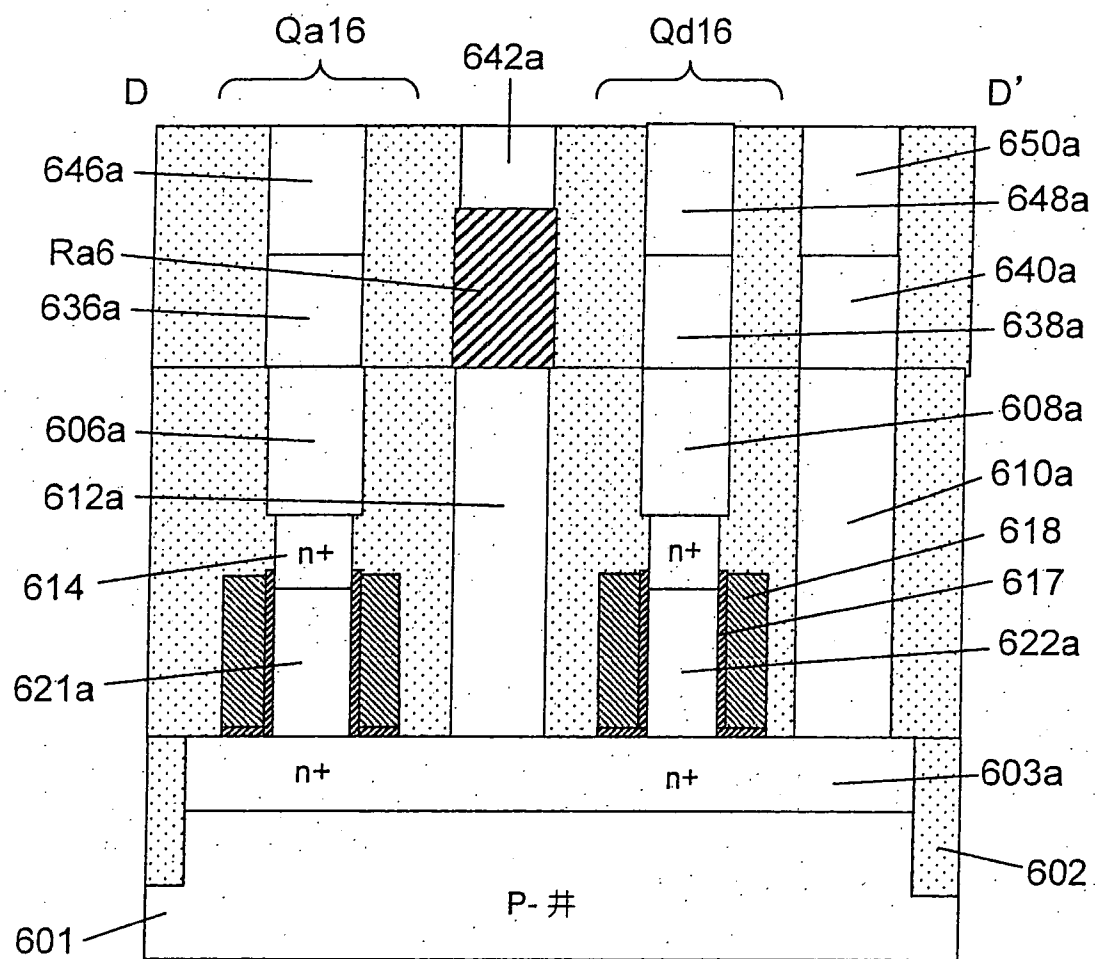
第 12 圖



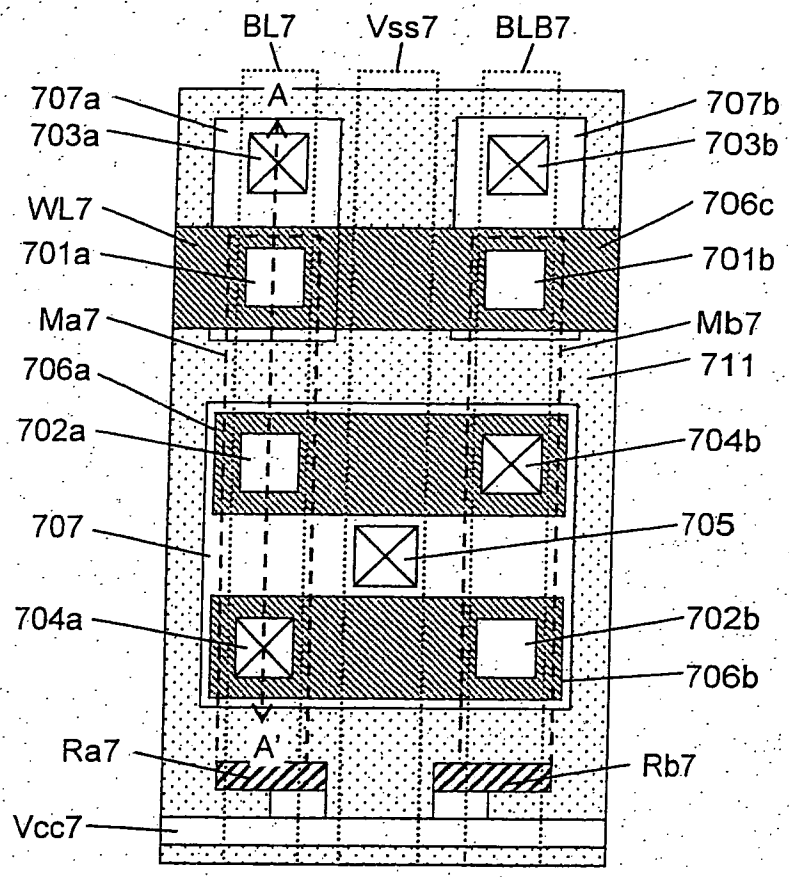


第 14 圖

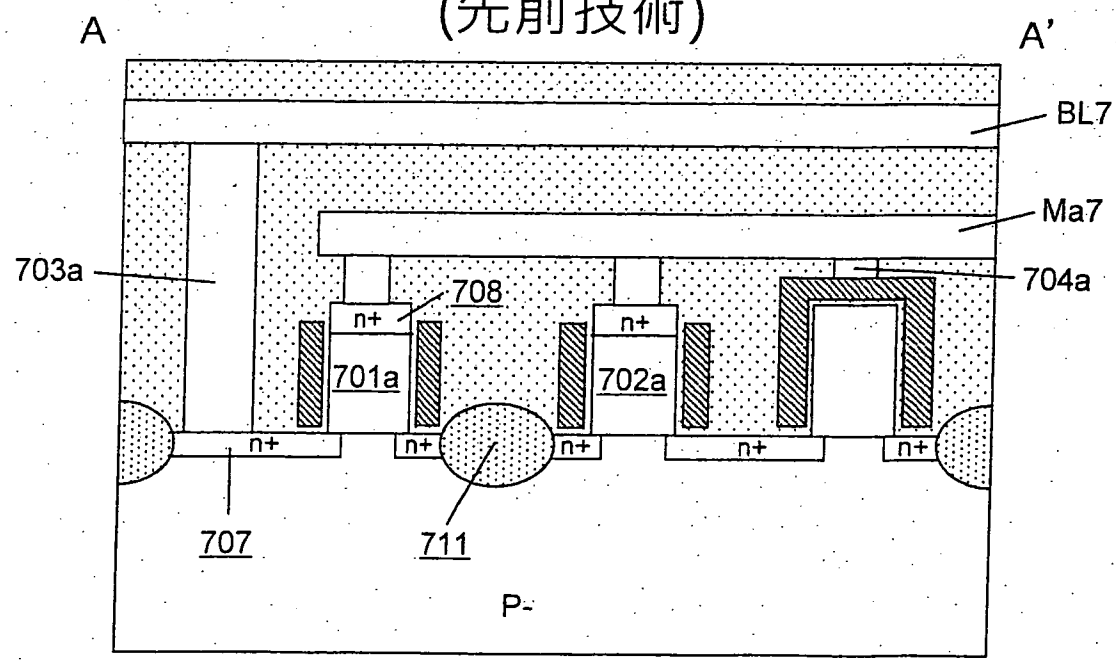




第 16 圖



第 17A 圖
(先前技術)



第 17B 圖
(先前技術)