

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
G06F 3/02

(45) 공고일자 1987년02월 13일
(11) 공고번호 87-000170

(21) 출원번호	특 1983-0005319	(65) 공개번호	특 1984-0008188
(22) 출원일자	1983년 11월 09일	(43) 공개일자	1984년 12월 13일
(30) 우선권주장	83-39326 1983년 03월 11일	일본(JP)	
(71) 출원인	인터내셔널 비지네스 머신즈 코포레이션 제이. 에이취. 그래디 미합중국. 뉴욕 10504, 아몬크		
(72) 발명자	스즈끼 도시오 일본국 가나가와켄 요코하마시 가나가와구 사이또번쵸 157 야나기 쓰토무 일본국 가나가와켄 후지사와시 구게누마 후지가야 1조메 9-23 요네모찌 겐신 일본국 가나가와켄 후지사와시 혼쵸 3조메 15-12		
(74) 대리인	이병호		

심사관 : 허정훈 (책자공보 제1251호)

(54) 키보드 인터페이스 시스템

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

키보드 인터페이스 시스템

[도면의 간단한 설명]

제1도는 본 발명의 구성을 도시하는 블록도.

제2도는 본 발명의 실시예를 도시하는 도면.

제3a도 및 제3b도는 제각기 정상적인 전송의 경우 및 오전송의 경우의 동작을 예시하는 파형도.

제4도는 제2도의 실시예에 있어서 프로그램 플로우차트도.

* 도면의 주요부분에 대한 부호의 설명

10 : 키주소코드송출수단

12 : 클럭수단

14 : 카운트수단

16 : 상태판정수단

22 : 수신비트카운트수단

24 : 상태송출수단

26 : 키보드응답판정수단

40 : 키매트릭스

52 : 시프트레지스터

[발명의 상세한 설명]

본 발명은 키보드 인터페이스에 관한 것이며 더욱 상세하게 말한다면 잡음에 의한 키보드데이터의 오전송을 방지할 수 있도록 한 직렬키보드인터페이스시스템에 관한 것이다.

키보드와 데이터처리 유닛 사이에 하나의 데이터선과 하나의 클럭선을 설치하고 데이터선을 통하여 키보드출력코드를 비트직렬로 전송하며 클럭선을 통하여 키보드출력클럭신호를 전송하도록 한 키보드시스템이 이미 제안되어 있다. 키보드출력코드는 선두의 스타트비트 및 이에 후속하는 키위치를 표시하는 8비트의 직렬주소코드로서 구성되는 9비트프레임으로 전송된다. 데이터처리유닛측에는 데이터선 및 클럭선에 접속된 9단의 직렬-병렬시프트레지스터가 설치되어 수신된 프레임의 비트는 클럭신호의 제어하에 직렬-병렬 시프트레지스터의 최하위단으로부터 순차로 코드되며 최상위단에 스

타트 비트가 나타났을 때 9비트프레임의 수신이 완료한 것이 표시되어 있다. 직렬-병렬 시프트레지스터의 최상위단으로부터의 스타트비트 개입중단요구를 하며 데이터처리 유니트에 직렬-병렬시프트레지스터 내의 주사코드의 취입처리를 요구하는 것과 동시에 취입처리가 종료될 때까지는 키보드데이터를 전송할 수 없다는 것을 키보드에 신호한다.

이 키보드시스템은 하나의 데이터선 및 하나의 클럭선을 사용하여 키보드데이터를 송출할 수 있으므로 대단히 간단하고 또 키보드는 데이터처리유니트의 클럭으로부터 독립하여 자기의 클럭의 베이스에서 동작할 수 있는 이점이 있다.

그러나 이 키보드시스템으로는 경제적 효과를 올리기 위하여 키보드와 데이터처리유니트를 접속하는 케이블로서 시일드를 가지지 않은 낮은 비용의 스트렛지케이블을 사용하였을 경우 잡음에 의해 오동작이 발생하는 것이 판명되었다. 외적소란, 전형적으로는 정전방전은 케이블에 잡음펄스를 유기한다. 잡음펄스는 데이터선 및 클럭선의 양쪽에 생길 수 있다. 그러나 클럭신호의 천이에 응답하여 데이터신호를 샘플하는 시점과 협폭의 잡음펄스가 시간적으로 일치하는 확률은 무시할 수 있는 정도이며 실용상 문제를 일으키지 않는다.

이에 대하여 클럭선에 잡음펄스가 나타났을 경우는 정규의 클럭신호의 천이와 잡음펄스에 의한 천이로 동일데이터비트가 2도샘플 된다. 따라서 이 경우는 실제로는 키보드로부터의 1프레임의 9비트의 전송이 완료되기 전에 직렬-병렬시프트레지스터에 9비트가 수신된 것이 되고 키보드로부터의 9번째의 비트가 결락하게 된다. 결락하는 최후의 비트가 2진 0이고 잡음펄스에 의하여 2도 샘플되는 데이터비트가 2진 0의 경우 및 최후의 비트가 2진 1이고 2도 샘플되는 데이터비트가 2진 1의 경우는 2진 1의 수가 변하지 않으므로 패리티체크로는 이 데이터에러를 검출할 수 없다.

이와같은 잡음펄스에 의한 데이터에러는 시일드 부착의 케이블의 사용하는데 의하여 회피할 수 있으나 이와같은 케이블은 대단히 고가이며 시일드 없는 케이블데이터 에러를 회피할 수 있는 것이 바람직하다. 본발명은 클럭선에 나타나는 잡음펄스에 의하여 생기는 오전송문제의 해결을 의도하는 것이다.

따라서 본 발명의 목적은 키보드와 데이터처리유니트 사이에 하나의 데이터선과 하나의 클럭선을 설치하여 데이터선을 통해 키보드데이터를 직렬로 전송하는 형식의 데이터처리장치에 있어서 클럭선에 생기는 잡음펄스에 의한 키보드데이터의 오전송을 해결할 수 있도록 한 직렬키보드인 터페이스시스템을 제공하는 것이다.

본 발명의 키보드인터페이스시스템에 의하면 키보드데이터가 데이터처리유니트의 측면에 바르게 송신되었는가의 여부가 키보드와 데이터처리유니트 사이에서 확인된다. 데이터처리유니트측에서는 클럭신호에 응답하여 수신비트수를 카운트하고 1프레임의 예정된 비트속에 동일한 수만 카운트하였을 때 1프레임의 키보드 데이터비트의 수신을 신호하는 상태신호를 키보드에 반송한다. 상태신호는 데이터선을 통하여 이송된다. 키보드측에는 1프레임의 데이터비트의 송신이 완료한 후에 상태신호가 반송여부를 판정하고 1프레임의 데이터비트의 송신완료전에 상태신호를 수취하였을 때는 데이터처리유니트의 측에 부정응답 신호를 송신하고 송신완료후에, 태신호를 수취하였을 때에는 긍정응답 신호를 송신한다. 이들의 응답신호는 클럭선을 통하여 전송된다. 부정응답의 경우 데이터처리 유니트측에서는 앞에 수신한 데이터를 파기하고 키보드는 동일키보드데이터를 재전송한다.

본 발명은 마이크로프로세서에 의하여 바람직하게 실시된다.

다음에 도이를 참조하면서 본 발명의 양호한 실시예에 대하여 설명한다. 제1도는 본 발명의 구성을 도시한 블록도이다. 파선의 불럭(6)은 키보드를 표시하고 파선의 불럭(8)은 데이터처리유니트를 표시하고 있다. 키보드(6)와 데이터처리유니트(8)는 하나의 데이터선(2) 및 하나의 클럭선(4)으로 접속된다. 키주사코드 송출수단(10)은 밀려내려간 키를 나타내는 주사코드를 포함한 프레임의 형태로 주사출력코드를 비트직렬로 데이터선(2)에 송출한다. 예를들면 하나의 프레임은 선두의 스타트비트 및 이에 후속하는 키워치를 표시하는 주사코드비트로서 구성된다. 클럭수단(12)은 직렬프레임비트의 송출과 동기하여 각 비트마다 하나의 클럭펄스를 클럭선(4)에 송출한다. 카운트수단(14)은 클럭선(4)에 송출되는 클럭펄스를 카운트한다. 따라서 카운트수단(14)은 송출되는 직렬비트의 수를 카운트한다. 카운트수단(14)은 1프레임의 예정비트수에 동일한 수만 카운트하였을 때 상태신호 판정수단(16)에 송신카운트 만료신호 TCF를 발생한다.

한편 키보드(6)에서 송출된 직렬비트 및 클럭스는 데이터처리유니트(8)의 수신부(20)에 주어져서 수신부(20)의 수신비트 카운트수단(22)은 클럭선(4)의 각 클럭펄스에 응답하여 수신비트수를 카운트하고, 1프레임의 예정비트수에 같은 수만 카운트하였을 때 선(30)에 의해 상태송출수단(24)에 수신카운트 만료신호 RCF를 발생한다. 상태송출수단(24)은 선(30)의 신호 RCF에 응답하고 1프레임의 직렬비트의 수신완료 신호를 신호하는 상태신호를 선(32)을 통하여 데이터선(2)에 인가한다.

키보드(6)의 상태판정수단(16)은 1프레임의 전체비트를 송신한 후에 데이터처리 유니트측으로부터 데이터선(2)에 상태신호가 이송되었는지 아닌지, 즉 카운트수단(14)으로부터 송신카운트 만료신호 TCF를 수취한 후에 상태신호를 수신하였는지를 판정한다. 1프레임의 송신이 완료한 후에 상태신호가 왔을 때 상태판정수단(16)은 선(17)을 통하여 클럭선(4)에 긍정응답 신호를 발생한다.

데이터처리 유니트의 키보드 응답판정수단(26)은 선(33)을 통하여 클럭선(4)을 조사하고 키보드로부터의 응답이 긍정응답인지 부정응답인지를 판정한다. 키보드 응답판정수단(26)은 긍정응답을 검출하였을 때 선(34)에 의하여 게이트수단(28)을 부세하고 수신데이터비트를 데이터처리유니트(8)의 다른 처리부(도시치 않음)에 취입시킨다.

키보드(6)으로부터 데이터처리유니트(8)에의 키보드데이터의 전송기간에 클럭선(4)에 잡음펄스가 생겼을 때 수신비트 카운트수단(22)은 1클럭기간에 2비트분을 카운트하여 1프레임의 전체비트의 수신 완료전에 수신카운트 만료신호 RCF를 발생한다. 이때 상태판정수단(16)은 상태신호수신시에 아직 송신카운트 만료신호 TCF를 수취하지 못하였고 따라서 선(17)을 통하여 클럭선(4)에 부정응답신호를

공급함과 동시에 선(18)을 통하여 키주소코드 송출수단(10) 및 클럭수단(12)에 제어신호를 공급하고 같은 주소코드를 재전송하도록 지령한다. 키보드 응답판정수단(26)은 부정응답을 검출하였을 때 선(36)에 의하여 수신부(20)에 신호를 발생하고 수신데이터를 폐기하여 재전송에 대비한다.

다음에 제2도 내지 제4도를 참조하여 본 발명의 구체예를 설명한다. 제2도는 키보드(6) 및 데이터처리유닛(8)의 제각기에 마이크로프로세서를 사용한 구체예를 표시하고 있다. 키보드(6)는 키매트릭스(40), 마이크로프로세서(MPV)(42), 오픈콜렉터게이트(44),(46)를 포함하며 데이터처리유닛(8)은 오픈콜렉터게이트(48), 0형 에지트리거래치(50), 시프트레지스터(52), 마이크로프로세서(MPU)(54)를 포함한다. 데이터선(2) 및 클럭선(4)은 제각기 저항을 통하여 +5V전원에 접속되어 있다.

MPU(42)는 예를들면, 인텔사의 8048마이크로프로세서이며, 키매트릭스(40)와의 정함으로 프로그램 가능한 자기주소식별키보드를 구성한다. MPU(54)는 예를들면, 인텔사의 8086마이크로프로세서이다. 오픈콜렉터게이트(44),(46),(48)는 입력이 고레벨인 때 출력을 고레벨로 하고, 입력이 저레벨일 때 출력을 저레벨(전형적으로는 어스레벨)로 떨어지게 작동한다. 오픈콜렉터게이트는 예를들면 텍사스 인스트루먼트사 발행의 "TTL데이터북" 제2판, 1976년 SN 7407로서 표시되어 있다.

MPU(42)는 오픈콜렉터게이트(44)를 통하여 데이터선을 구동하는 것과 동시에 오픈콜렉터게이트(46)를 통하여 클럭선(4)을 구동한다. 데이터선(2)을 샘플하기 위해서 데이터선(2)은 MPU(42)의 입력단자에도 접속되어 있다.

데이터선(2) 및 클럭선(4)은 시프트레지스터(52)에 접속된다. 시프트레지스터(52)는 클럭펄스의 입하연부에서 데이터신호를 샘플하고 최하위단으로부터 순차시프트하면서 1프레임의 비트를 취입한다. 본 예에서는 1프레임은 선두의 스타트비트 SB 및 후속하는 키워치를 표시하는 8비트 주소코드로서 이루어진다. 시프트레지스터(52)의 최상위단은 래치(50)의 0입력에 접속된다. 래치(50)의 클럭 C입력은 클럭선(4)에 접속된다.

시프트레지스터(52)의 최상위단으로부터 스타트비트가 나타났을 때 클럭펄스의 입하선에서 래치(50)가 세트되어 Q출력을 고레벨로, \bar{Q} 출력을 저레벨로 한다. \bar{Q} 출력의 저레벨은 오픈콜렉터게이트(48)의 출력을 저레벨(접지레벨)로 구동하고 따라서 데이터선(2)을 저레벨로 한다. 이 데이터선 저레벨은 1프레임의 수신완료 표시하는 상태신호로 된다. 래치(50)가 세트되어 있는 동안은 데이터선(2)은 접지레벨은 클램프되므로 키보드는 이미 데이터신호를 송출할 수 없다.

래치(50)의 Q출력은 레벨은 MPU(54)에 개입중단요구를 내고 상태신호에 대한 키보드응답의 판정등의 필요한 처리를 하기 위한 프로그램시스템을 호출한다. 상태신호에 대한 키보드응답으로서 MPU(42)로부터 클럭선(4)에 고레벨 긍정응답신호가 변환되었을 때 MPU(54)는 시프트레지스터의 8비트 주소코드 A-H를 취입하고 래치(50) 및 시프트레지스터(52)를 크리어 즉 리셋하고 개입중단전의 프로그램처리로 되돌아간다.

래치(50)가 크리어 되면 \bar{Q} 출력이 고레벨로되며 오픈콜렉터게이트(48)는 데이터선(2)을 고레벨(+5V)로 유지한다. 데이터선 고레벨상태는 MPU(42)에 의하여 검출되고 이는 키보드로부터 새로운 프레임데이터를 송신가능하다는 것을 표시한다. MPU(42)로부터 클럭선(4)에 저레벨부정 응답신호가 왔을 때 MPU(54)는 시프트레지스터(52)의 데이터를 취입하는 일 없이 래치(50) 및 시프트레지스터(52)를 크리어하고 개입중단 전의 프로그램처리로 되돌아간다.

제3도 및 제3b도는 제각기 정상적인 키보드데이터전송의 경우 및 오전송 경우의 동작파형을 예시하고 있다. 제3a도 및 제3b도에 있어서 파형(a)은 클럭선(4)에 송출되는 클럭펄스를 표시하고 파형(b)은 데이터선(2)에 송출되는 데이터신호, 파형(c)은 래치(50)의 \bar{Q} 출력으로부터 오픈콜렉터게이트(48)를 통하여 데이터선에 공급되는 신호, 파형(d)은 MPU(42)가 데이터선(2)을 샘플하는 샘플타이밍, 파형(e)은 개입중단 후 MPU(54)가 클럭선(4)을 샘플하는 샘플타이밍을 표시하고 있다.

제3a도에 있어서의 MPU(54)가 키보드데이터를 받아들일 가능상태로 되었을 때 MPU(54)는 래치(50)를 크리어 즉, 리셋하고 파형(c)의 (61)에 도시하는 바와같이 데이터선(2)을 고레벨로 한다. MPU(42)는 데이터선(2)을 샘플하고 고레벨에 있는지를 조사한다(제4도의 프로그램플로우차트의 스텝 78). 데이터선(2)이 고레벨에 있는 것을 확인하면 데이터송신동작에 들어간다.

MPU(42)는(선두의 스타트비트 SB) 프라스(후속하는 8비트 주소코드)로서 이루어진 프레임비트를 비트직렬로 데이터선(2)에 송출한다. 클럭펄스(a)의 고레벨기간 및 저레벨기간의 바람직한 값은 제각기 $50\mu\text{s}$ 내지 $100\mu\text{s}$ 및 $25\mu\text{s}$ 내지 $50\mu\text{s}$ 이지만 이 예에서는 제각기 $50\mu\text{s}$ 로 되어 있다. 그러나 고레벨기간 및 저레벨기간의 값은 중요하지 않다.

데이터신호(b)는 시프트레지스터(52)에 있어서 클럭펄스(a)의 입하연부에서 샘플되어 취입된다. 따라서 데이터신호(b)는 최소한 클럭펄스(a)의 입하연부의 시점에서 유의데이터레벨을 가질 필요가 있다. 이 예에서는 각 비트는 클럭펄스의 입상연부의 전면 및 입하연부의 후면에 제각기 $2.5\mu\text{s}$ 의 유의데이터 레벨기간을 가지도록 되어 있으나 입하연부에서 샘플하는 경우에 중요한 것은 클럭펄스의 입하연부에서 유의데이터 레벨을 가지는 것이다.

또 데이터처리유닛으로부터의 상태신호를 검출하기 위해서는 MPU(42)는 최소한 데이터선 샘플시점에 있어서 데이터선을 고레벨로 할 필요가 있다. 만일 MPU(42)가 샘플시점에서 데이터선(2)을 저레벨(어스레벨)로 구동하고 있으면 데이터선(2)은 클램프되어 래치(50)의 \bar{Q} 출력의 상태를 올바르게 검출할 수 없게 된다. 그러므로 MPU파형(b)의 (60)에 도시하는 바와같이 송신되는 비트가 "1"이거나 "0"이거나에, 관계없이 각 클럭주기의 후반에 소정기간만 데이터선(2)을 고레벨로 하고 이 고레벨기간에 MPU(42)는 데이터선(2)을 샘플한다. 이 예에서는 각 클럭펄스의 입하연부로부터 $2.5\mu\text{s}$ 경과한 후 고레벨로 된다.

또한 도면에서는 편의상 데이터신호(b) 및 래치(50)의 \bar{Q} 출력(c)은 따로따로 표시되어 있으나 데이

타선(2)에는 파형(b) 및 파형(c)의 고레벨의 논리 AND가 나타난다. 따라서 MPU(42)는 프로그램스텝에 있어서는 제4도의 스텝(78)에서 데이터선 고레벨을 확인하면 데이터선(2)에 1비트(최초는 스타트비트 SB)를 인가하고(제4도의 스텝 80), 2.5 μ S의 후에 클럭선(4)을 고레벨로 하고(스텝 82), 클럭선(4)을 저레벨로 하여(스텝 84), 2.5 μ S의 후에 데이터선(2)을 고레벨로 한다(스텝 86). MPU(42)는 각 클럭 사이클마다 데이터선(2)을 샘플하고(스텝 88), 데이터처리 유닛으로부터 상태신호가 보내졌는가를 조사한다(스텝90). 상태신호가 검출되지 않았을 경우에는 스텝(80)에 되돌아가서 비트송신동작을 되풀이한다.

1프레임의 9비트가 시프트레지스터(52)에 취입되어, 스타트비트 SB가 시프트레지스터(52)의 최상위단에 나타나면 클럭사이클(9)의 클럭펄스의 입하연부에서 래치(50)가 셋트되어 Q출력이 저레벨로 되고 데이터선(2)에 저레벨 상태신호를 송출한다(파형(c)의 62). 수신비트 카운트동작 및 상태신호 송출동작은 제각기 시프트레지스터(52) 및 래치(50)에 의하여 하드웨어로 행하여지므로 제4도에서는 이들의 동작은 파선의 블럭(102) 및 (106)으로 구별하여 표시되어 있다.

MPU(42)는 클럭사이클(9)의 샘플로 상태신호를 검출한다. 이 경우 MPU(42)는 송신카운트(9)의 상태 즉, 1프레임의 송신 완료후에 상태신호를 검출하므로 이것은 올바른 전송을 나타내고 MPU(42)는 파형(a)의 (64)와 같이 클럭사이클(9)에 계속해서 클럭선(4)을 고레벨로 한다(제4도의 스텝 94). 이것은 긍정응답을 표시한다.

래치(50)가 셋트되었을 때 Q출력은 MPU(54)에 개입중단을 요구하고(제4도의 스텝 104), MPU(54)는 이에 응답하여 상태신호에 대한 키보드응답을 조사하기 위하여 파형(e)과 같이 개입중단에서 소정시간 후에 클럭선(4)을 샘플하고(제4도의 스텝 108), 고레벨인지 어떤지를 판정한다(스텝 110). 이 경우는 고레벨이 검출되고 MPU(54)는 시프트레지스터(52)의 주사코드 A-H를 취입(스텝 112), 그런후 래치(50) 및 시프트레지스터(52)를 크리어하고(스텝 114) Q출력을 고레벨로 하고 키보드에 키보드 데이터 송신가능 상태를 통지한다. 그리고 MPU(54)는 리턴동작에 의하여 개입중단전의 프로그램으로 되돌아간다(스텝 116).

제3b도는 클럭사이클(5)의 기간에 클럭펄스(a)에 잡음펄스(66)가 나타났을 경우를 예시하고 있다. 정전방전에 의한 잡음펄스는 정, 부 양극성으로 발생할 수 있으나 클럭의 저기간을 클럭선(4)은 어스레벨에 클램프되도록 클럭저기간의 정잡음펄스는 흡수되어 실제상 거의 문제가 발생하지 않는다. 문제인 것은 클럭의 고기간의 부잡음펄스이다.

이 경우 시프트레지스터(52)는 하나의 클럭기간에 2개의 입하연부에서 두번데이터를 샘플한다. 따라서 스타트비트 SB는 클럭사이클(8)로 시프트레지스터(52)의 최상위단에 나타나며, 클럭사이클(8)로 저레벨상태 신호를 키보드로 되돌아가게 한다(파형(c)의 70). 이 상태신호는 클럭사이클(8)로 MPU(42)에 의하여 샘플된다. 이때 송신카운트는 9가 아니며 송신 미완료이므로, MPU(42)는 파형(a)의 (68)과 같이 클럭사이클(8)에 계속해서 데이터선(2)을 저레벨로 한다(제4도 스텝 98). 이것은 부정응답을 나타낸다. 개입중단에서 소정시간 후 MPU(54)는 클럭선(4)을 샘플하여 이 저레벨을 검출한다. MPU(54)는 시프트레지스터(52)의 데이터를 취입하는 일 없이 래치(50) 및 시프트레지스터(52)를 크리어하고(스텝 118), 리턴스텝에 의하여 개입중단전의 프로그램처리로 되돌아가고(스텝 120), 재전송에 의하여 재차 개입중단이 걸릴때까지 다른 처리를 계속한다. MPU(42)는 재전송의 준비를 하고(스텝 100) 스텝(78)으로 데이터선 고레벨을 확인한 후 같은 주사코드를 재전송한다.

정전방전에 의한 잡음펄스의 지속시간은 10-100 ns정도이며 또, 경험에 의하면 최소한 10 ms 이상의 간격으로 생긴다. 이 간격은(1프레임의 전송시간) 프라스(상태검출/응답/재전송)에 요하는 시간보다도 상당히 길고 재전송에 의하여 재차 오전송이 검출되는 일은 거의 생기지 않는다.

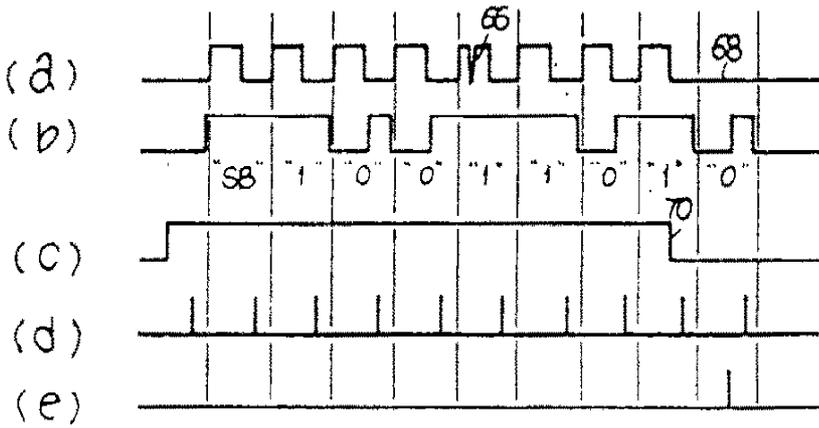
(57) 청구의 범위

청구항 1

키보드와 데이터처리 유닛을, 키보드클럭신호를 전송하는 클럭선과 키를 표하는 키주사코드를 포함하는 직렬프레임비트를 상기 클럭신호와 동기하여 직렬로 전송하는 데이터선을 통하여 접속한 데이터 처리장치용 키보드인터페이스시스템으로서, 상기 데이터처리 유닛과 관련하여 설치되고 상기 클럭신호에 응답하여 수신비트수를 카운트하는 카운트수단과, 상기 데이터처리 유닛과 관련해서 설치되고 상기 카운트수단이 1프레임의 예정비트수에 같은 수만 카운트한 것에 응답하여 1프레임의 비트의 수신을 표시하는 상태신호를 상기 데이터선에 인가하는 수단과, 상기 키보드와 관련하여 설치되고 1프레임의 전송이 완료되기 전에 상기 상태신호를 수취하였을 시 상기 클럭선에 부정응답신호를 인가하는 수단과, 상기 키보드와 관련하여 설치되며 상기 부정응답신호에 응답하여 동일 프레임의 키주사코드를 재전송하는 수단을 구비하고 있는 것을 특징으로 하는 직렬키보드인터페이스시스템.

도면

도면38



도면4

