



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년10월25일

(11) 등록번호 10-1790320

(24) 등록일자 2017년10월19일

- (51) 국제특허분류(Int. Cl.)  
*H03K 3/356* (2006.01) *H03K 19/0175* (2006.01)  
*H03K 23/00* (2006.01) *H03K 23/54* (2006.01)
- (21) 출원번호 10-2012-7028882
- (22) 출원일자(국제) 2011년03월18일  
 심사청구일자 2016년03월17일
- (85) 번역문제출일자 2012년11월02일
- (65) 공개번호 10-2013-0036229
- (43) 공개일자 2013년04월11일
- (86) 국제출원번호 PCT/JP2011/057496
- (87) 국제공개번호 WO 2011/125566  
 국제공개일자 2011년10월13일
- (30) 우선권주장  
 JP-P-2010-090296 2010년04월09일 일본(JP)

## (56) 선행기술조사문현

JP04543076 B  
 JP04734510 B  
 JP평성17064896 A

전체 청구항 수 : 총 11 항

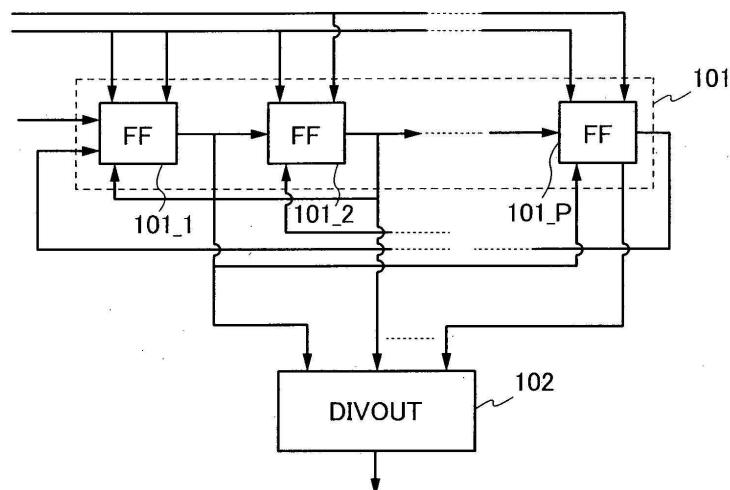
심사관 : 윤성주

## (54) 발명의 명칭 분주 회로

**(57) 요 약**

분주 회로의 동작 불량을 억제한다.

제 1 또는 제 2 클럭 신호에 따라  $2 \times X$ 개( $X$ 는 2 이상의 자연수)의 펄스 신호를 생성하여 출력하는 시프트 레지스터와,  $2 \times X$ 개의 펄스 신호에 따라, 제 1 클럭 신호의 주기의  $X$ 배의 주기인 제 3 클럭 신호가 되는 신호를 생성하여 출력하는 분주 신호 출력 회로를 구비하고, 분주 신호 출력 회로는, 게이트 각각에,  $2 \times X$ 개의 펄스 신호에서 1개째 내지  $X$ 개째의 펄스 신호 중, 서로 다른 펄스 신호가 입력되고, 제 3 클럭 신호가 되는 신호의 전압을 제 1 전압으로 설정할지 여부를 제어하는  $X$ 개의 제 1 트랜지스터와, 게이트 각각에,  $2 \times X$ 개의 펄스 신호에서  $X+1$ 개째 내지  $2 \times X$ 개째의 펄스 신호 중, 서로 다른 펄스 신호가 입력되고, 제 3 클럭 신호가 되는 신호의 전압을 제 2 전압으로 설정할지 여부를 제어하는  $X$ 개의 제 2 트랜지스터를 구비한다.

**대 표 도 - 도 1**

## 명세서

### 청구범위

#### 청구항 1

분주 회로로서,

제 1 클럭 신호 및 제 2 클럭 신호에 따라서  $2 \times X$ 개( $X$ 는 2 이상의 자연수)의 펄스 신호를 출력하는 시프트 레지스터; 및

상기  $2 \times X$ 개의 펄스 신호에 따라서, 상기 제 1 클럭 신호의 주기보다  $X$ 배 긴 주기를 가지는 제 3 클럭 신호를 출력하는 분주 신호 출력 회로를 포함하고,

상기 분주 신호 출력 회로는, 각각 소스, 드레인, 및 게이트를 갖는  $X$ 개의 제 1 트랜지스터와, 각각 소스, 드레인, 및 게이트를 갖는  $X$ 개의 제 2 트랜지스터를 포함하고,

상기 시프트 레지스터는 상기  $2 \times X$ 개의 펄스 신호 중 첫번째 내지  $X$ 번째의 펄스 신호를 상기  $X$ 개의 제 1 트랜지스터의 각각의 게이트에 따로따로 공급하고,

상기  $X$ 개의 제 1 트랜지스터는 상기 제 3 클럭 신호가 될 신호의 전압을 제 1 전압으로 설정할지 여부를 제어하고,

상기 시프트 레지스터는 상기  $2 \times X$ 개의 펄스 신호 중  $X+1$ 번째 내지  $2 \times X$ 번째의 펄스 신호를 상기  $X$ 개의 제 2 트랜지스터의 각각의 게이트에 따로따로 공급하고,

상기  $X$ 개의 제 2 트랜지스터는 상기 제 3 클럭 신호가 될 신호의 전압을 제 2 전압으로 설정할지 여부를 제어하는, 분주 회로.

#### 청구항 2

분주 회로로서,

제 1 클럭 신호 및 제 2 클럭 신호에 따라서, 상기 제 1 클럭 신호의 주기보다  $X$ 배( $X$ 는 2 이상의 자연수) 긴 주기를 가지는 제 3 클럭 신호를 생성하는 제 1 단위 분주 회로; 및

상기 제 3 클럭 신호에 따라서, 상기 제 3 클럭 신호의 상기 주기보다  $K$ 배( $K$ 는 2 이상의 자연수) 긴 주기를 가지는 제 4 클럭 신호를 생성하는 제 2 단위 분주 회로를 포함하고,

상기 제 1 단위 분주 회로는,

상기 제 1 클럭 신호 및 상기 제 2 클럭 신호에 따라서  $2 \times X$ 개의 펄스 신호를 출력하는 시프트 레지스터; 및

상기  $2 \times X$ 개의 펄스 신호에 따라서 상기 제 3 클럭 신호를 출력하는 분주 신호 출력 회로를 포함하고,

상기 분주 신호 출력 회로는, 각각 소스, 드레인, 및 게이트를 갖는  $X$ 개의 제 1 트랜지스터와, 각각 소스, 드레인, 및 게이트를 갖는  $X$ 개의 제 2 트랜지스터를 포함하고,

상기 시프트 레지스터는 상기  $2 \times X$ 개의 펄스 신호 중 첫번째 내지  $X$ 번째의 펄스 신호를 상기  $X$ 개의 제 1 트랜지스터의 각각의 게이트에 따로따로 공급하고,

상기  $X$ 개의 제 1 트랜지스터는 상기 제 3 클럭 신호가 될 신호의 전압을 제 1 전압으로 설정할지 여부를 제어하고,

상기 시프트 레지스터는 상기  $2 \times X$ 개의 펄스 신호 중  $X+1$ 번째 내지  $2 \times X$ 번째의 펄스 신호를 상기  $X$ 개의 제 2 트랜지스터의 각각의 게이트에 따로따로 공급하고,

상기  $X$ 개의 제 2 트랜지스터는 상기 제 3 클럭 신호가 될 신호의 전압을 제 2 전압으로 설정할지 여부를 제어하는, 분주 회로.

### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 X개의 제 1 트랜지스터 및 상기 X개의 제 2 트랜지스터는, 각각 채널 형성층으로서 기능하는 산화물 반도체층을 포함하고,

상기 산화물 반도체층의 밴드갭은 2eV 이상인, 분주 회로.

### 청구항 4

분주 회로로서,

제 1 클럭 신호 및 제 2 클럭 신호에 따라서 제 1 펄스 신호, 제 2 펄스 신호, 제 3 펄스 신호, 및 제 4 펄스 신호를 포함하는 복수의 펄스 신호를 출력하는 시프트 레지스터; 및

상기 복수의 펄스 신호에 따라서, 상기 제 1 클럭 신호의 주기보다 X배(X는 2 이상의 자연수) 긴 주기를 가지는 제 3 클럭 신호를 출력하는 분주 신호 출력 회로를 포함하고,

상기 분주 신호 출력 회로는,

상기 제 3 클럭 신호가 될 신호의 전압을 제 1 전압으로 설정할지 여부를 제어하고, 적어도 2개의 트랜지스터를 포함하는 복수의 제 1 트랜지스터; 및

상기 제 3 클럭 신호가 될 신호의 전압을 제 2 전압으로 설정할지 여부를 제어하고, 적어도 2개의 트랜지스터를 포함하는 복수의 제 2 트랜지스터를 포함하고,

상기 시프트 레지스터는, 상기 복수의 제 1 트랜지스터에 포함된 2개의 트랜지스터 중 하나의 트랜지스터의 게이트에 상기 제 1 펄스 신호와 상기 제 2 펄스 신호 중 하나를 공급하고,

상기 시프트 레지스터는, 상기 복수의 제 1 트랜지스터에 포함된 2개의 트랜지스터 중 다른 하나의 트랜지스터의 게이트에 상기 제 1 펄스 신호와 상기 제 2 펄스 신호 중 다른 하나를 공급하고,

상기 시프트 레지스터는, 상기 복수의 제 2 트랜지스터에 포함된 2개의 트랜지스터 중 하나의 트랜지스터의 게이트에 상기 제 3 펄스 신호와 상기 제 4 펄스 신호 중 하나를 공급하고,

상기 시프트 레지스터는, 상기 복수의 제 2 트랜지스터에 포함된 2개의 트랜지스터 중 다른 하나의 트랜지스터의 게이트에 상기 제 3 펄스 신호와 상기 제 4 펄스 신호 중 다른 하나를 공급하는, 분주 회로.

### 청구항 5

제 4 항에 있어서,

상기 복수의 펄스 신호는  $2 \times X$ 개의 펄스 신호를 포함하는, 분주 회로.

### 청구항 6

제 5 항에 있어서,

상기 복수의 제 1 트랜지스터는 X개의 트랜지스터를 포함하고,

상기 복수의 제 2 트랜지스터는 X개의 트랜지스터를 포함하는, 분주 회로.

### 청구항 7

제 4 항에 있어서,

상기 복수의 제 1 트랜지스터 및 상기 복수의 제 2 트랜지스터는, 각각 채널 형성층으로서 기능하는 산화물 반도체층을 포함하고,

상기 산화물 반도체층의 밴드갭은 2eV 이상인, 분주 회로.

#### 청구항 8

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 시프트 레지스터는  $2 \times X$ 단의 순서 회로를 포함하고,

상기  $2 \times X$ 단 중 홀수단의 순서 회로는 각각 펠스 신호의 전압을 상기 제 1 클럭 신호에 따른 값을 가지는 전압으로 설정할지 여부를 제어하는 제 3 트랜지스터를 포함하고,

상기  $2 \times X$ 단 중 짝수단의 순서 회로는 각각 펠스 신호의 상기 전압을 상기 제 2 클럭 신호에 따른 값을 가지는 전압으로 설정할지 여부를 제어하는 제 4 트랜지스터를 포함하는, 분주 회로.

#### 청구항 9

제 1 항, 제 2 항, 및 제 5 항 중 어느 한 항에 있어서,

상기  $2 \times X$ 개의 펠스 신호의 적어도 일부의 전압값은 전원 전압 이상인, 분주 회로.

#### 청구항 10

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 있어서,

상기 제 1 클럭 신호와 상기 제 2 클럭 신호는 파형이 서로  $1/2$  주기 어긋나 있는 클럭 신호인, 분주 회로.

#### 청구항 11

클럭 신호 생성 회로로서,

발진기; 및

제 1 항, 제 2 항, 및 제 4 항 중 어느 한 항에 따른 분주 회로를 포함하는, 클럭 신호 생성 회로.

#### 청구항 12

삭제

#### 청구항 13

삭제

#### 청구항 14

삭제

#### 청구항 15

삭제

#### 청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

### 발명의 설명

#### 기술 분야

[0001] 본 발명의 일 양태는, 분주 회로에 관한 것이다.

#### 배경 기술

[0002] 최근, 서로 다른 주기의 복수의 클럭 신호를 이용하여 디지털 회로를 구동하기 위해, 분주 회로가 이용된다.

[0003] 종래의 분주 회로로는, 예를 들어 플립플롭을 이용한 분주 회로 등을 들 수 있다. (예를 들어 특허문헌 1)

#### 선행기술문헌

#### 특허문헌

[0004] (특허문헌 0001) 일본국 특개평 05-048432호 공보

#### 발명의 내용

#### 해결하려는 과제

[0005] 예를 들어, 특허문헌 1에 나타낸 바와 같은 종래의 플립플롭을 이용한 분주 회로는, 간략한 회로 구성으로 구성할 수 있으나, 주기가 짧은 클럭 신호를 분주하는 경우에 동작 불량이 일어날 가능성이 있다. 예를 들어, 종래의 플립플롭을 이용한 분주 회로는, 전원 전압을 선택적으로 출력함으로써 출력 신호를 생성하므로, 동작 속도가 느리고, 분주 회로를 이용하여 주기가 짧은 클럭 신호를 생성하는 경우에, 동작 불량이 발생하여, 클럭 신호를 생성할 수 없는 경우가 있다.

[0006] 본 발명의 일 양태에서는, 분주 회로의 분주 동작에서의 동작 불량을 억제하는 것을 과제의 하나로 한다.

#### 과제의 해결 수단

[0007] 본 발명의 일 양태는, 입력된 클럭 신호의 전압에 따른 값으로 설정된 전압 신호인 복수의 펄스 신호를 생성하고, 생성한 복수의 펄스 신호를 이용하여 입력된 클럭 신호의 주기의 N배(N은 2 이상의 자연수)인 클럭 신호를 생성하는 것이다.

[0008] 본 발명의 일 양태는, 제 1 클럭 신호 및 제 2 클럭 신호가 입력되고, 제 1 클럭 신호 및 제 2 클럭 신호에 따라서 순서대로 펄스를 출력하는  $2 \times X$ 개(X는 2 이상의 자연수)의 펄스 신호를 생성하고, 생성한  $2 \times X$ 개의 펄스

신호를 출력하는 시프트 레지스터와,  $2 \times X$ 개의 펠스 신호에 따라서, 제 1 클럭 신호의 주기의 X배의 주기인 제 3 클럭 신호가 되는 신호를 생성하고, 생성한 제 3 클럭 신호가 되는 신호를 출력하는 분주 신호 출력 회로를 구비하고, 분주 신호 출력 회로는, 각각 소스, 드레인, 및 게이트를 갖고, 게이트 각각에,  $2 \times X$ 개의 펠스 신호에서의 1개째 내지 X개째의 펠스 신호 중, 서로 다른 펠스 신호가 입력되고, 제 3 클럭 신호가 되는 신호의 전압을 제 1 전압으로 설정할지 여부를 제어하는 X개의 제 1 트랜지스터와, 각각 소스, 드레인, 및 게이트를 갖고, 게이트 각각에,  $2 \times X$ 개의 펠스 신호에서의 X+1개째 내지  $2 \times X$ 개째의 펠스 신호 중, 서로 다른 펠스 신호가 입력되고, 제 3 클럭 신호가 되는 신호의 전압을 제 2 전압으로 설정할지 여부를 제어하는 X개의 제 2 트랜지스터를 구비하는 분주 회로이다.

[0009] 본 발명의 일 양태는, 제 1 클럭 신호 및 제 2 클럭 신호가 입력되고, 제 1 클럭 신호의 주기의 X배(X는 2 이상의 자연수)의 주기인 제 3 클럭 신호를 생성하는 제 1 단위 분주 회로와, 제 3 클럭 신호가 입력되고, 제 3 클럭 신호에 따라서, 제 3 클럭 신호의 주기의 K배(K는 2 이상의 자연수)의 주기인 제 4 클럭 신호를 생성하는 제 2 단위 분주 회로를 구비하고, 제 1 단위 분주 회로는, 제 1 클럭 신호 및 제 2 클럭 신호에 따라서 순서대로 펠스를 출력하는  $2 \times X$ 개(X는 2 이상의 자연수)의 펠스 신호를 생성하고, 생성한  $2 \times X$ 개의 펠스 신호를 출력하는 시프트 레지스터와,  $2 \times X$ 개의 펠스 신호에 따라서, 전압 신호를 생성하고, 생성한 전압 신호를 제 3 클럭 신호로 출력하는 분주 신호 출력 회로를 구비하고, 분주 신호 출력 회로는, 각각 소스, 드레인, 및 게이트를 갖고, 게이트 각각에,  $2 \times X$ 개의 펠스 신호에서의 1개째 내지 X개째의 펠스 신호 중, 서로 다른 펠스 신호가 입력되고, 전압 신호의 전압을 제 1 전압으로 설정할지 여부를 제어하는 X개의 제 1 트랜지스터와, 각각 소스, 드레인, 및 게이트를 갖고, 게이트 각각에,  $2 \times X$ 개의 펠스 신호에서의 X+1개째 내지  $2 \times X$ 개째의 펠스 신호 중, 서로 다른 펠스 신호가 입력되고, 전압 신호의 전압을 제 2 전압으로 설정할지 여부를 제어하는 X개의 제 2 트랜지스터를 구비하는 분주 회로이다.

### 발명의 효과

[0010] 본 발명의 일 양태에 의해, 주기가 짧은 클럭 신호로도 분주 동작의 동작 불량을 억제할 수 있다.

### 도면의 간단한 설명

[0011] 도 1은, 실시형태 1의 분주 회로의 구성예를 나타낸 블럭도이다.

도 2는, 실시형태 2의 분주 회로의 시프트 레지스터의 구성예를 설명하기 위한 도면이다.

도 3은, 실시형태 2의 분주 회로의 분주 신호 출력 회로의 구성예를 설명하기 위한 도면이다.

도 4는, 실시형태 2의 분주 회로의 시프트 레지스터의 동작예를 설명하기 위한 타이밍 차트이다.

도 5는, 실시형태 2의 분주 회로의 분주 신호 출력 회로의 동작예를 설명하기 위한 타이밍 차트이다.

도 6은, 실시형태 2의 분주 회로의 분주 신호 출력 회로의 동작예를 설명하기 위한 타이밍 차트이다.

도 7은, 실시형태 3의 분주 회로의 구성예를 나타낸 블럭도이다.

도 8은, 실시형태 4의 트랜지스터의 구조예를 나타낸 단면 모식도이다.

도 9는, 도 8(A)에 나타낸 트랜지스터의 제작 방법을 설명하기 위한 단면 모식도이다.

도 10은, 도 8(A)에 나타낸 트랜지스터의 제작 방법을 설명하기 위한 단면 모식도이다.

도 11은, 실시형태 5의 반도체 장치의 구성예를 나타낸 블럭도이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 실시형태의 일 예에 대해, 도면을 이용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어나지 않는 한도 내에서, 그 형태 및 상세한 내용을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은, 이하에 나타낸 실시형태의 기재 내용에 한정되어 해석되어서는 안 된다.

- [0013] 또한, 각 실시형태에 나타낸 내용은, 서로 적절히 조합하고, 또는 치환할 수 있다.
- [0014] (실시형태 1)
- [0015] 본 실시형태에서는, 시프트 레지스터를 구비하는 분주 회로에 대해 설명한다.
- [0016] 본 실시형태의 분주 회로의 구성에 대해, 도 1을 이용하여 설명한다. 도 1은, 본 실시형태의 분주 회로의 구성 예를 나타낸 블럭도이다.
- [0017] 도 1에 나타낸 분주 회로는, 시프트 레지스터(101)와, 분주 신호 출력 회로(DIVOUT라고도 한다)(102)를 구비한다.
- [0018] 시프트 레지스터(101)에는, 클럭 신호가 입력된다. 클럭 신호로는, 예를 들어 클럭 신호(CLK1)(신호(CLK1)라고도 한다) 및 클럭 신호(CLK2)(신호(CLK2)라고도 한다)가 시프트 레지스터(101)에 입력된다. 또한, 시프트 레지스터(101)는,  $2 \times X$ 개( $X$ 는 2 이상의 자연수)의 펄스 신호를 출력한다.
- [0019] 본 실시형태의 분주 회로의 신호로는, 예를 들어 전압을 이용한 신호를 이용할 수 있다. 전압을 이용한 신호(전압 신호라고도 한다)로는, 적어도 제 1 전압 및 제 2 전압으로 변화하는 아날로그 신호 또는 디지털 신호를 이용할 수 있다. 예를 들어 클럭 신호 등의 2값의 디지털 신호는, 로우 레벨 및 하이 레벨이 됨으로써, 제 1 전압(로우 레벨의 전압) 및 제 2 전압(하이 레벨의 전압)으로 변화하는 신호이다. 또한, 하이 레벨의 전압 및 로우 레벨의 전압은, 각각 일정한 값인 것이 바람직하다. 그러나, 전자 회로에서는, 예를 들어 노이즈 등의 영향이 있으므로, 하이 레벨의 전압 및 로우 레벨의 전압은, 일정한 값이 아니라, 각각 실질적으로 동등하다고 인정될 수 있는 일정한 범위 내의 값이면 된다. 또한, 본 실시형태의 분주 회로의 신호로 제 1 전압 내지 제 3 전압이 되는 신호를 이용하여도 좋다. 제 3 전압으로는, 예를 들어 제 2 전압 이상의 값의 전압을 이용할 수 있다.
- [0020] 한편, 일반적으로 전압이란, 어느 두 점 간의 전위의 차(전위차라고도 한다)를 말한다. 그러나, 전압 및 전위의 값은, 회로도 등에서 모두 볼트(V)로 나타내는 경우가 있으므로, 구별이 어렵다. 따라서, 본 명세서에서는, 특별히 지정하는 경우를 제외하고, 어느 한 점의 전위와 기준이 되는 전위(기준 전위라고도 한다)의 전위차를, 상기 한 점의 전압으로 이용하는 경우가 있다.
- [0021] 신호(CLK1) 및 신호(CLK2)는, 서로 1/2 주기 어긋나 있는 클럭 신호이다.
- [0022] 또한, 시프트 레지스터(101)는, P개( $P=2 \times X$ )의 순서 회로(FF라고도 한다)(순서 회로(101\_1) 내지 순서 회로(101\_P))를 이용하여 구성되는 P단의 순서 회로를 구비한다.
- [0023] 순서 회로에는, 신호(CLK1) 또는 신호(CLK2)가 입력된다. 또한, 순서 회로는, 입력된 클럭 신호에 따라 전압이 설정된 신호를 출력 신호로 출력한다. 또한, 순서 회로는, 예를 들어 출력 신호의 전압을 제어하기 위한 트랜지스터를 이용하여 구성된다.
- [0024] 한편, 분주 회로에서, 트랜지스터는, 특별히 지정하는 경우를 제외하고, 소스, 드레인, 및 게이트를 적어도 갖는다.
- [0025] 소스란, 소스 영역, 소스 전극의 일부 또는 전부, 또는 소스 배선의 일부 또는 전부를 말한다. 또한, 소스 전극과 소스 배선을 구별하지 않고 소스 전극 및 소스 배선의 양쪽 모두의 기능을 갖는 도전층을 소스로 하는 경우가 있다.
- [0026] 드레인이란, 드레인 영역, 드레인 전극의 일부 또는 전부, 또는 드레인 배선의 일부 또는 전부를 말한다. 또한, 드레인 전극과 드레인 배선을 구별하지 않고 드레인 전극 및 드레인 배선의 양쪽 모두의 기능을 갖는 도전층을 드레인이라고 하는 경우가 있다.
- [0027] 게이트란, 게이트 전극의 일부 또는 전부, 또는 게이트 배선의 일부 또는 전부를 말한다. 또한, 게이트 전극과 게이트 배선을 구별하지 않고 게이트 전극 및 게이트 배선의 양쪽 모두의 기능을 갖는 도전층을 게이트라고 하는 경우가 있다.
- [0028] 또한, 트랜지스터의 구조나 동작 조건 등에 따라, 트랜지스터의 소스와 드레인은, 서로 바뀌는 경우가 있다.
- [0029] 또한, 분주 회로에서의 트랜지스터로는, 예를 들어 원소 주기표의 제 14 족 반도체(실리콘 등)를 이용한 반도체

층 또는 산화물 반도체층을 포함하는 트랜지스터를 이용할 수 있다. 상기 제 14 족의 반도체를 이용한 반도체 층 또는 산화물 반도체층은, 트랜지스터의 채널 형성층으로의 기능을 갖는다. 또한, 상기 산화물 반도체층은, 고순도화함으로써, 진성(I형이라고도 한다), 또는 실질적으로 진성으로 한 반도체층이다. 한편, 고순도화란, 산화물 반도체층 중의 수소를 최대한 배제하는 것, 및 산화물 반도체층에 산소를 공급하여 산화물 반도체층 중의 산소 결핍에 기인하는 결함을 저감하는 것 중 적어도 한쪽을 포함하는 개념이다. 또한, 분주 회로에서의 트랜지스터를 모두 동일한 도전형의 트랜지스터로 할 수 있다. 모두 동일한 도전형의 트랜지스터를 이용함으로써, 서로 다른 도전형인 복수의 트랜지스터를 이용하는 경우보다 제조 공정을 간략하게 할 수 있다.

[0030] 순서 회로는, 자신의 출력 신호의 전압을 제어하기 위한 트랜지스터가 온 상태가 됨으로써, 출력 신호의 전압을 클럭 신호의 전압에 따른 값으로 설정한다. 예를 들어 홀수단의 순서 회로에서, 출력 신호의 전압을 제어하기 위한 트랜지스터는, 출력 신호의 전압을 신호(CLK1)에 따른 값의 전압으로 설정한다. 또한, 짝수단의 순서 회로에서, 출력 신호의 전압을 제어하기 위한 트랜지스터는, 출력 신호의 전압을 신호(CLK2)에 따른 값의 전압으로 설정한다. 또한, 상기 출력 신호의 전압을 제어하기 위한 트랜지스터는, 게이트와, 소스 및 드레인의 한쪽 사이에 용량을 갖는다. 이로 인해, 순서 회로는, 트랜지스터의 게이트의 전압을 전원 전압 이상으로 설정할 수 있다. 이에 따라, 출력 신호의 전압이 원하는 값이 될 때까지의 시간을 짧게 할 수 있고, 또한, 적어도 일부의 출력 신호의 전압치를 전원 전압 이상으로 할 수 있다. 상기 게이트와, 소스 및 드레인의 한쪽 사이의 용량으로는, 기생 용량 또는 별도로 형성된 용량 소자 등을 이용할 수 있다.

[0031] 분주 신호 출력 회로(102)에는,  $2 \times X$ 개의 펠스 신호가 입력된다. 분주 신호 출력 회로(102)는, 입력된  $2 \times X$ 개의 펠스 신호에 따라서, 신호(CLK1)의 주기의 X배의 주기인 신호(CLK3)가 되는 신호를 생성하고, 생성한 신호(CLK3)가 되는 신호를 출력 신호로 출력하는 기능을 갖는다. 한편, 신호(CLK1)의 주기의 X배의 주기인 신호를 생성하는 것을 분주라고도 한다.

[0032] 분주 신호 출력 회로(102)는, 적어도 X개의 트랜지스터(Tr1) 및 X개의 트랜지스터(Tr2)를 구비한다.

[0033] X개의 트랜지스터(Tr1)의 게이트에는, 1개째 내지 X개째의 다른 펠스 신호가 입력되고, 트랜지스터(Tr1)는, 소정 시간에서의 신호(CLK3)가 되는 신호의 전압을 제 1 전압으로 설정할지 여부를 제어하는 기능을 갖는다.

[0034] X개의 트랜지스터(Tr2)의 게이트에는, X+1개째 내지  $2 \times X$ 개째의 다른 펠스 신호가 입력되고, 트랜지스터(Tr2)는, 소정 시간에서의 신호(CLK3)가 되는 신호의 전압을 제 2 전압으로 설정할지 여부를 제어하는 기능을 갖는다.

[0035] 본 실시형태의 분주 회로의 일 예는, 시프트 레지스터 및 분주 신호 출력 회로를 구비하고, 시프트 레지스터는, 제 1 클럭 신호 및 제 2 클럭 신호에 따라  $2 \times X$ 개의 펠스 신호를 출력하는 기능을 갖고, 분주 신호 출력 회로는,  $2 \times X$ 개의 펠스 신호에 따라 X개의 제 1 트랜지스터 및 X개의 제 2 트랜지스터의 각각을 순서대로 온 상태로 함으로써, 제 3 클럭 신호가 되는 신호의 전압을 설정하고, 제 1 클럭 신호의 주기의 X배의 주기인 제 3 클럭 신호를 출력하는 구성이다. 본 실시형태의 분주 회로에서의 시프트 레지스터는, 펠스 신호의 전압이 원하는 값이 될 때까지의 시간이 짧다. 이는, 예를 들어 클럭 신호의 전압에 따라 출력 신호가 되는 펠스 신호의 전압을 설정하기 때문이다. 따라서, 상기 시프트 레지스터를 이용함으로써, 분주 회로의 동작 속도를 향상시킬 수 있고, 분주 동작에서의 동작 불량을 억제할 수 있다.

[0036] (실시형태 2)

[0037] 본 실시형태에서는, 상기 실시형태 1의 분주 회로의 구성예에 대해 설명한다.

[0038] 우선, 상기 실시형태의 분주 회로의 시프트 레지스터에서의 각 순서 회로의 구성예에 대해, 도 2를 이용하여 설명한다. 도 2는, 본 실시형태의 분주 회로의 시프트 레지스터에서의 순서 회로의 구성예를 나타낸 도면이다.

[0039] 각 순서 회로에는, 세트 신호(ST11)(신호(ST11)라고도 한다), 리셋 신호(RS11)(신호(RS11)라고도 한다), 리셋 신호(RS12)(신호(RS12)라고도 한다), 클럭 신호(CK11)(신호(CK11)라고도 한다), 클럭 신호(CK12)(신호(CK12)라고도 한다), 및 전원 전압(V<sub>p</sub>)이 입력된다. 또한, 각 순서 회로는, 출력 신호(OUT11)(신호(OUT11)라고도 한다)를 출력한다.

[0040] 도 2(A)는, 1단계 순서 회로의 구성예를 나타낸 도면이다. 도 2(A)에 나타낸 순서 회로는, 트랜지스터(101a) 내지 트랜지스터(101k)를 구비한다.

- [0041] 트랜지스터(101a)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(101a)의 게이트에는, 신호(ST11)가 입력된다.
- [0042] 트랜지스터(101b)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(101b)의 게이트에는, 신호(RS11)가 입력된다.
- [0043] 트랜지스터(101c)의 소스 및 드레인의 한쪽은, 트랜지스터(101b)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101c)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(101c)의 게이트에는, 신호(ST11)가 입력된다.
- [0044] 한편, 전압(Va) 및 전압(Vb)의 한쪽은, 고전원 전압(Vdd)이고, 전압(Va) 및 전압(Vb)의 다른 한쪽은, 저전원 전압(Vss)이다. 고전원 전압(Vdd)은, 상대적으로 저전원 전압(Vss)보다 높은 값의 전압이고, 저전원 전압(Vss)은, 상대적으로 고전원 전압(Vdd)보다 낮은 값의 전압이다. 전압(Va) 및 전압(Vb)의 값은, 예를 들어 트랜지스터의 극성 등에 의해 서로 바뀌는 경우가 있다. 또한, 전압(Va) 및 전압(Vb)의 전위차가 전원 전압(Vp)이 된다.
- [0045] 트랜지스터(101d)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(101d)의 게이트에는, 신호(CK12)가 입력된다.
- [0046] 트랜지스터(101e)의 소스 및 드레인의 한쪽은, 트랜지스터(101d)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101e)의 소스 및 드레인의 다른 한쪽은, 트랜지스터(101b)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101e)의 게이트에는, 신호(RS12)가 입력된다.
- [0047] 트랜지스터(101f)의 소스 및 드레인의 한쪽은, 트랜지스터(101a)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101f)의 게이트에는, 전압(Va)이 입력된다. 한편, 트랜지스터(101f)의 소스 및 드레인의 한쪽과, 트랜지스터(101a)의 소스 및 드레인의 다른 한쪽과의 접속 부분을 노드(NA1)라고도 한다.
- [0048] 트랜지스터(101g)의 소스 및 드레인의 한쪽은, 트랜지스터(101a)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101g)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(101g)의 게이트는, 트랜지스터(101e)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다.
- [0049] 트랜지스터(101h)의 소스 및 드레인의 한쪽에는, 신호(CK11)가 입력되고, 트랜지스터(101h)의 게이트는, 트랜지스터(101f)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 한편, 트랜지스터(101h)의 게이트와, 트랜지스터(101f)의 소스 및 드레인의 다른 한쪽과의 접속 부분을 노드(NB1)라고도 한다.
- [0050] 트랜지스터(101i)의 소스 및 드레인의 한쪽은, 트랜지스터(101h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101i)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(101i)의 게이트는, 트랜지스터(101e)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 한편, 트랜지스터(101i)의 게이트와, 트랜지스터(101b)의 소스 및 드레인의 다른 한쪽, 트랜지스터(101c)의 소스 및 드레인의 한쪽, 트랜지스터(101e)의 소스 및 드레인의 다른 한쪽, 트랜지스터(101g)의 게이트, 및 트랜지스터(101k)의 소스 및 드레인의 한쪽의 접속 부분을 노드(NC1)라고도 한다.
- [0051] 트랜지스터(101j)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(101j)의 소스 및 드레인의 다른 한쪽은, 트랜지스터(101a)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101j)의 게이트에는, 신호(FB)가 입력된다. 신호(FB)는, P단계 순서 회로(101\_P)의 신호(OUT11)(신호(OUT11(101\_P)))라고도 한다)인 피드백 신호이다.
- [0052] 트랜지스터(101k)의 소스 및 드레인의 한쪽은, 트랜지스터(101b)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(101k)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(101k)의 게이트에는, 신호(FB)가 입력된다.
- [0053] 도 2(B)는, 2단계 내지((P/2)+1)단계 순서 회로의 구성예를 나타낸 도면이다.
- [0054] 도 2(B)에 나타낸 순서 회로는, 도 2(A)에 나타낸 순서 회로의 구성에서 트랜지스터(101j) 및 트랜지스터(101k)를 제외한 구성과 동일한 구성이다. 따라서, 도 2(A)에 나타낸 순서 회로의 구성예의 설명을 적절히 인용한다.
- [0055] 도 2(C)는, ((P/2)+2)단계 내지 P단계 순서 회로의 구성예를 나타낸 도면이다.

- [0056] 도 2(C)에 나타낸 순서 회로는, 도 2(B)에 나타낸 순서 회로의 구성에 추가로, 노드(NB1)의 전압을 신호(OUT1 2)로 출력하는 구성이다. 따라서, 도 2(B)에 나타낸 순서 회로와 동일한 구성 부분은, 도 2(A)에 나타낸 순서 회로의 설명을 적절히 인용한다.
- [0057] 나아가, 1단째 순서 회로에는, 신호(ST11)로, 스타트 신호(SP)(신호(SP)라고도 한다)가 입력된다. 신호(SP)는, 펠스 신호이다.
- [0058] 또한, Q+1(Q는 1 이상 P-1 이하의 자연수)단째 순서 회로에는, 신호(ST11)로써, Q단째 순서 회로의 신호(OUT1 1)가 입력된다.
- [0059] 또한, U(U는 1 이상 P-1 이하의 자연수)단째 순서 회로에는, 신호(RS11)로써, U+1단째 순서 회로의 신호(OUT1 1)가 입력된다.
- [0060] 또한, P단째 순서 회로에는, 신호(RS11)로써, 1단째 순서 회로의 신호(OUT11)가 입력된다.
- [0061] 또한, 짹수단째 순서 회로에는, 신호(CK11)로써, 신호(CLK2)가 입력되고, 신호(CK12)로써, 신호(CLK1)가 입력된다.
- [0062] 또한, 홀수단째의 순서 회로에는, 신호(CK11) 및 신호(CK12)로, 신호(CLK1)가 입력된다.
- [0063] 또한, 각 순서 회로에는, 신호(RS12)로, 신호(RST)가 입력된다. 신호(RST)는, 펠스 신호이다. 한편, 신호(RST)를 이용하여 신호(SP)를 생성할 수도 있다.
- [0064] 다음으로, 본 실시형태의 분주 회로에서의 분주 신호 출력 회로의 구성예에 대해, 도 3을 이용하여 설명한다. 도 3은, 본 실시형태의 분주 회로에서의 분주 신호 출력 회로의 구성예를 나타낸 도면이다.
- [0065] 도 3(A)에 나타낸 분주 신호 출력 회로는, 시프트 레지스터가 4단의 순서 회로에 의해 구성되는 경우의 분주 신호 출력 회로이다. 도 3(A)에 나타낸 분주 신호 출력 회로는, 트랜지스터(102a) 내지 트랜지스터(102m)와, 지연 회로(102DL1)와, 지연 회로(102DL2)를 구비한다.
- [0066] 또한, 도 3(A)에 나타낸 분주 신호 출력 회로에는, 신호(S1A), 신호(S1B), 신호(S2A), 신호(S2B), 클럭 신호(CK21)(신호(CK21)라고도 한다), 리셋 신호(RS21)(신호(RS21)라고도 한다), 및 전원 전압(Vp)이 입력된다. 또한, 도 3(A)에 나타낸 분주 신호 출력 회로는, 출력 신호(OUT21)(신호(OUT21)라고도 한다)를 출력한다. 신호(OUT21)는, 클럭 신호(CLK1)의 주기를 N배로 분주한 클럭 신호이다.
- [0067] 트랜지스터(102a)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(102a)의 게이트에는, 신호(S1B)가 입력된다.
- [0068] 트랜지스터(102b)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(102b)의 게이트에는, 신호(S2B)가 입력된다.
- [0069] 트랜지스터(102c)의 소스 및 드레인의 한쪽은, 트랜지스터(102b)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102c)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(102c)의 게이트는, 신호(S1B)가 입력된다.
- [0070] 트랜지스터(102d)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(102d)의 게이트에는, 신호(CK21)가 입력된다.
- [0071] 트랜지스터(102e)의 소스 및 드레인의 한쪽은, 트랜지스터(102d)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102e)의 소스 및 드레인의 다른 한쪽은, 트랜지스터(102b)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102e)의 게이트에는, 신호(RS21)가 입력된다.
- [0072] 트랜지스터(102f)의 소스 및 드레인의 한쪽은, 트랜지스터(102a)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102f)의 게이트에는, 전압(Va)이 입력된다. 한편, 트랜지스터(102f)의 소스 및 드레인의 한쪽과, 트랜지스터(102a)의 소스 및 드레인의 다른 한쪽과의 접속 부분을 노드(NA2)라고도 한다.
- [0073] 트랜지스터(102g)의 소스 및 드레인의 한쪽은, 트랜지스터(102a)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102g)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(102g)의 게이트는, 트랜지스터(102b)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 한편, 트랜지스터(102g)의 게이트와, 트랜지스터(102b)의 소스 및 드레인의 다른 한쪽, 트랜지스터(102c)의 소스 및 드레인의 한쪽, 및 트

랜지스터(102e)의 소스 및 드레인의 다른 한쪽과의 접속 부분을 노드(NC2)라고도 한다.

[0074] 트랜지스터(102h)의 소스 및 드레인의 한쪽에는, 신호(CK21)가 입력되고, 트랜지스터(102h)의 게이트는, 트랜지스터(102f)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속된다. 한편, 트랜지스터(102h)의 게이트와, 트랜지스터(102f)의 소스 및 드레인의 다른 한쪽과의 접속 부분을 노드(NB2)라고도 한다.

[0075] 트랜지스터(102i)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(102i)의 소스 및 드레인의 다른 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102i)의 게이트에는, 지연 회로(102DL1)를 통해 신호(S2A)가 입력된다.

[0076] 트랜지스터(102j)의 소스 및 드레인의 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102j)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(102j)의 게이트에는, 신호(S1B)가 입력된다.

[0077] 트랜지스터(102k)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(102k)의 소스 및 드레인의 다른 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102k)의 게이트에는, 신호(S2B)가 입력된다.

[0078] 트랜지스터(102l)의 소스 및 드레인의 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102l)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(102l)의 게이트에는, 신호(S1A)가 입력된다.

[0079] 트랜지스터(102m)의 소스 및 드레인의 한쪽은, 트랜지스터(102f)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102m)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(102m)의 게이트에는, 지연 회로(102DL1) 및 지연 회로(102DL2)를 통해 신호(S2A)가 입력된다.

[0080] 또한, 도 3(A)에 나타낸 순서 회로에는, 신호(CK21)로써, 신호(CLK1)가 입력되고, 신호(RS21)로, 신호(RST)가 입력되고, 신호(S1A)로, 시프트 레지스터(101)의 1단째 순서 회로인 신호(OUT11)(신호(OUT11(101\_1)))라고도 한다)가 입력되고, 신호(S1B)로, 시프트 레지스터(101)의 2단째 순서 회로인 신호(OUT11)(신호(OUT11(101\_2)))라고도 한다)가 입력되고, 신호(S2A)로, 시프트 레지스터(101)의 3단째 순서 회로인 신호(OUT11)(신호(OUT11(101\_3)))라고도 한다)가 입력되고, 신호(S2B)로, 시프트 레지스터(101)의 4단째 순서 회로(101\_4)인 신호(OUT12)(신호(OUT12(101\_4)))라고도 한다)가 입력된다.

[0081] 또한, 도 3(B)에 나타낸 분주 신호 출력 회로는, 시프트 레지스터(101)가 8단의 순서 회로에 의해 구성되는 경우의 분주 신호 출력 회로이다. 도 3(B)에 나타낸 분주 신호 출력 회로는, 도 3(A)에 나타낸 분주 신호 출력 회로의 구성에 추가로, 트랜지스터(102n) 내지 트랜지스터(102q)를 구비하고, 나아가 신호(S1C), 신호(S1D), 신호(S2C), 및 신호(S2D)가 입력된다.

[0082] 트랜지스터(102n)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(102n)의 소스 및 드레인의 다른 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102n)의 게이트에는, 신호(S2C)가 입력된다.

[0083] 트랜지스터(102o)의 소스 및 드레인의 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102o)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(102o)의 게이트에는, 신호(S1C)가 입력된다.

[0084] 트랜지스터(102p)의 소스 및 드레인의 한쪽에는, 전압(Va)이 입력되고, 트랜지스터(102p)의 소스 및 드레인의 다른 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102p)의 게이트에는, 신호(S2D)가 입력된다.

[0085] 트랜지스터(102q)의 소스 및 드레인의 한쪽은, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽에 전기적으로 접속되고, 트랜지스터(102q)의 소스 및 드레인의 다른 한쪽에는, 전압(Vb)이 입력되고, 트랜지스터(102q)의 게이트에는, 신호(S1D)가 입력된다.

[0086] 또한, 도 3(B)에 나타낸 분주 신호 출력 회로에는, 신호(CK21)로써, 신호(CLK1)가 입력되고, 신호(RS21)로써, 신호(RST)가 입력되고, 신호(S1A)로써, 시프트 레지스터(101)의 1단째 순서 회로인 신호(OUT11)가 입력되고, 신호(S1B)로써, 시프트 레지스터(101)의 2단째 순서 회로인 신호(OUT11)가 입력되고, 신호(S1C)로써, 시프트 레지스터(101)의 3단째 순서 회로인 신호(OUT11)가 입력되고, 신호(S1D)로써, 시프트 레지스터(101)의 4단째 순서

회로인 신호(OUT12)가 입력되고, 신호(S2A)로써, 시프트 레지스터(101)의 5단째 순서 회로인 신호(OUT11)(신호(OUT11(101\_5))라고도 한다)가 입력되고, 신호(S2B)로써, 시프트 레지스터(101)의 6단째 순서 회로인 신호(OUT12)(신호(OUT12(101\_6))라고도 한다)가 입력되고, 신호(S2C)로써, 시프트 레지스터(101)의 7단째 순서 회로인 신호(OUT12)(신호(OUT12(101\_7))라고도 한다)가 입력되고, 신호(S2D)로써, 시프트 레지스터(101)의 8단째 순서 회로인 신호(OUT12)(신호(OUT12(101\_8))라고도 한다)가 입력된다.

[0087] 한편, 지연 회로(102DL1) 및 지연 회로(102DL2)로는, 예를 들어 서로 병렬 접속으로 전기적으로 접속된 2N개(N은 자연수)의 인버터를 이용하여 구성된다.

[0088] 다음으로, 본 실시형태의 분주 회로의 동작예에 대해 설명한다.

[0089] 우선, 분주 회로의 시프트 레지스터(101)의 동작예에 대해, 도 4를 이용하여 설명한다. 도 4는, 본 실시형태의 분주 회로의 시프트 레지스터의 동작예를 설명하기 위한 타이밍 차트이다. 한편, 여기서는, 일 예로 트랜지스터(101a) 내지 트랜지스터(101i)의 각각을, 모두 N형의 도전형으로 하고, 전압(Va)으로 고전원 전압(Vdd)이 입력되고, 전압(Vb)으로 저전원 전압(Vss)이 입력되는 것으로 한다.

[0090] 도 4(A)는, 홀수단의 순서 회로의 동작예를 설명하기 위한 타이밍 차트이다. 도 4(A)에서는, 시각(T11)에서, 신호(CK11) 및 신호(CK12)가 하이 레벨이 되고, 신호(ST11)는 로우 레벨이고, 신호(RS11)는 로우 레벨이고, 신호(RS12)가 하이 레벨이 된다.

[0091] 이때, 순서 회로는 리셋 상태가 된다. 또한, 트랜지스터(101b) 및 트랜지스터(101c)가 오프 상태가 되고, 트랜지스터(101d) 및 트랜지스터(101e)가 온 상태가 되므로, 노드(NC1)의 전압( $V_{NC1}$ 라고도 한다)이 전압(Va)과 동등한 값이 되고, 트랜지스터(101g) 및 트랜지스터(101i)가 온 상태가 된다. 또한, 트랜지스터(101a)가 오프 상태가 되고, 트랜지스터(101g)가 온 상태이므로, 노드(NA1)의 전압( $V_{NA1}$ 라고도 한다)이 전압(Vb)과 동등한 값이 된다. 또한, 트랜지스터(101f)가 온 상태이므로, 노드(NB1)의 전압( $V_{NB1}$ 라고도 한다)이 전압(Vb)과 동등한 값이 되고, 트랜지스터(101h)가 오프 상태가 된다. 또한, 트랜지스터(101h)가 오프 상태가 되고, 트랜지스터(101i)가 온 상태가 되므로, 신호(OUT11)가 로우 레벨이 된다.

[0092] 다음으로, 시각(T12)에서, 신호(CK11) 및 신호(CK12)가 로우 레벨이 되고, 신호(ST11)가 하이 레벨이 되고, 신호(RS11)는 로우 레벨 그대로이고, 신호(RS12)는 하이 레벨 그대로이다.

[0093] 이때, 순서 회로는 세트 상태가 된다. 또한, 트랜지스터(101b)는 오프 상태 그대로이고, 트랜지스터(101c)가 온 상태가 되고, 트랜지스터(101d)가 오프 상태가 되고, 트랜지스터(101e)는 온 상태 그대로이므로, 노드(NC1)의 전압은 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(101g) 및 트랜지스터(101i)가 오프 상태가 된다. 또한, 트랜지스터(101a)가 온 상태가 되고, 트랜지스터(101g)가 오프 상태가 되므로, 노드(NA1)의 전압이 전압(Va)과 동등한 값이 된다. 또한, 트랜지스터(101f)는 온 상태이므로, 노드(NB1)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(101h)가 온 상태가 되고, 노드(NA1)의 전압 및 노드(NB1)의 전압이 전압(Va)과 동등한 값이 되면, 트랜지스터(101f)가 오프 상태가 된다. 또한, 트랜지스터(101h)가 온 상태가 되고, 트랜지스터(101i)가 오프 상태가 되므로, 신호(OUT11)는 로우 레벨인 상태이다.

[0094] 다음으로, 시각(T13)에서, 신호(CK11) 및 신호(CK12)가 하이 레벨이 되고, 신호(ST11)가 로우 레벨이 되고, 신호(RS11)는 로우 레벨 그대로이고, 신호(RS12)가 로우 레벨이 된다.

[0095] 이때, 트랜지스터(101b)는 오프 상태 그대로이고, 트랜지스터(101c)가 오프 상태가 되고, 트랜지스터(101d)가 온 상태가 되고, 트랜지스터(101e)가 오프 상태가 되므로, 노드(NC1)의 전압은 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(101g) 및 트랜지스터(101i)는 오프 상태 그대로이다. 또한, 트랜지스터(101a)가 오프 상태가 되고, 트랜지스터(101g)는 오프 상태 그대로이므로, 노드(NA1)는 전압(Va)과 동등한 값 그대로이다. 또한, 트랜지스터(101f)는 오프 상태 그대로이고, 노드(NB1)가 부유 상태가 된다. 또한, 트랜지스터(101h)는 온 상태 그대로이고, 트랜지스터(101i)는 오프 상태 그대로이므로, 트랜지스터(101h)의 소스 및 드레인의 다른 한쪽의 전압이 상승한다. 이렇게 되면, 트랜지스터(101h)의 게이트와, 소스 및 드레인의 다른 한쪽 사이에 생기는 기생 용량에 의한 용량 결합에 의해, 노드(NB1)의 전압이 상승한다. 이른바 부스트랩이다. 노드(NB1)의 전압은, 전압(Va)과 트랜지스터(101h)의 역치 전압( $V_{th101h}$ 라고도 한다)의 합보다도 더욱 큰 값, 즉,  $V_a + V_{th101h} + V_x$ 까지 상승한다. 이때 트랜지스터(101h)는 온 상태 그대로이다. 또한, 신호(OUT11)가 하이 레벨이 된다.

[0096] 다음으로, 시각(T14)에서, 신호(CK11) 및 신호(CK12)가 로우 레벨이 되고, 신호(ST11)는 로우 레벨 그대로이고,

신호(RS11)가 하이 레벨이 되고, 신호(RS12)는 로우 레벨 그대로이다.

[0097] 이때, 트랜지스터(101b)가 온 상태가 되고, 트랜지스터(101c) 및 트랜지스터(101e)는 오프 상태 그대로이고, 트랜지스터(101d)가 오프 상태가 되므로, 노드(NC1)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(101g) 및 트랜지스터(101i)가 온 상태가 된다. 또한, 트랜지스터(101a)는 오프 상태 그대로이고, 트랜지스터(101g)가 온 상태가 되므로, 노드(NA1)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(101f)가 온 상태가 된다. 또한, 트랜지스터(101f)가 온 상태가 되므로, 노드(NB1)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(101h)가 오프 상태가 된다. 또한, 트랜지스터(101h)가 오프 상태가 되고, 트랜지스터(101i)가 온 상태가 되므로, 신호(OUT11)가 로우 레벨이 된다.

[0098] 이상과 같이, 홀수단의 순서 회로는, 신호(OUT11)의 펄스를 출력한다.

[0099] 나아가 도 4(B)는, 짹수단의 순서 회로의 동작예를 설명하기 위한 타이밍 차트이다. 도 4(B)에서는, 시각(T1 1)에서, 신호(CK11)가 로우 레벨이고, 신호(CK12)가 하이 레벨이고, 신호(ST11)가 로우 레벨이고, 신호(RS11)가 로우 레벨이고, 신호(RS12)가 하이 레벨이다.

[0100] 이때, 순서 회로는 리셋 상태가 된다. 또한, 트랜지스터(101b) 및 트랜지스터(101c)가 오프 상태가 되고, 트랜지스터(101d) 및 트랜지스터(101e)가 온 상태가 되므로, 노드(NC1)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(101g) 및 트랜지스터(101i)가 온 상태가 된다. 또한, 트랜지스터(101a)가 오프 상태가 되고, 트랜지스터(101g)가 온 상태가 되므로, 노드(NA1)의 전압이 전압(Vb)과 동등한 값이 된다. 또한, 트랜지스터(101f)는 온 상태이므로, 노드(NB1)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(101h)가 오프 상태가 된다. 또한, 트랜지스터(101h)가 오프 상태가 되고, 트랜지스터(101i)가 온 상태가 되므로, 신호(OUT11)가 로우 레벨이 된다.

[0101] 다음으로, 시각(T12)에서, 신호(CK11)가 하이 레벨이 되고, 신호(CK12)가 로우 레벨이 되고, 신호(ST11)는 로우 레벨 그대로이고, 신호(RS11)는 로우 레벨이고, 신호(RS12)는 하이 레벨 그대로이다.

[0102] 이때, 트랜지스터(101b) 및 트랜지스터(101c)는 오프 상태 그대로이고, 트랜지스터(101e)는 온 상태 그대로이고, 트랜지스터(101d)가 오프 상태가 되므로, 노드(NC1)의 전압은 전압(Va)과 동등한 값 그대로이고, 트랜지스터(101g) 및 트랜지스터(101i)는 온 상태 그대로이다. 또한, 트랜지스터(101a)는 오프 상태 그대로이고, 트랜지스터(101g)는 온 상태 그대로이므로, 노드(NA1)의 전압은 전압(Vb)과 동등한 값 그대로이다. 또한, 트랜지스터(101f)는 온 상태 그대로이므로, 노드(NB1)의 전압은 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(101h)는 오프 상태 그대로이다. 또한, 트랜지스터(101h)는 오프 상태 그대로이고, 트랜지스터(101i)는 온 상태 그대로이므로, 신호(OUT11)는 로우 레벨 그대로이다.

[0103] 다음으로, 시각(T13)에서, 신호(CK11)가 로우 레벨이 되고, 신호(CK12)가 하이 레벨이 되고, 신호(ST11)가 하이 레벨이 되고, 신호(RS11)는 로우 레벨 그대로이고, 신호(RS12)가 로우 레벨이 된다.

[0104] 이때, 순서 회로는 세트 상태가 된다. 또한, 트랜지스터(101b)는 오프 상태 그대로이고, 트랜지스터(101c)가 온 상태가 되고, 트랜지스터(101d)가 온 상태가 되고, 트랜지스터(101e)는 오프 상태가 되므로, 노드(NC1)의 전압은 전압(Vb)과 동등한 값이 되고, 트랜지스터(101g) 및 트랜지스터(101i)가 오프 상태가 된다. 또한, 트랜지스터(101a)가 온 상태가 되고, 트랜지스터(101g)가 오프 상태가 되므로, 노드(NA1)의 전압은 전압(Va)과 동등한 값이 된다. 또한, 트랜지스터(101f)는 온 상태 그대로이므로, 노드(NB1)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(101h)가 온 상태가 된다. 나아가, 노드(NA1)의 전압 및 노드(NB1)의 전압이 전압(Va)과 동등한 값이 되면, 트랜지스터(101f)가 오프 상태가 된다. 또한, 트랜지스터(101h)가 온 상태가 되고, 트랜지스터(101i)가 오프 상태가 되므로, 신호(OUT11)는 로우 레벨 그대로이다.

[0105] 다음으로, 시각(T14)에서, 신호(CK11)가 하이 레벨이 되고, 신호(CK12)가 로우 레벨이 되고, 신호(ST11)가 로우 레벨이 되고, 신호(RS11)는 로우 레벨 그대로이고, 신호(RS12)는 로우 레벨 그대로이다.

[0106] 이때, 트랜지스터(101b) 및 트랜지스터(101e)는 오프 상태 그대로이고, 트랜지스터(101c) 및 트랜지스터(101d)가 오프 상태가 되므로, 노드(NC1)의 전압은 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(101g) 및 트랜지스터(101i)는 오프 상태 그대로이다. 또한, 트랜지스터(101a)가 오프 상태가 되고, 트랜지스터(101g)는 오프 상태 그대로이므로, 노드(NA1)의 전압은 전압(Va)과 동등한 값 그대로이다. 또한, 트랜지스터(101f)는 오프 상태 그대로이고, 노드(NB1)가 부유 상태가 되고, 트랜지스터(101h)는 온 상태 그대로이고, 트랜지스터(101i)는 오프 상태 그대로이므로, 트랜지스터(101h)의 소스 및 드레인의 다른 한쪽의 전압이 상승한다. 이렇게 되면, 트랜지스터(101h)의 게이트와, 소스 및 드레인의 다른 한쪽 사이에 생기는 기생 용량에 의한 용량 결합에 의해,

노드(NB1)의 전압이 상승한다. 노드(NB1)의 전압은, 전압(Va)과 트랜지스터(101h)의 역치 전압( $V_{th101h}$ 라고도 한다)의 합보다도 더욱 큰 값, 즉,  $V_a + V_{th101h} + V_x$ 까지 상승한다. 이때 트랜지스터(101h)는 온 상태 그대로이고, 트랜지스터(101i)는 오프 상태 그대로이므로, 신호(OUT11)가 하이 레벨이 된다.

[0107] 다음으로, 시각(T15)에서, 신호(CK11)가 로우 레벨이 되고, 신호(CK12)가 하이 레벨이 되고, 신호(ST11)는 로우 레벨 그대로이고, 신호(RS11)가 하이 레벨이 되고, 신호(RS12)는 로우 레벨 그대로이다.

[0108] 이때, 트랜지스터(101c) 및 트랜지스터(101e)는 오프 상태 그대로이고, 트랜지스터(101b)가 온 상태가 되므로, 노드(NC1)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(101g) 및 트랜지스터(101i)가 온 상태가 된다. 또한, 트랜지스터(101a)는 오프 상태 그대로이고, 트랜지스터(101g)가 온 상태가 되므로, 노드(NA1)의 전압이 전압(Vb)과 동등한 값이 된다. 또한, 트랜지스터(101f)가 온 상태가 되므로, 노드(NB1)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(101h)는 오프 상태가 된다. 또한, 트랜지스터(101h)가 오프 상태가 되고, 트랜지스터(101i)가 온 상태가 되므로, 신호(OUT11)가 로우 레벨이 된다.

[0109] 이상과 같이, 순서 회로는, 신호(OUT11)의 펄스를 출력한다.

[0110] 나아가, 도 2(A)에 나타낸 순서 회로의 동작예에 대해, 도 4(A)를 이용하여 순서 회로의 동작예의 설명을 인용하여 설명한다.

[0111] 도 2(A)에 나타낸 순서 회로는, 도 2(B)에 나타낸 순서 회로의 동작에 추가로, 신호(FB)의 펄스가 입력되면, 트랜지스터(101j) 및 트랜지스터(101k)가 온 상태가 된다. 트랜지스터(101j)가 온 상태가 되면, 노드(NA1)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(101f)가 오프 상태가 된다. 또한, 트랜지스터(101k)가 온 상태가 되면, 노드(NB1)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(101g) 및 트랜지스터(101i)가 오프 상태가 된다.

[0112] 나아가, 도 2(C)에 나타낸 순서 회로의 동작은, 상기에서 설명한 도 2(B)에 나타낸 순서 회로의 동작예의 설명과 동일하므로, 도 2(B)에 나타낸 순서 회로의 동작예의 설명을 적절히 인용한다.

[0113] 또한, 도 4(C)는, 도 1에 나타낸 시프트 레지스터의 동작예를 설명하기 위한 타이밍 차트이다.

[0114] 도 4(C)에서는, 우선 신호(RST)의 펄스가 입력됨으로써, 각 순서 회로는 리셋 상태가 되고, 그 후 신호(SP)의 펄스가 입력됨으로써, 1단계 순서 회로(101\_1)는 세트 상태가 되고, 다음 기간에서 1단계 순서 회로(101\_1)는, 신호(OUT11)의 펄스를 출력한다. 나아가, 1단계 순서 회로(101\_1)의 신호(OUT11)의 펄스가 세트 신호(ST11)로써 2단계 순서 회로(101\_2)에 입력됨으로써, 2단계 순서 회로(101\_2)는 세트 상태가 되고, 다음 기간에서 2단계 순서 회로(101\_2)는, 신호(OUT11)의 펄스를 출력한다. 상기 동작을 P단계 순서 회로(101\_P)까지 순서대로 행하고, 1단계 순서 회로(101\_1)의 신호(OUT11) 내지 P단계 순서 회로(101\_P)의 신호(OUT11)에서, 펄스를 순서대로 출력한다. 이상이 본 실시형태의 분주 회로의 시프트 레지스터의 동작예이다.

[0115] 나아가, 본 실시형태의 분주 회로의 분주 신호 출력 회로의 동작예로, 도 3(A)에 나타낸 구성의 분주 신호 출력 회로의 동작예에 대해 도 5를 이용하여 설명한다. 도 5는, 도 3(A)에 나타낸 구성의 분주 신호 출력 회로의 동작예를 설명하기 위한 타이밍 차트이다.

[0116] 도 5에서는, 시각(T21)에서, 신호(CK21)가 하이 레벨이 되고, 신호(RS21)가 하이 레벨이 되고, 신호(S1A)는 로우 레벨이고, 신호(S1B)는 로우 레벨이고, 신호(S2A)는 로우 레벨이고, 신호(S2B)의 전압은 전압(Vb)과 동등한 값이다.

[0117] 이때, 분주 신호 출력 회로는 리셋 상태가 된다. 또한, 트랜지스터(102b) 및 트랜지스터(102c)가 오프 상태가 되고, 트랜지스터(102d) 및 트랜지스터(102e)가 온 상태가 되므로, 노드(NC2)의 전압( $V_{NC2}$ 라고도 한다)이 전압(Va)과 동등한 값이 되고, 트랜지스터(102g)가 온 상태가 된다. 또한, 트랜지스터(102g)가 온 상태가 되고, 트랜지스터(102a)가 오프 상태가 되므로, 노드(NA2)의 전압( $V_{NA2}$ 라고도 한다)은, 전압(Vb)과 동등한 값이 된다. 또한, 트랜지스터(102f)가 온 상태이므로, 노드(NB2)의 전압( $V_{NB2}$ 라고도 한다)이 전압(Vb)과 동등한 값이 되고, 트랜지스터(102h)가 오프 상태가 된다. 또한, 트랜지스터(102h), 트랜지스터(102i), 트랜지스터(102j), 트랜지스터(102k), 트랜지스터(102l), 및 트랜지스터(102m)가 오프 상태가 되므로, 신호(OUT21)는, 앞 기간의 상태를 유지한다.

[0118] 다음으로, 시각(T22)에서, 신호(CK21)가 로우 레벨이 되고, 신호(RS21)는 하이 레벨 그대로이고, 신호(S1A)는

로우 레벨 그대로이고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)는 로우 레벨 그대로이고, 신호(S2B)의 전압은 전압(Vb)과 동등한 값 그대로이다.

[0119] 이때, 트랜지스터(102b) 및 트랜지스터(102c)는 오프 상태 그대로이고, 트랜지스터(102d)가 오프 상태가 되고, 트랜지스터(102e)는 온 상태 그대로이므로, 노드(NC2)의 전압은 전압(Va)과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압(Vb)과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드(NB2)의 전압이 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102h), 트랜지스터(102i), 트랜지스터(102j), 트랜지스터(102k), 트랜지스터(102l), 및 트랜지스터(102m)는 오프 상태 그대로이므로, 신호(OUT21)는 앞 기간의 상태를 유지한다.

[0120] 다음으로, 시각(T23)에서, 신호(CK21)가 하이 레벨이 되고, 신호(RS21)가 로우 레벨이 되고, 신호(S1A)가 하이 레벨이 되고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)는 로우 레벨 그대로이고, 신호(S2B)의 전압은 전압(Vb)과 동등한 값 그대로이다.

[0121] 이때, 트랜지스터(102b) 및 트랜지스터(102c)는 오프 상태 그대로이고, 트랜지스터(102d)가 온 상태가 되고, 트랜지스터(102e)가 오프 상태가 되므로, 노드(NC2)의 전압은 전압(Va)과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압(Vb)과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드(NB2)의 전압이 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102l)가 온 상태가 되고, 트랜지스터(102h), 트랜지스터(102i), 트랜지스터(102j), 트랜지스터(102k), 및 트랜지스터(102m)는 오프 상태 그대로이므로, 신호(OUT21)가 로우 레벨이 된다.

[0122] 다음으로, 시각(T24)에서, 신호(CK21)가 로우 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)가 로우 레벨이 되고, 신호(S1B)가 하이 레벨이 되고, 신호(S2A)는 로우 레벨 그대로이고, 신호(S2B)의 전압은 전압(Vb)과 동등한 값 그대로이다.

[0123] 이때, 트랜지스터(102b) 및 트랜지스터(102e)는 오프 상태 그대로이고, 트랜지스터(102c)가 온 상태가 되고, 트랜지스터(102d)가 오프 상태가 되므로, 노드(NC2)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(102g)가 오프 상태가 된다. 또한, 트랜지스터(102a)가 온 상태가 되고, 트랜지스터(102g)가 오프 상태가 되므로, 노드(NA2)의 전압이 전압(Va)과 동등한 값이 된다. 또한, 트랜지스터(102f)는 온 상태이므로, 노드(NB2)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(102h)가 온 상태가 되고, 노드(NA2)의 전압 및 노드(NB2)의 전압이 전압(Va)과 동등한 값이 되면, 트랜지스터(102f)가 오프 상태가 된다. 또한, 트랜지스터(102l)가 오프 상태가 되고, 트랜지스터(102h) 및 트랜지스터(102j)가 온 상태가 되고, 트랜지스터(102i), 트랜지스터(102k), 및 트랜지스터(102m)는 오프 상태 그대로이므로, 신호(OUT21)는 로우 레벨 그대로이다.

[0124] 다음으로, 시각(T25)에서는, 신호(CK21)가 하이 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)는 로우 레벨 그대로이고, 신호(S1B)가 로우 레벨이 되고, 신호(S2A)가 하이 레벨이 되고, 신호(S2B)의 전압이 전압(Va)과 동등한 값이 된다.

[0125] 이때, 트랜지스터(102a)가 오프 상태가 되고, 트랜지스터(102f)는 오프 상태 그대로이므로, 노드(NB2)가 부유 상태가 된다. 또한, 트랜지스터(102h)는 온 상태 그대로이므로, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽의 전압이 상승한다. 이렇게 되면, 트랜지스터(102h)의 게이트와, 소스 및 드레인의 다른 한쪽 사이에 생기는 기생 용량에 의한 용량 결합에 의해, 노드(NB2)의 전압이 상승한다. 이를바 부스트랩이다. 노드(NB2)의 전압은, 전압(Va)과 트랜지스터(102h)의 역치 전압( $V_{th102h}$ 라고도 한다)의 합보다도 더욱 큰 값, 즉,  $V_a + V_{th102h} + V_x$  까지 상승한다. 이때 트랜지스터(102h)는 온 상태 그대로이다. 또한, 트랜지스터(102i) 및 트랜지스터(102k)가 온 상태가 되고, 트랜지스터(102j)가 오프 상태가 되고, 트랜지스터(102h)는 온 상태 그대로이고, 트랜지스터(102l)는 오프 상태 그대로이므로, 신호(OUT21)가 하이 레벨이 된다. 또한, 트랜지스터(102b) 및 트랜지스터(102d)가 온 상태가 되고, 트랜지스터(102c)가 오프 상태가 되고, 트랜지스터(102e)는 오프 상태 그대로이므로, 노드(NC2)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(102g)가 온 상태가 된다. 트랜지스터(102g)가 온 상태이고, 트랜지스터(102a)가 오프 상태이므로, 노드(NB2)의 전압은 전압(Vb)과 동등한 값이 된다. 또한, 트랜지스터(102f)가 온 상태가 되고, 트랜지스터(102m)가 온 상태가 되므로, 노드(NB2)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(102h)가 오프 상태가 된다.

[0126] 다음으로, 시각(T26)에서는, 신호(CK21)가 로우 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)는

로우 레벨 그대로이고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)가 로우 레벨이 되고, 신호(S2B)의 전압이  $V_a + V_{th_{102h}} + V_x$ 가 된다.

[0127] 이때, 트랜지스터(102b)는 온 상태 그대로이고, 트랜지스터(102c) 및 트랜지스터(102e)는 오프 상태 그대로이고, 트랜지스터(102d)가 오프 상태가 되므로, 노드(NC2)의 전압은 전압( $V_a$ )과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압( $V_b$ )과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드(NB2)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102i) 및 트랜지스터(102m)가 오프 상태가 되고, 트랜지스터(102h), 트랜지스터(102j), 및 트랜지스터(102l)는 오프 상태 그대로이고, 트랜지스터(102k)는 온 상태 그대로이므로, 신호(OUT2 1)는 하이 레벨 그대로이다.

[0128] 이상과 같이, 분주 신호 출력 회로는, 신호(OUT21)로써, 신호(CLK3)를 출력한다. 신호(CLK3)는, 클럭 신호이며, 신호(CLK3)의 주기는, 신호(CLK1)의 주기의 2배이다.

[0129] 나아가, 도 3(B)에 나타낸 분주 신호 출력 회로의 동작예에 대해, 상기 도 3(A)에 나타낸 분주 신호 출력 회로의 동작예의 설명을 인용하여 설명한다.

[0130] 도 3(B)에 나타낸 분주 신호 출력 회로의 동작예에 대해, 도 6을 이용하여 설명한다. 도 6은, 도 3(B)에 나타낸 분주 신호 출력 회로의 동작예를 설명하기 위한 타이밍 차트이다.

[0131] 도 3(B)에 나타낸 분주 신호 출력 회로는, 도 3(A)에 나타낸 분주 신호 출력 회로의 동작에 추가로, 도 6에 나타낸 바와 같이, 시각(T23) 및 시각(T24) 사이의 시각(T31)에서, 신호(CK21)가 로우 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)가 로우 레벨이 되고, 신호(S1C)가 하이 레벨이 되고, 신호(S1D)는 로우 레벨 그대로이고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)는 로우 레벨 그대로이고, 신호(S2B)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 신호(S2C)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 신호(S2D)는 로우 레벨 그대로이다.

[0132] 이때, 트랜지스터(102b), 트랜지스터(102c), 및 트랜지스터(102e)는 오프 상태 그대로이고, 트랜지스터(102d)가 오프 상태가 되므로, 노드(NC2)의 전압은 전압( $V_a$ )과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압( $V_b$ )과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드(NB2)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102l)가 오프 상태가 되고, 트랜지스터(102o)가 온 상태가 되고, 트랜지스터(102h), 트랜지스터(102i), 트랜지스터(102j), 트랜지스터(102k), 트랜지스터(102m), 트랜지스터(102n), 트랜지스터(102p), 및 트랜지스터(102q)는 오프 상태 그대로이므로, 신호(OUT21)는 로우 레벨 그대로이다.

[0133] 다음으로 시각(T32)에서, 신호(CK21)가 하이 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)는 로우 레벨 그대로이고, 신호(S1C)가 로우 레벨이 되고, 신호(S1D)가 하이 레벨이 되고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)는 로우 레벨 그대로이고, 신호(S2B)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 신호(S2C)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 신호(S2D)의 전압은 전압( $V_b$ )과 동등한 값 그대로이다.

[0134] 이때, 트랜지스터(102b), 트랜지스터(102c), 및 트랜지스터(102e)는 오프 상태 그대로이고, 트랜지스터(102d)가 온 상태가 되므로, 노드(NC2)의 전압은 전압( $V_a$ )과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압( $V_b$ )과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드(NB2)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102o)가 오프 상태가 되고, 트랜지스터(102q)가 온 상태가 되고, 트랜지스터(102h), 트랜지스터(102i), 트랜지스터(102j), 트랜지스터(102k), 트랜지스터(102l), 트랜지스터(102m), 트랜지스터(102n), 및 트랜지스터(102p)는 오프 상태 그대로이므로, 신호(OUT21)는 로우 레벨 그대로이다.

[0135] 나아가, 시각(T25)에서는, 신호(CK21)가 하이 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)는 로우 레벨 그대로이고, 신호(S1C)는 로우 레벨 그대로이고, 신호(S1D)는 로우 레벨 그대로이고, 신호(S1B)가 로우 레벨이 되고, 신호(S2A)가 하이 레벨이 되고, 신호(S2B)의 전압이 전압( $V_a$ )과 동등한 값이 되고, 신호(S2C)의 전압은 전압( $V_b$ )과 동등한 값 그대로이고, 신호(S2D)의 전압은 전압( $V_b$ )과 동등한 값 그대로이다.

[0136]

이때, 트랜지스터(102a)가 오프 상태가 되고, 트랜지스터(102f)는 오프 상태 그대로이므로, 노드(NB2)가 부유 상태가 된다. 또한, 트랜지스터(102h)는 온 상태 그대로이므로, 트랜지스터(102h)의 소스 및 드레인의 다른 한쪽의 전압이 상승한다. 이렇게 되면, 트랜지스터(102h)의 게이트와, 소스 및 드레인의 다른 한쪽 사이에 생기는 기생 용량에 의한 용량 결합에 의해, 노드(NB2)의 전압이 상승한다. 이른바 부스트랩이다. 노드(NB2)의 전압은, 전압(Va)과 트랜지스터(102h)의 역치 전압( $V_{th102h}$ 라고도 한다)의 합보다도 더욱 큰 값, 즉,  $V_a + V_{th102h} + V_x$  까지 상승한다. 이때 트랜지스터(102h)는 온 상태 그대로이다. 또한, 트랜지스터(102i) 및 트랜지스터(102k)가 온 상태가 되고, 트랜지스터(102j)가 오프 상태가 되고, 트랜지스터(102h)는 온 상태 그대로이고, 트랜지스터(102l), 트랜지스터(102n), 트랜지스터(102o), 및 트랜지스터(102q)는 오프 상태 그대로이므로, 신호(OUT21)가 하이 레벨이 된다. 또한, 트랜지스터(102b) 및 트랜지스터(102d)가 온 상태가 되고, 트랜지스터(102c)가 오프 상태가 되고, 트랜지스터(102e)는 오프 상태 그대로이므로, 노드(NC2)의 전압이 전압(Va)과 동등한 값이 되고, 트랜지스터(102g)가 온 상태가 된다. 트랜지스터(102g)가 온 상태가 되고, 트랜지스터(102a)가 오프 상태가 되므로, 노드(NB2)의 전압은 전압(Vb)과 동등한 값이 된다. 또한, 트랜지스터(102f)가 온 상태가 되고, 트랜지스터(102m)가 온 상태가 되므로, 노드(NB2)의 전압이 전압(Vb)과 동등한 값이 되고, 트랜지스터(102h)가 오프 상태가 된다.

[0137]

다음으로, 시각(T26)에서는, 신호(CK21)가 로우 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)는 로우 레벨 그대로이고, 신호(S1C)는 로우 레벨 그대로이고, 신호(S1D)는 로우 레벨 그대로이고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)가 로우 레벨이 되고, 신호(S2B)의 전압이  $V_a + V_{th102h} + V_x$ 가 되고, 신호(S2C)의 전압이 전압(Va)과 동등한 값이 되고, 신호(S2D)의 전압은 전압(Vb)과 동등한 값 그대로이다.

[0138]

이때, 트랜지스터(102b)는 온 상태 그대로이고, 트랜지스터(102c) 및 트랜지스터(102e)는 오프 상태 그대로이고, 트랜지스터(102d)가 오프 상태가 되므로, 노드(NC2)의 전압은 전압(Va)과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압(Vb)과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드(NB2)의 전압은 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102i) 및 트랜지스터(102m)가 오프 상태가 되고, 트랜지스터(102n)가 온 상태가 되고, 트랜지스터(102k)는 온 상태 그대로이고, 트랜지스터(102h), 트랜지스터(102j), 트랜지스터(102l), 트랜지스터(102o), 및 트랜지스터(102q)는 오프 상태 그대로이므로, 신호(OUT21)는 하이 레벨 그대로이다.

[0139]

나아가, 시각(T26) 후의 시각(T33)에서, 신호(CK21)가 하이 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)는 로우 레벨 그대로이고, 신호(S1C)는 로우 레벨 그대로이고, 신호(S1D)는 로우 레벨 그대로이고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)는 로우 레벨 그대로이고, 신호(S2B)의 전압이 전압(Vb)과 동등한 값이 되고, 신호(S2C)의 전압이  $V_a + V_{th102h} + V_x$ 가 되고, 신호(S2D)의 전압이 전압(Va)과 동등한 값이 된다.

[0140]

이때, 트랜지스터(102c)는 오프 상태 그대로이고, 트랜지스터(102b)가 오프 상태가 되고, 트랜지스터(102d)가 온 상태가 되고, 트랜지스터(102e)는 오프 상태 그대로이므로, 노드(NC2)의 전압이 전압(Va)과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압(Vb)과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드(NB2)의 전압은 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102n)는 온 상태 그대로이고, 트랜지스터(102k)가 오프 상태가 되고, 트랜지스터(102p)가 온 상태가 되고, 트랜지스터(102h), 트랜지스터(102i), 트랜지스터(102j), 트랜지스터(102l), 트랜지스터(102m), 트랜지스터(102o), 및 트랜지스터(102q)는 오프 상태 그대로이므로, 신호(OUT21)는 하이 레벨 그대로이다.

[0141]

나아가, 시각(T34)에서, 신호(CK21)가 로우 레벨이 되고, 신호(RS21)는 로우 레벨 그대로이고, 신호(S1A)는 로우 레벨 그대로이고, 신호(S1C)는 로우 레벨 그대로이고, 신호(S1D)는 로우 레벨 그대로이고, 신호(S1B)는 로우 레벨 그대로이고, 신호(S2A)는 로우 레벨 그대로이고, 신호(S2B)의 전압은 전압(Vb)과 동등한 값 그대로이고, 신호(S2C)의 전압이 전압(Vb)과 동등한 값이 되고, 신호(S2D)의 전압이  $V_a + V_{th102h} + V_x$ 가 된다.

[0142]

이때, 트랜지스터(102b), 트랜지스터(102c), 및 트랜지스터(102e)는 오프 상태 그대로이고, 트랜지스터(102d)가 오프 상태가 되므로, 노드(NC2)의 전압이 전압(Va)과 동등한 값 그대로이고, 트랜지스터(102g)는 온 상태 그대로이다. 또한, 트랜지스터(102a)는 오프 상태 그대로이고, 트랜지스터(102g)는 온 상태 그대로이므로, 노드(NA2)의 전압은 전압(Vb)과 동등한 값 그대로이다. 또한, 트랜지스터(102f)는 온 상태 그대로이므로, 노드

(NB2)의 전압은 전압(Vb)과 동등한 값 그대로이고, 트랜지스터(102h)는 오프 상태 그대로이다. 또한, 트랜지스터(102n)가 오프 상태가 되고, 트랜지스터(102p)는 온 상태 그대로이고, 트랜지스터(102h), 트랜지스터(102i), 트랜지스터(102j), 트랜지스터(102k), 트랜지스터(102l), 트랜지스터(102m), 트랜지스터(102o), 및 트랜지스터(102q)는 오프 상태 그대로이므로, 신호(OUT21)는 하이 레벨 그대로이다.

[0143] 다음과 같이, 분주 신호 출력 회로는, 신호(OUT21)로써, 신호(CLK3)를 출력한다. 신호(CLK3)는, 클럭 신호이며, 신호(CLK3)의 주기는, 신호(CLK1)의 주기의 4배이다.

[0144] 다음과 같이, 본 실시형태의 분주 회로의 일 예는, 시프트 레지스터 및 분주 신호 출력 회로를 구비하고, 시프트 레지스터는, 제 1 클럭 신호 및 제 2 클럭 신호에 따라  $2 \times X$ 개의 펄스 신호를 출력하는 기능을 갖고, 분주 신호 출력 회로는,  $2 \times X$ 개의 펄스 신호에 따라 X개의 제 1 트랜지스터 및 X개의 제 2 트랜지스터의 각각을 순서대로 온 상태로 함으로써, 제 3 클럭 신호가 되는 신호의 전압을 설정하고, 제 1 클럭 신호의 주기의 X배의 주기인 제 3 클럭 신호를 출력하는 구성이다. 본 실시형태의 분주 회로의 시프트 레지스터는, 펄스 신호의 전압이 원하는 값이 될 때까지의 시간이 짧다. 이는, 클럭 신호의 전압에 따라 출력 신호가 되는 펄스 신호의 전압을 설정하기 때문이다. 따라서, 상기 시프트 레지스터를 이용함으로써, 분주 회로의 동작 속도를 향상시킬 수 있고, 분주 동작의 동작 불량을 억제할 수 있다.

[0145] 또한, 본 실시형태의 분주 회로의 일 예는, 제 3 클럭 신호가 되는 신호의 전압을 제 2 전압으로 설정하기 위해 전원 전압보다도 높은 값의 전압 신호를 이용한 구성이다. 상기 구성으로 함으로써, 제 3 클럭 신호의 하이 레벨의 전압을 전원 전압 이상의 값으로 할 수 있다.

[0146] (실시형태 3)

[0147] 본 실시형태에서는, 시프트 레지스터를 이용한 분주 회로와, 다른 구성의 분주 회로를 조합한 분주 회로에 대해 설명한다.

[0148] 본 실시형태의 분주 회로의 구성예에 대해, 도 7을 이용하여 설명한다. 도 7은, 본 실시형태의 분주 회로의 구성예를 나타낸 블럭도이다.

[0149] 도 7에 나타낸 분주 회로는, 단위 분주 회로(201)(DIV1라고도 한다)와, 단위 분주 회로(202)(DIV2라고도 한다)를 구비한다.

[0150] 단위 분주 회로(201)에는, 스타트 신호(SP31)(신호(SP31)라고도 한다) 및 클럭 신호(CK31)(신호(CK31)라고도 한다)가 입력된다. 또한, 단위 분주 회로(201)는, 신호(CK31)의 주기의 X배의 주기인 클럭 신호(CK32)(신호(CK32)라고도 한다)를 출력한다. 단위 분주 회로(201)로는, 상기 실시형태에 나타낸 분주 회로를 적용할 수 있고, 이때 신호(SP31)는 신호(SP)에 상당하고, 신호(CK32)는, 신호(OUT21)에 상당한다.

[0151] 단위 분주 회로(202)에는, 신호(SP31) 및 신호(CK32)가 입력된다. 또한, 단위 분주 회로(202)는, 신호(CK32)의 주기의 K배(K는 2 이상의 자연수)의 주기인 클럭 신호(CK33)(신호(CK33)라고도 한다)를 출력한다. 단위 분주 회로(202)로는, 예를 들어 플립플롭을 이용할 수 있다. 또한, 단위 분주 회로(202)를 복수의 플립플롭을 구비하는 구성으로 할 수도 있다. 한편, 일 도전형만의 트랜지스터에 의해 플립플롭을 구성함으로써, 단위 분주 회로(201)와 동일한 공정으로 제작할 수 있다. 상기 구성으로 함으로써, 서로 다른 복수의 주기이고, 신호(CK32)의 주기의 K배의 주기인 클럭 신호를 생성할 수도 있다.

[0152] 도 7을 이용하여 설명한 바와 같이, 본 실시형태의 분주 회로의 일 예는, 제 1 단위 분주 회로 및 제 2 단위 분주 회로를 구비하고, 제 1 단위 분주 회로가 상기 실시형태에 나타낸 분주 회로이고, 제 2 단위 분주 회로의 출력 신호인 클럭 신호의 주기가 상기 제 1 단위 분주 회로의 출력 신호인 클럭 신호의 주기보다 큰 구성이다. 제 2 단위 분주 회로는, 제 1 단위 분주 회로보다 회로 구성을 간략하게 할 수 있다. 또한, 일반적으로 분주 동작의 속도는, 분주 후의 클럭 신호의 주기의 배율이 적으면 적을수록 빨라진다. 따라서, 제 1 단위 분주 회로와 제 2 단위 분주 회로를 조합함으로써, 회로 면적의 증대를 억제하면서, 동작 불량을 억제하여 복수의 다른 주기의 클럭 신호를 생성할 수 있다.

[0153] (실시형태 4)

[0154] 본 실시형태에서는, 상기 실시형태에 나타낸 분주 회로에 적용 가능한 산화물 반도체층을 갖는 트랜지스터에 대

해 설명한다.

- [0155] 상기 실시형태에 나타낸 분주 회로에 적용 가능한 산화물 반도체층을 갖는 트랜지스터는, 고순도화합으로 씨, 진성(I형이라고도 한다), 또는 실질적으로 진성으로 한 반도체층을 갖는 트랜지스터이다.
- [0156] 상기 산화물 반도체층에 이용되는 산화물 반도체로는, 예를 들어 사원계 금속 산화물, 삼원계 금속 산화물, 또는 이원계 금속 산화물 등을 이용할 수 있다. 사원계 금속 산화물로는, 예를 들어 In-Sn-Ga-Zn-O계 금속 산화물 등을 이용할 수 있다. 삼원계 금속 산화물로는, 예를 들어 In-Ga-Zn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, 또는 Sn-Al-Zn-O계 금속 산화물 등을 이용할 수 있다. 이원계 금속 산화물로는, 예를 들어 In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, Zn-Mg-O계 금속 산화물, Sn-Mg-O계 금속 산화물, In-Mg-O계 금속 산화물, 또는 In-Sn-O계 금속 산화물 등을 이용할 수 있다. 또한, 산화물 반도체로는, 예를 들어 In-O계 금속 산화물, Sn-O계 금속 산화물, 또는 Zn-O계 금속 산화물 등을 이용할 수도 있다. 또한, 산화물 반도체로는, SiO<sub>2</sub>를 포함하는 상기 산화물 반도체로 적용 가능한 금속 산화물을 이용할 수도 있다.
- [0157] 또한, 산화물 반도체로, InMO<sub>3</sub>(ZnO)<sub>m</sub>(m은 0보다 큰 수)로 표기되는 재료를 이용할 수 있다. 여기서, M은, Ga, Al, Mn, 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로는, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등을 들 수 있다.
- [0158] 나아가, 산화물 반도체층의 밴드갭은, 2eV 이상, 바람직하게는 2.5eV 이상, 더욱 바람직하게는 3eV 이상으로 한다. 이에 의해, 열여기에 따라 생기는 캐리어 수는 무시할 수 있다. 나아가, 도너가 될 수 있는 수소 등의 불순물을 일정한 양 이하가 될 때까지 저감하고, 캐리어 농도를  $1 \times 10^{14}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{12}/\text{cm}^3$  이하로 한다. 즉, 산화물 반도체층의 캐리어 농도를 무한대로 제로 또는 제로와 실질적으로 동등한 값으로 한다.
- [0159] 상기 산화물 반도체층은, 애벌란시 항복이 일어나기 어렵고, 절연 내압이 높다. 예를 들어 실리콘은, 밴드갭이 1.12eV로 작으므로, 애벌란시 항복에 따라 눈사태와 같이 전자가 발생하기 쉽고, 게이트 절연층으로의 에너지 장벽을 넘을 수 있을 만큼 고속으로 가속되는 전자 수가 증가한다. 한편, 상기 산화물 반도체층에 이용되는 산화물 반도체는, 밴드갭이 2eV 이상으로 넓고, 애벌란시 항복이 생기기 어렵고, 실리콘과 비교하여 핫 캐리어 열화의 내성이 높으므로, 절연 내압이 높다.
- [0160] 핫 캐리어 열화는, 예를 들어 가속된 전자가 채널 중의 드레인 근방에서 게이트 절연층 중에 주입됨으로써 발생하는 고정 전하에 의해 생기는 트랜지스터 특성의 열화, 또는 고속으로 가속된 전자에 의해 게이트 절연층 계면에 형성되는 트랩 준위 등에 의해 생기는 트랜지스터 특성의 열화 등으로, 핫 캐리어에 의한 트랜지스터 특성의 열화로는, 예를 들어 역치 전압의 변동 또는 게이트 리크 등이 있다. 또한, 핫 캐리어 열화의 요인으로는, 채널 핫 일렉트론 주입(CHE 주입이라고도 한다)과 드레인 애벌란시 핫 캐리어 주입(DAHC 주입이라고도 한다)이 있다.
- [0161] 또한, 고절연내압 재료의 하나인 실리콘 카바이드의 밴드갭은 상기 산화물 반도체층에 이용되는 산화물 반도체의 밴드갭은 동등하나, 상기 산화물 반도체 쪽이, 실리콘 카바이드보다 이동도가 2자리수 정도 작으므로, 전자가 가속되기 어렵고, 또한, 게이트 절연층과의 장벽이 실리콘 카바이드, 질화 갈륨, 또는 실리콘보다도 크고, 게이트 절연층에 주입되는 전자가 매우 적으므로, 실리콘 카바이드, 질화 갈륨, 또는 실리콘보다 핫 캐리어 열화가 생기기 어렵고, 절연 내압이 높다. 또한, 상기 산화물 반도체는, 비정질 상태여도 마찬가지로 절연 내압이 높다.
- [0162] 나아가, 상기 산화물 반도체층을 갖는 트랜지스터에서는, 채널폭  $1\mu\text{m}$  당 오프 전류를  $10\text{aA}(1 \times 10^{-17}\text{A})$  이하, 나아가 채널폭  $1\mu\text{m}$  당 오프 전류를  $1\text{aA}(1 \times 10^{-18}\text{A})$  이하, 나아가 채널폭  $1\mu\text{m}$  당 오프 전류를  $10\text{zA}(1 \times 10^{-20}\text{A})$  이하, 나아가 채널폭  $1\mu\text{m}$  당 오프 전류를  $1\text{zA}(1 \times 10^{-21}\text{A})$  이하로 할 수 있다.
- [0163] 또한, 상기 산화물 반도체층을 갖는 트랜지스터는, 광에 의한 열화(예를 들어 역치 전압의 변동 등)가 적다.
- [0164] 나아가, 상기 실시형태에 나타낸 분주 회로에 적용 가능한 산화물 반도체층을 갖는 트랜지스터의 구조예에 대해, 도 8(A) 내지 도 8(D)을 이용하여 설명한다. 도 8(A) 내지 도 8(D)은, 트랜지스터의 구조예를 나타낸 단면 모식도이다.
- [0165] 도 8(A)에 나타낸 트랜지스터는, 보통게이트 구조의 트랜지스터의 하나로, 역스태거형 트랜지스터라고도 한다.

- [0166] 도 8(A)에 나타낸 트랜지스터는, 게이트 전극으로써의 기능을 갖는 도전층(401a)과, 게이트 절연층으로써의 기능을 갖는 절연층(402a)과, 채널 형성층으로써의 기능을 갖는 산화물 반도체층(403a)과, 소스 전극 또는 드레인 전극으로써의 기능을 갖는 도전층(405a) 및 도전층(406a)을 포함한다.
- [0167] 도전층(401a)은, 기판(400a) 위에 형성되고, 절연층(402a)은, 도전층(401a) 위에 형성되고, 산화물 반도체층(403a)은, 절연층(402a)을 사이에 두고 도전층(401a) 위에 형성되고, 도전층(405a) 및 도전층(406a)은, 산화물 반도체층(403a)의 일부 위에 각각 형성된다.
- [0168] 나아가, 도 8(A)에서, 트랜지스터의 산화물 반도체층(403a)의 상면의 일부(상면에 도전층(405a) 및 도전층(406a)이 형성되지 않은 부분)는, 산화물 절연층(407a)에 접한다. 또한, 산화물 절연층(407a)은, 상부에 보호 절연층(409a)이 형성된다.
- [0169] 도 8(B)에 나타낸 트랜지스터는, 보통게이트 구조의 하나인 채널 보호형(채널 스탑형이라고도 한다) 트랜지스터로, 역스태거형 트랜지스터라고도 한다.
- [0170] 도 8(B)에 나타낸 트랜지스터는, 게이트 전극으로써의 기능을 갖는 도전층(401b)과, 게이트 절연층으로써의 기능을 갖는 절연층(402b)과, 채널 형성층으로써의 기능을 갖는 산화물 반도체층(403b)과, 채널 보호층으로써의 기능을 갖는 절연층(427)과, 소스 전극 또는 드레인 전극으로써의 기능을 갖는 도전층(405b) 및 도전층(406b)을 포함한다.
- [0171] 도전층(401b)은, 기판(400b) 위에 형성되고, 절연층(402b)은, 도전층(401b) 위에 형성되고, 산화물 반도체층(403b)은, 절연층(402b)을 사이에 두고 도전층(401b) 위에 형성되고, 절연층(427)은, 절연층(402b) 및 산화물 반도체층(403b)을 사이에 두고 도전층(401b) 위에 형성되고, 도전층(405b) 및 도전층(406b)은, 절연층(427)을 사이에 두고 산화물 반도체층(403b)의 일부 위에 각각 형성된다. 또한, 도전층(401b)을 산화물 반도체층(403b)의 모두와 겹치는 구조로 할 수도 있다. 도전층(401b)을 산화물 반도체층(403b)의 모두와 겹치는 구조로 함으로써, 산화물 반도체층(403b)으로의 광의 입사를 억제할 수 있다. 또한, 이에 한정되지 않고, 도전층(401b)을 산화물 반도체층(403b)의 일부와 겹치는 구조로 할 수도 있다.
- [0172] 나아가, 도 8(B)에서, 트랜지스터의 상부는, 보호 절연층(409b)에 접한다.
- [0173] 도 8(C)에 나타낸 트랜지스터는, 보통게이트 구조의 트랜지스터의 하나이다.
- [0174] 도 8(C)에 나타낸 트랜지스터는, 게이트 전극으로써의 기능을 갖는 도전층(401c)과, 게이트 절연층으로써의 기능을 갖는 절연층(402c)과, 채널 형성층으로써의 기능을 갖는 산화물 반도체층(403c)과, 소스 전극 또는 드레인 전극으로써의 기능을 갖는 도전층(405c) 및 도전층(406c)을 포함한다.
- [0175] 도전층(401c)은, 기판(400c) 위에 형성되고, 절연층(402c)은, 도전층(401c) 위에 형성되고, 도전층(405c) 및 도전층(406c)은, 절연층(402c)의 일부 위에 형성되고, 산화물 반도체층(403c)은, 절연층(402c), 도전층(405c), 및 도전층(406c)을 사이에 두고 도전층(401c) 위에 형성된다. 또한, 도전층(401c)을 산화물 반도체층(403c)의 모두와 겹치는 구조로 할 수도 있다. 도전층(401c)을 산화물 반도체층(403c)의 모두와 겹치는 구조로 함으로써, 산화물 반도체층(403c)으로의 광의 입사를 억제할 수 있다. 또한, 이에 한정되지 않고, 도전층(401c)을 산화물 반도체층(403c)의 일부와 겹치는 구조로 할 수도 있다.
- [0176] 나아가, 도 8(C)에서, 트랜지스터의 산화물 반도체층(403c)의 상면 및 측면은, 산화물 절연층(407c)에 접한다. 또한, 산화물 절연층(407c)은, 상부에 보호 절연층(409c)이 형성된다.
- [0177] 도 8(D)에 나타낸 트랜지스터는, 탑게이트 구조의 트랜지스터의 하나이다.
- [0178] 도 8(D)에 나타낸 트랜지스터는, 게이트 전극으로써의 기능을 갖는 도전층(401d)과, 게이트 절연층으로써의 기능을 갖는 절연층(402d)과, 채널 형성층으로써의 기능을 갖는 산화물 반도체층(403d)과, 소스 전극 또는 드레인 전극으로써의 기능을 갖는 도전층(405d) 및 도전층(406d)을 포함한다.
- [0179] 산화물 반도체층(403d)은, 절연층(447)을 사이에 두고 기판(400d) 위에 형성되고, 도전층(405d) 및 도전층(406d)은, 각각 산화물 반도체층(403d)의 일부 위에 형성되고, 절연층(402d)은, 산화물 반도체층(403d), 도전층(405d), 및 도전층(406d) 위에 형성되고, 도전층(401d)은, 절연층(402d)을 사이에 두고 산화물 반도체층(403d) 위에 형성된다.
- [0180] 기판(400a) 내지 기판(400d)으로는, 예를 들어 바륨붕규산 유리나 알루미노붕규산 유리 등의 유리 기판을 이용

할 수 있다.

[0181] 또한, 기판(400a) 내지 기판(400d)으로, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체로 이루어진 기판을 이용할 수도 있다. 또한, 기판(400a) 내지 기판(400d)으로, 결정화 유리를 이용할 수도 있다. 또한, 기판(400a) 내지 기판(400d)으로, 플라스틱 기판을 이용할 수도 있다. 또한, 기판(400a) 내지 기판(400d)으로, 실리콘 등의 반도체 기판을 이용할 수도 있다.

[0182] 절연층(447)은, 기판(400d)에서의 불순물 원소의 확산을 방지하는 하지층으로써의 기능을 갖는다. 절연층(447)으로는, 예를 들어 질화 실리콘층, 산화 실리콘층, 질화산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 또는 산화질화 알루미늄층을 이용할 수 있다. 또한, 절연층(447)에 적용 가능한 재료의 층의 적층에 의해 절연층(447)을 구성할 수도 있다. 또한, 절연층(447)으로, 차광성을 갖는 재료층과, 상기 절연층(447)에 적용 가능한 재료층과의 적층을 이용할 수도 있다. 또한, 차광성을 갖는 재료층을 이용하여 절연층(447)을 구성함으로써, 산화물 반도체층(403d)으로의 광의 입사를 억제할 수 있다.

[0183] 한편, 도 8(A) 내지 도 8(C)에 나타낸 트랜지스터에서, 도 8(D)에 나타낸 트랜지스터와 마찬가지로, 기판과 게이트 전극으로써의 기능을 갖는 도전층 사이에 절연층을 형성하여도 좋다.

[0184] 도전층(401a) 내지 도전층(401d)으로는, 예를 들어 몰리브덴, 티탄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 합금 재료층을 이용할 수 있다. 또한, 도전층(401a) 내지 도전층(401d)의 형성에 적용 가능한 재료층의 적층에 의해, 도전층(401a) 내지 도전층(401d)을 구성할 수도 있다.

[0185] 절연층(402a) 내지 절연층(402d)으로는, 예를 들어 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 이용할 수 있다. 또한, 절연층(402a) 내지 절연층(402d)에 적용 가능한 재료층의 적층에 의해 절연층(402a) 내지 절연층(402d)을 구성할 수도 있다. 절연층(402a) 내지 절연층(402d)에 적용 가능한 재료층은, 예를 들어 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여 형성된다. 예를 들어, 플라즈마 CVD법에 의해 질화 실리콘층을 형성하고, 플라즈마 CVD법에 의해 질화 실리콘층 위에 산화 실리콘층을 형성함으로써 절연층(402a) 내지 절연층(402d)을 구성할 수 있다.

[0186] 산화물 반도체층(403a) 내지 산화물 반도체층(403d)에 적용 가능한 산화물 반도체로는, 예를 들어 사원계 금속 산화물, 삼원계 금속 산화물, 또는 이원계 금속 산화물 등을 들 수 있다. 사원계 금속 산화물로는, 예를 들어 In-Sn-Ga-Zn-O계 금속 산화물 등을 들 수 있다. 삼원계 금속 산화물로는, 예를 들어 In-Ga-Zn-O계 금속 산화물, In-Sn-Zn-O계 금속 산화물, In-Al-Zn-O계 금속 산화물, Sn-Ga-Zn-O계 금속 산화물, Al-Ga-Zn-O계 금속 산화물, 또는 Sn-Al-Zn-O계 금속 산화물 등을 들 수 있다. 이원계 금속 산화물로는, In-Zn-O계 금속 산화물, Sn-Zn-O계 금속 산화물, Al-Zn-O계 금속 산화물, Zn-Mg-O계 금속 산화물, Sn-Mg-O계 금속 산화물, In-Mg-O계 금속 산화물, 또는 In-Sn-O계 금속 산화물 등을 들 수 있다. 또한, 산화물 반도체로는, In-O계 금속 산화물, Sn-O계 금속 산화물, 또는 Zn-O계 금속 산화물 등을 들 수 있다. 또한, 상기 산화물 반도체로는, 상기 산화물 반도체로 적용 가능한 금속 산화물에 SiO<sub>2</sub>를 포함하는 산화물을 이용할 수도 있다. 또한, 예를 들어 In-Ga-Zn-O계 금속 산화물이란, 적어도 In과 Ga와 Zn을 포함하는 산화물로, 그 조성비에 특별히 제한은 없다. 또한, In-Ga-Zn-O계 금속 산화물에 In과 Ga와 Zn 이외의 원소가 포함되어 있어도 좋다.

[0187] 또한, 산화물 반도체로 In-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는, 원자수비로, In:Zn=50:1~1:2(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=25:1~1:4), 바람직하게는 In:Zn=20:1~1:1(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=10:1~1:2), 더욱 바람직하게는 In:Zn=15:1~1.5:1(몰수비로 환산하면 In<sub>2</sub>O<sub>3</sub>:ZnO=15:2~3:4)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 이용하는 타겟은, 원자수비가 In:Zn:O=W:Y:Z일 때, Z>1.5W+Y로 한다.

[0188] 또한, 산화물 반도체층(403a) 내지 산화물 반도체층(403d)에 적용 가능한 산화물 반도체로는, 화학식 InMO<sub>3</sub>(ZnO)<sub>m</sub>(m은 0보다 큰 수)로 표기되는 금속 산화물도 들 수 있다. 여기서, M은, Ga, Al, Mn 및 Co에서 선택된 하나 또는 복수의 금속 원소를 나타낸다. M으로는, 예를 들어 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.

[0189] 도전층(405a) 내지 도전층(405d) 및 도전층(406a) 내지 도전층(406d)으로는, 예를 들어 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 또는 텉스텐 등의 금속 재료, 또는 이들 금속 재료를 주성분으로 하는 합금 재료층을 이

용할 수 있다. 또한, 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)에 적용 가능한 재료층의 적층에 의해 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)의 각각을 구성할 수 있다.

[0190] 예를 들어, 알루미늄 또는 구리 금속층과, 티탄, 몰리브덴, 또는 텉스텐 등의 고용접 금속층과의 적층에 의해 도전층(405a) 내지 도전층(405d) 및 도전층(406a) 내지 도전층(406d)을 구성할 수 있다. 또한, 복수의 고용접 금속층 사이에 알루미늄 또는 구리의 금속층이 형성된 적층에 의해 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)을 구성할 수도 있다. 또한, 힐록이나 위스커의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가되어 있는 알루미늄층을 이용하여 도전층(405a) 내지 도전층(405d), 및 도전층(406a) 내지 도전층(406d)을 구성함으로써, 내열성을 향상시킬 수 있다.

[0191] 또한, 도전층(405a) 내지 도전층(405d) 및 도전층(406a) 내지 도전층(406d)으로, 도전성 금속 산화물을 포함하는 층을 이용할 수도 있다. 도전성 금속 산화물로는, 예를 들어 산화 인듐( $In_2O_3$ ), 산화 주석( $SnO_2$ ), 산화 아연( $ZnO$ ), 산화인듐 산화주석 합금( $In_2O_3-SnO_2$ , ITO로 약기), 또는 산화인듐 산화아연 합금( $In_2O_3-ZnO$ ), 또는 이들 금속 산화물에 산화 실리콘을 포함하는 것을 이용할 수 있다.

[0192] 나아가, 도전층(405a) 내지 도전층(405d) 및 도전층(406a) 내지 도전층(406d)의 형성에 이용되는 재료를 이용하여 다른 배선을 형성하여도 좋다.

[0193] 절연층(427)으로는, 예를 들어 절연층(447)에 적용 가능한 재료의 층을 이용할 수 있다. 또한, 절연층(427)에 적용 가능한 재료 층의 적층에 의해 절연층(427)을 구성할 수도 있다.

[0194] 산화물 절연층(407a) 및 산화물 절연층(407c)으로는, 산화물 절연층을 이용할 수 있고, 예를 들어 산화 실리콘 층 등을 이용할 수 있다. 또한, 산화물 절연층(407a) 및 산화물 절연층(407c)에 적용 가능한 재료층의 적층에 의해 산화물 절연층(407a) 및 산화물 절연층(407c)을 구성할 수도 있다.

[0195] 보호 절연층(409a) 내지 보호 절연층(409c)으로는, 예를 들어 무기 절연층을 이용할 수 있고, 예를 들어 질화 실리콘층, 질화 알루미늄층, 질화산화 실리콘층, 또는 질화산화 알루미늄층 등을 이용할 수 있다. 또한, 보호 절연층(409a) 내지 보호 절연층(409c)에 적용 가능한 재료층의 적층에 의해 보호 절연층(409a) 내지 보호 절연층(409c)을 구성할 수도 있다.

[0196] 한편, 본 실시형태의 트랜지스터에 기인하는 표면 요철을 저감하기 위해, 트랜지스터 위(산화물 절연층 또는 보호 절연층을 갖는 경우에는 산화물 절연층 또는 보호 절연층을 사이에 두고 트랜지스터 위)에 평탄화 절연층을 갖는 구성으로 할 수도 있다. 평탄화 절연층으로는, 폴리이미드, 아크릴, 벤조시클로부텐, 등의 유기 재료층을 이용할 수 있다. 또한 평탄화 절연층으로는, 저유전율 재료(low-k재료라고도 함) 층을 이용할 수도 있다. 또한, 평탄화 절연층에 적용 가능한 재료층의 적층에 의해 평탄화 절연층을 구성할 수도 있다.

[0197] 나아가, 상기 실시형태에 나타낸 분주 회로에 적용 가능한 산화물 반도체층을 갖는 트랜지스터의 제작 방법의 일 예로, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예에 대해, 도 9(A) 내지 도 9(C), 도 10(A) 및 도 10(B)을 이용하여 설명한다. 도 9(A) 내지 도 9(C) 및 도 10(A) 및 도 10(B)은, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예를 나타낸 단면 모식도이다.

[0198] 우선, 기판(400a)을 준비하고, 기판(400a) 위에 제 1 도전막을 형성한다.

[0199] 한편, 기판(400a)의 일 예로 유리 기판을 이용한다.

[0200] 또한, 제 1 도전막으로는, 예를 들어 몰리브덴, 티탄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료, 또는 이들을 주성분으로 하는 합금 재료막을 이용할 수 있다. 또한, 제 1 도전막에 적용 가능한 재료막의 적층막에 의해, 제 1 도전막을 구성할 수도 있다.

[0201] 다음으로, 제 1 포토리소그래피 공정에 의해 제 1 도전막 위에 제 1 레지스트 마스크를 형성하고, 제 1 레지스트 마스크를 이용하여 선택적으로 제 1 도전막의 에칭을 함으로써 도전층(401a)을 형성하고, 제 1 레지스트 마스크를 제거한다.

[0202] 한편, 본 실시형태에서, 잉크젯법을 이용하여 레지스트 마스크를 형성하여도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토 마스크를 사용하지 않으므로, 제조 비용을 저감할 수 있다.

[0203] 또한, 포토리소그래피 공정에서 이용하는 포토 마스크수 및 공정수를 삭감하기 위해, 다계조 마스크에 의해 형

성된 레지스트 마스크를 이용하여 에칭을 하여도 좋다. 다계조 마스크는, 투과한 광이 복수의 강도가 되는 노광 마스크이다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막후를 갖는 형상이 되고, 에칭을 행함으로써 추가로 형상을 변형시킬 수 있으므로, 다른 패턴으로 가공하는 복수의 에칭 공정으로 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고, 대응하는 포토 리소그래피 공정도 삭감할 수 있으므로, 제조 공정을 간략하게 할 수 있다.

[0204] 다음으로, 도전층(401a) 위에 절연층(402a)을 형성한다.

[0205] 예를 들어, 고밀도 플라즈마 CVD법을 이용하여 절연층(402a)을 형성할 수 있다. 예를 들어  $\mu$  파(예를 들어, 주파수 2.45GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하고 절연 내압이 높은 고품질의 절연층을 형성할 수 있으므로, 바람직하다. 고밀도 플라즈마 CVD를 이용하여 형성한 고품질의 절연층과 산화물 반도체층이 접함으로써, 계면 준위가 저감되고, 계면 특성을 양호하게 할 수 있다.

[0206] 또한, 스퍼터링법이나 플라즈마 CVD법 등, 다른 방법을 이용하여 절연층(402a)을 형성할 수도 있다. 또한, 절연층(402a)의 형성 후에 가열 처리를 행하여도 좋다. 상기 가열 처리를 행함으로써 절연층(402a)의 질, 산화물 반도체와의 계면 특성을 개질시킬 수 있다.

[0207] 다음으로, 절연층(402a) 위에 막후 2nm 이상 200nm 이하, 바람직하게는 5nm 이상 30nm 이하의 산화물 반도체막(530)을 형성한다. 예를 들어, 스퍼터링법을 이용하여 산화물 반도체막(530)을 형성할 수 있다.

[0208] 한편, 산화물 반도체막(530)을 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하고, 절연층(402a)의 표면에 부착되어 있는 가루형 물질(파티클, 먼지라고도 한다)을 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF 전원을 이용하여 전압을 인가하고, 기판에 플라즈마를 형성하여 표면을 개질하는 방법이다. 한편, 아르곤 분위기 대신 질소, 헬륨, 산소 등을 이용하여도 좋다.

[0209] 예를 들어, 산화물 반도체층(403a)에 적용 가능한 산화물 반도체 재료를 이용하여 산화물 반도체막(530)을 형성할 수 있다. 본 실시형태에서는, 일 예로 In-Ga-Zn-O계 산화물 타겟을 이용하여 스퍼터링법에 의해 산화물 반도체막(530)을 형성한다. 이 단계에서의 단면 모식도가 도 9(A)에 상당한다. 또한, 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스 및 산소의 혼합 분위기 하에서, 스퍼터링법에 의해 산화물 반도체막(530)을 형성할 수도 있다.

[0210] 스퍼터링법을 이용하여 산화물 반도체막(530)을 제작하기 위한 타겟으로는, 예를 들어,  $In_2O_3:Ga_2O_3:ZnO=1:1:1$ [mol수비]의 조성비인 산화물 타겟을 이용할 수 있다. 또한, 상기에 나타낸 타겟에 한정되지 않고, 예를 들어,  $In_2O_3:Ga_2O_3:ZnO=1:1:2$ [mol수비]의 조성비인 산화물 타겟을 이용하여도 좋다. 또한, 제작되는 산화물 타겟의 전체 부피에 대하여 전체 부피에서 공극 등이 차지하는 공간을 제외한 부분의 부피의 비율(충전율이라고도 한다)은, 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 이용함으로써 형성한 산화물 반도체막은, 치밀한 막이 된다.

[0211] 한편, 산화물 반도체막(530)을 형성할 때에 이용하는 스퍼터링 가스로는, 예를 들어 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0212] 또한, 산화물 반도체막(530)을 형성하기 전에, 스퍼터링 장치의 예비 가열실에서 도전층(401a)이 형성된 기판(400a), 또는 도전층(401a) 및 절연층(402a)이 형성된 기판(400a)을 가열하고, 기판(400a)에 흡착된 수소, 수분 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 상기 가열에 의해, 절연층(402a) 및 산화물 반도체막(530)으로의 수소, 수산기, 및 수분의 침입을 억제할 수 있다. 또한, 예비 가열실에 형성하는 배기 수단으로는, 예를 들어 크라이오 펌프를 이용하는 것이 바람직하다. 또한, 예비 가열실의 가열 처리를 생략할 수도 있다. 또한, 산화물 절연층(407a)의 성막 전에, 도전층(405a) 및 도전층(406a)까지 형성한 기판(400a)에도 마찬가지로 상기 가열을 행하여도 좋다.

[0213] 또한, 스퍼터링법을 이용하여 산화물 반도체막(530)을 형성하는 경우, 감압 상태로 유지된 성막실 내에 기판(400a)을 유지하고, 기판 온도를 100°C 이상 600°C 이하, 바람직하게는 200°C 이상 400°C 이하로 한다. 기판(400a)을 가열함으로써, 형성하는 산화물 반도체막(530)에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 산화물 반도체막(530)의 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 절연층(402a) 위에 산화물 반도체막(530)을

성막한다.

- [0214] 한편, 본 실시형태에서, 스퍼터링을 행할 때의 성막실 내의 잔류 수분을 제거하는 수단으로는, 예를 들어 흡착형의 진공 펌프 등을 이용할 수 있다. 흡착형의 진공 펌프로는, 예를 들어 크라이오 펌프, 이온 펌프, 또는 티탄 승화 펌프 등을 이용할 수 있다. 예를 들어 크라이오 펌프를 이용함으로써, 예를 들어 수소 원자 및 탄소 원자 중 어느 하나 또는 복수를 포함하는 화합물 등을 배기할 수 있고, 성막실에서 형성되는 막에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 본 실시형태에서, 스퍼터링을 행할 때의 성막실 내의 잔류 수분을 제거하는 수단으로, 터보 펌프에 콜드 트랩을 구비한 것을 이용할 수도 있다.
- [0215] 성막 조건의 일 예로는, 기판과 타겟 사이의 거리를 100mm, 압력 0.6Pa, 직류(DC) 전원 0.5kW, 산소(산소유량비율 100%) 분위기 하의 조건이 적용된다. 한편, 펄스 직류 전원을 이용하면, 성막 시에 발생하는 가루형 물질을 경감할 수 있고, 막후 분포도 균일해진다.
- [0216] 다음으로, 제 2 포토 리소그래피 공정에 의해 산화물 반도체막(530) 위에 제 2 레지스트 마스크를 형성하고, 제 2 레지스트 마스크를 이용하여 선택적으로 산화물 반도체막(530)의 에칭을 함으로써, 산화물 반도체막(530)을 섬 모양의 산화물 반도체층으로 가공하고, 제 2 레지스트 마스크를 제거한다.
- [0217] 한편, 절연층(402a)에 컨택트홀을 형성하는 경우, 산화물 반도체막(530)을 섬 모양의 산화물 반도체층으로 가공할 때에 상기 컨택트홀을 형성할 수도 있다.
- [0218] 예를 들어, 건식 에칭, 습식 에칭, 또는 건식 에칭 및 습식 에칭 양쪽을 이용하여 산화물 반도체막(530)의 에칭을 할 수 있다. 습식 에칭에 이용하는 에칭액으로는, 예를 들어 인산과 초산과 질산을 섞은 용액 등을 이용할 수 있다. 또한, 에칭액으로 IT007N(칸토카가꾸)을 이용하여도 좋다.
- [0219] 다음으로, 산화물 반도체층에 제 1 가열 처리를 한다. 이 제 1 가열 처리에 의해 산화물 반도체층의 탈수화 또는 탈수소화를 행할 수 있다. 제 1 가열 처리 온도는, 400°C 이상 750°C 이하, 또는 400°C 이상 기판의 변형점 미만으로 한다. 여기서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기 하 450°C에서 1 시간의 가열 처리를 한 후, 대기에 접하지 않게 하여, 산화물 반도체층으로의 물이나 수소의 재흡입을 방지하고, 산화물 반도체층(403a)을 얻는다(도 9(B) 참조).
- [0220] 한편, 가열 처리 장치는, 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 가열 처리 장치로는, 예를 들어 GRTA(Gas Rapid Thermal Anneal) 장치 또는 LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 예를 들어 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프에서 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. 또한, GRTA 장치는, 고온의 가스를 이용하여 가열 처리를 하는 장치이다. 고온의 가스로는, 예를 들어 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 따라 피처리물과 반응하지 않는 불활성 기체를 이용할 수 있다.
- [0221] 예를 들어, 제 1 가열 처리로, 650°C~700°C로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 수 분간 가열한 후, 기판을 이동시켜 가열한 불활성 가스 중에서 꺼내는 방식의 GRTA를 행하여도 좋다.
- [0222] 한편, 제 1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상, 즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다.
- [0223] 또한, 제 1 가열 처리로 산화물 반도체층을 가열한 후, 제 1 가열 처리를 행한 로와 동일한 로에 고순도의 산소 가스, 고순도의 N<sub>2</sub>O 가스, 또는 초건조 에어(이슬점이 -40°C 이하, 바람직하게는 -60°C 이하의 분위기)를 도입하여도 좋다. 이때 산소 가스 또는 N<sub>2</sub>O 가스는, 물, 수소 등을 포함하지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 산소 가스 또는 N<sub>2</sub>O 가스의 순도를, 6N 이상, 바람직하게는 7N 이상, 즉, 산소 가스 또는 N<sub>2</sub>O 가스 중의 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하로 하는 것이 바람직하다. 산소 가스 또는 N<sub>2</sub>O 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 따라 동시에 감소하게 된 산소를 공급함으로써, 산화물 반도체층(403a)을 고순도화시킨다.
- [0224] 또한, 섬 모양의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(530)에 제 1 가열 처리를 할 수도 있다.

이 경우에는, 제 1 가열 처리 후에 가열 장치에서 기판을 꺼내고, 섬 모양의 산화물 반도체층으로 가공한다.

[0225] 또한, 상기 이외에도, 산화물 반도체층 형성 후라면, 산화물 반도체층(403a) 위에 도전층(405a) 및 도전층(406a)을 형성한 후, 또는 도전층(405a) 및 도전층(406a) 위에 산화물 절연층(407a)을 형성한 후 제 1 가열 처리를 하여도 좋다.

[0226] 또한, 절연층(402a)에 컨택트홀을 형성하는 경우, 제 1 가열 처리를 하기 전에 컨택트홀을 형성하여도 좋다.

[0227] 또한, 산화물 반도체막을 2회에 나누어 성막하고, 2회에 나누어 가열 처리를 함으로써, 하지 부재의 재료가, 산화물, 질화물, 금속 등 재료에 관계없이, 막후가 두꺼운 결정 영역(단결정 영역), 즉, 막 표면에 대하여 수직으로 c축 배향된 결정 영역을 갖는 막을 이용하여 산화물 반도체층을 형성하여도 좋다. 예를 들어, 막후가 3nm 이상 15nm 이하인 제 1 산화물 반도체막을 성막하고, 나아가 제 1 가열 처리로, 질소, 산소, 희ガ스, 또는 건조 에어의 분위기 하에서 450°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 가열 처리를 하고, 표면을 포함하는 영역에 결정 영역(판형 결정을 포함)을 갖는 제 1 산화물 반도체막을 형성한다. 그리고, 제 1 산화물 반도체막보다도 두꺼운 제 2 산화물 반도체막을 형성한다. 나아가 제 2 가열 처리로, 450°C 이상 850°C 이하, 바람직하게는 600°C 이상 700°C 이하의 가열 처리를 하고, 제 1 산화물 반도체막을 결정 성장의 종(see d)으로 하여, 제 1 산화물 반도체막에서 제 2 산화물 반도체막에 걸쳐 상방을 향해 결정 성장시키고, 제 2 산화물 반도체막의 전체를 결정화시킨다. 그 결과, 막후가 두꺼운 결정 영역을 갖는 산화물 반도체막을 이용하여 산화물 반도체층(403a)을 형성할 수 있다.

[0228] 다음으로, 절연층(402a) 및 산화물 반도체층(403a) 위에 제 2 도전막을 형성한다.

[0229] 제 2 도전막으로는, 예를 들어 알루미늄, 크롬, 구리, 탄탈, 티탄, 몰리브덴, 또는 텉스텐 등의 금속 재료, 또는 이를 금속 재료를 주성분으로 하는 합금 재료막을 이용할 수 있다. 또한, 제 2 도전막에 적용 가능한 막의 적층막에 의해 제 2 도전막을 형성할 수 있다.

[0230] 다음으로, 제 3 포토 리소그래피 공정에 의해 제 2 도전막 위에 제 3 레지스트 마스크를 형성하고, 제 3 레지스트 마스크를 이용하여 선택적으로 에칭을 하여 도전층(405a) 및 도전층(406a)을 형성한 후, 제 3 레지스트 마스크를 제거한다(도 9(C) 참조).

[0231] 한편, 도전층(405a) 및 도전층(406a)을 형성할 때에, 제 2 도전막을 이용하여 다른 배선을 형성할 수도 있다.

[0232] 또한, 제 3 레지스트 마스크 형성 시의 노광으로, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하는 것이 바람직하다. 산화물 반도체층(403a) 위에서 이웃하는 도전층(405a)의 하단부와 도전층(406a)의 하단부의 간격 폭에 따라, 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 한편, 제 3 레지스트 마스크 형성 시에 채널 길이(L)=25nm 미만의 노광을 행하는 경우에는, 수nm~수10nm와 극히 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 노광을 행하는 것이 좋다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 10nm 이상 1000nm 이하로 하는 것도 가능하고, 상기 노광을 이용하여 형성된 트랜지스터를 이용함으로써, 회로의 동작 속도를 빠르게 할 수 있고, 나아가 상기 트랜지스터의 오프 전류는, 매우 적으므로, 소비 전력을 저감할 수도 있다.

[0233] 한편, 제 2 도전막을 에칭하는 경우, 에칭에 의한 산화물 반도체층(403a)의 분석을 억제하기 위해, 에칭 조건을 최적화하는 것이 바람직하다. 그러나, 제 2 도전막만 에칭이 이루어지고, 산화물 반도체층(403a)은, 전혀 에칭이 이루어지지 않는다는 조건을 얻는 것은 곤란하며, 제 2 도전막의 에칭 시에 산화물 반도체층(403a)은 일부에만 에칭이 이루어지고, 흄부(요부)를 갖는 산화물 반도체층(403a)이 되는 경우도 있다.

[0234] 본 실시형태에서는, 제 2 도전막의 일 예로 티탄막을 이용하고, 산화물 반도체층(403a)의 일 예로 In-Ga-Zn-O계 산화물 반도체를 이용하므로, 에친트로 암모니아과수(암모니아, 물, 과산화 수소수의 혼합액)를 이용한다.

[0235] 다음으로, 산화물 반도체층(403a), 도전층(405a), 및 도전층(406a) 위에 산화물 절연층(407a)을 형성한다. 이 때, 산화물 절연층(407a)은, 산화물 반도체층(403a)의 상면 일부에 접한다.

[0236] 산화물 절연층(407a)은, 적어도 1nm 이상의 막후로 하고, 스피터링법 등, 산화물 절연층(407a)에 물 또는 수소 등의 불순물이 혼입되지 않는 방법을 적절히 이용하여 형성할 수 있다. 산화물 절연층(407a)에 수소가 혼입되면, 상기 수소의 산화물 반도체층으로의 침입 또는 상기 수소에 의한 산화물 반도체층 중의 산소의 인출에 의해, 산화물 반도체층의 백채널이 저저항화(N형화)하고, 기생 채널이 형성될 우려가 있다. 따라서, 산화물 절연층(407a)이 가능한 수소를 포함하지 않는 층이 되도록, 산화물 절연층(407a)의 제작 방법으로 수소를 이용하

지 않는 방법을 이용하는 것이 바람직하다.

[0237] 본 실시형태에서는, 산화물 절연층(407a)의 일 예로, 스퍼터링법을 이용하여 막후 200nm의 산화 실리콘막을 형성한다. 성막 시의 기판 온도는, 실온 이상 300°C 이하로 하면 되고, 본 실시형태에서는 일 예로 100°C로 한다. 산화 실리콘막의 스퍼터링법에 의한 성막은, 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스 및 산소의 혼합 분위기 하에서 행할 수 있다.

[0238] 또한, 산화물 절연층(407a)을 형성하기 위한 타겟으로는, 예를 들어 산화 실리콘 타겟 또는 실리콘 타겟 등을 이용할 수 있다. 예를 들어, 실리콘 타겟을 이용하여, 산소를 포함하는 분위기 하에서 스퍼터링법에 의해 산화 실리콘막을 형성할 수 있다.

[0239] 또한, 산화물 절연층(407a)을 형성할 때에 이용하는 스퍼터링 가스는, 예를 들어 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0240] 또한, 산화물 절연층(407a)을 형성하기 전에 N<sub>2</sub>O, N<sub>2</sub>, 또는 Ar 등의 가스를 이용한 플라즈마 처리를 하고, 노출되어 있는 산화물 반도체층(403a)의 표면에 부착된 흡착수 등을 제거하여도 좋다. 플라즈마 처리를 한 경우, 대기애 접하지 않게 하여, 산화물 반도체층(403a)의 상면 일부에 접하는 산화물 절연층(407a)을 형성하는 것이 바람직하다.

[0241] 나아가, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200°C 이상 400°C 이하, 예를 들어 250°C 이상 350°C 이하)를 할 수도 있다. 예를 들어, 제 2 가열 처리로, 질소 분위기 하에서 250°C, 1 시간의 가열 처리를 한다. 제 2 가열 처리를 하면, 산화물 반도체층(403a)의 상면 일부가 산화물 절연층(407a)과 접한 상태에서 가열된다.

[0242] 이상의 공정을 거침으로써, 수소, 수분, 수산기, 또는 수소화물(수소 화합물이라고도 한다) 등의 불순물을 산화물 반도체층에서 의도적으로 배제하고, 또한 산소를 산화물 반도체층에 공급할 수 있다. 따라서, 산화물 반도체층은 고순도화된다.

[0243] 이상의 공정에서 트랜지스터가 형성된다(도 10(A) 참조).

[0244] 또한, 산화물 절연층(407a)으로써 결함을 많이 포함하는 산화 실리콘층을 이용하면, 산화 실리콘층 형성 후의 가열 처리에 의해 산화물 반도체층(403a) 중에 포함되는 수소, 수분, 수산기, 또는 수소화물 등의 불순물을 산화물 절연층(407a)에 확산시키고, 산화물 반도체층(403a) 중에 포함되는 상기 불순물을 더욱 저감시키는 효과를 나타낸다.

[0245] 나아가, 산화물 절연층(407a) 위에 보호 절연층(409a)을 형성하여도 좋다. 예를 들어, RF 스퍼터링법을 이용하여 질화 실리콘막을 형성한다. RF 스퍼터링법은, 양산성이 좋으므로, 보호 절연층(409a)의 성막 방법으로 바람직하다. 본 실시형태에서는, 일 예로 질화 실리콘막을 형성함으로써 보호 절연층(409a)을 형성한다(도 10(B) 참조).

[0246] 본 실시형태에서는, 산화물 절연층(407a)까지 형성된 기판(400a)을 100°C~400°C의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하고, 실리콘 반도체의 타겟을 이용하여 질화 실리콘막을 형성함으로써 보호 절연층(409a)을 형성한다. 이 경우에도, 산화물 절연층(407a)과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(409a)을 성막하는 것이 바람직하다.

[0247] 보호 절연층(409a)의 형성 후, 추가로 대기 중, 100°C 이상 200°C 이하, 1 시간 이상 30 시간 이하에서 가열 처리를 행하여도 좋다. 이 가열 처리는 일정한 가열 온도를 유지하여 가열하여도 좋으며, 실온에서, 100°C 이상 200°C 이하의 가열 온도로의 승온과, 가열 온도에서 실온까지의 강온을 복수 회 반복하여 행하여도 좋다. 이상이 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예이다.

[0248] 한편, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예를 도시하였으나, 이에 한정되지 않고, 예를 들어 도 8(B) 내지 도 8(D)에 나타낸 각 구성 요소에서, 명칭이 도 8(A)에 나타낸 각 구성 요소와 동일하고 또한 기능의 적어도 일부가 도 8(A)에 나타낸 각 구성 요소와 동일하면, 도 8(A)에 나타낸 트랜지스터의 제작 방법의 일 예의 설명을 적절히 인용할 수 있다.

[0249] 이상과 같이, 상기 실시형태에 나타낸 분주 회로에 적용 가능한 산화물 반도체층을 갖는 트랜지스터는, 채널 형성층으로 산화물 반도체층을 갖는 트랜지스터이고, 트랜지스터에 이용되는 산화물 반도체층은, 가열 처리에 의해 고순도화시킴으로써 I형 또는 실질적으로 I형이 된 산화물 반도체층이다.

[0250] 또한, 고순도화된 산화물 반도체층은, 캐리어 수가 극히 적고(제로에 가까움), 캐리어 농도는  $1 \times 10^{14}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{12}/\text{cm}^3$  미만, 더욱 바람직하게는  $1 \times 10^{11}/\text{cm}^3$  미만이다. 따라서, 채널폭  $1\mu\text{m}$  당 오프 전류를  $10\text{aA}(1 \times 10^{-17}\text{A})$  이하로 하는 것, 나아가 채널폭  $1\mu\text{m}$  당 오프 전류를  $1\text{aA}(1 \times 10^{-18}\text{A})$  이하, 나아가 채널폭  $1\mu\text{m}$  당 오프 전류를  $10\text{zA}(1 \times 10^{-20}\text{A})$  이하, 나아가 채널폭  $1\mu\text{m}$  당 오프 전류를  $1\text{zA}(1 \times 10^{-21}\text{A})$  이하로 할 수 있다.

[0251] 또한, 예를 들어 상기 트랜지스터를 이용함으로써, 분주 회로의 절연 내압을 향상시킬 수 있다. 본 실시형태의 분주 회로는, 전원 전압 이상의 전압이 트랜지스터의 게이트와, 소스 또는 드레인 사이에 인가되는 경우가 있으므로, 절연 내압이 높은 본 실시형태의 트랜지스터를 이용하는 것이 적합하다.

[0252] (실시형태 5)

[0253] 본 실시형태에서는, 상기 실시형태의 분주 회로를 구비한 반도체 장치에 대해 설명한다.

[0254] 본 실시형태의 반도체 장치로는, 예를 들어 표시 장치, 무선통신 장치, 또는 집적 회로 등을 들 수 있다. 표시 장치로는, 예를 들어 액정 표시 장치 또는 일렉트로루미네센스 표시 장치(EL 표시 장치라고도 한다) 등을 들 수 있다. 무선통신 장치로는, 예를 들어 RFID(Radio Frequency Identification) 태그를 들 수 있다. RFID 태그는, RF 태그, 무선 태그, 전자 태그, 무선 칩 등으로도 불린다.

[0255] 나아가, 본 실시형태의 반도체 장치의 구성예에 대해, 도 11을 이용하여 설명한다. 도 11은, 본 실시형태의 반도체 장치의 구성예를 나타낸 블럭도이다.

[0256] 도 11에 나타낸 반도체 장치는, 클럭 신호 생성 회로(CLKG라고도 한다)(501)와, 제 1 디지털 회로(502a)(DIG1라고도 한다)와, 제 2 디지털 회로(502b)(DIG2라고도 한다)를 구비한다.

[0257] 클럭 신호 생성 회로(501)는, 제 1 클럭 신호 및 제 2 클럭 신호를 출력하는 기능을 갖는다. 또한, 클럭 신호 생성 회로(501)는, 발진 회로 및 분주 회로를 구비한다. 분주 회로로는, 상기 실시형태의 분주 회로를 이용할 수 있다. 한편, 제 1 클럭 신호의 주기 및 제 2 클럭 신호의 주기는 서로 다르며, 제 2 클럭 신호의 주기는, 제 1 클럭 신호의 주기의 N배이다.

[0258] 제 1 디지털 회로(502a)에는, 클럭 신호 생성 회로(501)에 의해 생성된 제 1 클럭 신호가 입력된다. 제 1 디지털 회로(502a)는, 클럭 신호를 이용하여 연산 처리를 하는 기능을 갖는다. 제 1 디지털 회로(502a)로는, 예를 들어 시프트 레지스터, 플립플롭, 또는 논리 회로 등에 의해 구성되는 회로를 들 수 있다.

[0259] 제 2 디지털 회로(502b)에는, 클럭 신호 생성 회로(501)에 의해 생성된 제 2 클럭 신호가 입력된다. 제 2 디지털 회로(502b)는, 클럭 신호를 이용하여 연산 처리를 하는 기능을 갖는다. 제 2 디지털 회로(502b)로는, 예를 들어 시프트 레지스터, 플립플롭, 또는 논리 회로 등에 의해 구성되는 회로를 들 수 있다.

[0260] 이상과 같이, 본 실시형태의 반도체 장치는, 클럭 신호 생성 회로에 분주 회로를 구비하는 구성이다. 상기 구성으로 함으로써, 다른 주기의 클럭 신호를 이용하여 구동하는 복수의 디지털 회로를 구비하는 경우에도, 각각의 디지털 회로를 동작시킬 수 있다.

[0261] 본 출원은 전문이 참조로서 본 명세서에 통합되고, 2010년 4월 9일 일본 특허청에 출원된, 일련 번호가 2010-090296인 일본 특허 출원에 기초한다.

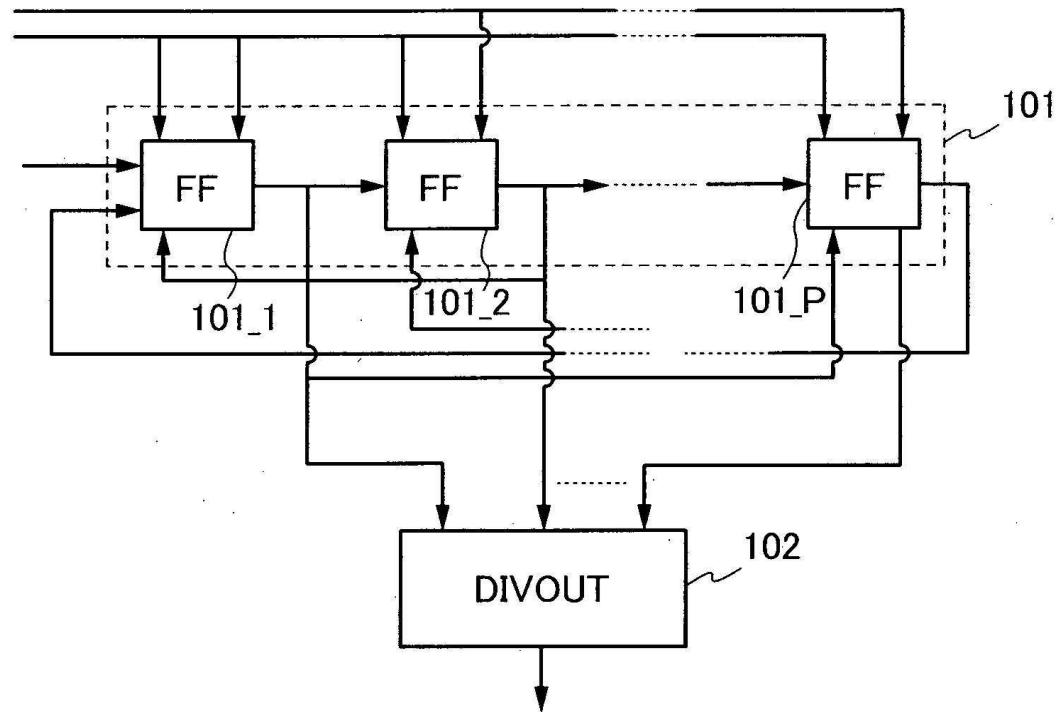
## 부호의 설명

101; 시프트 레지스터	101a; 트랜지스터
101b; 트랜지스터	101c; 트랜지스터
101d; 트랜지스터	101e; 트랜지스터
101f; 트랜지스터	101g; 트랜지스터
101h; 트랜지스터	101i; 트랜지스터

101j; 트랜지스터	101k; 트랜지스터
102; 분주 신호 출력 회로	102a; 트랜지스터
102b; 트랜지스터	102c; 트랜지스터
102d; 트랜지스터	102e; 트랜지스터
102f; 트랜지스터	102g; 트랜지스터
102h; 트랜지스터	102i; 트랜지스터
102j; 트랜지스터	102k; 트랜지스터
102l; 트랜지스터	102m; 트랜지스터
102n; 트랜지스터	102o; 트랜지스터
102p; 트랜지스터	102q; 트랜지스터
102DL1; 자연 회로	102DL2; 자연 회로
201; 단위 분주 회로	202; 단위 분주 회로
400a; 기판	400b; 기판
400c; 기판	400d; 기판
401a; 도전층	401b; 도전층
401c; 도전층	401d; 도전층
402a; 절연층	402b; 절연층
402c; 절연층	402d; 절연층
403a; 산화물 반도체층	403b; 산화물 반도체층
403c; 산화물 반도체층	403d; 산화물 반도체층
405a; 도전층	405b; 도전층
405c; 도전층	405d; 도전층
406a; 도전층	406b; 도전층
406c; 도전층	406d; 도전층
407a; 산화물 절연층	407c; 산화물 절연층
409a; 보호 절연층	409b; 보호 절연층
409c; 보호 절연층	427; 절연층
447; 절연층	501; 클럭 신호 생성 회로
502a; 디지털 회로	502b; 디지털 회로
530; 산화물 반도체막	

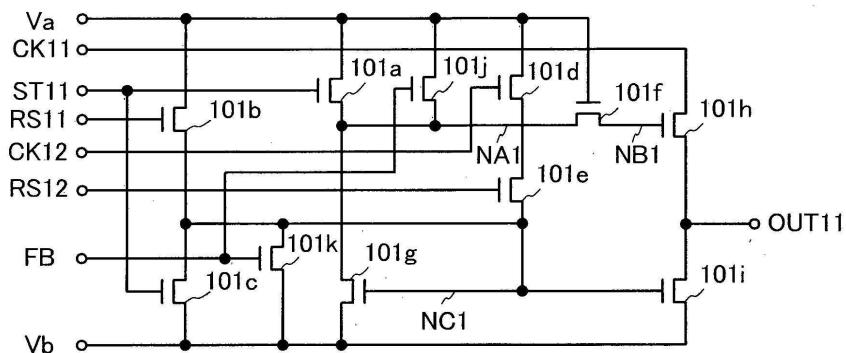
도면

도면1

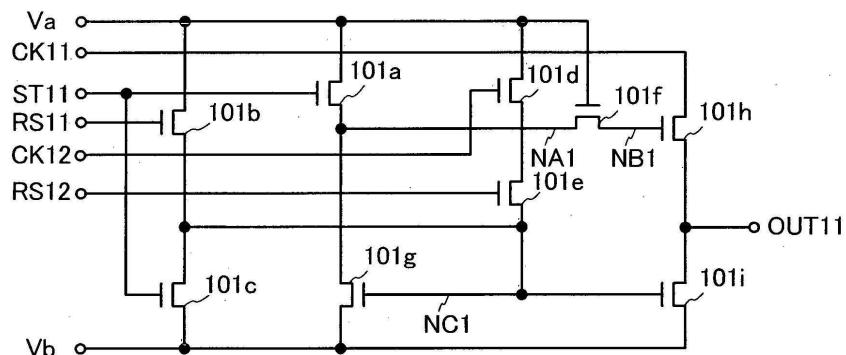


## 도면2

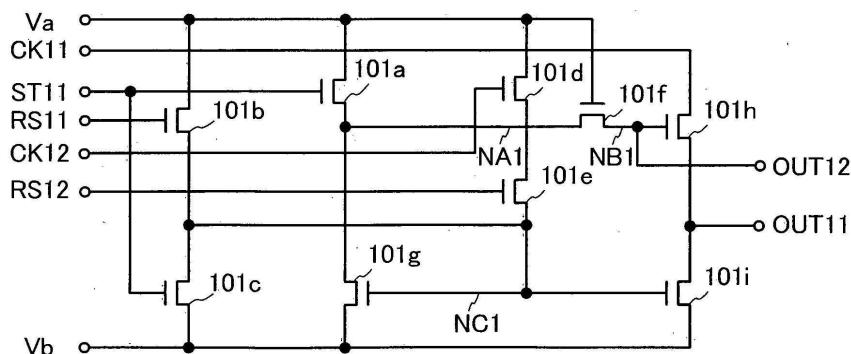
(A)



(B)

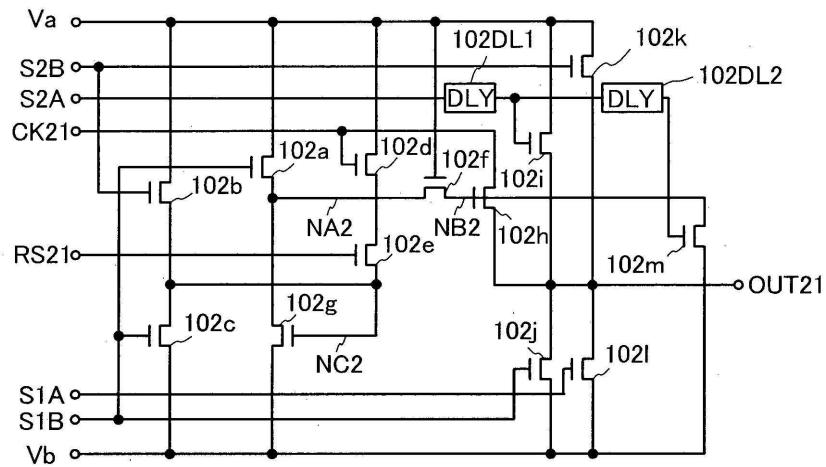


(C)

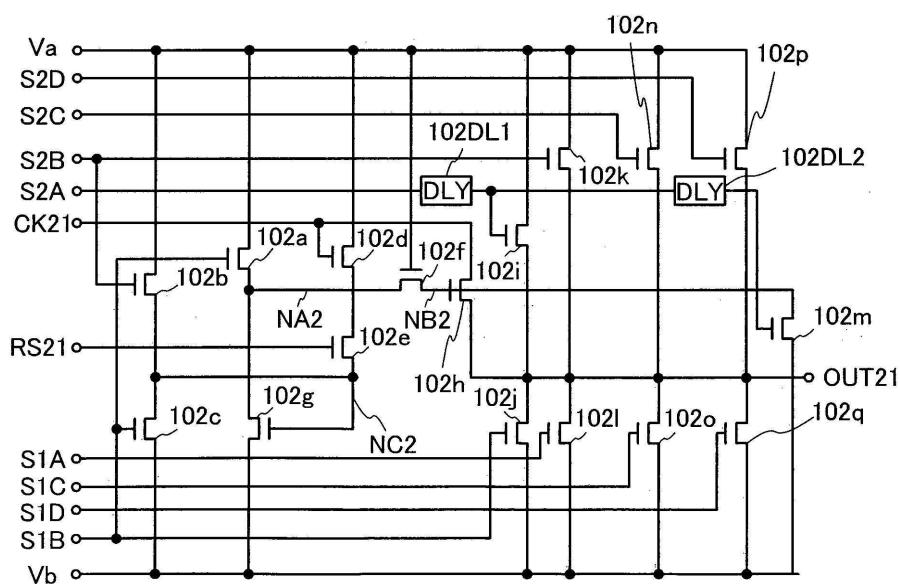


## 도면3

(A)

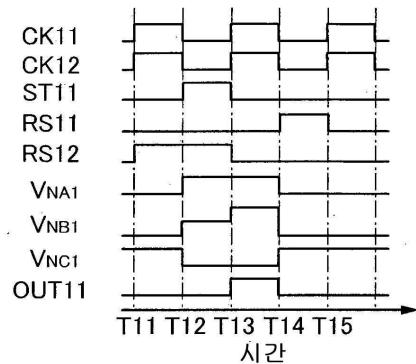


(B)

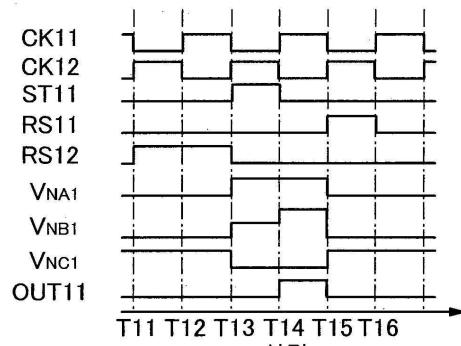


## 도면4

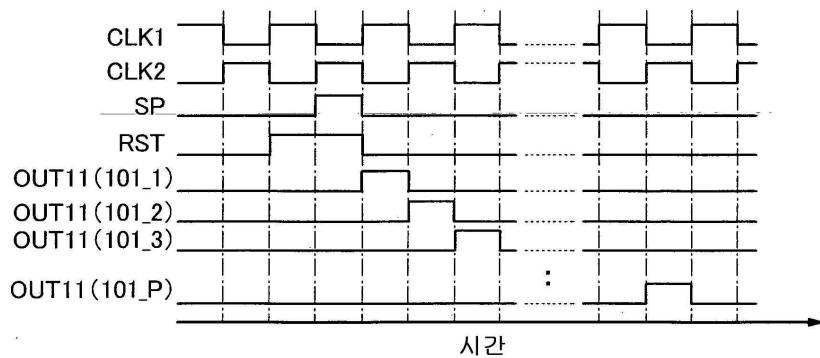
(A)



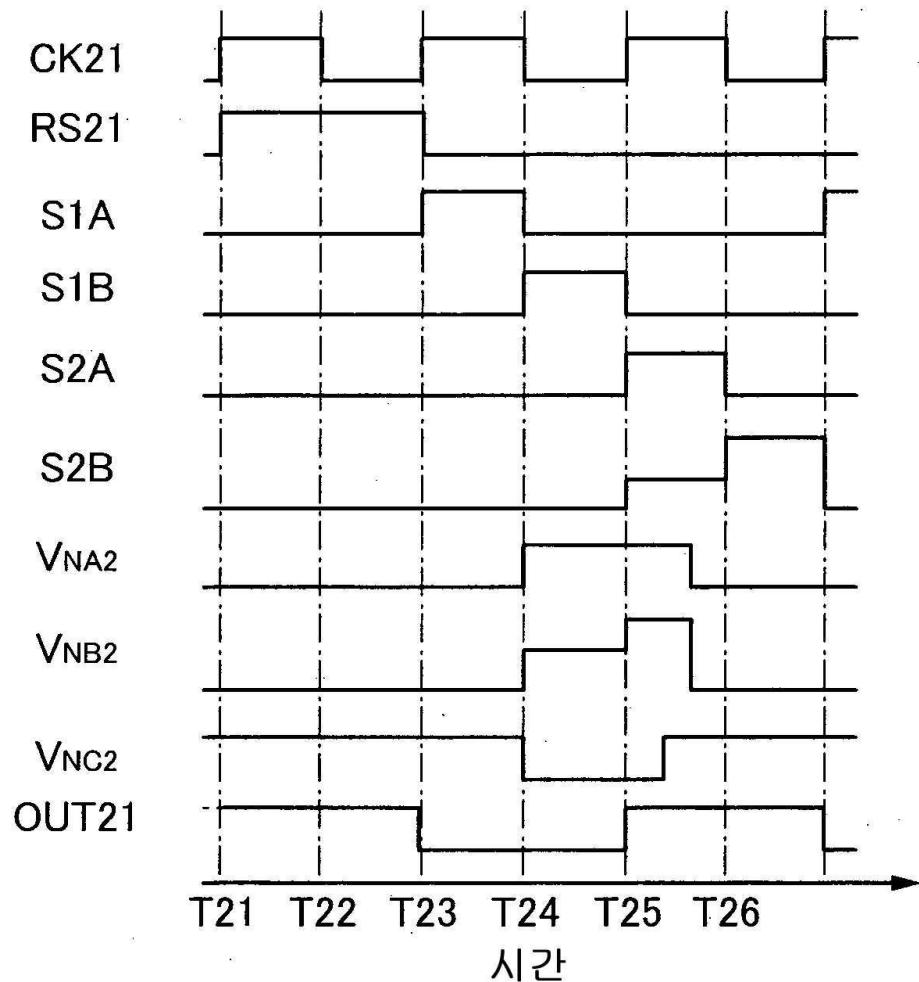
(B)



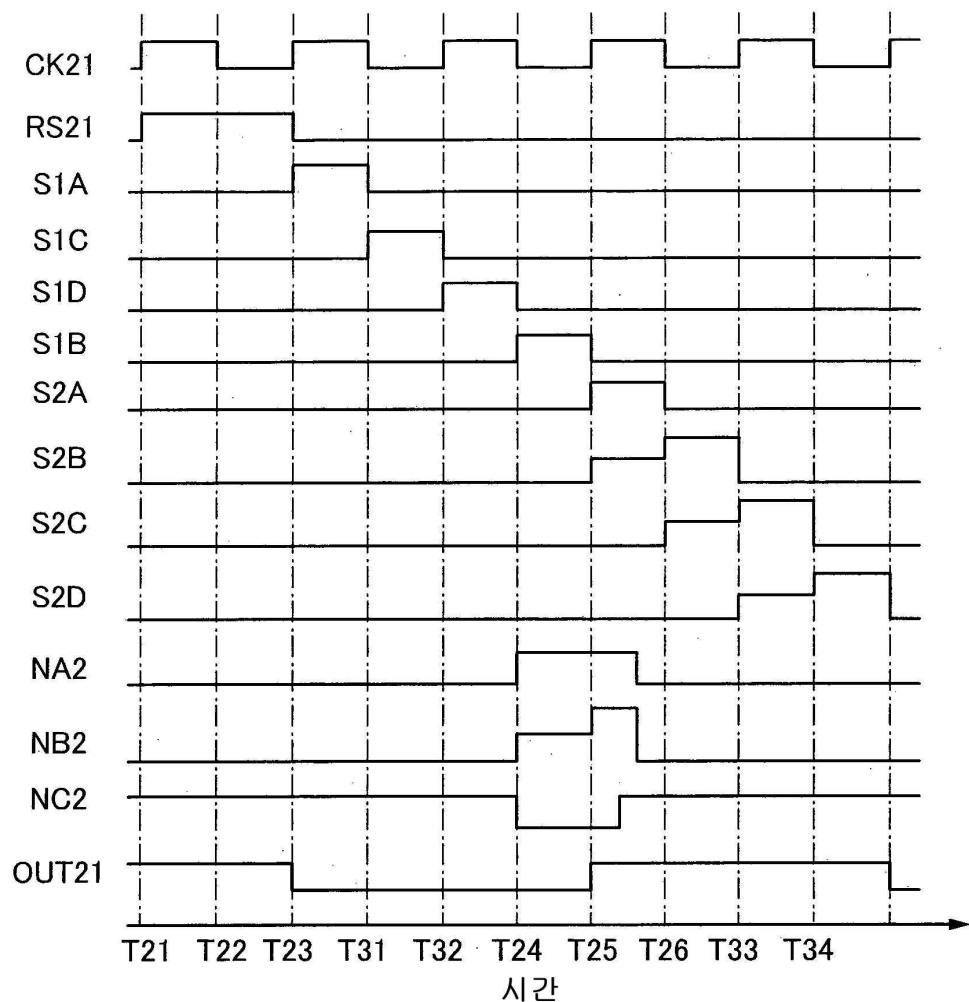
(C)



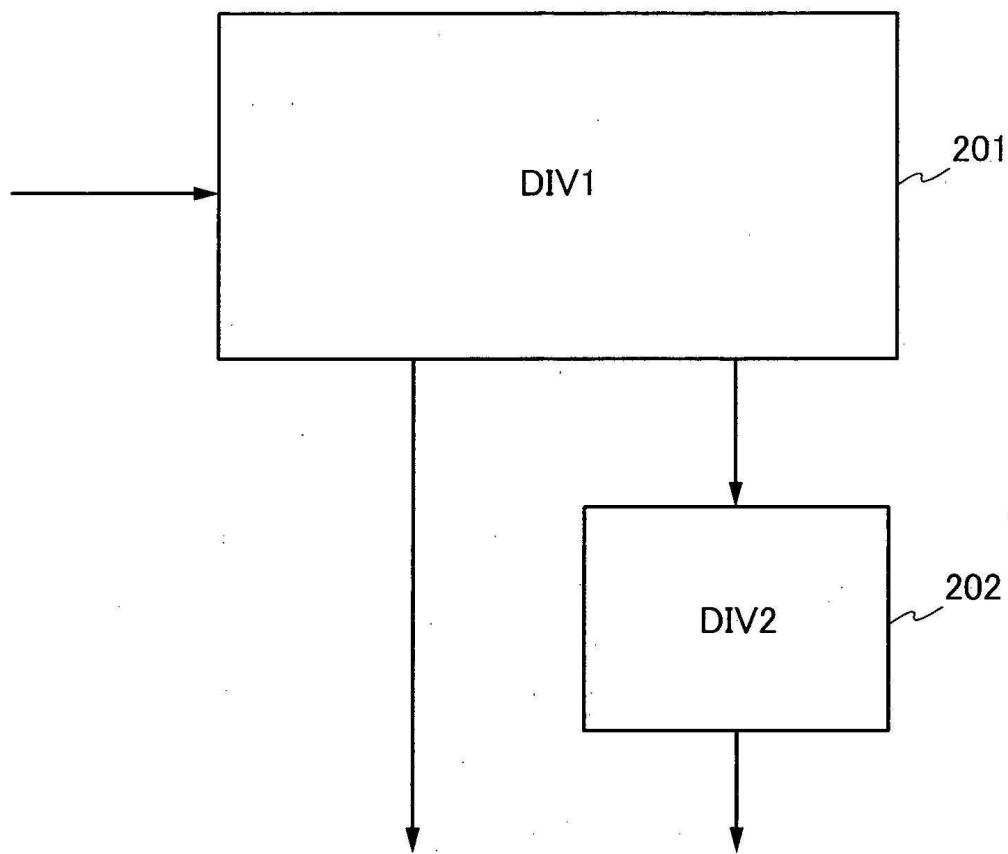
도면5



도면6

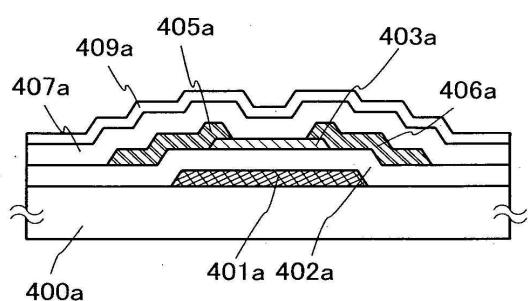


도면7

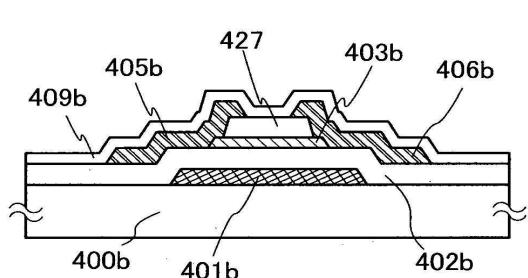


## 도면8

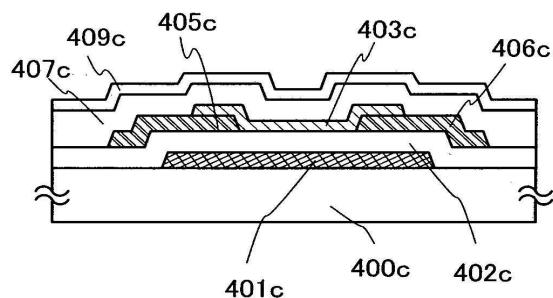
(A)



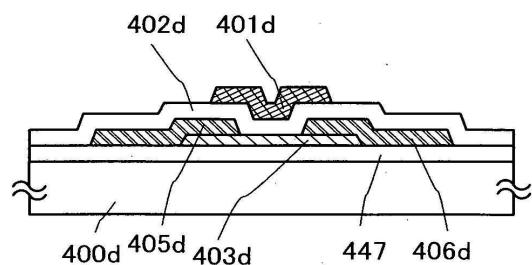
(B)



(C)

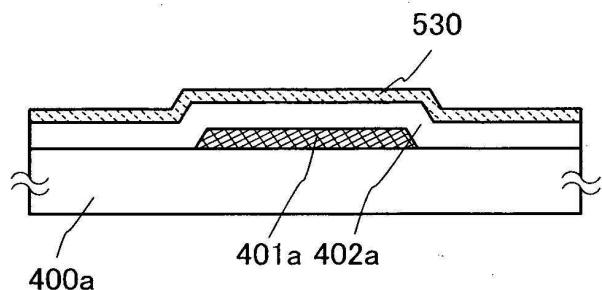


(D)

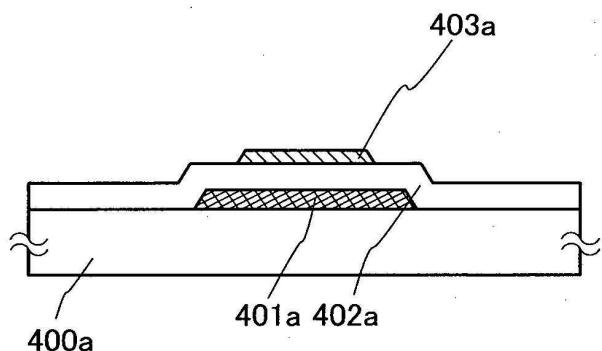


도면9

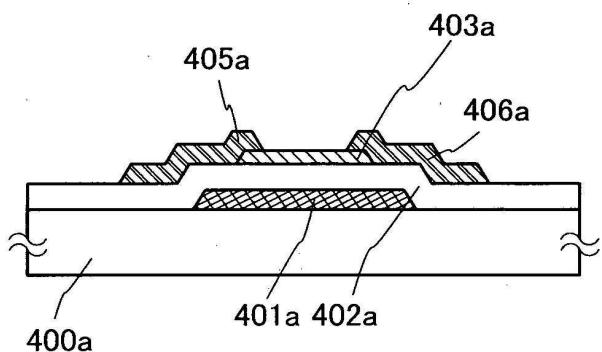
(A)



(B)

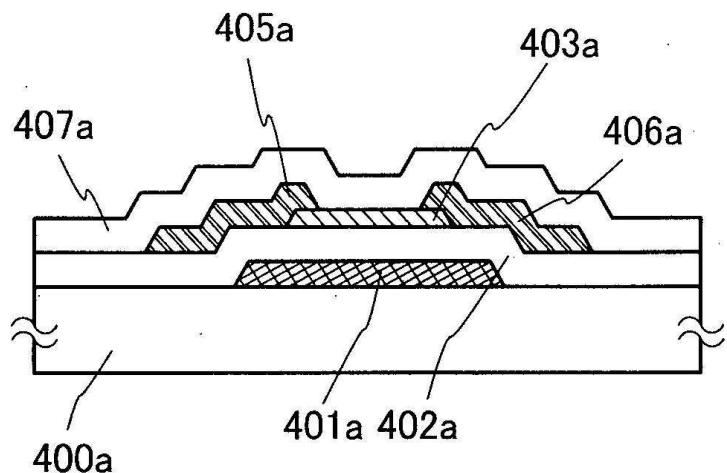


(C)

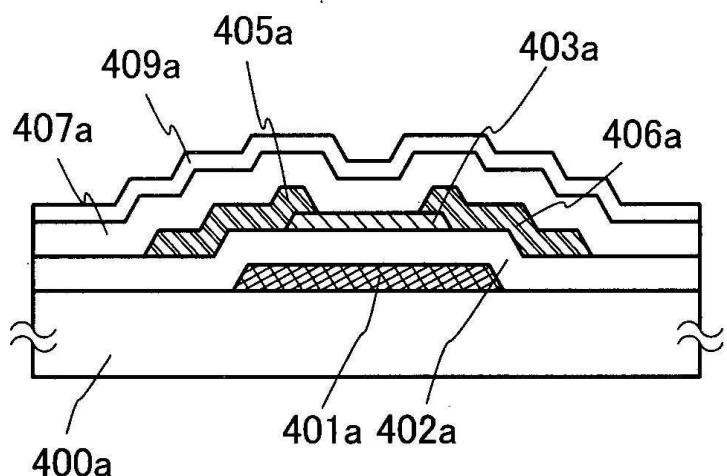


도면10

(A)



(B)



도면11

