

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G02F 1/1343		(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년05월 15일 10-0257369 2000년02월29일
(21) 출원번호	10-1997-0019201	(65) 공개번호	특 1998-0083766
(22) 출원일자	1997년05월 19일	(43) 공개일자	1998년 12월 05일
(73) 특허권자	엘지.필립스엘시디주식회사 구본준 서울특별시 영등포구 여의도동 20번지엘지.필립스엘시디주식회사 론 위라 하디락사		
(72) 발명자	서울특별시 영등포구 여의도동 20번지 오영진 경기도 남양주시 금곡동 효창APT 1-307 최재범 서울특별시 종로구 옥인동 옥인연립 5-31 하상구, 하영욱		
(74) 대리인			

심사관 : 이금옥

(54) 횡전계방식액정표시장치

요약

본 발명의 횡전계방식 액정표시장치는 게이트배선과 데이터배선에 의해 정의되는 화소영역 내에 액정분자를 기판과 수평한 방향으로 스위칭시키는 적어도 한쌍의 투명한 데이터전극과 공통전극이 형성되어 있다. ITO(indium tin oxide)로 이루어진 공통전극 및 데이터전극은 동일한 평면 또는 다른 평면에 형성되어 개구율이 향상된다. 보호막 위의 공통전극은 보호막과 게이트절연막에 형성된 홀을 통해 공통배선에 접속된다.

대표도

도2a

명세서

도면의 간단한 설명

도 1(a)는, 종래의 횡전계방식 액정표시장치의 평면도.
 도 1(b)는, 도 1(a)의 A-A'선 단면도.
 도 2(a)는, 본 발명의 제1실시예에 따른 횡전계방식 액정표시장치의 평면도.
 도 2(b)는, 도 2(a)의 B-B'선 단면도.
 도 2(c)는, 도 2(a)의 C-C'선 단면도.
 도 2(d)는, 도 2(a)의 D-D'선 단면도.
 도 3(a)는, 본 발명의 제2실시예에 따른 횡전계방식 액정표시장치의 단면도.
 도 3(b)는, 도 3(a)의 E-E'선 단면도.

- 도면의 주요부분에 대한 부호의 설명 -

101, 201 : 게이트배선	102, 202 : 데이터배선
105, 205 : 게이트전극	106, 206 : 소스/드레인전극
108, 208 : 데이터전극	109, 209 : 공통전극
110, 210 : 제1기판	111, 211 : 제2기판
112, 212 : 게이트절연막	115, 215 : 반도체층
116, 216 : 오믹컨택층	120, 220 : 보호막
123a, 223a : 제1배향막	123b, 223b : 제2배향막
125, 225 : 홀	129, 229 : 컬러필터층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 공통전극과 데이터전극이 투명한 금속으로 이루어진 횡전계 방식 액정표시장치에 관한 것이다.

고화질, 저전력의 평판표시장치(flat panel display device)로서 주로 사용되는 트위스트네마틱모드(twisted nematic mode) 액정표시장치(liquid crystal display device)는 시야각이 좁다는 단점이 있다. 이것은 액정분자의 굴절을 이방성(refractive anisotropy)에 기인하는 것으로, 기판과 수평하게 배향된 액정분자가 액정패널(liquid crystal panel)에 전압이 인가될 때 기판과 거의 수직방향으로 배향되기 때문이다.

따라서, 액정분자를 기판과 거의 수평한 방향으로 배향하여 시야각 문제를 해결하는 횡전계 방식 액정표시장치(in plane switching mode LCD)가 최근에 활발하게 연구되고 있다.

도 1은 상기한 횡전계 방식 액정표시장치를 나타내는 도면이다. 도 1(a)에 나타난 바와 같이, 투명한 제1기판(10)에는 종횡으로 게이트배선(1) 및 데이터배선(2)이 배열되어 있다. 이 게이트배선(1)과 데이터배선(2)에 의해 화소영역이 정의되는데, 실제의 액정패널은 수많은 화소영역으로 구성되어 있지만 도면에서는 한 화소만을 나타낸다. 상기한 화소영역 내에는 게이트배선(1)과 평행한 공통배선(3)이 배열되어 있으며, 게이트배선(1)과 데이터배선(2)의 교차점에는 박막트랜지스터(thin film transistor)가 형성되어 있다. TFT는 도 1(b)에 나타난 바와 같이, 게이트전극(5), 게이트절연막(12), 소스/드레인전극(6), 반도체층(15), 오믹컨택층(16) 및 소스/드레인전극(6)으로 구성되며, 상기한 게이트전극(5) 및 소스/드레인전극(6)은 각각 게이트배선(1) 및 데이터배선(2)에 접속된다. 또한, 게이트절연막(12)은 기판 전체에 걸쳐서 적층되어 있다.

화소영역에는 서로 평행한 공통전극(9) 및 데이터전극(8)이 형성되어 있다. 공통전극(9)은 제1기판(10) 위에 게이트전극(5)과 동시에 형성되어 공통배선(3)에 접속되며, 데이터전극(8)은 게이트절연막(12) 위에 소스/드레인전극(6)과 동시에 형성되어 TFT의 소스/드레인전극(6)과 접속된다. 그리고 제1기판(10) 전체에 걸쳐서 보호막(20) 및 제1배향막(23a)이 도포되어 있다.

제2기판(11)에는 TFT, 게이트배선(1), 데이터배선(2)으로 빛이 새는 것을 방지하는 블랙매트릭스(28)와 컬러필터층(color filter layer)(29)이 형성되어 있으며, 그 위에 제2배향막(23b)이 도포되어 있다. 또한, 상기한 제1기판(10) 및 제2기판(11) 사이에는 액정층(30)이 형성된다.

상기한 구조의 액정표시장치에서 전압이 인가되지 않는 경우에는 액정층(30) 내의 액정분자가 제1배향막(23a) 및 제2배향막(23b)의 배향방향에 따라 배향되지만, 공통전극(9)과 데이터전극(8) 사이에 전압이 인가되면 기판과 평행하게 스위칭되어 상기한 공통전극(9) 및 데이터전극(8)의 연장방향과 수직한 방향으로 배향된다. 상기한 바와 같이, 액정층(30) 내의 액정분자가 항상 동일한 평면(plane) 상에서 스위칭되기 때문에, 상하방향 및 좌우방향의 시야각방향에서 계조표시(grey level)의 반전이 일어나지 않는다.

그러나, 상기한 구조의 횡전계 방식 액정표시장치에서는 화면이 표시되는 화소영역 내에 불투명한 금속으로 이루어진 공통전극(9) 및 데이터전극(8)이 형성되어 있기 때문에, 개구율(aperture ratio)이 저하되는 문제가 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 문제를 해결하기 위한 것으로, 공통전극과 데이터전극을 투명한 금속으로 형성함으로써, 개구율이 향상된 액정표시장치를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은, 공통전극과 데이터전극을 동일한 표면에 형성하여 액정층에 기판의 표면과 완전히 평행한 횡전계를 인가함으로써, 시야각 특성이 더욱 향상된 액정표시장치를 제공하는 것이다.

상기한 목적을 달성하기 위해, 본 발명에 따른 액정표시장치는 제1기판 및 제2기판과, 상기한 제1기판에 종횡으로 배열되어 화소영역을 정의하는 게이트배선 및 데이터배선과, 상기한 게이트배선과 데이터배선의 교차점에 배치한 박막트랜지스터와, 상기한 화소영역 내에 게이트배선과 평행하게 배열된 공통배선과, 상기한 화소영역 내에 평행하게 배열된 적어도 한쌍의 투명전극과, 상기한 제1기판에 도포된 제1배향막과, 상기한 제2기판에 형성되어 게이트배선, 데이터배선 및 박막트랜지스터 영역으로 빛이 새는 것을 방지하는 차광층과, 상기한 제2기판 및 차광층 위에 형성된 컬러필터층과, 상기한 컬러필터층 위에 도포된 제2배향막으로 구성된다.

한쌍의 투명전극은 ITO(indium tin oxide)로 이루어진 공통전극 및 데이터전극으로 화소영역 내의 동일한 평면상에 형성되거나 다른 평면상에 형성된다.

투명전극이 다른 평면상에 형성될 때에는, 데이터전극은 게이트절연막 위에 형성되고 공통전극은 보호막 위에 형성된다. 공통배선 위에는 공통전극과 데이터배선이 각각 접속되는 배선이 형성되어 있으며, 상기한 공통전극이 접속된 배선은 보호막에 형성된 홀을 통해 공통배선에 접속된다. 공통전극과 데이터전극이 각각 접속되는 배선은 공통배선과 이중의 저장용량을 형성하여 폭이 좁은 공통배선의 적용을 가능하게 한다.

ITO로 이루어진 공통전극 및 데이터전극이 게이트절연막 위에 형성되는 경우에는 보호막이 공통배선과 박막트랜지스터 위에만 형성되어, 상기한 보호막을 통해 공통전극이 공통배선에 접속되고 데이터전극이 박

막트랜지스터의 소스/드레인전극에 접속된다. 양 전극이 형성되는 화소영역에는 보호막이 에칭되어 강한 세기의 전계가 액정층내에 기판의 표면과 완전하게 평행하게 인가된다.

발명의 구성 및 작용

도 2는 본 발명의 제1실시예에 따른 횡전계방식 LCD를 나타내는 도면이다. 도면에 나타난 바와 같이, 제1기판(110)에는 게이트배선(101) 및 데이터배선(102)이 중첩으로 교차하여 화소영역을 정의하며, 상기한 화소영역 내에는 공통배선(103)이 게이트배선(101)과 평행하게 배치되어 있다. 게이트배선(101)과 데이터배선(102)의 교차점에는 TFT가 형성되어 있다. TFT는 도 2(b)에 나타난 바와 같이, 게이트전극(105)과, 상기한 게이트전극(105) 위에 적층된 게이트절연막(112)과, 상기한 게이트절연막(112) 위에 형성된 반도체층(115)과, 상기한 반도체층 위에 형성된 오믹컨택층(116)과, 상기한 오믹컨택층(116) 위에 형성된 소스/드레인전극(106)으로 구성된다. 이때, 상기한 게이트절연막(112)은 기판(110) 전체에 걸쳐서 적층되어 있다.

게이트전극(105)은 게이트배선(101) 및 공통배선(103)과 동일한 공정에 의해 형성되는 것으로, Al, Mo, Ta 또는 Al합금 등과 같은 금속을 스퍼터링(sputtering) 방법으로 적층한 후 포토에칭(photoetching)하여 형성한다. 이때, 절연성을 향상시키기 위해 게이트배선(101)과 게이트금속(105)을 양극 산화하여 양극 산화막을 형성하는 것도 가능하다. 게이트절연막(112)은 SiN_x 또는 SiO_x 등을 플라즈마 CVD (plasma chemical vapor deposition)방법에 의해 적층하여 형성한다.

반도체층(115)은 비정질실리콘(amorphous silicon)을 플라즈마 CVD방법에 의해 적층하고 에칭하여 형성하며, 오믹컨택층(116)은 n^+ a-Si를 적층하여 형성한다. 소스/드레인전극(106)은 데이터배선(102)과 동시에 형성되는 것으로, Al, Cr, Ti, Al합금 등의 금속을 스퍼터링방법으로 적층하고 에칭하여 형성한다. 이때, 상기한 반도체층(115), 오믹컨택층(116) 및 소스/드레인전극(106)을 각각 별개의 공정에 의해 형성하는 것도 가능하지만, 먼저 게이트절연막(112) 위에 a-Si층, n^+ a-Si층 및 금속층을 연속 적층한 후, 상기한 금속층을 에칭하여 소스/드레인전극(106)을 형성하고, 이 소스/드레인전극(106)을 마스크로 하여 a-Si층 및 n^+ a-Si층을 에칭하여 반도체층(115) 및 오믹컨택층(116)을 형성하는 것도 가능하다. 또한, 상기한 반도체층(115) 위에는 에칭시 반도체층(115)의 채널영역이 에칭되는 것을 방지하기 위한 ES층(etching stopper)를 형성할 수도 있다. 소스/드레인전극(106) 위에는 SiN_x 나 SiO_x 등과 같은 무기물 또는 BCB(BenzoCycloButene)과 같은 유기물로 이루어진 보호막(120)이 형성되어 있다.

화소 내에는 도 2(a)에 나타난 바와 같이, 적어도 한쌍의 공통전극(109)과 데이터전극(108)이 서로 평행하게 형성되어 있다. 데이터전극(108)은 ITO(indium tin oxide)와 같은 투명한 금속으로 이루어진 것으로, 스퍼터링 방법에 의해 게이트절연막(112) 위에 형성되며, 공통전극(109)도 ITO와 같은 투명한 금속을 스퍼터링 방법으로 적층하고 에칭하여 보호막(120) 위에 형성된다. 이때, 공통배선(103)의 게이트절연막(112)과 보호막(120) 위에는 각각 데이터배선(102)과 게이트배선(101)이 접속되는 배선이 형성되어 있다. 특히, 도 2(c)에 나타난 바와 같이, 상기한 공통전극(109)이 접속되는 배선 아래의 게이트절연막(112)과 보호막(120)에는 홀(125)이 형성되어 공통전극(109)이 상기한 홀을 통해 공통배선(103)에 접속된다. 도면에서 게이트절연막(112)과 보호막(120)에 형성된 홀을 하나의 도면번호로 표현하는 것은, 상기한 홀을 형성할 때 게이트절연막(112)과 보호막(120)을 한꺼번에 에칭하여 하나의 홀로 형성하기 때문이다.

보호막(120) 위에 도포된 제1배향막(123a)은 폴리이미드(polyimide)나 광반응성물질로 구성된다. 폴리이미드로 이루어진 배향막(123a)은 기계적인 러빙(rubbing)에 의해 배향방향이 결정되지만, PVCN(polyvinylcinnemate)계 물질이나 폴리실록산계 물질과 같은 광반응성 물질로 이루어진 배향막(123a)은 자외선과 같은 광의 조사에 의해 배향방향이 결정된다. 상기한 광반응성 물질을 배향막으로 사용할 때, 배향방향은 조사되는 광의 편광방향 등과 같이 빛의 성질에 따라 달라진다.

제2기판(111)에는 차광층(shielding layer)인 블랙매트릭스(128)가 형성되어 있으며, 그 위에 컬러필터층(129)이 형성되어 있다. 블랙매트릭스(128)는 게이트배선(101), 데이터배선(102) 및 TFT 근처로 빛이 새는 것을 방지하기 위한 것으로, Cr이나 CrO_x 등과 같은 금속을 스퍼터링방법으로 적층하여 형성한다. 각 화소영역의 컬러필터층(129)은 R, G, B가 연속된다. 또한, 상기한 컬러필터층(129) 위에는 평탄성을 향상시키기 위해 오버코트층(overcoat layer)이 형성될 수도 있다.

오버코트층 위에는 폴리이미드나 광반응성 물질로 이루어진 제2배향막(123b)이 도포된 후, 러빙이나 빛의 조사에 의해 임의의 배향방향이 결정된다. 제1기판(110)과 제2기판(111) 사이에는 진공상태에서 액정이 주입되어 액정층(130)이 형성된다.

상기한 구조의 액정표시장치에서, 도면표시하지 않은 외부구동회로부터 TFT를 통해 전압이 인가되면, 공통전극(109)과 데이터전극(108) 사이에 기판의 표면과 평행한 횡전계가 형성된다. 이 횡전계에 의해, 제1배향막(123a)과 제2배향막(123b)의 배향방향을 따라 배향된 액정분자가 기판(110)과 수평하게 스윙칭되어, 액정층(130)을 투과하는 빛의 양을 제어하게 된다. 전압이 인가되지 않았을 때, 액정은 주로 네마틱액정이고 제1배향막(123a)과 제2배향막(123b)의 배향방향은 서로 수직으로 결정되어 액정분자가 액정층(130) 내에서 트위스트모드가 된다. 만약, 액정층(130)의 두께를 양 전극(108, 109)의 간격 보다 작게 하면, 횡전계가 액정층(130) 전체에 걸쳐서 균일하게 인가되기 때문에, 액정분자가 액정층(130) 내에서 평행하게 배열된다. 도면에는 표시하지 않았지만, 제1기판(110) 및 제2기판(111)에 부착되는 편광판의 편광축방향을 서로 평행하게 배치하면, 전압의 무인가시에는 액정분자가 액정층(130)내에서 트위스트되어 빛이 액정층(130)을 투과하지 못하고 전압인가시에는 횡전계에 의해 액정분자가 액정층(130) 내에서 상기한 편광판의 편광축방향과 평행하게 되기 때문에 광이 액정층(130)을 투과하게 되어 흑색바탕모드(normally black mode)가 된다. 또한, 본 실시예에서는 제1배향막(123a)과 제2배향막(123b)에 의해 액정분자가 배향되지만, 제1기판(110)과 제2기판(111) 중 한 쪽 기판에만 배향막을 도포한 후, 카이랄도판트(chiral dopant)를 첨가해도 액정분자를 트위스트시킬 수 있으므로 원하는 흑색바탕모드를 얻을 수 있다.

상기한 바와 같이, 본 실시예의 액정표시장치가 종래의 액정표시장치와 다른 점은 투명한 금속으로 이루어진 데이터전극(108)과 공통전극(109)이 각각 게이트절연막(112)과 보호막(120) 위에 형성되어 있다는

것이다. 따라서, 데이터전극(108) 및 공통전극(109)이 불투명 금속으로 이루어진 종래의 LCD에 비해 개구율이 대폭 향상된다. 또한, 공통배선(103)이 불투명한 금속으로 이루어져 있기 때문에, 저항이 큰 ITO를 사용하는 것에 의해 발생할 수 있는 신호의 지연을 방지할 수 있게 된다. 더욱이, 도 2(d)에 나타난 바와 같이, 공통배선(103) 위의 데이터전극(108)과 공통전극(109)이 접속되는 배선에 의해 저장용량(storage capacitor)이 이중으로 형성되기 때문에, 공통배선(103)의 폭을 종래의 LCD에 비해 작게 할 수 있기 때문에, 개구율이 더욱 향상된다.

또한, 본 실시예에서 상기한 바와 같이 공통전극(109)과 데이터전극(108)을 모두 투명금속으로 형성하지 않고, 데이터전극(108)만 투명금속으로 형성하는 것도 가능하다.

도 3은 본 발명의 제2실시예를 나타내는 도면이다. 본 실시예와 제1실시예의 차이점은 ITO와 같은 투명한 금속으로 이루어진 공통전극(209)과 데이터전극(208)이 게이트절연막(212) 위에 형성되어 있다는 점이다. 도 3(a)에 나타난 바와 같이, SiNx 나 SiOx 등과 같은 무기물 또는 BCB와 같은 유기물로 이루어진 보호막(220)이 공통배선(203) 근처에만 적층되어 있다. 투명한 금속으로 이루어진 공통전극(209)과 데이터전극(208)은 도 3(b)에 나타난 바와 같이 게이트절연막(212) 위에 형성되는데, 각각의 공통전극(209)은 보호막(220)에 형성된 홀(225b)을 통해 공통배선(203)에 접속된다. 이때, 도면에 나타난 바와 같이, 각각의 공통전극(209)을 홀(225b)을 통해 공통배선(203)에 접속시키는 것도 가능하지만, 제1실시예와 같이 공통배선(203) 위에 공통전극(209)이 접속되는 배선을 형성하고 홀(225b)을 통해 상기한 배선을 공통배선(203)에 연결함으로써, 공통전극(209)을 한꺼번에 공통배선(203)에 연결하는 것도 가능하다.

도 3(b)에 나타난 바와 같이, 보호막(220)은 공통배선(203) 영역에만 형성되어 있는 것이 아니라, TFT에도 형성되어 있기 때문에 데이터배선(208)은 소스/드레인전극(206) 위의 보호막(220)에 형성된 홀(225a)을 통해 소스/드레인전극(206)에 접속된다.

상기한 제2실시예에서는 투명한 데이터전극(208)과 공통전극(209)이 동일한 평면, 즉 게이트절연막(212) 위에 형성되어 있기 때문에, 종래의 LCD에 비해 개구율이 대폭 향상될 뿐만 아니라 전압인가시 액정층(230) 내에 기관(210)의 표면과 완전히 평행한 횡전계가 인가된다. 따라서, 액정층(230) 내의 액정분자가 완전하게 기관(210)의 표면과 평행하게 스위칭되어 시야각 특성이 향상된다. 또한, 화소영역 내에는 보호막(220)이 적층되어 있지 않기 때문에, 액정층(230) 내에 더욱 강한 세기의 전계가 인가된다. 그러므로, 액정의 스위칭속도가 더욱 향상되어, 동화상구현시 화상이 끊어지는 현상을 방지할 수 있게 된다.

발명의 효과

본 발명은 상기한 바와 같이, 공통전극 및 데이터전극이 투명한 금속으로 형성되기 때문에, 개구율이 대폭 향상된다. 또한, 공통전극과 데이터전극이 보호막이 에칭된 화소 내의 동일한 평면상에 형성될 때에는 기관의 표면과 완전히 평행한 횡전계가 액정층 내에 인가되어 시야각 특성이 향상될 뿐만 아니라, 강한 세기의 횡전계에 의해 액정의 구동속도가 향상된다. 더욱이, 공통배선 위에 공통전극 및 데이터전극과 각각 접속되는 배선이 형성되어 이중의 저장용량이 형성되기 때문에, 공통전극의 폭을 작게 할 수 있게 된다. 따라서, 개구율이 더욱 향상된 액정표시장치를 얻을 수 있게 된다.

(57) 청구의 범위

청구항 1

제1기관 및 제2기관과;

상기한 제1기관에 종횡으로 배열되어 화소영역을 정의하는 게이트배선 및 데이터배선과;

상기한 화소영역 내에 형성된 공통배선과;

상기한 게이트배선 및 데이터배선의 교차점에 형성된 게이트전극, 소스/드레인전극으로 이루어진 박막트랜지스터와;

상기한 게이트전극 위에 형성된 게이트절연막과;

상기한 게이트절연막 위에 형성된 투명한 제1전극과;

상기한 제1전극 위에 형성된 보호막과;

상기한 보호막 위에 형성되고, 상기한 제1전극과 횡전계를 형성하는 투명한 제2전극과;

상기한 제1기관과 제2기관 사이에 형성된 액정층으로 구성된 횡전계방식 액정표시장치.

청구항 2

제1항에 있어서, 상기한 게이트절연막 및/또는 보호막이 홀을 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 3

제1항에 있어서, 상기한 제1전극이 데이터전극이고, 상기한 제2전극이 공통전극인 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 4

제2항에 있어서, 상기한 공통전극이 상기한 홀을 통해 상기한 공통배선에 접속되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 5

제1항에 있어서, 상기한 공통배선, 제1전극, 제2전극이 이중의 저장용량을 형성하는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 6

제1기판 및 제2기판과;

상기한 제1기판에 중첩되어 배열되어 화소영역을 정의하는 게이트배선 및 데이터배선과;

상기한 화소영역 내에 형성된 공통배선과;

상기한 게이트배선 및 데이터배선의 교차점에 형성된 게이트전극, 소스/드레인전극으로 이루어진 박막트랜지스터와;

상기한 게이트전극 위에 형성된 게이트절연막과;

상기한 제1기판 위에 형성된 보호막과;

상기한 게이트절연막 위에 형성되고, 횡전계를 형성하는 투명한 제1전극 및 제2전극과;

상기한 제1기판과 제2기판 사이에 형성된 액정층으로 구성된 횡전계방식 액정표시장치.

청구항 7

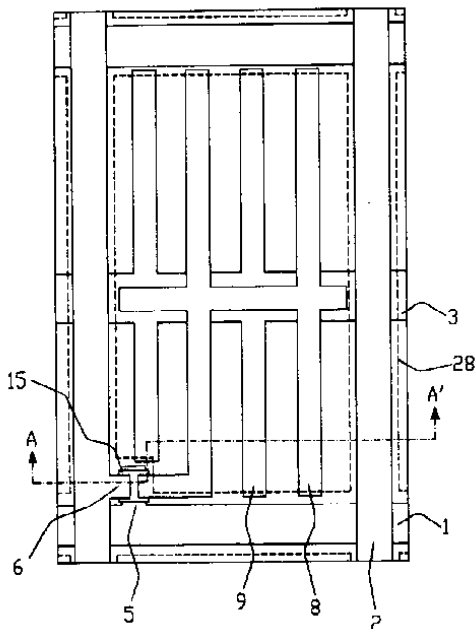
제1항에 있어서, 상기한 보호막이 박막트랜지스터와 공통배선 위에 형성된 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 8

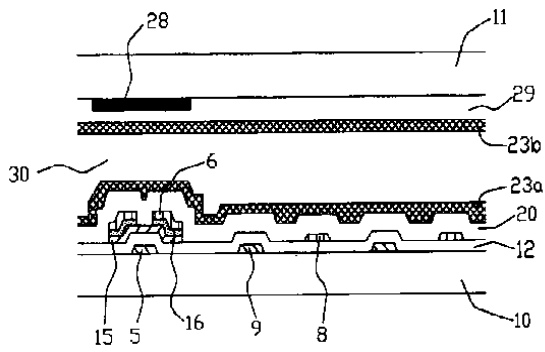
제1항에 있어서, 상기한 제1기판 및 제2기판 위에 형성된 배향막을 추가로 포함하는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 9

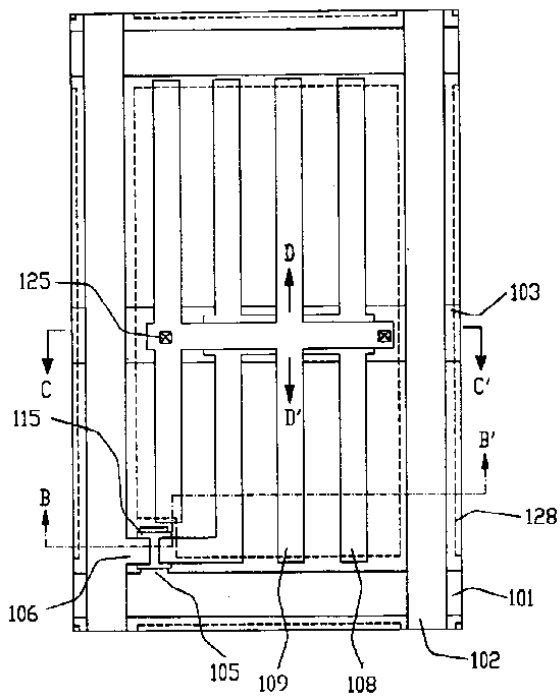
제8항에 있어서, 상기한 배향막이 폴리이미드 및 광반응성 물질의 일군으로부터 선택되는 것을 특징으로 하는 횡전계방식 액정표시장치.

도면**도면 1a**

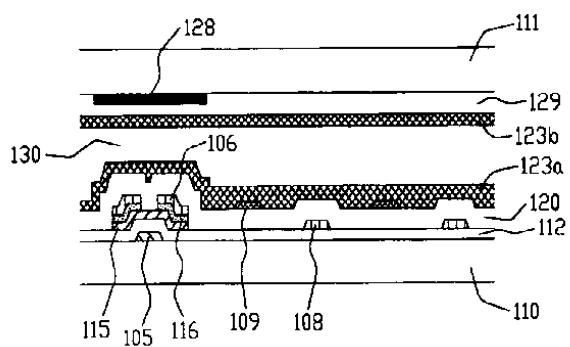
도면 1b



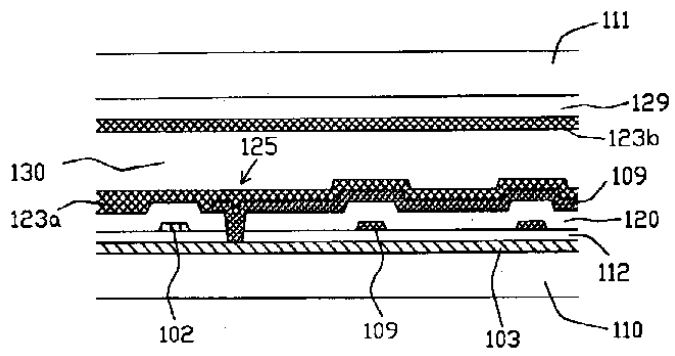
도면 2a



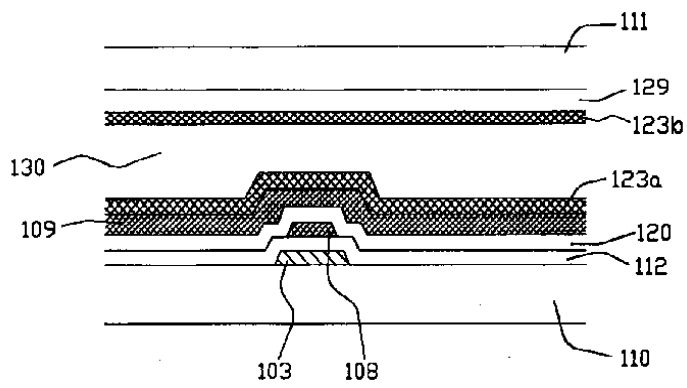
도면 2b



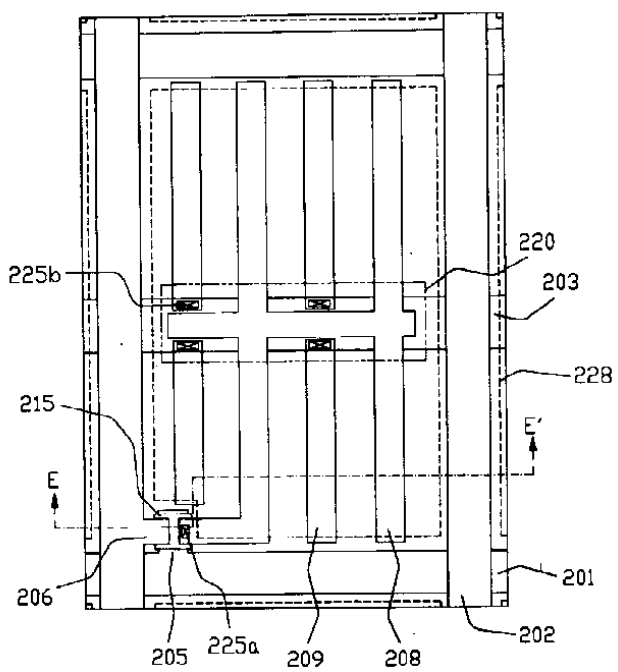
도면2c



도면2d



도면3a



도면3b

