

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-310661

(P2006-310661A)

(43) 公開日 平成18年11月9日(2006.11.9)

| | | | | |
|-------------------------------|--|--------------|---|-------------|
| (51) Int. Cl. | | F I | | テーマコード (参考) |
| HO 1 L 27/12 (2006.01) | | HO 1 L 27/12 | E | 5 F O 3 2 |
| HO 1 L 21/02 (2006.01) | | HO 1 L 27/12 | B | |
| HO 1 L 21/76 (2006.01) | | HO 1 L 27/12 | F | |
| HO 1 L 21/762 (2006.01) | | HO 1 L 21/76 | D | |
| | | HO 1 L 21/76 | R | |
| 審査請求 未請求 請求項の数 5 O L (全 14 頁) | | | | |

(21) 出願番号 特願2005-133623 (P2005-133623)
 (22) 出願日 平成17年4月28日 (2005.4.28)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100109900
 弁理士 堀口 浩
 (72) 発明者 浜本 毅司
 神奈川県横浜市磯子区新杉田町8番地 株
 式会社東芝横浜事業所内
 Fターム(参考) 5F032 AA03 AA06 AA07 AA09 BA03
 BA06 CA09 CA17 DA12 DA23
 DA24 DA25 DA43 DA54 DA55
 DA60 DA71 DA74 DA78

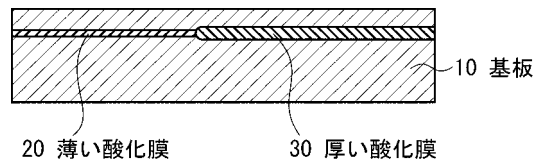
(54) 【発明の名称】 半導体基板および製造方法

(57) 【要約】

【課題】 埋め込み酸化膜の厚い部分と薄い部分における基板表面の段差を減少させる。

【解決手段】 薄い酸化膜20の表面部分に第一のマスク40を形成した状態で高温酸化熱処理を加え、薄い酸化膜20のない領域に厚い酸化膜を形成した状態で第一のマスク40を除去し、再度酸素雰囲気中で第二の熱処理を行う。この第二の熱処理により薄い酸化膜20の表面部分にも第二の熱酸化膜が形成され、このとき第一の熱酸化膜及び第二の熱酸化膜の基板との界面が等しく条件を選択することによって、第一の熱酸化膜と第二の熱酸化膜を除去した後は表面には段差のない平坦な基板を形成することが可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項1】

基板と、
前記基板の内部に第一の埋め込み酸化膜を有する領域と、
前記基板の内部に前記第一の埋め込み酸化膜とは異なる膜厚を備える第二の埋め込み酸化膜を有する領域とを備え、
前記基板の表面が平坦であることを特徴とする半導体基板。

【請求項2】

前記第一の埋め込み酸化膜の膜厚が50nm以上200nm以下であり、
前記第二の埋め込み酸化膜の膜厚が10nm以上かつ前記第一の埋め込み酸化膜の膜厚未満であることを特徴とする請求項1記載の半導体基板。 10

【請求項3】

前記第一の埋め込み酸化膜を有する領域と前記第二の埋め込み酸化膜を有する領域の表面の水平方向における高低差が100nm以下の平坦さであることを特徴とする請求項1記載の半導体基板。

【請求項4】

50nm以下の埋め込み酸化膜層を備える基板と、
前記基板上にマスクを堆積する工程と、
前記マスクの一部を選択的に除去し、窓部を形成する工程と、
前記マスクの前記窓部を介して前記基板に酸化種となるイオンを注入する工程と、
酸化雰囲気中で第一の熱処理を行い、前記酸化種との反応を用いて前記基板中に部分的に酸化膜を形成し、前記基板の表面に第一の熱酸化膜を形成する工程と、
前記マスクを除去する工程と、
酸化雰囲気中で第二の熱処理を行い、前記基板の表面に第二の熱酸化膜を形成する工程と、
前記基板の表面に形成された前記第一の熱酸化膜と前記第二の熱酸化膜を除去する工程とを備えることを特徴とする半導体基板の製造方法。 20

【請求項5】

前記マスクが耐酸化特性を有することを特徴とする請求項4記載の半導体基板の製造方法。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は基板中に膜厚の異なる埋め込み酸化膜を有し、表面に段差がない半導体基板および製造方法に関する。

【背景技術】

【0002】

従来、シリコンの基板内部に埋め込み酸化膜を有するSOI(Silicon On Insulator)基板は、素子動作の高速化、低消費電力化、ソフトエラー耐性の向上など多くのメリットがあることが知られている。 40

【0003】

アナログ・ロジック・メモリ等の複数の素子を同一基板上に混載するシステムLSIでは、シリコン基板の一部をマスクで覆い、SIMOX(Separation by Implantation of Oxygen)を部分的に行うことによってSOIを形成する技術(以下部分SOIと呼ぶ)が用いられている。この場合、ロジック回路等を形成する部分SOIの埋め込み酸化膜の膜厚は、約100から約200nm程度の膜厚が用いられてきた。また、DRAMを代表とするメモリは、部分SOIのない領域の基板に形成されてきた。

【0004】

最近、FBC(Floating Body Cell)に代表されるようなキャパシ 50

タのないDRAMメモリセルとロジック回路等をSOI上に混載する方法などが検討されている。この場合、FBCはSOI基板中の埋め込み酸化膜厚が薄いほど信号強度が高くなり特性が向上する。このため、FBCを搭載する領域にはロジック回路等を形成する領域よりも薄い埋め込み酸化膜を形成する必要がでてきた。

【0005】

しかし、従来の部分SIMOXを複数回行うことによって異なる埋め込み酸化膜を形成する方法には問題があった。原因は、高温アニール時に埋め込み酸化膜厚に比例して基板が体積膨張するため、厚い埋め込み酸化膜の領域と薄い埋め込み酸化膜の領域の境界付近の基板表面には段差すなわち水平方向の高低差が生じるためである。これにより、デバイス形成時のリソグラフィ工程や加工工程のマージンが劣化し、歩留まり低下が懸念される。

10

【0006】

部分SOIの場合にもSOIのある領域とない領域の境界部分で表面に段差ができるという同様の問題があり、これを解決するための手法がある。(例えば特許文献1参照。)

【0007】

しかし、膜厚の異なる埋め込み酸化膜を有するSOI基板の場合には、高温アニール時に基板の内部酸化によって薄い埋め込み酸化膜が酸化されるという問題があり、薄い埋め込み酸化膜の膜厚を制御することが困難になる。すなわち、膜厚の異なる埋め込み酸化膜を有するSOI基板の場合には、薄い埋め込み酸化膜の膜厚を制御しつつ、表面の段差をなくす手法が必要である。

20

【特許文献1】特開2004-304555号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、基板中に異なる膜厚の埋め込み酸化膜を有し、表面に段差のない半導体基板および製造方法を提供する。

【課題を解決するための手段】

【0009】

本発明の一態様は、基板と、前記基板の内部に第一の埋め込み酸化膜を有する領域と、前記基板の内部に前記第一の埋め込み酸化膜とは異なる膜厚を備える第二の埋め込み酸化膜を有する領域とを備え、前記基板の表面が平坦であることを特徴とする。

30

【0010】

また、本発明の一態様は、50nm以下の埋め込み酸化膜層を備える基板と、前記基板上にマスクを堆積する工程と、前記マスクの一部を選択的に除去し、窓部を形成する工程と、前記マスクの前記窓部を介して前記基板に酸化種となるイオンを注入する工程と、酸化雰囲気中で第一の熱処理を行い、前記酸化種との反応を用いて前記基板中に部分的に酸化膜を形成し、前記基板の表面に第一の熱酸化膜を形成する工程と、前記マスクを除去する工程と、酸化雰囲気中で第二の熱処理を行い、前記基板の表面に第二の熱酸化膜を形成する工程と、前記基板の表面に形成された前記第一の熱酸化膜と前記第二の熱酸化膜を除去する工程とを備えることを特徴とする。

40

【発明の効果】

【0011】

本発明によれば、基板中に異なる膜厚の埋め込み酸化膜を備え、基板表面の水平方向の段差が100nm以下の平坦なSOI基板表面を提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、図面を参照しながら本発明の実施の形態を説明する。

【実施例1】

【0013】

50

図1は、本発明の実施例1に係る半導体基板を示す断面図である。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みや比率等は現実のものとは異なることに留意すべきである。

【0014】

基板10中には基板の一定の深さ(たとえば約50nm)の領域に、たとえば膜厚が約10nm程度の埋め込みの薄い酸化膜20を有する部分と、たとえば膜厚が約100nm程度の埋め込みの厚い酸化膜30を有する部分がある。基板10としては、単結晶シリコンのほかに、多結晶シリコン、シリコンゲルマニウム(SiGe)、およびシリコンカーバイド(SiC)等のSiを含む材料が使用可能である。

【0015】

このとき、薄い酸化膜20の領域には、たとえばFBCが形成可能であり、厚い酸化膜30の領域にはMOSトランジスタで構成されるロジック回路等が形成可能である。薄い酸化膜20と厚い酸化膜30の膜厚は、用途によって最適化することができる。たとえば、45nm世代のロジック用としては、厚い酸化膜30の厚さは約50nmから約200nm程度が望ましい。これは、約50nm以下の厚さでは基板容量が無視できなくなることと、約200nm以上の厚さではシリコン酸化膜の低い熱伝導率により動作中の放熱が劣化し、素子の動作特性を劣化するためである。

【0016】

また、薄い酸化膜20の膜厚にFBCを形成する場合には約10nm以上であることが望ましい。これは、例えばFBCでは酸化膜はできるだけ薄いほうが信号強度が高くとれる一方で、熱酸化膜が約10nm以下では上部単結晶シリコンが十分に絶縁されない可能性があるためである。

【0017】

また、薄い酸化膜20、厚い酸化膜30ともに、基板表面からの深さにはとくに規定はなく、約50nmより深くても浅くてもよい。これはSOI基板を形成後、基板表面を酸化した後に表面酸化膜を剥離し、埋め込み酸化膜上のシリコン単結晶を薄膜化することによって最適化することができる。この深さは、用途合わせて設定される最適値があり、たとえば45nm世代のロジック用としては約40nmから約100nm程度である。

【0018】

また、薄い酸化膜20および厚い酸化膜30を有する基板10の表面には段差がなく平坦である。ここで段差がないは、薄い酸化膜20を埋め込んだ領域の基板表面及び厚い酸化膜30を埋め込んだ領域の基板の表面の水平方向にステップ状の段差や突起形状の段差がなく、表面凹凸の高低差によるリソグラフィ工程や加工工程でマージンが劣化しないことを意味する。このマージンはデザインルールが小さくなるにしたがって厳しくなる。たとえばデザインルールが130nmの世代では、表面の水平レベルの高低差が約100nm以下であれば好ましく、デザインルールが45nmの世代では高低差は約20nm以下であれば好ましい。

【0019】

次に、実施例1に係る半導体基板の製造工程を図2から図4の工程断面図を用いて説明する。

【0020】

まず、図2(a)に示すように、張り合わせ方式を用い、埋め込み酸化膜が基板全面に約10nm程度の厚さで形成されたSOI基板10を用いる。このSOI基板の製造方法には、例えば次のようなものがある。

【0021】

まず、シード基板上に陽極酸化によって多孔質シリコン層を形成し、その上に単結晶シリコンをエピタキシャル成長させる。次に、単結晶シリコンの表面を酸化し、この酸化膜をハンドル基板に張り合わせる。次に、張り合わせた基板の多孔質シリコン層の部分を水ジェットを用いて分離し、ハンドル基板に残る多孔質シリコン層をエッチングにより除去する。最後に水素を含む雰囲気中で熱処理を行うことにより、表面を平坦にする。

10

20

30

40

50

【0022】

このとき、薄い酸化膜20は基板10の表面から約50nm程度の深さに形成されているが、この深さは50nmである必要はない。また、この基板10の表面と薄い酸化膜20は水平レベルがほぼ等しく形成されている。

【0023】

次に、基板10上に第一のマスク40と、その上に第二のマスク50を堆積する。第一のマスク40は、たとえば約150nm程度のシリコン窒化膜、第二のマスク50は、たとえば約1 μ m程度のシリコン酸化膜とする。このとき第一のマスクの厚さは、後の工程で酸素雰囲気中において熱処理を行う際にマスク下の基板部分が酸化されないために十分な厚さが必要であり、また第一のマスクと第二のマスクは、後の工程で酸化種をイオン注入する際に酸化種が基板まで到達することのない十分な厚さが必要である。

10

【0024】

次に、第二のマスク50上にレジストを塗布し、レジストをパターニングする。次に、レジストをマスクとして、RIE(Reactive Ion Etching)により第二のマスク50と第一のマスク40の一部を除去し、図2(b)に示すような領域70を形成する。図2(b)では領域70は基板10に達しているが、かならずしも基板10の表面が露出する必要はなく、第二のマスク50あるいは第一のマスク40の一部が残っていてもよい。

【0025】

次に、加工された第一のマスク40および第二のマスク50をマスクとして、酸化種をイオン注入により注入する。条件は、たとえば酸化種としてO⁺イオンを約150KeVから約200KeVのエネルギーで約4 \times 10¹⁷cm⁻²から約6 \times 10¹⁷cm⁻²程度のドーズ量で注入する。このとき、基板10中の領域70の領域には酸化種がイオン注入されるが、第一のマスク50および第二のマスク60により覆われた領域は、酸化種が第一のマスク50または第二のマスク60により、基板10には到達しない(図3(a)参照)。

20

【0026】

次に、第二のマスク50をフッ素あるいはフッ化アンモニウムなどによるウェットエッチング法、またはHF Vapourなどのドライエッチング法を用いて除去する。

【0027】

この後、酸素を含む雰囲気中で第一の熱処理をする。第一の熱処理の条件として、たとえば、まず約1%程度の酸素を含むアルゴンガス中で、約1300から約1400の温度で約4時間程度の熱処理を加え、その後同じ約1300から約1400で約100%程度の酸素ガス中において、約4時間程度の熱処理を加える。ここで、第一の熱処理は、注入された酸化種が基板10中のシリコンと反応して、酸化膜を形成する効果がある。第一の熱処理条件は、基板10の第一のマスクで覆われている領域には、熱酸化膜がほとんど形成されない条件を選択することが好ましい。このような条件を選択することによって、第一の熱処理時における内部酸化によって薄い酸化膜20の膜厚が増加するのを抑制することが可能となり、薄い酸化膜20の膜厚制御を容易にする効果がある。このため、第一のマスクは耐酸化特性をもつ膜であることが望ましい。また第一のマスク材料として、多結晶シリコンのように、それ自身が酸化されることによって下地の基板10を酸化しないマスクを用いることもできる。

30

40

【0028】

第一のマスクで覆われていない領域の表面には、この第一の熱処理により約800nm程度の第一の熱酸化膜80が形成される。また、基板10中では、イオン注入された酸素原子とシリコンとが反応し、約100nm程度の厚い酸化膜30を形成する。このとき、酸化膜は消費したシリコンに対して約2.2倍の体積をもつため、厚い酸化膜30が形成された領域では表面が膨張し押し上げられる。これにより、図3(b)に示すように、薄い酸化膜20の領域および厚い酸化膜30の領域の基板表面の水平方向には、約200nm程度の高低差を有する段差100が生じる。

50

【0029】

次に、第一のマスク40をウェットエッチング法またはドライエッチング法を用いて除去する。この結果、基板表面には、ほとんど熱酸化膜が形成されていない領域110と、約800nm程度の第一の熱酸化膜80が形成された領域が存在する(図4(a)参照)。

【0030】

次に、酸化雰囲気中で第二の熱処理を行う。第二の熱処理条件としては、たとえば約900の約100%程度の酸素雰囲気中で約1時間程度行う。この第二の熱処理では、厚い熱酸化膜80で覆われている領域は酸化速度が遅く、熱酸化膜はほとんど増加しないのに対し、酸化膜で覆われていない領域110には第二の熱酸化膜120が形成される。このとき、第一の熱酸化膜80及び第二の熱酸化膜120と基板との界面がほぼ等しくなるような第二の熱処理条件を選択することが好ましい。この第二の熱処理条件の最適化によって、後で形成される基板10の表面の水平方向の段差の量が制御されることになる(図4(b)参照)。

10

【0031】

次に、第一の熱酸化膜80および第二の熱酸化膜120をウェットエッチングまたはドライエッチングにより除去する。これにより、第一の熱酸化膜80と第二の熱酸化膜120は除去され、基板中の薄い酸化膜20の領域と厚い酸化膜30の領域で、基板表面の水平方向において、段差による高低差が少ない平坦な表面をもつ基板が形成される。

【0032】

本実施例によれば、基板表面の段差が約20nm以下の平坦な基板を提供することが可能となる。また、薄い酸化膜20は後の熱工程によって内部酸化による膜厚増加の影響を抑えることが可能になり、薄い酸化膜20の膜厚を制御することがきわめて容易になる。

20

【0033】

なお、本発明は以上の構成に限定されるものではなく、種々の変形が可能である。例えば、本実施例でははじめに張り合わせ法によるSOI基板を用いたが、これを堆積膜結晶法によって形成してもよく、あるいはエピタキシャル成長法など他の方法で形成してもよい。

【実施例2】

【0034】

実施例1では耐酸化性を有する第一のマスクと酸化種を基板まで到達することを防ぐための第二のマスクの二層膜を有していた。本実施例では両者の役割をひとつのマスクで兼ねている点で実施例1と異なる。

30

【0035】

実施例2に係る半導体基板を示す断面図は実施例1における図1と同様である。基板10中には基板の一定の深さ(たとえば約50nm)の領域に、たとえば膜厚が約10nm程度の埋め込みの薄い酸化膜20を有する部分と、たとえば膜厚が約100nm程度の埋め込みの厚い酸化膜30を有する部分がある。基板10としては、単結晶シリコンのほか、多結晶シリコン、シリコンゲルマニウム(SiGe)、およびシリコンカーバイド(SiC)等のSiを含む材料が使用可能である。

40

【0036】

次に、実施例2に係る半導体基板の製造工程を図5から図7の工程断面図を用いて説明する。

【0037】

まず、図5(a)に示すように、実施例1と同様に張り合わせ方式を用い、埋め込み酸化膜が基板全面に約10nm程度の厚さで形成されたSOI基板10を用いる。

【0038】

次に、基板10上に第一のマスク40を堆積する。本実施例のマスク材としては例えばシリコン窒化膜を用い、膜厚としては例えば約1 μ mとする。

【0039】

50

このとき第一のマスクの厚さは、後の工程で酸素雰囲気中において熱処理を行う際にマスク下の基板部分が酸化されないために十分な厚さが必要であり、また後の工程で酸化種をイオン注入する際に酸化種が基板まで到達することのない十分な厚さが必要である。

【0040】

次に、第一のマスク40上にレジストを塗布し、レジストをパターニングする。次に、レジストをマスクとして、RIE (Reactive Ion Etching) により第一のマスク40の一部を除去し、図5(b)に示すような領域70を形成する。図5(b)では領域70は基板10に達しているが、かならずしも基板10の表面が露出する必要はなく、第一のマスク40の一部が残っていてもよい。

【0041】

次に、加工された第一のマスク40をマスクとして、酸化種をイオン注入により注入する。条件は、たとえば酸化種としてO⁺イオンを約150KeVから約200KeVのエネルギーで約4×10¹⁷cm⁻²から約6×10¹⁷cm⁻²程度のドーズ量で注入する。このとき、基板10中の領域70の領域には酸化種がイオン注入されるが、第一のマスク40により覆われた領域は、酸化種が第一のマスク40により、基板10には到達しない(図6(a)参照)。

【0042】

以下の工程は実施例1と同様である。

【0043】

まず、酸素を含む雰囲気中で第一の熱処理をする。第一の熱処理の条件として、たとえば、まず約1%程度の酸素を含むアルゴンガス中で、約1300 から約1400 の温度で約4時間程度の熱処理を加え、その後同じ約1300 から約1400 で約100%程度の酸素ガス中において、約4時間程度の熱処理を加える。ここで、第一の熱処理は、注入された酸化種が基板10中のシリコンと反応して、酸化膜を形成する効果がある。第一の熱処理条件は、基板10の第一のマスクで覆われている領域には、熱酸化膜がほとんど形成されない条件を選択することが好ましい。このような条件を選択することによって、第一の熱処理時における内部酸化によって薄い酸化膜20の膜厚が増加するのを抑制することが可能となり、薄い酸化膜20の膜厚制御を容易にする効果がある。このため、第一のマスクは耐酸化特性をもつ膜であることが望ましい。また第一のマスク材料として、多結晶シリコンのように、それ自身が酸化されることによって下地の基板10を酸化し

【0044】

第一のマスクで覆われていない領域の表面には、この第一の熱処理により約800nm程度の第一の熱酸化膜80が形成される。また、基板10中では、イオン注入された酸素原子とシリコンとが反応し、約100nm程度の厚い酸化膜30を形成する。このとき、酸化膜は消費したシリコンに対して約2.2倍の体積をもつため、厚い酸化膜30が形成された領域では表面が膨張し押し上げられる。これにより、図6(b)に示すように、薄い酸化膜20の領域および厚い酸化膜30の領域の基板表面の水平方向には、約200nm程度の高低差を有する段差100が生じる。

【0045】

次に、第一のマスク40をウェットエッチング法またはドライエッチング法を用いて除去する。この結果、基板表面には、ほとんど熱酸化膜が形成されていない領域110と、約800nm程度の第一の熱酸化膜80が形成された領域が存在する(図7(a)参照)。

【0046】

次に、酸化雰囲気中で第二の熱処理を行う。第二の熱処理条件としては、たとえば約900の約100%程度の酸素雰囲気中で約1時間程度行う。この第二の熱処理では、厚い熱酸化膜80で覆われている領域は酸化速度が遅く、熱酸化膜はほとんど増加しないのに対し、酸化膜で覆われていない領域110には第二の熱酸化膜120が形成される。このとき、第一の熱酸化膜80及び第二の熱酸化膜120と基板との界面がほぼ等しくなる

10

20

30

40

50

ような第二の熱処理条件を選択することが好ましい。この第二の熱処理条件の最適化によって、後で形成される基板10の表面の水平方向の段差の量が制御されることになる(図7(b)参照)。

【0047】

次に、第一の熱酸化膜80および第二の熱酸化膜120をウェットエッチングまたはドライエッチングにより除去する。これにより、第一の熱酸化膜80と第二の熱酸化膜120は除去され、基板中の薄い酸化膜20の領域と厚い酸化膜30の領域で、基板表面の水平方向において、段差による高低差が少ない平坦な表面をもつ基板が形成される。

【0048】

本実施例によれば、基板表面の段差が約20nm以下の平坦な基板を提供することが可能となる。また、薄い酸化膜20は後の熱工程によって内部酸化による膜厚増加の影響を抑えることが可能になり、薄い酸化膜20の膜厚を制御することがきわめて容易になる。

10

【0049】

本実施例に拠れば、基板表面の段差が約20nm以下の平坦な基板を第一の実施例よりも少ない工程数で実現することが可能となる。

【実施例3】

【0050】

実施例1および実施例2では、薄い埋め込み酸化膜も厚い酸化膜もイオン注入を用いたSIMOX法を用いることにより、この形成順序を入れ替えることが可能な点で実施例1および実施例2と異なる。

20

【0051】

図8は、本発明の実施例3に係る半導体基板を示す断面図である。以下の図面の記載において、同一の部分には同一の符号を付している。

【0052】

基板10中には基板の一定の深さの領域に、膜厚がたとえば約10nm程度の薄い酸化膜20を有する部分と、膜厚がたとえば約100nm程度の厚い酸化膜30を有する部分がある。

【0053】

次に、実施例3に係る半導体基板の製造工程を図9から図11の工程断面図を用いて説明する。

30

【0054】

実施例1および実施例2と同様に、基板10として単結晶シリコン、多結晶シリコン、SiGe, SiC等のSiを含む材料を用いることができる。

【0055】

まず、基板10の表面に第一のマスク40および第二のマスク50を堆積し、レジスト60を塗布した後にフォトリソグラフィーを用いて領域70を形成する(図9(a)参照)。

【0056】

ここでレジストを剥離し、領域70に第一のイオン注入により酸化種を注入する。注入の条件としては、たとえば酸素原子を約180KeVのエネルギーで約 $4 \times 10^{17} \text{ cm}^{-2}$ 程度のドーズ量を用いる。このとき、領域70には酸化種がイオン注入され、第一のマスク40および第二のマスク50で覆われた領域には酸化種が注入されない条件を選択する。このときの第一のイオン注入の条件によって、厚い酸化膜30の厚さと深さを制御することができる(図9(b)参照)。

40

【0057】

次に、約1300 から約1400 程度の酸素を含む雰囲気中で第一の熱処理を加える。この第一の熱処理により、注入された酸化種は基板中のシリコンと結合し約100nm程度のシリコン酸化膜を形成する。これにより厚い酸化膜30が形成される。また、領域70にあたる基板表面には約800nm程度の第一の熱酸化膜80が形成される。

【0058】

50

次に第二のマスク50を除去する(図10(a)参照)。

【0059】

次に、全面に第二のイオン注入を行う。厚い酸化膜30の領域の表面には約800nm程度の酸化膜があるため、これがイオン注入時のマスクとして機能する。この第二のイオン注入はたとえば酸素原子を約180KeVから約200KeVのエネルギーで約 $1 \times 10^{17} \text{ cm}^{-2}$ から約 $3 \times 10^{17} \text{ cm}^{-2}$ 程度のドーズ量で行う。このときのエネルギー条件の選択によって、薄い酸化膜20を形成する基板中の深さを選択することが可能であり、厚い酸化膜30と同じ深さにすることも、厚い酸化膜30よりも深い領域に形成することが可能となる。また、ドーズ量条件の選択によって、薄い酸化膜20の膜厚を制御することが可能となる(図10(b)参照)。

10

【0060】

次に、第一のマスク40を除去する(図11(a)参照)。

【0061】

ここで、第一の熱処理と同じ条件で第二の熱処理を加える。ただし、第一の熱処理を行わずに第一の熱処理と第二の熱処理を兼ねてここで一度の熱処理を加えてもよい。その場合には、厚い酸化膜30の表面領域には第一の熱酸化膜80が形成される前に第二のイオン注入を行うことになる。このため、第一のマスクが覆う領域では薄い酸化膜20が形成されると同時に、厚い酸化膜30の領域にも再度酸化種が注入されることになる。このとき、第二のイオン注入の条件によって厚い酸化膜30の膜厚が増加する場合もあるし、厚い酸化膜30とは異なる深さの領域に薄い酸化膜領域が形成される場合もある。

20

【0062】

次に、約900程度の酸素雰囲気中における第三の熱処理を行う。この第三の熱処理により、第一の熱酸化膜80のある領域はほとんど酸化されないのに対し、第一のマスク40を除去した領域の表面は、熱処理により表面が酸化され第二の熱酸化膜が形成される(図11(b)参照)。ここで、第一の熱酸化膜及び第二の熱酸化膜の基板との界面がほぼ一致するような第三の熱処理条件を選択することが好ましい。

【0063】

次に第一の熱酸化膜および第二の熱酸化膜をウェットエッチングまたはドライエッチング等の方法により除去する。

【0064】

この結果、薄い酸化膜20と厚い酸化膜30の領域の境界部分の段差は約20nm以下となり、表面が平坦な基板を提供することが可能となる(図8参照)。

30

【0065】

なお、本発明は以上の構成に限定されるものではなく、種々の変形が可能である。例えば、先に薄い酸化膜20を形成するためのイオン注入を行ってもよい。また、基板表面の一部にマスクを形成してから薄い酸化膜20を形成するためのイオン注入を行ってもよい。また、本実施例では、厚い酸化膜30と薄い酸化膜20がほぼ等しい深さに形成される場合について説明したが、本発明はこのような相対関係に限定されるものではなく、図12(a)のように厚い酸化膜30の方が薄い酸化膜20よりも深い領域に形成された構造でもよいし、図12(b)のように厚い酸化膜30のほうが浅い領域に形成された構造でもよい。

40

【0066】

また、本発明は以上の構成に限定されるものではなく、図13(a)のように一部に埋め込み酸化膜のない領域があってもよいし、図13(b)のように薄い酸化膜20と厚い酸化膜30が一部の領域でオーバーラップする領域があってもよい。

【0067】

さらに、基板中に埋め込まれる酸化膜の厚さは2種類以上あってもよい。たとえば、酸化膜の厚さが3種類ある場合には、もっとも薄い領域にFBCを形成し、厚い方の2種類の膜厚の領域に部分空乏型のロジック回路と完全空乏型のロジック回路をそれぞれ形成することも可能であるし、あるいは一部にSRAMを形成することも可能である。また、酸

50

化膜のない領域にはD R A Mに代表されるようなメモリや周辺回路を形成することも可能である。

【図面の簡単な説明】

【0068】

【図1】実施例1に係る半導体基板の断面構造を示す図。

【図2】実施例1に係る半導体基板の製造工程を示す図。

【図3】実施例1に係る半導体基板の製造工程を示す図。

【図4】実施例1に係る半導体基板の製造工程を示す図。

【図5】実施例2に係る半導体基板の製造工程を示す図。

【図6】実施例2に係る半導体基板の製造工程を示す図。

10

【図7】実施例2に係る半導体基板の製造工程を示す図。

【図8】実施例3に係る半導体基板の断面構造を示す図。

【図9】実施例3に係る半導体基板の製造工程を示す図。

【図10】実施例3に係る半導体基板の製造工程を示す図。

【図11】実施例3に係る半導体基板の製造工程を示す図。

【図12】実施例3に係る半導体基板の断面構造を示す図。

【図13】実施例3に係る半導体基板の断面構造を示す図。

【符号の説明】

【0069】

10 基板

20

20 薄い酸化膜

30 厚い酸化膜

30 a 注入領域

40 第一のマスク

50 第二のマスク

60 レジスト

70 領域

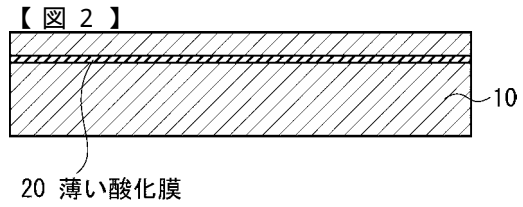
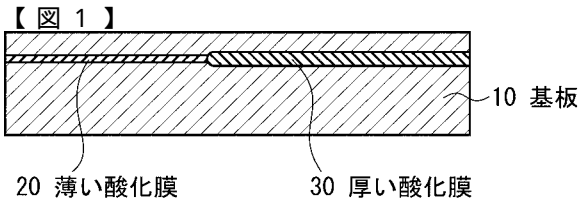
80 第一の熱酸化膜

100 段差

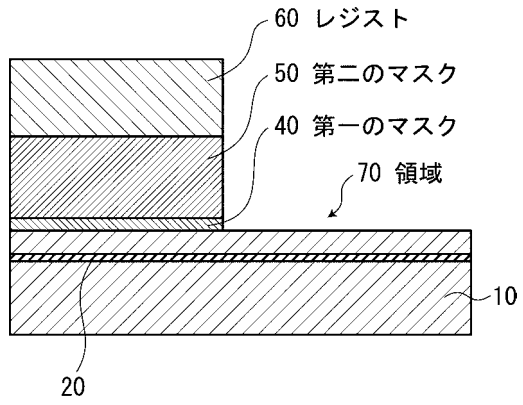
110 領域

30

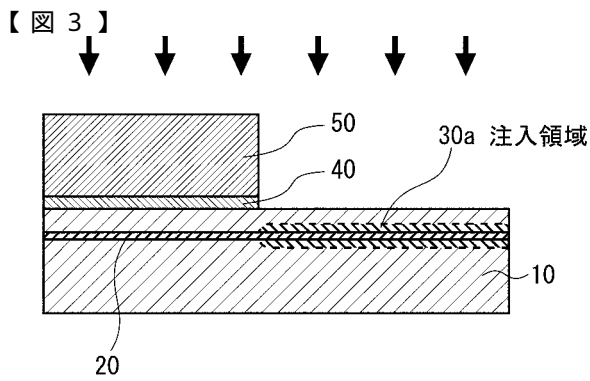
120 第二の熱酸化膜



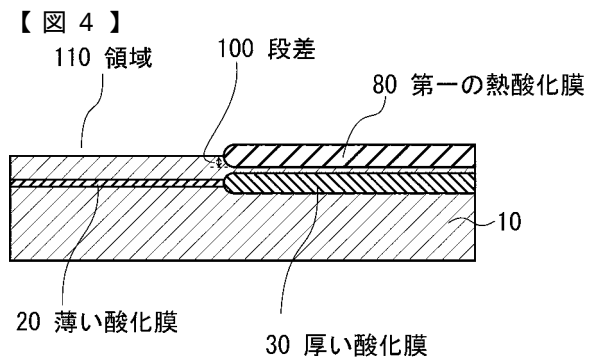
(a)



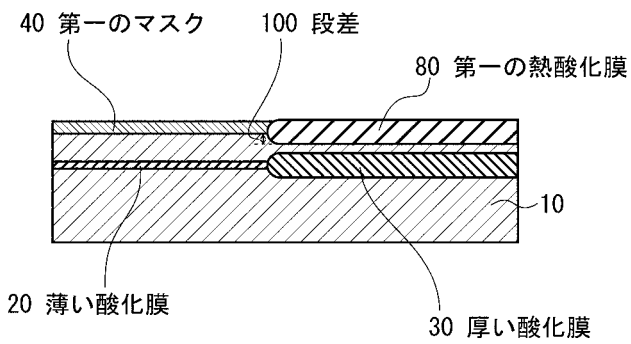
(b)



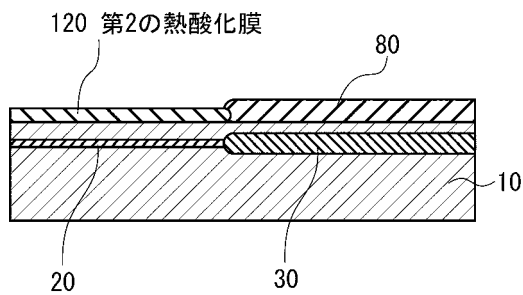
(a)



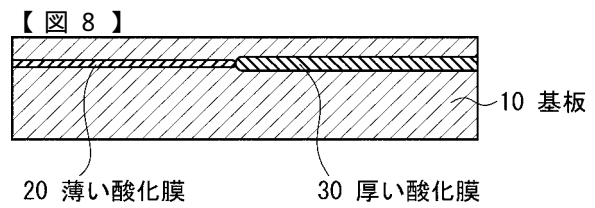
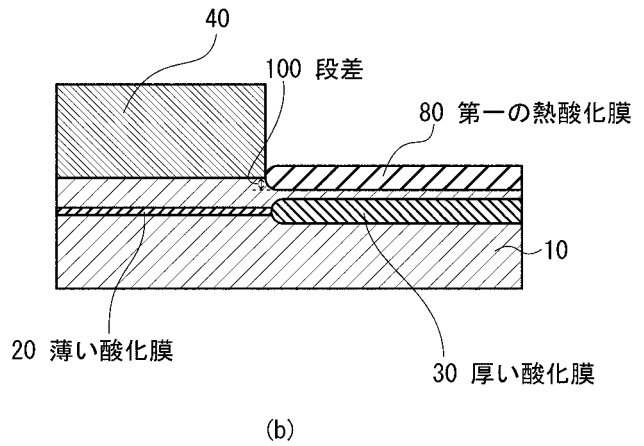
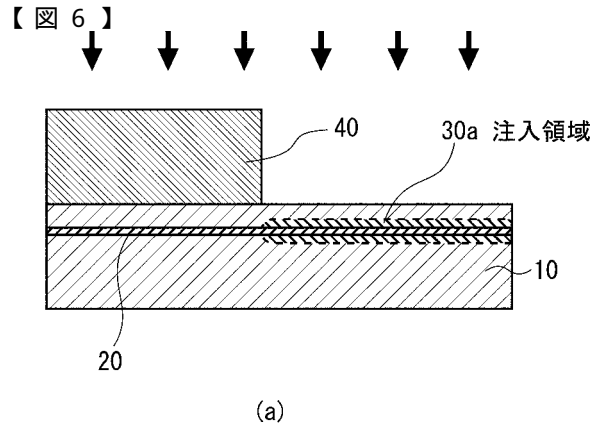
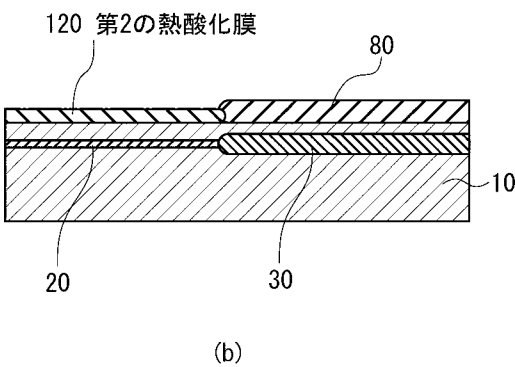
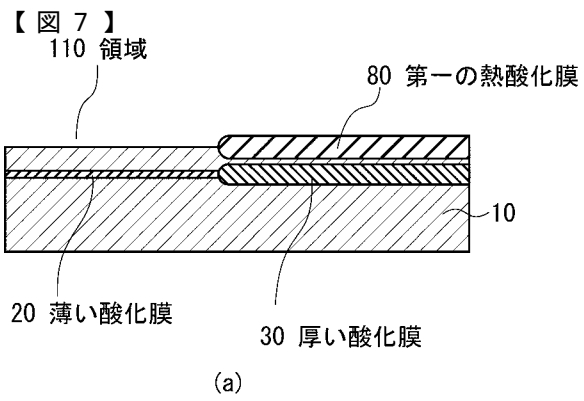
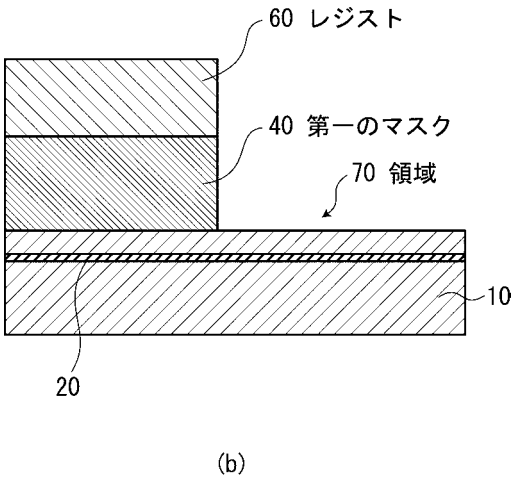
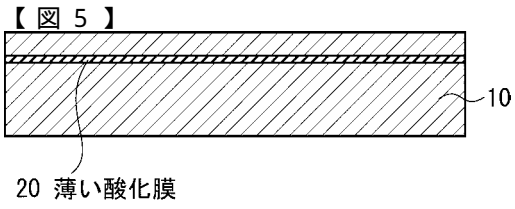
(a)



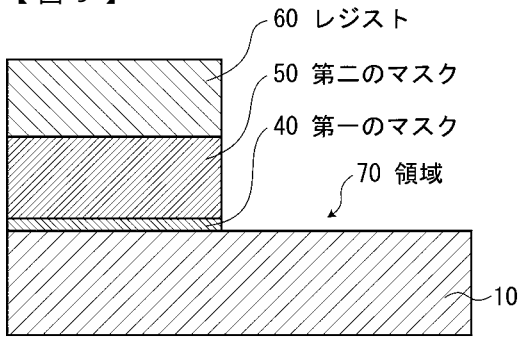
(b)



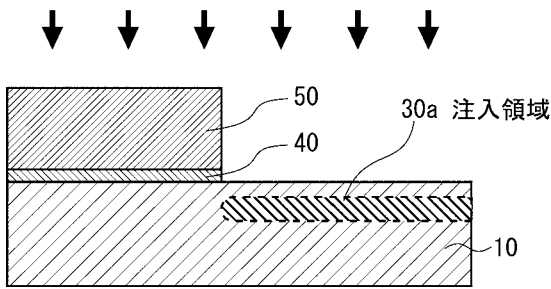
(b)



【図9】

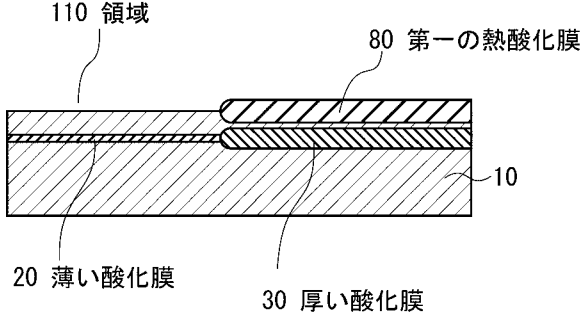


(a)

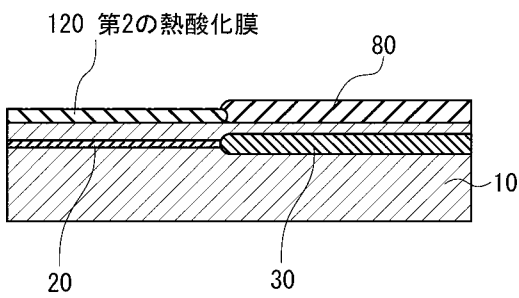


(b)

【図11】

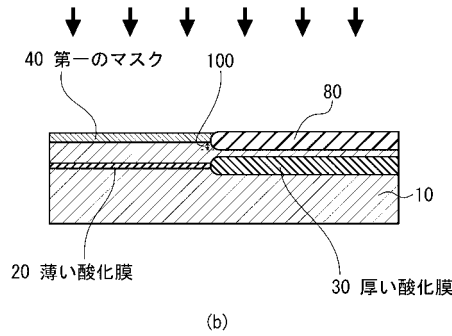
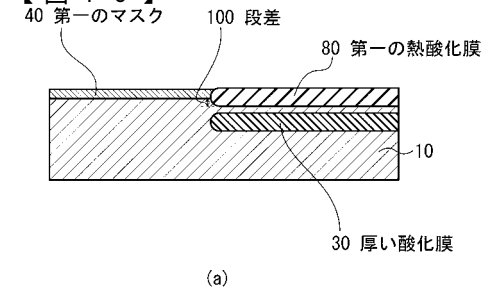


(a)

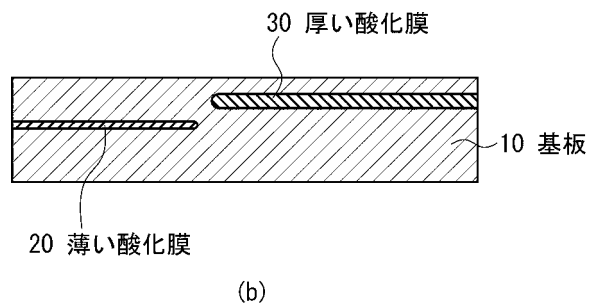
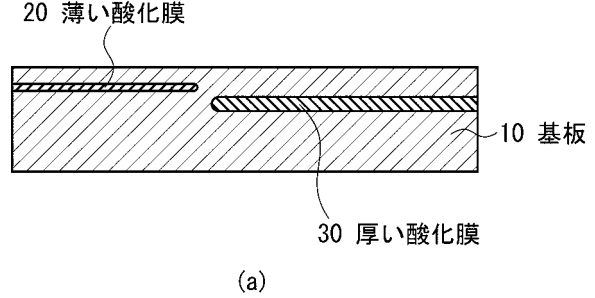


(b)

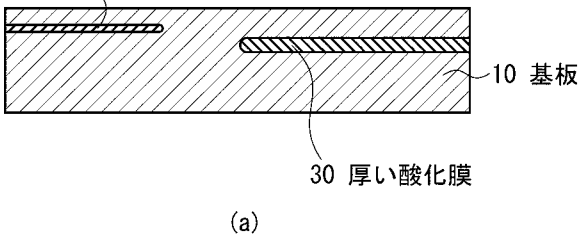
【図10】



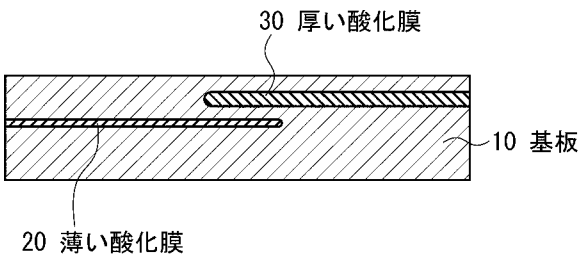
【図12】



【図13】
20 薄い酸化膜



(a)



(b)