



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0003390
(43) 공개일자 2012년01월10일

(51) Int. Cl.

H01L 29/786 (2006.01) H01L 21/336 (2006.01)
G02F 1/136 (2006.01)

(21) 출원번호 10-2011-0064841

(22) 출원일자 2011년06월30일

심사청구일자 없음

(30) 우선권주장

JP-P-2010-152179 2010년07월02일 일본(JP)
JP-P-2011-100534 2011년04월28일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자키 순페이

일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

타카하시 마사히로

일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인

황의만

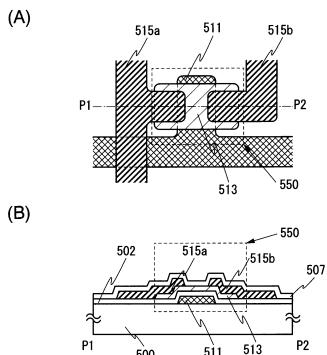
전체 청구항 수 : 총 20 항

(54) 반도체 장치

(57) 요 약

산화물 반도체를 이용한 반도체 장치에 안정적인 전기적 특성을 부여하여, 고신뢰성화하는 것을 목적인 하나로 한다.

게이트 절연층과, 게이트 절연층의 한쪽 면에 접하는 제 1 게이트 전극과, 게이트 절연층의 다른 한쪽 면에 접하고, 제 1 게이트 전극과 중첩하는 영역에 형성된 산화물 반도체층과, 산화물 반도체층과 접하는 소스 전극, 드레인 전극, 및 산화물 절연층과의 적층 구조를 가지고, 산화물 반도체층의 질소 농도는 2×10^{19} atoms/cm³ 이하이며, 소스 전극 및 드레인 전극은, 텁스텐, 백금 및 몰리브덴의 어느 하나 또는 복수를 포함하는 반도체 장치를 제공한다.

대 표 도 - 도1

(72) 발명자

히로하시 타쿠야

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

토치바야시 카즈아키

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

나카자와 야스타카

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

요코야마 마사토시

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

게이트 절연층과,

상기 게이트 절연층의 한쪽 면에 접하는 제 1 게이트 전극과,

상기 게이트 절연층의 다른 한쪽 면에 접하고, 상기 제 1 게이트 전극과 중첩하는 산화물 반도체층과,

상기 산화물 반도체층과 접하는 소스 전극, 드레인 전극, 및 산화물 절연층을 가지고,

상기 산화물 반도체층의 질소 농도는 2×10^{19} atoms/cm³ 이하이며,

상기 소스 전극 및 상기 드레인 전극은, 텅스텐, 백금 및 몰리브덴 중 적어도 하나를 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 게이트 절연층은, 산화갈륨, 산화알루미늄, 산화갈륨 알루미늄, 및 산화알루미늄 갈륨 중 적어도 하나를 포함하는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 산화물 절연층은, 산화갈륨, 산화알루미늄, 산화갈륨 알루미늄, 및 산화알루미늄 갈륨 중 적어도 하나를 포함하는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 산화물 반도체층의 막두께가, 3 nm 이상 30 nm 이하인, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 산화물 절연층을 사이에 두고, 상기 산화물 반도체층 및 상기 제 1 게이트 전극과 중첩하는 제 2 게이트 전극을 더 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 산화물 절연층은 13족 원소를 포함하는, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 산화물 절연층은 화학양론적 조성비보다 높은 조성비를 가진 산소를 함유하는 영역을 포함하는, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 게이트 절연층은 화학양론적 조성비보다 높은 조성비를 가진 산소를 함유하는 영역을 포함하는, 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 소스 전극과 상기 드레인 전극의 질소 농도가 2×10^{19} atoms/cm³ 이하인, 반도체 장치.

청구항 10

제 1 항에 있어서,

상기 산화물 절연층은 금속 산화물인, 반도체 장치.

청구항 11

게이트 절연층과,

상기 게이트 절연층의 한쪽 면에 접하는 제 1 게이트 전극과,

상기 게이트 절연층의 다른 한쪽 면에 접하고, 상기 제 1 게이트 전극과 중첩하는 산화물 반도체층과,

상기 산화물 반도체층과 접하는 베퍼층 및 산화물 절연층과,

상기 베퍼층을 사이에 두고, 상기 산화물 반도체층과 전기적으로 접속하는 소스 전극 및 드레인 전극을 가지고,

상기 산화물 반도체층의 질소 농도는 2×10^{19} atoms/cm³ 이하이며,

상기 베퍼층의 질소 농도는 2×10^{19} atoms/cm³ 이하이며,

상기 소스 전극 및 상기 드레인 전극은 텅스텐, 백금 및 몰리브덴 중 적어도 하나를 포함하는, 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 게이트 절연층은, 산화갈륨, 산화알루미늄, 산화갈륨 알루미늄, 및 산화알루미늄 갈륨 중 적어도 하나를 포함하는, 반도체 장치.

청구항 13

제 11 항에 있어서,

상기 산화물 절연층은, 산화갈륨, 산화알루미늄, 산화갈륨 알루미늄, 및 산화알루미늄 갈륨 중 적어도 하나를 포함하는, 반도체 장치.

청구항 14

제 11 항에 있어서,

상기 산화물 반도체층의 막두께가, 3 nm 이상 30 nm 이하인, 반도체 장치.

청구항 15

제 11 항에 있어서,

상기 산화물 절연층을 사이에 두고, 상기 산화물 반도체층 및 상기 제 1 게이트 전극과 중첩하는 제 2 게이트 전극을 더 포함하는, 반도체 장치.

청구항 16

제 11 항에 있어서,

상기 산화물 절연층은 13족 원소를 포함하는, 반도체 장치.

청구항 17

제 11 항에 있어서,

상기 산화물 절연층은 화학양론적 조성비보다 높은 조성비를 가진 산소를 함유하는 영역을 포함하는, 반도체 장치.

청구항 18

제 11 항에 있어서,

상기 게이트 절연층은 화학양론적 조성비보다 높은 조성비를 가진 산소를 함유하는 영역을 포함하는, 반도체 장치.

청구항 19

제 11 항에 있어서,

상기 소스 전극과 상기 드레인 전극의 질소 농도가 2×10^{19} atoms/cm³ 이하인, 반도체 장치.

청구항 20

제 11 항에 있어서,

상기 산화물 절연층은 금속 산화물인, 반도체 장치.

명세서

기술분야

[0001] 본 발명은 산화물 반도체를 이용하는 반도체 장치 및 이 반도체 장치의 제작 방법에 관한 것이다. 여기서, 반

도체 장치란, 반도체 특성을 이용함으로써 기능하는 소자 및 장치 전반을 가리키는 것이다.

배경기술

[0002]

절연 표면을 가지는 기판 위에 형성된 반도체 박막을 이용하여 트랜지스터를 구성하는 기술이 주목받고 있다. 이 트랜지스터는 집적회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목받고 있다.

[0003]

예를 들면, 트랜지스터의 활성층으로서 전자 캐리어 농도가 $10^{18}/\text{cm}^3$ 미만인 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 비정질 산화물을 이용한 트랜지스터가 개시되어 있다(특허문헌 1 참조).

선행기술문헌

특허문헌

[0004]

(특허문헌 0001) 일본국 특개 2006-165528호 공보

발명의 내용

해결하려는 과제

[0005]

그러나, 산화물 반도체는 산소의 부족 등에 의한 화학양론적 조성으로부터의 편차나, 디바이스 제작 공정에 있어서 전자 공여체를 형성하는 수소나 물의 혼입 등이 생기면, 그 전기 전도율이 변화할 우려가 있다. 이와 같은 현상은, 산화물 반도체를 이용한 트랜지스터 등의 반도체 장치에 있어, 전기적 특성의 변동 요인이 된다.

[0006]

이와 같은 문제를 감안하여, 산화물 반도체를 이용한 반도체 장치에 안정적인 전기적 특성을 부여하고, 고신뢰 성화하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0007]

상기 과제를 해결하기 위해 본 발명자들은 산화물 반도체층 중의 질소에 주목했다. 질소는 산화물 반도체를 구성하는 금속과 결합하기 쉽고, 산화물 반도체층 중에 있어서, 산소와 이 금속의 결합을 방해한다. 따라서, 산화물 반도체층 중의 질소 농도를 $2 \times 10^{19} \text{ atoms/cm}^3$ 이하로 하면 좋다. 산화물 반도체층 중의 질소 농도를 낮게 함으로써, 산화물 반도체층 중의 산소 농도를 충분한 것으로 할 수 있다.

[0008]

또한, 산화물 반도체층과 접하는 소스 전극 및 드레인 전극에는, 내열성을 가지고 산화되기 어려운 금속을 이용한다. 예를 들면, 소스 전극 및 드레인 전극으로서, 텅스텐, 백금 및 몰리브덴의 어느 하나 또는 복수를 포함하는 층을 이용하면 좋다. 상기 금속은 산소와 반응하기 어렵기 때문에, 소스 전극 및 드레인 전극이 산화물 반도체층으로부터 산소를 빼앗는 것을 억제할 수 있다.

[0009]

이와 같이, 산화물 반도체층 중의 질소 농도를 낮게 하고, 소스 전극 및 드레인 전극에 내열성을 가지고 산화되기 어려운 금속을 이용함으로써, 산화물 반도체층 중의 산소와 금속의 결합이 방해되는 것을 억제할 수 있다. 따라서, 산화물 반도체를 이용한 트랜지스터의 전기 특성과 신뢰성을 향상할 수 있다. 예를 들면, 광열화에 의한 트랜지스터 특성의 변동을 저감할 수 있다.

[0010]

구체적으로는, 본 발명의 일 양태는, 게이트 절연층과, 게이트 절연층의 한쪽 면에 접하는 제 1 게이트 전극과, 게이트 절연층의 다른 한쪽 면에 접하고, 제 1 게이트 전극과 중첩하는 산화물 반도체층과, 산화물 반도체층과 접하는 소스 전극, 드레인 전극, 및 산화물 절연층과의 적층 구조를 가지고, 산화물 반도체층의 질소 농도는 $2 \times 10^{19} \text{ atoms/cm}^3$ 이하이며, 소스 전극 및 드레인 전극은, 텅스텐, 백금 및 몰리브덴의 어느 하나 또는 복수를

포함하는 반도체 장치이다.

[0011] 또한, 산화물 반도체층과 소스 전극 또는 드레인 전극과의 사이의 접속 저항을 낮추기 위해 베퍼층을 형성해도 좋다. 베퍼층의 질소 농도는 2×10^{19} atoms/cm³ 이하로 한다. 산화물 반도체층과 접하는 층의 질소 농도를 낮게 함으로써, 산화물 반도체층 중의 산소 농도를 충분한 것으로 하고, 산화물 반도체의 전기 특성과 신뢰성을 향상시킬 수 있다.

[0012] 따라서, 본 발명의 다른 일 양태는, 게이트 절연층과, 게이트 절연층의 한쪽 면에 접하는 제 1 게이트 전극과, 게이트 절연층의 다른 한쪽 면에 접하고, 제 1 게이트 전극과 중첩하는 영역에 형성된 산화물 반도체층과, 산화물 반도체층과 접하는 베퍼층 및 산화물 절연층과, 베퍼층을 통하여, 산화물 반도체층과 전기적으로 접속하는 소스 전극 및 드레인 전극과의 적층 구조를 가지고, 산화물 반도체층의 질소 농도는 2×10^{19} atoms/cm³ 이하이고, 베퍼층의 질소 농도는 2×10^{19} atoms/cm³ 이하이고, 소스 전극 및 드레인 전극은 텅스텐, 백금 및 몰리브덴의 어느 하나 또는 복수를 포함하는 반도체 장치이다.

[0013] 또한, 산화물 반도체층과 접하는 절연층을, 산소를 포함하는 절연층, 바람직하게는, 화학양론적 조성비보다 산소가 많은 영역을 포함하는 절연층으로 함으로써, 산화물 반도체층에 산소를 공급할 수 있다. 특히, 산화물 반도체층과 접하는 층으로서 금속 산화물층을 이용하여, 산화물 반도체층으로 수소 또는 물 등의 불순물이 혼입하는 것을 억제한다.

[0014] 따라서, 상기 반도체 장치에 있어서, 게이트 절연층은 산화갈륨, 산화알루미늄, 산화갈륨 알루미늄, 및 산화알루미늄 갈륨의 어느 하나 또는 복수가 포함되는 것이 바람직하다.

[0015] 또한, 상기 반도체 장치에 있어서, 산화물 절연층은 산화갈륨, 산화알루미늄, 산화갈륨 알루미늄, 및 산화알루미늄 갈륨의 어느 하나 또는 복수가 포함되는 것이 바람직하다.

[0016] 상기 반도체 장치에 있어서, 산화물 반도체층의 두께는 3 nm 이상 30 nm 이하인 것이 바람직하다.

[0017] 상기 반도체 장치에 있어서, 산화물 절연층을 통하여, 산화물 반도체층 및 제 1 게이트 전극과 중첩하는 영역에 형성된 제 2 게이트 전극을 가지는 것이 바람직하다.

[0018] 상기 반도체 장치에 있어서, 소스 전극 및 드레인 전극의 질소 농도는, 2×10^{19} atoms/cm³ 이하인 것이 바람직하다.

[0019] 또한, 산화물 반도체는 박막 형성 공정에 있어서, 산소의 부족 등에 의한 화학양론적 조성으로부터의 편차나, 전자 공여체를 형성하는 수소나 물의 혼입 등이 생기면, 그 전기 전도율이 변화하게 된다. 이러한 현상은, 산화물 반도체를 이용한 반도체 장치에 있어 전기적 특성의 변동 요인이 된다. 따라서, 수소, 물, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체로부터 의도적으로 배제하고, 또한, 불순물의 배제 공정에 의해 동시에 감소될 수 있는 산화물 반도체를 구성하는 주성분 재료인 산소를, 산화물 반도체층에 접하는 절연층으로부터 공급하는 것에 의해, 산화물 반도체층을 고순도화 및 전기적으로 i형(진성)화한다.

[0020] 절연층으로부터 산화물 반도체층으로 산소를 확산시켜, 반도체 장치의 불안정 요소의 하나인 수소와 반응시킴으로써, 산화물 반도체층 중 또는 계면의 수소를 고정(비가동 이온화)할 수 있다. 즉, 신뢰성 상의 불안정성을 감소시키거나, 또는 충분히 저감시킬 수 있다. 또한, 산화물 반도체층 중 또는 계면에서의 산소 결손에 기인하는 스레시홀드 전압(Vth)의 편차, 스레시홀드 전압의 시프트(ΔVth)를 저감할 수 있다.

[0021] 고순도화된 산화물 반도체층을 가지는 트랜지스터는, 스레시홀드 전압이나 온 전류 등의 전기적 특성에 온도의 존성을 거의 볼 수 없다. 또한, 광열화에 의한 트랜지스터 특성의 변동도 적다.

발명의 효과

[0022] 본 발명의 일 양태에 의해, 산화물 반도체를 이용한, 전기적 특성이 양호하고, 신뢰성이 높은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0023]

- 도 1은 본 발명의 일 양태의 트랜지스터의 구성예를 나타낸 도면.
- 도 2는 본 발명의 일 양태의 트랜지스터의 제작 방법을 나타낸 도면.
- 도 3은 본 발명의 일 양태의 트랜지스터의 구성예를 나타낸 도면.
- 도 4는 본 발명의 일 양태의 트랜지스터의 구성예를 나타낸 도면.
- 도 5는 반도체 장치의 일 형태를 설명한 도면.
- 도 6은 반도체 장치의 일 형태를 설명한 도면.
- 도 7은 반도체 장치의 일 형태를 설명한 도면.
- 도 8은 반도체 장치의 일 형태를 설명한 도면.
- 도 9는 전자기기를 나타낸 도면.
- 도 10은 실시예 1의 단면 관찰의 결과를 나타낸 도면.
- 도 11은 실시예 2의 광바이어스 시험의 결과를 나타낸 도면.
- 도 12는 실시예 3에 관한 도면.
- 도 13은 실시예 4의 SIMS 분석 깊이 프로파일.

발명을 실시하기 위한 구체적인 내용

[0024]

실시형태에 대하여, 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에 설명하는 발명의 구성에 있어서, 동일 부분 또는 동일한 기능을 가지는 부분에는 동일한 부호를 다른 도면간에 공통으로 이용하고 그 반복 설명은 생략한다.

[0025]

(실시형태 1)

[0026]

본 실시형태에서는, 본 발명의 일 양태의 반도체 장치의 구성 및 제작 방법에 대하여 도 1~도 4를 이용하여 설명한다.

[0027]

도 1에 반도체 장치의 예로서 트랜지스터(550)를 나타낸다. 도 1(A)에 트랜지스터(550)의 상면도를, 도 1(B)에 트랜지스터(550)의 단면도를 나타낸다. 또한, 도 1(B)은 도 1(A)에 나타낸 절단선 P1-P2의 단면에 상당한다.

[0028]

트랜지스터(550)는 절연 표면을 가지는 기판(500) 위에, 제 1 게이트 전극(511), 및 제 1 게이트 전극(511)을 덮는 게이트 절연층(502)을 가진다. 또한, 게이트 절연층(502) 위에 제 1 게이트 전극(511)과 중첩하는 산화물 반도체층(513), 및 산화물 반도체층(513)에 접하고, 단부가 제 1 게이트 전극(511)과 중첩하는 소스 전극 또는 드레인 전극으로서 기능하는 제 1 전극(515a) 및 제 2 전극(515b)을 가진다. 또한, 산화물 반도체층(513)과 중첩하고, 그 일부와 접하는 산화물 절연층(507)을 가진다.

[0029]

산화물 반도체층(513)은 수소나 물 등의 불순물이 충분히 제거됨으로써, 또는, 충분한 산소가 공급됨으로써, 고순도화된 것인 것이 바람직하다. 구체적으로는, 예를 들면, 산화물 반도체층(513)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상술한 산화물 반도체층(513) 중 수소 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정되는 것이다. 이와 같이, 수소 농도가 충분히 저감되고 고순도화되어, 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 갭 중의 결함 준위가 저감된 산화물 반도체층(513)에서는 캐리어 농도가 $1 \times 10^{12}/cm^3$ 미만, 바람직하게는, $1 \times 10^{11}/cm^3$ 미만, 보다 바람직하게는 $1.45 \times 10^{10}/cm^3$ 미만이 된다. 예를 들면, 실온(25°C)에서의 오프 전류(여기에서는, 단위 채널폭($1 \mu m$)당의 값)은 100 zA(1 zA(젭토 암페어)는 $1 \times 10^{-21} A$) 이하, 바람직하게는 10 zA 이하가 된다. 이와 같이, i형화된 산화물 반도체를 이용함으로써, 양호한 전기 특성의 트랜지스터를 얻을 수 있다.

- [0030] 또한, 산화물 반도체층(513)의 질소 농도는, 2×10^{19} atoms/cm³ 이하로 한다. 특히, 질소 농도가 5×10^{18} atoms/cm³ 이하인 것이 바람직하다. 질소는 산화물 반도체를 구성하는 금속과 결합하기 쉽고, 산화물 반도체층 중에 있어서, 산소와 이 금속의 결합을 방해한다. 산화물 반도체층 중의 질소 농도를 낮게 함으로써, 산화물 반도체층 중의 산소 농도를 충분한 것으로 하고, 산화물 반도체의 전기 특성과 신뢰성을 향상시킬 수 있다.
- [0031] 여기에서는, 산화물 반도체층(513)에, In-Ga-Zn-O계 산화물 반도체(인듐(In), 갈륨(Ga), 아연(Zn)을 가지는 산화물 반도체)를 이용한 경우를 예로 들어 설명한다. 산화물 반도체층(513) 중에 질소가 많이 포함되면, 질소와, In이나 Ga가 결합하여, 질화인듐이나 질화갈륨이 생성된다. 산화물 반도체층(513) 중에서, 질소가 In 또는 Ga와 결합하여, 산소와, In 또는 Ga와의 결합을 방해할 수 있다. 산화물 반도체층(513) 중의 질소 농도가 높아지므로, 산화물 반도체층(513)의 캐리어 이동도가 저하된다. 따라서, 산화물 반도체층(513) 중의 질소 농도는 충분히 낮은 것이 바람직하다.
- [0032] 게이트 절연층(502) 및 산화물 절연층(507)은 산소를 포함하는 절연막을 이용하는 것이 바람직하다. 게이트 절연층(502)이나 산화물 절연층(507)은, 화학양론적 조성비보다 산소가 많은 영역(산소 과잉 영역이라고도 표기함)이 포함되는 막인 것이 보다 바람직하다. 산화물 반도체층(513)과 접하는 게이트 절연층(502) 및 산화물 절연층(507)이 산소 과잉 영역을 가지는 것에 의해, 산화물 반도체층(513)으로부터 게이트 절연층(502) 또는 산화물 절연층(507)으로의 산소의 이동을 막을 수 있다. 또한, 게이트 절연층(502) 또는 산화물 절연층(507)으로부터 산화물 반도체층(513)으로의 산소의 공급을 행할 수도 있다. 따라서, 게이트 절연층(502) 및 산화물 절연층(507)에 협착된 산화물 반도체층(513)을, 충분한 양의 산소를 함유하는 막으로 할 수 있다.
- [0033] 특히, 게이트 절연층(502) 및 산화물 절연층(507)은 제 13 족 원소 및 산소를 포함하는 재료를 이용하여 형성하는 것이 바람직하다. 제 13 족 원소 및 산소를 포함하는 재료로서는, 예를 들면, 산화갈륨, 산화알루미늄, 산화알루미늄 갈륨, 산화갈륨 알루미늄의 어느 하나 또는 복수를 포함하는 재료 등이 있다. 여기서, 산화알루미늄 갈륨이란, 갈륨(Ga)의 함유량(원자%)보다 알루미늄(Al)의 함유량(원자%)이 많은 것을 나타내고, 산화갈륨 알루미늄이란, Ga의 함유량(원자%)이 Al의 함유량(원자%) 이상인 것을 나타낸다. 게이트 절연층(502) 및 산화물 절연층(507)은 각각, 상술한 재료를 이용하여 단층 구조, 또는 적층 구조로 형성해도 좋다. 또한, 산화알루미늄은 물을 투과시키기 어렵다는 특성을 가지고 있기 때문에, 산화알루미늄, 산화알루미늄 갈륨, 산화갈륨 알루미늄 등을 적용하는 것은 산화물 반도체막으로의 물의 침입 방지라는 점에서도 바람직하다.
- [0034] 상술한 바와 같이, 게이트 절연층(502) 및 산화물 절연층(507)은 화학양론적 조성비보다 산소가 많은 영역을 포함하는 것이 바람직하다. 이것에 의해, 산화물 반도체층(513)과 접하는 절연막 또는 산화물 반도체층(513)에 산소를 공급하고, 산화물 반도체층(513) 중, 또는 산화물 반도체층(513)과 그것에 접하는 절연막과의 계면에서의 산소 결함을 저감할 수 있다. 예를 들면, 게이트 절연층(502)으로서 산화갈륨막을 이용한 경우, Ga_2O_x ($x = 3 + \alpha$, $0 < \alpha < 1$)로 하는 것이 바람직하다. 여기서, x는, 예를 들면, 3.3 이상 3.4 이하로 하면 좋다. 또는, 게이트 절연층(502)으로서 산화알루미늄막을 이용한 경우, Al_2O_x ($x = 3 + \alpha$, $0 < \alpha < 1$)로 하는 것이 바람직하다. 또는, 게이트 절연층(502)으로서 산화알루미늄 갈륨막을 이용한 경우, $Ga_xAl_{2-x}O_{3+\alpha}$ ($0 < x < 1$, $0 < \alpha < 1$)로 하는 것이 바람직하다. 또는, 게이트 절연층(502)으로서 산화갈륨 알루미늄막을 이용한 경우, $Ga_xAl_{2-x}O_{3+\alpha}$ ($1 < x \leq 2$, $0 < \alpha < 1$)로 하는 것이 바람직하다.
- [0035] 또한, 산소 결손이 없는 산화물 반도체막을 이용하는 경우, 게이트 절연층 및 산화물 절연층에는, 화학양론적 조성과 일치하는 양의 산소가 포함되어 있으면 좋지만, 트랜지스터의 스레시홀드 전압의 변동을 억제하는 등의 신뢰성을 확보하기 위해서는 산화물 반도체막에 산소 결손 상태가 생길 수 있는 것을 고려하여, 게이트 절연층 및 산화물 절연층에는 화학양론적 조성비보다 많이 산소를 함유시켜 두는 것이 바람직하다.
- [0036] 제 1 전극(515a) 및 제 2 전극(515b)은 내열성을 가지고 산소와 반응하기 어려운 금속으로 이루어지고, 예를 들면, 몰리브덴(Mo), 텅스텐(W), 백금(Pt)의 어느 하나 또는 복수를 포함한다. 또는, 금(Au)이나 크롬(Cr)을 이용해도 좋다. 상기 금속은 산화되기 어렵기 때문에, 제 1 전극(515a) 및 제 2 전극(515b)이 산화물 반도체층(513)으로부터 산소를 빼앗는 것을 억제할 수 있다. 또한, 제 1 전극(515a) 및 제 2 전극(515b)의 질소 농도는 2×10^{19} atoms/cm³ 이하인 것이 바람직하다.
- [0037] 도 3(A) 및 도 3(B)에 트랜지스터(550)와는 다른 구성의 트랜지스터(551a, 551b)의 단면도를 나타낸다.
- [0038] 트랜지스터(551a, 551b)는, 각각 절연 표면을 가지는 기판(500) 위에, 제 1 게이트 전극(511), 및 제 1 게이트

전극(511)을 덮는 게이트 절연층(502)을 가진다. 또한, 게이트 절연층(502) 위에 제 1 게이트 전극(511)과 중첩하는 산화물 반도체층(513), 및 산화물 반도체층(513)에 접하는 베퍼층(516a, 516b 또는 516c, 516d), 단부가 제 1 게이트 전극(511)과 중첩하는 소스 전극 또는 드레인 전극으로서 기능하는 제 1 전극(515a) 및 제 2 전극(515b)을 가진다. 또한, 산화물 반도체층(513)과 중첩되고, 그 일부와 접하는 산화물 절연층(507)을 가진다.

[0039] 베퍼층은, 산화물 반도체층(513)과, 제 1 전극(515a) 또는 제 2 전극(515b) 사이의 접속 저항을 낮추는 효과를 가진다. 베퍼층의 질소 농도는 2×10^{19} atoms/cm³ 이하로 한다. 특히, 질소 농도가 5×10^{18} atoms/cm³ 이하인 것이 바람직하다. 질소는 산화물 반도체를 구성하는 금속과 결합하기 쉽다. 베퍼층은 산화물 반도체층에 접하기 때문에, 베퍼층으로부터 산화물 반도체층에 질소가 침입할 우려가 있다. 산화물 반도체층 중에 침입한 질소는 산소와 이 금속의 결합을 방해한다.

[0040] 도 4에 상기 예시한 트랜지스터와는 다른 구성의 트랜지스터(552)의 단면도를 나타낸다.

[0041] 트랜지스터(552)는 절연 표면을 가지는 기판(500) 위에, 제 1 게이트 전극(511), 및 제 1 게이트 전극(511)을 덮는 게이트 절연층(502)을 가진다. 또한, 게이트 절연층(502) 위에 제 1 게이트 전극(511)과 중첩하는 산화물 반도체층(513), 및 산화물 반도체층(513)에 접하고, 단부를 제 1 게이트 전극(511)과 중첩하는 소스 전극 또는 드레인 전극으로서 기능하는 제 1 전극(515a) 및 제 2 전극(515b)을 가진다. 또한, 산화물 반도체층(513)과 중첩되고, 그 일부와 접하는 산화물 절연층(507)을 가진다. 또한, 산화물 절연층(507) 위에, 제 1 게이트 전극(511) 및 산화물 반도체층(513)과 중첩하는 제 2 게이트 전극(519)을 가진다.

[0042] 제 2 게이트 전극(519)을 산화물 반도체층(513)의 채널 형성 영역과 중첩되는 위치에 형성하는 것에 의해, 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험(이하, BT 시험이라고 함)에 있어서, BT 시험 전후의 트랜지스터 스레시홀드 전압의 변화량을 보다 저감할 수 있다. 또한, 제 2 게이트 전극(519)은 전위가 제 1 게이트 전극(511)과 같아도 좋고, 상이하여도 좋다. 또한, 제 2 게이트 전극(519)의 전위는 GND, 0 V, 혹은 플로팅 상태여도 좋다.

[0043] 다음에, 트랜지스터(550)를 기판(500) 위에 제작하는 방법에 대하여, 도 2를 이용하여 설명한다.

[0044] 먼저, 절연 표면을 가지는 기판(500) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 제 1 게이트 전극(511)을 포함하는 배선층을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.

[0045] 본 실시형태에서는 절연 표면을 가지는 기판(500)으로서 유리 기판을 이용한다.

[0046] 하지막이 되는 절연막을 기판(500)과 제 1 게이트 전극(511)과의 사이에 형성해도 좋다. 하지막은 기판(500)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막을 단층 또는 적층하여 형성할 수 있다.

[0047] 또한, 제 1 게이트 전극(511)은 폴리브덴, 티탄, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층 또는 적층하여 형성할 수 있다.

[0048] 다음에, 제 1 게이트 전극(511) 위에 게이트 절연층(502)을 형성한다. 게이트 절연층(502)은 제 13 족 원소 및 산소를 포함하는 재료를 이용하여 형성하는 것이 바람직하다. 예를 들면, 산화갈륨, 산화알루미늄, 산화알루미늄 갈륨, 산화갈륨 알루미늄의 어느 하나 또는 복수를 포함하는 재료 등을 이용할 수 있다. 또한, 게이트 절연층(502)에는 복수 종류의 제 13 족 원소와 산소를 포함시킬 수도 있다. 또는, 제 13 족 원소 외에, 이트륨 등의 제 3 족 원소, 하프늄 등의 제 4 족 원소, 실리콘 등의 제 14 족 원소 등의 수소 이외의 불순물 원소를 포함시킬 수 있다. 이러한 불순물 원소를, 예를 들면 0 초과 20 원자 % 이하 정도 포함시킴으로써, 게이트 절연층(502)의 에너지 캡을 이 원소의 첨가량에 따라 제어할 수 있다.

[0049] 게이트 절연층(502)은 그 외에, 산화실리콘이나 산화하프늄을 이용하여 형성해도 좋다.

[0050] 게이트 절연층(502)은 질소, 수소, 물 등의 불순물을 혼입시키지 않는 방법을 이용하여 성막하는 것이 바람직하다. 게이트 절연층(502)에 질소, 수소, 물 등의 불순물이 포함되면, 후에 형성되는 산화물 반도체막에 질소, 수소, 물 등의 불순물의 침입이나, 수소, 물 등의 불순물에 의한 산화물 반도체막 중의 산소의 추출 등에 의해 산화물 반도체막이 저저항화(n형화)하게 되어, 기생 채널이 형성될 우려가 있기 때문이다. 따라서, 게이트 절연층(502)은 가능한 한 질소, 수소, 물 등의 불순물이 포함되지 않게 제작하는 것이 바람직하다. 예를 들면, 스피터링법에 의해 성막하는 것이 바람직하다. 성막할 때에 이용하는 스피터링 가스로서는, 질소, 수소, 물 등

의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0051] 스퍼터링법으로서는, 직류 전원을 이용하는 DC 스퍼터링법, 펄스적으로 직류 바이어스를 더하는 펄스 DC 스퍼터링법, 또는 AC 스퍼터링법 등을 이용할 수 있다.

[0052] 또한, 게이트 절연층(502)으로서 산화알루미늄 갈륨막 또는 산화갈륨 알루미늄막을 형성할 때에는, 스퍼터링법에 이용하는 타겟으로서 알루미늄 파티클이 첨가된 산화갈륨 타겟을 적용해도 좋다. 알루미늄 파티클이 첨가된 산화갈륨 타겟을 이용함으로써, 타겟의 도전성을 높일 수 있기 때문에, 스퍼터링 시의 방전을 용이한 것으로 할 수 있다. 이러한 타겟을 이용함으로써, 양산화에 적합한 금속 산화물막을 제작할 수 있다.

[0053] 다음에, 게이트 절연층(502)에 대하여, 산소 도핑 처리를 행하는 것이 바람직하다. 산소 도핑이란, 산소를 벌크로 첨가하는 것을 말한다. 또한, 이 벌크라는 용어는 산소를 박막 표면뿐만 아니라 박막 내부에 첨가하는 것을 명확하게 하는 취지로 이용하고 있다. 또한, 산소 도핑에는 플라즈마화한 산소를 벌크로 첨가하는 산소 플라즈마 도핑이 포함된다.

[0054] 게이트 절연층(502)에 대하여, 산소 도핑 처리를 행하는 것에 의해 게이트 절연층(502)에는 화학양론적 조성비보다 산소가 많은 영역이 형성된다. 이러한 영역을 구비함으로써, 후에 성막되는 산화물 반도체막에 산소를 공급하여, 산화물 반도체막 중의 산소 결함을 저감할 수 있다.

[0055] 게이트 절연층(502)으로서 산화갈륨막을 이용하는 경우, 산소 도핑을 행함으로써, Ga_2O_x ($x = 3 + \alpha$, $0 < \alpha < 1$)로 할 수 있다. x 는, 예를 들면, 3.3 이상 3.4 이하로 할 수 있다. 또는, 게이트 절연층(502)으로서 산화알루미늄막을 이용한 경우, 산소 도핑을 행함으로써, Al_2O_x ($x = 3 + \alpha$, $0 < \alpha < 1$)로 할 수 있다. 또는, 게이트 절연층(502)으로서 산화알루미늄 갈륨막을 이용하는 경우, 산소 도핑을 행함으로써, $Ga_xAl_{2-x}O_{3+\alpha}$ ($0 < x < 1$, $0 < \alpha < 1$)로 할 수 있다. 또는, 게이트 절연층(502)으로서 산화갈륨 알루미늄막을 이용한 경우, 산소 도핑을 행함으로써, $Ga_xAl_{2-x}O_{3+\alpha}$ ($1 < x \leq 2$, $0 < \alpha < 1$)로 할 수 있다.

[0056] 다음에, 게이트 절연층(502) 위에, 막두께 3 nm 이상 30 nm 이하의 산화물 반도체막(513a)을 스퍼터링법으로 형성한다(도 2(A)). 산화물 반도체막(513a)의 막두께를 너무 크게 하면(예를 들면, 막두께를 50 nm 이상으로 하면), 트랜지스터가 노멀리 온(normally on)이 될 우려가 있기 때문에, 상술한 막두께로 하는 것이 바람직하다. 또한, 게이트 절연층(502), 및 산화물 반도체막(513a)은 대기애 접하지 않게 연속하여 성막하는 것이 바람직하다.

[0057] 산화물 반도체막(513a)에 이용하는 산화물 반도체로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체, In-Ga-O계 산화물 반도체나, 단원계 금속 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 이용할 수 있다. 또한, 상기 산화물 반도체에 SiO_2 를 포함해도 좋다. 여기서, 예를 들면, In-Ga-Zn-O계 산화물 반도체란, 인듐(In), 갈륨(Ga), 아연(Zn)을 가지는 산화물 반도체라는 의미이며, 그 화학양론비는 특별히 따지지 않는다. 또한, In, Ga, Zn 이외의 원소를 포함해도 좋다.

[0058] 또한, 산화물 반도체막(513a)은 화학식 $InMO_3$ (ZnO) m ($m > 0$)으로 표기되는 박막을 이용할 수 있다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면, M으로서 Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.

[0059] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 이용하는 경우, 이용하는 타겟의 조성비는 원자수비로, In : Zn = 50 : 1~1 : 2(몰수비로 환산하면 In_2O_3 : ZnO = 25 : 1~1 : 4), 바람직하게는 In : Zn = 20 : 1~1 : 1(몰수비로 환산하면 In_2O_3 : ZnO = 10 : 1~1 : 2), 더욱 바람직하게는 In : Zn = 15 : 1~1.5 : 1(몰수비로 환산하면 In_2O_3 : ZnO = 15 : 2~3 : 4)로 한다. 예를 들면, In-Zn-O계 산화물 반도체의 형성에 이용하는 타겟은 원자수비가 In : Zn : O = X : Y : Z 일 때, Z > 1.5X+Y로 한다.

[0060] 본 실시형태에서는, 산화물 반도체막(513a)으로서 In-Ga-Zn-O계 산화물 타겟을 이용하여 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막(513a)은 희가스(대표적으로는 아르곤) 분위기하, 산소 분위기하, 또는 희가스

와 산소의 혼합 분위기 하에서 스퍼터링법에 의해 형성할 수 있다.

[0061] 산화물 반도체막(513a)으로서 In-Ga-Zn-O막을 스퍼터링법으로 제작하기 위한 타겟으로서는 예를 들면, 조성비로서 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol수비]의 산화물 타겟을 이용할 수 있다. 또한, 이 타겟의 재료 및 조성에 한정되지 않고, 예를 들면, $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol수비]의 산화물 타겟을 이용해도 좋다.

[0062] 또한, 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 이용함으로써, 성막한 산화물 반도체막(513a)은 치밀한 막으로 할 수 있다.

[0063] 산화물 반도체막(513a)을 성막할 때에 이용하는 스퍼터링 가스로서는 질소, 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.

[0064] 산화물 반도체막(513a)의 성막은 감압 상태로 보유된 성막실 내에 기관(500)을 보유하고, 기관 온도를 100°C 이상 600°C 이하 바람직하게는 200°C 이상 400°C 이하로 하여 행한다. 기관(500)을 가열하면서 성막함으로써, 성막한 산화물 반도체막(513a)에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 물이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 기관(500) 위에 산화물 반도체막(513a)을 성막한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서브리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단은 터보 펌프에 클드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은 예를 들면, 수소 원자, 물 등 수소 원자를 포함하는 화합물 및 질소(보다 바람직하게는 탄소 원자를 포함하는 화합물) 등이 배기되기 때문에, 이 성막실에서 성막한 산화물 반도체막(513a)에 포함되는 불순물의 농도를 저감할 수 있다.

[0065] 성막 조건의 일례로서는, 기관과 타겟 사이의 거리를 100 mm, 압력 0.6 Pa, 직류(DC) 전원 0.5 kW, 산소(산소 유량 비율 100%) 분위기하의 조건이 적용된다. 또한, 펄스 직류 전원을 이용하면, 성막 시에 발생하는 분상 물질(파티클, 먼지라고도 함)을 경감할 수 있어, 막두께 분포도 균일하게 되기 때문에 바람직하다.

[0066] 그 후, 산화물 반도체막(513a)에 대하여, 열처리(제 1 열처리)를 행하는 것이 바람직하다. 이 제 1 열처리에 의해 산화물 반도체막(513a) 중의 과잉의 수소(물이나 수산기를 포함함)를 제거할 수 있다. 또한, 이 제 1 열처리에 의해, 게이트 절연층(502) 중의 과잉의 수소(물이나 수산기를 포함함)를 제거하는 것도 가능하다. 제 1 열처리의 온도는 250°C 이상 700°C 이하, 바람직하게는 450°C 이상 600°C 이하, 또는 기관의 변형점 미만으로 한다.

[0067] 열처리는 예를 들면, 저항 발열체 등을 이용한 전기로에 피처리물을 도입하고, 질소 분위기하, 450°C, 1시간의 조건에서 행할 수 있다. 이 동안, 산화물 반도체막(513a)은 대기에 노출되지 않게 하고, 물이나 수소의 혼입이 생기지 않도록 한다.

[0068] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해, 피처리물을 가열하는 장치를 이용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스, 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0069] 예를 들면, 제 1 열처리로서, 가열된 불활성 가스 분위기 중에 피처리물을 투입하고, 수 분간 가열한 후, 이 불활성 가스 분위기로부터 피처리물을 취출하는 GRTA 처리를 행하여도 좋다. GRTA 처리를 이용하면 단시간에서의 고온 열처리가 가능하게 된다. 또한, 피처리물의 내열 온도를 넘는 온도 조건이어도 적용이 가능하게 된다. 또한, 처리 중에 불활성 가스를, 산소를 포함하는 가스로 전환해도 좋다. 산소를 포함하는 분위기에서 제 1 열처리를 행함으로써, 산소 결손에 기인하는 에너지 캡 중의 결함 준위를 저감할 수 있기 때문이다.

[0070] 또한, 불활성 가스 분위기로서는, 질소, 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들면, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6 N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상(즉, 불순물 농도가 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 한다.

[0071] 그런데, 상술한 열처리(제 1 열처리)에는 수소나 물 등을 제거하는 효과가 있기 때문에, 이 열처리를 탈수화 처

리나, 탈수소화 처리 등이라고 부를 수도 있다. 이 탈수화 처리나 탈수소화 처리는, 예를 들면, 산화물 반도체막(513a)을 섬 형상으로 가공한 후 등의 타이밍에서 행하는 것도 가능하다. 또한, 이러한 탈수화 처리, 탈수소화 처리는 1회에 한정되지 않고 복수회 행하여도 좋다.

[0072] 또한, 산화물 반도체막(513a)에 접하는 게이트 절연층(502)은 산소 도핑 처리되어 있어, 산소 파잉 영역을 가진다. 따라서, 산화물 반도체막(513a)으로부터, 게이트 절연층(502)으로의 산소의 이동을 억제할 수 있다. 또한, 산소 도핑 처리된 게이트 절연층(502)과 접하여 산화물 반도체막(513a)을 적층함으로써, 게이트 절연층(502)으로부터 산화물 반도체막(513a)으로 산소를 공급할 수 있다. 게이트 절연층(502)으로부터의 산화물 반도체막(513a)으로의 산소의 공급은, 산소 도핑 처리된 게이트 절연층(502)과 산화물 반도체막(513a)이 접한 상태에서 열처리를 행하는 것에 의해, 보다 촉진된다.

[0073] 또한, 게이트 절연층(502)에 첨가되고, 산화물 반도체막(513a)에 공급되는 산소의 적어도 일부는, 산소의 미결합수(탱글링 본드)를 산화물 반도체 중에서 가지는 것이 바람직하다. 미결합수(탱글링 본드)를 가짐으로써, 산화물 반도체막 중에 잔존할 수 있는 수소와 결합하여, 수소를 고정화(비가동 이온화)할 수 있기 때문이다.

[0074] 다음에, 산화물 반도체막(513a)을 제 2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층(513)으로 가공하는 것이 바람직하다(도 2(B)). 또한, 섬 형상의 산화물 반도체층(513)을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 절감할 수 있다. 섬 형상의 산화물 반도체층(513)을 형성하기 위한 에칭은 드라이 에칭이어도 웨트 에칭이어도 좋고, 양쪽 모두를 이용해도 좋다.

[0075] 다음에, 게이트 절연층(502) 및 산화물 반도체층(513) 위에, 소스 전극 및 드레인 전극(이것과 같은 층에서 형성되는 배선을 포함함)을 형성하기 위한 도전막을 형성한다. 소스 전극 및 드레인 전극에 이용하는 도전막으로서는, 내열성을 가지고 산소와 반응하기 어려운 금속을 이용하여 형성하면 좋다. 특히, Mo, W, Pt 중 어느 하나 또는 복수를 포함하는 것이 바람직하다. 그 외에, Au, Cr 등도 이용할 수 있다. 도전막은 질소를 혼입시키지 않는 방법을 이용하여 성막하는 것이 바람직하다.

[0076] 제 3 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 제 1 전극(515a), 제 2 전극(515b)을 형성한 후, 레지스트 마스크를 제거한다(도 2(C)). 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성 시의 노광에는, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하면 좋다. 산화물 반도체층(513) 위에서 서로 인접하는 제 1 전극(515a)의 하단부와 제 2 전극(515b)의 하단부의 간격폭에 의해 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 또한, 채널 길이 $L = 25 \text{ nm}$ 미만의 노광을 행하는 경우에는, 예를 들면, 수 $\text{nm} \sim$ 수 10 nm 로 매우 좁은 초자외선(Extreme Ultraviolet)을 이용하여 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성 시의 노광을 행하면 좋다. 초자외선에 의한 노광은 해상도가 높고 초점심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 미세화하는 것이 가능하고, 회로의 동작 속도를 고속화할 수 있다.

[0077] 또한, 포토리소그래피 공정에서 이용하는 포토마스크수 및 공정수를 줄임하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막두께를 가지는 형상이 되어, 에칭을 행함으로서 더욱 형상을 변형할 수 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 줄임할 수 있고, 대응하는 포토리소그래피 공정도 줄임할 수 있기 때문에, 공정의 간략화가 가능하게 된다.

[0078] 또한, 도전막의 에칭 시에, 산화물 반도체층(513)이 에칭되어, 분단하는 일이 없도록 에칭 조건을 최적화하는 것이 바람직하다. 그러나, 도전막만을 에칭하고, 산화물 반도체층(513)을 전혀 에칭하지 않는다는 조건을 얻기는 어렵고, 도전막의 에칭 시에 산화물 반도체층(513)은 일부만이 에칭되어, 예를 들면, 산화물 반도체층(513)의 막두께의 5 내지 50%가 에칭되어, 흄부(오목부)를 가지는 산화물 반도체층(513)이 될 수도 있다.

[0079] 다음에, N_2O , N_2 , 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행하여, 노출된 산화물 반도체층(513)의 표면에 부착한 흡착수 등을 제거해도 좋다. 플라즈마 처리를 행한 경우, 이 플라즈마 처리에 이어 대기애 접하는 일 없이, 산화물 반도체층(513)에 접하는 산화물 절연층(507)을 형성하는 것이 바람직하다.

[0080] 다음에, 제 1 전극(515a), 및 제 2 전극(515b)을 덮고, 또한 산화물 반도체층(513)의 일부와 접하는 산화물 절연층(507)을 형성한다(도 2(D)). 산화물 절연층(507)은 게이트 절연층(502)과 같은 재료, 같은 공정으로 형성

할 수 있다.

[0081] 다음에, 산화물 절연층(507)에 대하여, 산소 도핑 처리를 행하는 것이 바람직하다. 산화물 절연층(507)에 대하여, 산소 도핑 처리를 행함으로써, 산화물 절연층(507)에는 화학양론적 조성비보다 산소가 많은 영역이 형성된다. 이러한 영역을 구비함으로써, 산화물 반도체층에 산소를 공급하여, 산화물 반도체층 중의 산소 결함을 저감할 수 있다.

[0082] 다음에 산화물 반도체층(513)이 산화물 절연층(507)과 일부(채널 형성 영역)가 접한 상태로 제 2 열처리를 행하는 것이 바람직하다. 제 2 열처리의 온도는 250°C 이상 700°C 이하, 바람직하게는 450°C 이상 600°C 이하, 또는 기판의 변형점 미만으로 한다.

[0083] 제 2 열처리는 질소, 산소, 건조 공기(물의 함유량이 20 ppm 이하, 바람직하게는 1 ppm 이하, 보다 바람직하게는 10 ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기하에서 행하면 좋지만, 상기 질소, 산소, 건조 공기, 또는 희가스 등의 분위기에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소, 산소, 또는 희가스의 순도를, 6 N(99.9999%) 이상 바람직하게는 7 N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다.

[0084] 제 2 열처리에 있어서는, 산화물 반도체층(513)과 게이트 절연층(502) 및 산화물 절연층(507)이 접한 상태로 가열된다. 따라서, 상술한 탈수화(또는 탈수소화) 처리에 의해 동시에 감소하게 될 가능성이 있는 산화물 반도체를 구성하는 주성분 재료의 하나인 산소를, 산소를 포함하는 게이트 절연층(502) 및 산화물 절연층(507)으로부터 산화물 반도체층(513)으로 공급할 수 있다. 이상의 공정으로 고순도화되고, 전기적으로 i형(진성)화된 산화물 반도체층(513)을 형성할 수 있다.

[0085] 위에서 설명한 바와 같이, 제 1 열처리와 제 2 열처리를 적용함으로써, 산화물 반도체층(513)을 그 주성분 이외의 불순물이 극력 포함되지 않도록 고순도화할 수 있다. 고순도화된 산화물 반도체층(513) 중에는 도너에 유래하는 캐리어가 매우 적고(제로에 가까움), 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만이다.

[0086] 이상의 공정으로 트랜지스터(550)가 형성된다. 트랜지스터(550)는 수소, 물, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체층(513)으로부터 의도적으로 배제하여, 고순도화된 산화물 반도체층(513)을 포함하는 트랜지스터이다. 또한, 산화물 반도체층(513)은 질소 농도가 충분히 저감되어 있다(질소 농도가 $2 \times 10^{19} \text{ atoms/cm}^3$ 이하임). 또한, 제 1 전극(515a) 및 제 2 전극(515b)은 산소와 반응하기 어려운 금속으로 이루어진다. 따라서, 트랜지스터(550)는 전기적 특성 변동이 억제되어 있어, 전기적으로 안정적이다.

[0087] 또한, 도시하지 않았지만, 트랜지스터(550)를 덮도록, 보호 절연막을 더 형성해도 좋다. 보호 절연막으로서는 질화규소막, 질화산화규소막, 또는 질화알루미늄막 등을 이용할 수 있다.

[0088] 또한, 트랜지스터(550) 위에 평탄화 절연막을 형성해도 좋다. 평탄화 절연막의 재료로서는, 아크릴, 폴리이미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시켜도 좋다.

[0089] 또한, 후의 소스 전극, 및 드레인 전극이 되는 도전막을 성막하기 전에, 산화물 반도체층(513) 위에 베퍼층(516a, 516b)(또는, 베퍼층(516c, 516d))을 형성함으로써, 도 3(A) 및 도 3(B)에 나타낸 트랜지스터(551a)나 트랜지스터(551b)를 형성할 수 있다. 베퍼층으로서는, 예를 들면, ITO막 등의 투명 도전막을 이용할 수 있다. 산화물 반도체층(513) 위에 도전막을 형성하고, 포토리소그래피 공정에 의해 이 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 베퍼층(516a, 516b)을 형성한 후, 레지스트 마스크를 제거하면 좋다.

[0090] 또한, 산화물 절연층(507) 위이고, 산화물 반도체층(513)의 채널 형성 영역과 중첩하는 영역에 제 2 게이트 전극(519)을 형성함으로써, 도 4에 나타낸 트랜지스터(552)를 형성할 수 있다. 제 2 게이트 전극(519)은 제 1 게이트 전극(511)과 같은 재료, 같은 공정으로 형성할 수 있다. 제 2 게이트 전극(519)을 산화물 반도체층(513)의 채널 형성 영역과 중첩하는 위치에 형성하는 것에 의해, BT 시험 전후에 있어서의 트랜지스터의 스레시홀드 전압의 변화량을 보다 저감할 수 있다. 또한, 제 2 게이트 전극(519)은 전위가 제 1 게이트 전극(511)과 같아도 좋고, 상이하여도 좋다. 또한, 제 2 게이트 전극(519)의 전위는 GND, 0 V, 혹은 플로팅 상태여도 좋다.

[0091] 이상과 같이, 본 발명의 일 양태의 트랜지스터는, 산화물 반도체층 중의 질소 농도가 저감되고, 또한, 소스 전

극 및 드레인 전극에 내열성을 가지고 산화되기 어려운 금속을 이용하기 때문에, 산화물 반도체층 중의 산소와 금속의 결합이 방해되는 것을 억제할 수 있다. 따라서, 산화물 반도체를 이용한 트랜지스터의 전기 특성과 신뢰성을 향상시킬 수 있다. 예를 들면, 광열화에 의한 트랜지스터 특성의 변동을 저감할 수 있다.

[0092] (실시형태 2)

[0093] 실시형태 1에 예시한 트랜지스터를 이용하여 표시 기능을 가지는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 트랜지스터를 포함하는 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하여, 시스템 온 패널(system-on-panel)을 형성할 수 있다.

[0094] 도 5(A)에서, 제 1 기판(4001) 위에 형성된 화소부(4002)를 둘러싸도록 하여, 시일재(4005)가 형성되고, 제 2 기판(4006)에 의해 봉지되어 있다. 도 5(A)에서는, 제 1 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 주사선 구동 회로(4004), 신호선 구동 회로(4003)가 실장되어 있다. 또한 별도 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는, FPC(Flexible Printed Circuit)(4018a, 4018b)로부터 공급된다.

[0095] 도 5(B) 및 도 5(C)에서, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 하여, 시일재(4005)가 제공된다. 또한 화소부(4002)와 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 설치되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는, 제 1 기판(4001)과 시일재(4005)와 제 2 기판(4006)에 의해, 표시 소자와 함께 봉지되어 있다. 도 5(B) 및 도 5(C)에서는, 제 1 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 5(B) 및 도 5(C)에서는, 별도 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.

[0096] 또한, 도 5(B) 및 도 5(C)에서는, 신호선 구동 회로(4003)를 별도 형성하여, 제 1 기판(4001)에 실장하고 있는 예를 나타내고 있지만, 이 구성에 한정되는 것은 아니다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.

[0097] 또한, 별도 형성한 구동 회로의 접속 방법은 특별히 한정되는 것은 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 5(A)는 COG 방법에 의해 신호선 구동 회로(4003), 주사선 구동 회로(4004)를 실장하는 예이며, 도 5(B)는 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 5(C)는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.

[0098] 또한, 표시 장치는 표시 소자가 봉지된 상태에 있는 패널과, 이 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.

[0099] 또한, 본 명세서 중에서의 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면 FPC 혹은 TAB 테이프 혹은 TCP가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG 방식에 의해 IC(접적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0100] 또한 제 1 기판 위에 형성된 화소부 및 주사선 구동 회로는, 트랜지스터를 복수 가지고 있고, 실시형태 1에 일례를 나타낸 본 발명의 일 양태의 트랜지스터를 적용할 수 있다.

[0101] 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는 전류 또는 전압에 의해 회도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.

[0102] 반도체 장치의 일 형태에 대하여, 도 6 내지 도 8을 이용하여 설명한다. 도 6(B), 도 7 및 도 8은 도 5(B)의 M-N의 단면도에 상당한다. 도 6(A)은 도 6(B)에 나타낸 트랜지스터(4010)의 상면도에 상당한다.

[0103] 도 6 내지 도 8에 나타낸 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 가지고 있고, 접속 단자 전극(4015) 및 단자 전극(4016)은 FPC(4018)가 가지는 단자와 이방성 도전막(4019)을 통하여 전기적

으로 접속되어 있다.

[0104] 접속 단자 전극(4015)은 제 1 전극(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은 트랜지스터(4010), 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전막으로 형성되어 있다.

[0105] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수 가지고 있고, 도 6 내지 도 8에서는, 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하고 있다.

[0106] 트랜지스터(4010), 트랜지스터(4011)로서 본 발명의 일 양태의 트랜지스터를 적용할 수 있다. 본 발명의 일 양태의 트랜지스터는, 전기적 특성 변동이 억제되어, 전기적으로 안정적이다. 따라서, 도 6 내지 도 8에 나타낸 본 실시형태의 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할 수 있다.

[0107] 화소부(4002)에 설치된 트랜지스터(4010)는 표시 소자와 전기적으로 접속하여, 표시 패널을 구성한다. 표시 소자는 표시를 행할 수 있다면 특별히 한정되지 않고, 다양한 표시 소자를 이용할 수 있다.

[0108] 도 6(A), 도 6(B)에 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예를 나타낸다. 도 6(A), 도 6(B)에 있어서, 표시 소자인 액정 소자(4013)는, 제 1 전극(4030), 제 2 전극(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 협지하도록 배향막으로서 기능하는 절연막(4032, 4033)이 형성되어 있다. 제 2 전극(4031)은 제 2 기판(4006)측에 형성되고, 제 1 전극(4030)과 제 2 전극(4031)은 액정층(4008)을 통하여 격충하는 구성으로 되어 있다. 또한, 제 1 전극(4030)과 제 2 전극(4031)이 중첩하지 않는 영역에서는, 제 2 기판(4006)측에 차광층(4048)(블랙 매트릭스)이 형성되어 있다. 그리고, 제 1 전극(4030)과 제 2 전극(4031)이 중첩하는 영역에는 컬러 필터층(4043)이 형성되어 있다. 제 2 전극(4031)과 차광층(4048) 및 컬러 필터층(4043)의 사이에는, 평탄화막(4045)이 형성되어 있다.

[0109] 도 6(A), 도 6(B)에 나타낸 트랜지스터(4010, 4011)에 있어서, 게이트 전극이 산화물 반도체층의 하측을 덮는 형태로 배치되어 있고(트랜지스터(4010)의 게이트 전극(4041), 산화물 반도체층(4042)을 참조), 또한 차광층(4048)이 산화물 반도체층의 상측을 덮는 형태로 배치된다. 따라서, 트랜지스터(4010, 4011)는 상측 및 하측에서 차광이 가능한 구조로 할 수 있다. 이 차광에 의해, 트랜지스터(4010, 4011)의 채널 형성 영역에 입사하는 미광(迷光)을 줄일 수 있어, 트랜지스터 특성의 열화를 억제할 수 있다. 구체적으로는, 채널 형성 영역에 산화물 반도체를 이용한 경우에도, 스레시홀드 전압의 변동을 억제할 수 있다.

[0110] 또한, 부호 4035는 절연막을 선택적으로 에칭하여 얻어지는 주상(柱狀)의 스페이서이며, 액정층(4008)의 막두께(셀 캡)를 제어하기 위해 형성되어 있다. 또한 구상(球狀)의 스페이서를 이용하여도 좋다.

[0111] 표시 소자로서 액정 소자를 이용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수 있다. 이들 액정 재료는 조건에 따라, 콜레스테릭상, 스멕티상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.

[0112] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용해도 좋다. 블루상은 액정상의 하나로서, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서 밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위해 5 중량 % 이상의 키랄제를 혼합시킨 액정 조성물을 이용하여 액정층에 이용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또 배향막을 형성하지 않아도 좋으므로 러빙 처리도 불필요해지기 때문에, 러빙 처리에 의해 발생되는 정전 과괴를 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량이나 과손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능하게 된다.

[0113] 또한, 액정 재료의 고유 저항율은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이며, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에서의 고유 저항율의 값은 20°C에서 측정한 값으로 한다.

[0114] 액정 표시 장치에 형성되는 보유 용량의 크기는, 화소부에 배치되는 트랜지스터의 리크 전류 등을 고려하여, 소정 기간 동안 전하를 보유할 수 있도록 설정된다. 고순도의 산화물 반도체막을 가지는 트랜지스터를 이용함으로써, 각 화소에서 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 가지는 보유 용량을 형성하면 충분하다.

[0115] 본 실시형태에서 이용하는 고순도화된 산화물 반도체막을 이용한 트랜지스터는, 오프 상태에서의 전류값(오프

전류)을 낮게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 보유 시간을 길게 할 수 있고, 전원 온 상태에서는 기입 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 줄일 수 있기 때문에, 소비 전력을 억제하는 효과를 얻는다.

[0116] 또한, 본 실시형태에서 이용하는 고순도화된 산화물 반도체막을 이용한 트랜지스터는 비교적 높은 전계 효과 이동도를 얻을 수 있기 때문에, 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 이용함으로써, 고화질의 화상을 제공할 수 있다. 또한, 상기 트랜지스터는 동일 기판 위에 구동 회로부 또는 화소부에 별개로 제작할 수 있기 때문에, 액정 표시 장치의 부품 점수를 감소할 수 있다.

[0117] 액정 표시 장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.

[0118] 또한, 노멀리 블랙(normally black)형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 좋다. 여기서, 수직 배향 모드란, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종으로서, 전압이 인가되어 있지 않을 때 패널면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 수직 배향 모드로서는, 몇 개의 예를 들 수 있는데, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV(Advanced Super View) 모드 등을 이용할 수 있다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누어, 각각 다른 방향으로 분자를 넘어뜨리도록 고안된 멀티 도메인화 혹은 멀티 도메인 설계라고 불리는 방법을 이용할 수 있다.

[0119] 또한, 표시 장치에 있어서, 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등을 적절히 형성한다. 예를 들면, 편광 기판 및 위상차 기판에 의한 원 편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.

[0120] 또한, 백 라이트로서 복수의 발광 다이오드(LED)를 이용하여, 시간 분할 표시 방식(필드 시퀀셜 구동 방식)을 행하는 것도 가능하다. 필드 시퀀셜 구동 방식을 적용함으로써, 컬러 필터를 이용하지 않고, 컬러 표시를 행할 수 있다.

[0121] 또한, 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때에 화소에서 제어하는 색 요소로서는, RGB(R은 적, G는 녹, B는 청을 나타냄)의 삼색에 한정되는 것은 아니다. 예를 들면, RGBW(W는 백을 나타냄), 또는 RGB에, 엘로우, 시안, 마젠타 등을 일색 이상 추가한 것이다. 또한, 색요소의 도트마다 그 표시 영역의 크기가 상이하여도 좋다. 단, 본 발명은 컬러 표시의 표시 장치에 한정되는 것은 아니고, 흑백 표시의 표시 장치에 적용할 수도 있다.

[0122] 또한, 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네스цен스(electroluminescence)를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네스цен스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.

[0123] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 복귀할 때에 발광한다. 이와 같은 메카니즘으로부터, 이러한 발광 소자는 전류 주입형의 발광 소자라고 불린다.

[0124] 무기 EL 소자는 그 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것으로서, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼워 넣고, 그것을 전극으로 더 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.

[0125] 발광 소자는 발광을 축출하기 위해 적어도 한쌍의 전극의 한쪽이 투명하면 좋다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대측의 면으로부터 발광을 축출하는 상면 사출이나, 기판측의 면으로부터 발광을 축출하는 하면 사출이나, 기판측 및 기판과는 반대측의 면으로부터 발광을 축출하는 양면 사출 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자도 적용할 수 있다.

[0126] 도 7에 표시 소자로서 발광 소자를 이용한 발광 장치의 예를 나타낸다. 표시 소자인 발광 소자(4513)는 화소부

(4002)에 설치된 트랜지스터(4010)와 전기적으로 접속되어 있다. 또한 발광 소자(4513)의 구성은, 제 1 전극(4030), 전계 발광층(4511), 제 2 전극(4031)의 적층 구조이지만, 도시한 구성에 한정되는 것은 아니다. 발광 소자(4513)로부터 취출하는 광의 방향 등에 맞추어, 발광 소자(4513)의 구성은 적절히 바꿀 수 있다.

[0127] 격벽(4510)은, 유기 절연 재료, 또는 무기 절연 재료를 이용하여 형성한다. 특히 감광성의 수지 재료를 이용하여, 제 1 전극(4030) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0128] 전계 발광층(4511)은 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이라도 좋다.

[0129] 발광 소자(4513)에 산소, 수소, 물, 이산화탄소 등이 침입하지 않도록, 제 2 전극(4031) 및 격벽(4510) 위에 보호막을 형성해도 좋다. 보호막으로서는, 질화실리콘막, 질화산화실리콘막, DLC막 등을 형성할 수 있다. 또한, 제 1 기판(4001), 제 2 기판(4006), 및 시일재(4005)에 의해 봉지된 공간에는 충전재(4514)가 제공되고 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입) 하는 것이 바람직하다.

[0130] 충전재(4514)로서는 질소나 아르곤 등의 불활성의 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있고 PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들면 충전재로서 질소를 이용하면 좋다.

[0131] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda / 4$ 판, $\lambda / 2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침을 저감할 수 있는 앤티글레어(anti-glare) 처리를 실시할 수 있다.

[0132] 또한, 표시 장치로서 전자 잉크를 구동시키는 전자 페이퍼를 제공하는 것도 가능하다. 전자 페이퍼는, 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리고, 종이와 같이 읽기에 편리하고, 다른 표시 장치에 비해 저소비 전력이며, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가지고 있다.

[0133] 전기 영동 표시 장치는, 다양한 형태를 생각할 수 있지만, 플러스 전하를 가지는 제 1 입자와マイ너스의 전하를 가지는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것으로, 마이크로 캡슐에 전계를 인가하는 것에 의해, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 없는 경우에 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함함)으로 한다.

[0134] 이와 같이, 전기 영동 표시 장치는, 유전정수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다.

[0135] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것으로서, 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 가지는 입자를 이용하는 것에 의해 컬러 표시도 가능하다.

[0136] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선스 재료, 일렉트로크로믹 재료, 자기 영동 재료로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 이용하면 좋다.

[0137] 또한, 전자 페이퍼로서 트위스트 볼 표시 방식을 이용하는 표시 장치도 적용할 수 있다. 트위스트 볼 표시 방식이란, 백과 흑으로 나누어 도포된 구형 입자를 표시 소자에 이용하는 전극인 제 1 전극 및 제 2 전극 사이에 배치하고, 제 1 전극 및 제 2 전극에 전위차를 발생시킨 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0138] 도 8에, 반도체 장치의 일 형태로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 도 8의 전자 페이퍼는, 트위스트 볼 표시 방식을 이용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백과 흑으로 나누어 도포된 구형 입자를 표시 소자에 이용하는 전극 간에 배치하고, 전극간에 전위차를 발생시킨 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0139] 트랜지스터(4010)와 접속하는 제 1 전극(4030)과 제 2 기판(4006)에 형성된 제 2 전극(4031)과의 사이에는 흑색

영역(4615a) 및 백색 영역(4615b)을 가지고, 주위에 액체로 채워져 있는 캐비티(4612)를 포함하는 구형 입자(4613)가 제공되어 있고, 구형 입자(4613)의 주위는 수지 등의 충전재(4614)로 충전되어 있다. 제 2 전극(4031)이 공통 전극(대향 전극)에 상당한다. 제 2 전극(4031)은 공통 전위선과 전기적으로 접속된다.

[0140] 또한, 도 6 내지 도 8에 있어서, 제 1 기판(4001), 제 2 기판(4006)으로서는, 유리 기판 외에, 가요성을 가지는 기판도 이용할 수 있고, 예를 들면 투광성을 가지는 플라스틱 기판 등을 이용할 수 있다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.

[0141] 절연층(4021)은, 무기 절연 재료 또는 유기 절연 재료를 이용하여 형성할 수 있다. 또한, 아크릴 수지, 폴리아미드, 벤조시클로부텐 수지, 폴리아미드, 에폭시 수지 등의 내열성을 가지는 유기 절연 재료를 이용하면, 평탄화 절연막으로서 적합하다. 또한, 상기 유기 절연 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층을 형성해도 좋다.

[0142] 절연층(4021)의 형성법은 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, 스플라시노도포법, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 롤 코팅, 커튼 코팅, 나이프 코팅 등을 이용할 수 있다.

[0143] 표시 장치는 광원 또는 표시 소자로부터의 광을 투과시켜 표시를 행한다. 따라서 광이 투과하는 화소부에 형성되는 기판, 절연막, 도전막 등의 박막은 모두 가시광의 과장 영역의 광에 대하여 투광성으로 한다.

[0144] 표시 소자에 전압을 인가하는 제 1 전극 및 제 2 전극(화소 전극, 공통 전극, 대향 전극 등이라고도 함)에 있어서는, 취출하는 광의 방향, 전극이 제공되는 장소, 및 전극의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.

[0145] 제 1 전극(4030), 제 2 전극(4031)은 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티탄을 포함하는 인듐 산화물, 산화티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.

[0146] 또한, 제 1 전극(4030), 제 2 전극(4031)은 텅스텐, 몰리브덴, 지르코늄, 하프늄, 바나듐, 니오브, 탄탈, 크롬, 코발트, 니켈, 티탄, 백금, 알루미늄, 구리, 은 등의 금속, 또는 그 합금, 혹은 그 질화물로부터 하나, 또는 복수종을 이용하여 형성할 수 있다.

[0147] 또한, 제 1 전극(4030), 제 2 전극(4031)으로서 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 이용할 수 있다. 예를 들면, 폴리아닐린 혹은 그 유도체, 폴리피롤 혹은 그 유도체, 폴리티오펜 혹은 그 유도체, 또는 아닐린, 피롤 및 티오펜의 2종 이상으로 이루어지는 공중합체 혹은 그 유도체 등을 들 수 있다.

[0148] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 형성하는 것이 바람직하다. 보호 회로는 비선형 소자를 이용하여 구성하는 것이 바람직하다.

[0149] 이상과 같이 실시형태 1에 예시한 트랜지스터를 적용함으로써, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 실시형태 1에 예시한 트랜지스터는 상술한 표시 기능을 가지는 반도체 장치뿐만 아니라, 전원 회로에 탑재되는 파워 디바이스, LSI 등의 반도체 집적회로, 대상물의 정보를 판독하는 이미지 센서 기능을 가지는 반도체 장치 등 다양한 기능을 가지는 반도체 장치에 적용하는 것이 가능하다.

[0150] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0151] (실시형태 3)

[0152] 본 명세서에 개시하는 반도체 장치는 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다. 상기 실시형태에 설명

한 액정 표시 장치를 구비하는 전자기기의 예에 대하여 설명한다.

[0153] 도 9(A)는 노트형의 퍼스널 컴퓨터이며, 본체(3001), 케이스(3002), 표시부(3003), 키보드(3004) 등에 의해 구성되어 있다. 본 발명의 일 양태의 반도체 장치를 적용함으로써, 신뢰성이 높은 노트형의 퍼스널 컴퓨터로 할 수 있다.

[0154] 도 9(B)는 휴대 정보 단말(PDA)이며, 본체(3021)에는 표시부(3023), 외부 인터페이스(3025), 조작 버튼(3024) 등이 설치되어 있다. 또한, 조작용의 부속품으로서 스타일러스(3022)가 있다. 본 발명의 일 양태의 반도체 장치를 적용함으로써, 보다 신뢰성이 높은 휴대 정보 단말(PDA)로 할 수 있다.

[0155] 도 9(C)는 전자 서적의 일례를 나타낸다. 예를 들면, 전자 서적(2700)은, 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성되어 있다. 케이스(2701) 및 케이스(2703)는 축부(2711)에 의해 일체로 되어 있고, 이 축부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의해, 종이 서적과 같은 동작을 행하는 것이 가능하게 된다.

[0156] 케이스(2701)에는 표시부(2705)가 짜넣어지고, 케이스(2703)에는 표시부(2707)가 짜넣어져 있다. 표시부(2705) 및 표시부(2707)는, 연속 화면을 표시하는 구성으로 해도 좋고, 다른 화면을 표시하는 구성으로 해도 좋다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면 우측의 표시부(도 9(C)에서는 표시부(2705)에 문장을 표시하고, 좌측의 표시부(도 9(C)에서는 표시부(2707))에 화상을 표시할 수 있다. 본 발명의 일 양태의 반도체 장치를 적용함으로써, 신뢰성이 높은 전자 서적(2700)으로 할 수 있다.

[0157] 또한, 도 9(C)에서는 케이스(2701)에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 케이스(2701)에서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해 페이지를 보낼 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 좋다. 또한, 케이스의 이면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 해도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 가지게 한 구성으로 해도 좋다.

[0158] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 해도 좋다. 무선에 의해, 전자 서적 서버로부터 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.

[0159] 도 9(D)는 휴대전화이며, 케이스(2800) 및 케이스(2801)의 2개의 케이스로 구성되어 있다. 케이스(2801)에는, 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 디바이스(2806), 카메라용 렌즈(2807), 외부 접속 단자(2808) 등을 구비하고 있다. 또한, 케이스(2800)에는, 휴대형 정보 단말의 충전을 행하는 태양전지 셀(2810), 외부 메모리 슬롯(2811) 등을 구비하고 있다. 또한, 안테나는 케이스(2801) 내부에 내장되어 있다. 본 발명의 일 양태의 반도체 장치를 적용함으로써, 신뢰성이 높은 휴대전화로 할 수 있다.

[0160] 또한, 표시 패널(2802)은 터치 패널을 구비하고 있고, 도 9(D)에는 영상 표시되어 있는 복수의 조작 키(2805)를 점선으로 나타내고 있다. 또한, 태양전지 셀(2810)로부터 출력되는 전압을 각 회로에 필요한 전압으로 승압하기 위한 승압 회로도 실장하고 있다.

[0161] 표시 패널(2802)은, 사용 형태에 따라 표시의 방향이 적절히 변화한다. 또한, 표시 패널(2802)과 동일면 위에 카메라용 렌즈(2807)를 구비하고 있기 때문에, 영상 통화가 가능하다. 스피커(2803) 및 마이크로폰(2804)은 음성 통화에 한정하지 않고, 영상 통화, 녹음, 재생 등이 가능하다. 또한, 케이스(2800)와 케이스(2801)는, 슬라이드하여, 도 9(D)와 같이 전개된 상태로부터 서로 겹친 상태로 할 수 있어, 휴대에 적합한 소형화가 가능하다.

[0162] 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하고, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(2811)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동에 대응할 수 있다.

[0163] 또한, 상기 기능에 더하여, 적외선 통신 기능, 텔레비전 수신 기능 등을 구비한 것이어도 좋다.

[0164] 도 9(E)는 디지털 비디오 카메라이며, 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등에 의해 구성되어 있다. 본 발명의 일 양태의 반도체 장치를 적용함으로써, 신뢰성이 높은 디지털 비디오 카메라로 할 수 있다.

[0165] 도 9(F)는 텔레비전 장치의 일례를 나타내고 있다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 짜 넣어져 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 케이스(9601)를 지지한 구성을 나타내고 있다. 본 발명의 일 양태의 반도체 장치를 적용함으로써, 신뢰성이 높

은 텔레비전 장치(9600)로 할 수 있다.

[0166] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모콘 조작기에 의해 행할 수 있다. 또한, 리모콘 조작기에, 이 리모콘 조작기로부터 출력하는 정보를 표시하는 표시부를 형성하는 구성으로 해도 좋다.

[0167] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반 텔레비전 방송의 수신을 행할 수 있고, 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 혹은 수신자들간 등)의 정보통신을 행하는 것도 가능하다.

[0168] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[실시예 1]

[0170] 본 실시예에서는 산화물 반도체막 위에 텅스텐막을 형성한 기판을 시료로 하고, 베이크 처리 전후에 있어서의 시료의 단면을 관찰했다. 이 시료의 단면 관찰에 대하여 도 10을 이용하여 설명한다.

[0171] 먼저, 단면 관찰을 행하기 위한 시료를 제작했다.

[0172] 유리 기판 위에, In-Ga-Zn-O계 금속 산화물 타겟($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol수비])을 이용하여, 기판과 타겟과의 사이의 거리를 60 mm, 압력 0.4 Pa, 직류(DC) 전원 5 kW, 아르곤 및 산소(아르곤 : 산소 = 30 sccm : 15 sccm) 혼합 분위기하, 실온에서 스퍼터링법에 의한 성막을 행하여, 두께 100 nm의 산화물 반도체막을 형성했다.

[0173] 계속하여, 산화물 반도체막 위에, 텅스텐 타겟을 이용하여 스퍼터링법에 의해, 두께 150 nm의 텅스텐막을 형성했다.

[0174] 이상의 공정에 의해, 유리 기판 위에 산화물 반도체막 및 텅스텐막을 적층한 시료를 얻었다.

[0175] 그 후, 제작한 기판을 2장으로 분할하여, 그 한쪽에 대하여, 오븐을 이용하여 대기 분위기하, 350°C, 1시간의 베이크 처리를 행하였다.

[0176] 베이크 처리를 행하지 않은 시료(시료 1)와, 베이크 처리를 행한 시료(시료 2)의 양쪽 모두에 대하여, 박편화 처리를 행하여, STEM(Scanning Transmission Electron Microscope) 장치를 이용하여 단면 관찰을 행하였다.

[0177] 도 10(A)에 시료 1의 단면 관찰상을, 또한 도 10(B)에 시료 2의 단면 관찰상을 나타낸다. 베이크 처리의 유무에 상관없이, 산화물 반도체막, 텅스텐막, 및 그들 계면에 있어서, 차이는 볼 수 없었다.

[0178] 이상으로부터, 베이크 처리를 행하여도, 텅스텐막과 산화물 반도체막과의 계면에 금속 산화물을 형성되기 어렵다는 것을 확인할 수 있었다.

[0179] 본 실시예로부터 알 수 있는 바와 같이, 텅스텐은 산소와 반응하기 어렵기 때문에, 산화물 반도체층에 접하는 전극에 텅스텐막을 이용함으로써, 전극이 산화물 반도체층으로부터 산소를 빼앗는 것을 억제할 수 있다는 것을 나타낸다.

[실시예 2]

[0181] 본 실시예에서는, 소스 전극 및 드레인 전극으로서 텅스텐을 이용한 트랜지스터를 제작하여, 광바이어스 시험 전후의 트랜지스터 특성의 비교를 행한 결과에 대하여 도 11을 이용하여 설명한다.

[0182] 먼저, 본 실시예에서 이용한 트랜지스터의 제작 방법을 이하에 나타낸다.

[0183] 먼저, 유리 기판 위에 하지막으로서 플라즈마 CVD법에 의해 두께 100 nm의 질화실리콘막, 및 두께 150 nm의 산화질화실리콘막을 연속하여 형성하고, 계속하여 산화질화실리콘막 위에 게이트 전극으로서 스퍼터링법에 의해 두께 100 nm의 텅스텐막을 형성했다. 여기서, 텅스텐막을 선택적으로 에칭함으로써, 게이트 전극을 형성했다.

[0184] 다음에, 게이트 전극 위에 게이트 절연막으로서 플라즈마 CVD법에 의해 두께 30 nm의 산화질화실리콘막을 형성했다.

- [0185] 계속하여, 게이트 절연막 위에, In-Ga-Zn-O계 금속 산화물 타겟($In_2O_3 : Ga_2O_3 : ZnO = 1: 1: 1$ [mol수비])을 이용하여, 기판과 타겟 사이의 거리를 80 mm, 압력 0.6 Pa, 직류(DC) 전원 5 kW, 아르곤 및 산소(아르곤 : 산소 = 50 sccm : 50 sccm) 혼합 분위기하, 200°C에서 스팍터링법에 의한 성막을 행하여, 두께 15 nm의 산화물 반도체막을 형성했다. 여기서, 산화물 반도체막을 선택적으로 에칭하여, 섬 형상의 산화물 반도체층을 형성했다.
- [0186] 그리고, RTA(Rapid Thermal Annealing)법에 의해, 질소 분위기하, 650°C, 6 분의 열처리를 행한 후, 오븐을 이용하여 질소 및 산소 분위기하, 450°C, 1시간의 열처리를 더 행하였다.
- [0187] 다음에, 산화물 반도체층 위에 소스 전극 및 드레인 전극으로서 텅스텐막(두께 200 nm)을 스팍터링법에 의해 온도 230°C에서 형성했다. 여기서, 소스 전극 및 드레인 전극을 선택적으로 에칭하여, 트랜지스터의 채널 길이(L)가 3 μm , 채널폭(W)이 50 μm 가 되도록 했다.
- [0188] 다음에, 오븐을 이용하여 질소 분위기하, 300°C, 1시간의 열처리를 행한 후, 제 1 층간 절연층으로서 두께 300 nm의 산화실리콘막을 스팍터링법에 의해 성막했다. 그 후, 측정에 이용하는 전극을 노출시키기 위해, 제 1 층간 절연층을 선택적으로 에칭했다.
- [0189] 그 후, 제 2 층간 절연층으로서 감광성의 아크릴 수지를 도포하여, 노광, 및 현상 처리를 행한 후에, 오븐을 이용하여 질소 분위기하, 250°C, 1시간의 열처리를 행함으로써, 두께 1.5 μm 의 제 2 층간 절연층을 형성했다.
- [0190] 계속하여, 화소 전극으로서 두께 110 nm의 인듐 주석 산화물(ITO)막을 스팍터링법에 의해 성막하고, 이것을 선택적으로 에칭함으로써 화소 전극을 형성했다.
- [0191] 그 후, 오븐을 이용하여 질소 분위기하, 250°C, 1시간의 베이크를 행하였다.
- [0192] 이상의 공정에 의해, 채널 길이(L)의 길이를 3 μm , 채널폭(W)의 길이를 50 μm 로 한 트랜지스터를 유리 기판 위에 제작했다.
- [0193] 다음에, 본 실시예의 트랜지스터에 대하여, 광바이어스 시험 전후에서의 전기 특성을 측정한 결과를 설명한다. 광바이어스 시험에는 광원으로서 파장 400 nm에 피크를 가지고, 반치폭 10 nm의 스펙트럼을 가지는 크세논 광원을 이용했다.
- [0194] 먼저, 상기에서 제작한 트랜지스터에 대하여, 암(暗) 상태에서의 $Id-Vg$ 측정을 행하였다. 본 실시예에서는 기판 온도를 25°C로 하고, 소스 전극-드레인 전극 간의 전압을 3 V로 했다.
- [0195] 다음에 크세논 광원을 이용하여 $326 \mu W/cm^2$ 의 방사 조도로 광을 조사하고, 소스 전극-드레인 전극 간의 전압을 3 V로 하여 $Id-Vg$ 측정을 행하였다. 그 후, 트랜지스터의 소스 전극을 0 V, 드레인 전극을 0.1 V로 했다. 다음에, 게이트 절연층에 인가되는 전계 강도가 2 MV/cm가 되도록 게이트 전극에 마이너스의 전압을 인가하고, 그대로 일정 시간 보유했다. 일정 시간 후, 먼저 게이트 전극의 전압을 0 V로 했다. 그 후 소스 전극-드레인 전극간의 전압을 3 V로 하고, 트랜지스터의 $Id-Vg$ 측정을 행하였다.
- [0196] 이상과 같이, 일정시간 경과할 때마다 트랜지스터의 $Id-Vg$ 측정을 행하였다. 도 11에 광조사 직후, 및 광바이어스 시험의 시간이, 100초, 300초, 600초, 1000초, 1800초, 3600초에서의 광바이어스 시험 전후의 트랜지스터의 $Id-Vg$ 측정 결과를 나타낸다.
- [0197] 도 11에 있어서, 세션 001은 광바이어스 시험전(광조사 직후)의 트랜지스터의 $Id-Vg$ 측정 결과이며, 세션 002는 3600초의 광바이어스 시험 후의 트랜지스터의 $Id-Vg$ 측정 결과이다. 광바이어스 시험 전과 비교하여 3600초의 광바이어스 시험 후의 스레시홀드값은, 마이너스 방향으로 약 0.55 V 변동된 것을 알 수 있었다.
- [0198] 이상으로부터, 본 실시예의 소스 전극 및 드레인 전극에 텅스텐을 이용한 트랜지스터는, 광바이어스 시험 전후에서의 스레시홀드값의 변동이 작다는 것을 확인할 수 있었다.
- [0199] [실시예 3]
- [0200] 본 실시예에서는, 도 12(C)에 나타낸 바와 같은 산화물 반도체층과 전극(소스 전극 또는 드레인 전극)의 적층 구조에 있어서, 산화물 반도체층으로부터 전극에 산소가 이동하기 전후의 에너지 변화를 계산한 결과를 설명한다.
- [0201] 구체적으로는, 이 적층 구조에 있어서, 산화물 반도체층에 산소 결손이 생기고, 전극에 산소의 격자간 삽입이

일어나기 전후의 에너지 변화를 계산했다. 산화물 반도체층으로부터 산소가 빠지고, 전극의 격자 간에 들어가기 전후의 에너지를 비교함으로써, 산소가 이동한 후의 안정성을 평가했다.

[0202] 산화물 반도체층의 재료로서는, In-Ga-Zn-O계 산화물 반도체(이하, IGZO라고 기재함)를 이용했다. 전극의 재료로서는, 티탄(Ti), 몰리브덴(Mo), 텉스텐(W), 및 백금(Pt)을 이용했다.

[0203] 계산은, "IGZO 결정", "산소가 하나 결손된 IGZO 결정", "전극의 결정", 및 "산소가 격자 간에 들어간 경우의 전극의 결정"의 벌크 구조에 대하여 행하였다. 따라서, 본 실시예의 계산에서는 계면의 효과는 고려하지 않았다. 전극으로서는, W, Mo, Pt, 및 Ti의 각각을 이용하여 계산을 행하였다.

[0204] 계산은 제 1 원리 계산 소프트 「CASTEP」를 이용하여 행하였다. 밀도 범함수법으로서 평면파 기저 유사 퍼텐셜법을 이용하고, 범함수는 GGAPBE를 이용했다. 첫 오프 에너지는 500 eV를 이용했다. k점은 IGZO에 대해서는 $3 \times 3 \times 1$, W, Mo, Pt에 대해서는 $3 \times 3 \times 3$, Ti에 대해서는 $2 \times 2 \times 3$ 의 그리드(grid)를 이용했다.

[0205] 계산한 값의 정의를 이하에 나타낸다.

$$\Delta E = (\text{산소 이동 후의 에너지}) - (\text{산소 이동 전의 에너지}) = E(\text{산소가 하나 결손된 IGZO 결정}) + E(\text{산소가 격자 간에 들어간 경우의 전극의 결정}) - \{E(\text{IGZO 결정}) + E(\text{전극의 결정})\}$$

[0207] ΔE 는, 산소가 IGZO 내로부터 전극의 격자 간으로 이동했을 때의 에너지 변화를 나타낸다. ΔE 가 정(正)의 값인 경우, 이동 후의 에너지가 높기 때문에 산소의 이동이 일어나기 어렵고, ΔE 가 부(負)의 값인 경우, 이동 후의 에너지가 낮기 때문에 산소의 이동이 일어나기 쉽다고 생각된다. 또한, 본 실시예에 있어서, 이동할 때에 필요한 장벽을 넘는 에너지는 고려하지 않았다.

[0208] 또한, IGZO의 산소 결함은, 산소가 어느 금속과 결합하는지에 따라, 산소의 결함 형성 에너지가 변화한다. 본 실시예에서는, IGZO 결정에 있어서 산소가 가장 빠지기 쉬운 경우의 산소의 결함 형성 에너지를 기준으로서 계산했다. 전극 내의 격자 간 산소에 대해서도, 산소가 들어가는 위치에 따라 시스템 전체의 에너지는 다르지만, 본 실시예에서는 가장 에너지가 낮아지는 격자 간 산소의 경우에 대하여 생각했다.

[0209] 결정 구조는, IGZO 결정에 대해서는 무기 결정 구조 데이터베이스(Inorganic Crystal Structure Database: ICSD)의 Collection number: 90003의 구조에 대하여 a축, b축으로 각각 2배한 84 원자의 구조에 대해, 에너지가 최소가 되도록 Ga, Zn을 배치한 구조를 이용했다. Mo 결정, 및 W 결정에 대해서는 체심 입방 격자(공간군: Im-3 m, 국제 번호 229)로 54 원자의 구조를 이용하고, Pt 결정에 대해서는 면심 입방 격자(공간군: Fm-3 m, 국제 번호 225)로 32 원자의 구조를 이용하고, Ti 결정에 대해서는 육방정(공간군 P63/mmc)으로 64 원자의 구조를 이용했다.

[0210] 계산 결과를 표 1에 나타낸다. 표 1에는, IGZO-전극계면에서 산소가 이동했을 때의 에너지 변화를 나타낸다.

표 1

전극	산소가 이동했을 때의 에너지 변화(eV)
Ti	-1.83
Mo	3.64
W	4.29
Pt	5.56

[0212] 표 1에 나타낸 바와 같이, Mo, W, Pt를 각각 전극에 이용한 경우에는, 에너지 변화가 정의 값을 나타내는 결과가 되었다(도 12(A)에는, 전극에 Mo를 이용한 경우의 예를 나타냄). 즉, 산소가 이동한 후의 에너지가 높기 때문에, 산소는 이동하기 어렵고, 산화물 반도체층과 전극의 사이에 산화막(예를 들면, 산화몰리브덴막 등)이 형성되기 어렵다는 것이 시사되었다. 한편, 표 1, 도 12(B)에 나타낸 바와 같이, Ti를 전극에 이용한 경우는, 에너지 변화가 부의 값을 나타내는 결과가 되었다. 따라서, 산소가 이동한 후의 에너지가 낮기 때문에, 산소는 이동하기 쉽고, 산화티탄막이 형성되기 쉽다는 것이 시사되었다.

[0213] 이상의 결과로부터, 전극(소스 전극, 및 드레인 전극)에, Mo, W, 또는 Pt를 이용함으로써, 전극이 산화물 반도체층으로부터 산소를 빼앗는 것을 억제할 수 있다는 것이 시사되었다.

[0214] [실시예 4]

[0215] 본 실시예에서는, 본 발명의 일 양태에 적용할 수 있는 산화물 반도체막을 SIMS를 이용하여 해석한 결과에 대하여, 도 13을 이용하여 설명한다.

[0216] 먼저, 본 실시예의 시료 A, B의 제작 방법에 대하여 설명한다.

[0217] (시료 A)

[0218] 유리 기판 위에, In-Ga-Zn-O계 금속 산화물 타겟(원자수비 In : Ga : Zn = 1 : 1 : 1)을 이용하여, 기판과 타겟 사이의 거리를 60 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 산소(산소 유량 40 sccm) 분위기하, 기판 온도 200°C에서 스퍼터링법에 의한 성막을 행하여, 두께 300 nm의 산화물 반도체막을 형성했다.

[0219] (시료 B)

[0220] 유리 기판 위에, In-Ga-Zn-O계 금속 산화물 타겟(원자수비 In : Ga : Zn = 1 : 1 : 1)을 이용하여, 기판과 타겟 사이의 거리를 60 mm, 압력 0.4 Pa, 직류(DC) 전원 0.5 kW, 아르곤 및 산소(아르곤 : 산소 = 30 sccm : 15 sccm) 혼합 분위기하, 기판 온도 200°C에서 스퍼터링법에 의한 성막을 행하여, 두께 100 nm의 산화물 반도체막을 형성했다.

[0221] 시료 A, B의 막 중 질소 농도에 대하여, SIMS 분석 결과를 도 13(A), 도 13(B)에 각각 나타낸다. 횡축은 시료 표면으로부터의 깊이를 나타내고, 좌단의 깊이 0 nm의 위치가 시료 최표면(산화물 반도체막의 최표면)에 상당하고, 분석은 표면측으로부터 행하였다.

[0222] 또한, SIMS는 그 원리상, 시료 표면 근방의 데이터를 정확하게 얻는 것이 곤란하다는 것이 알려져 있다. 본 분석에서는, 막 중의 정확한 데이터를 얻기 위해, 깊이 50 nm 이상의 데이터를 평가의 대상으로 했다.

[0223] 도 13(A)는 시료 A의 질소 농도 프로파일을 나타낸다. 도 13(B)는 시료 B의 질소 농도 프로파일을 나타낸다. 시료 A, B 모두 막 중 질소 농도는 2×10^{19} atoms/cm³ 이하였다. 또한, 측정 한계의 농도를 나타내는 영역도 많고, 실제로는 더욱 낮은 농도인 것도 생각할 수 있다.

[0224] 본 실시예의 결과로부터, 산소 분위기하에서 성막한 산화물 반도체막은, 막 중 질소 농도가 낮다는 것이 나타났다. 또한, 본 실시예의 결과로부터, 아르곤 및 산소 혼합 분위기하에서 성막한 산화물 반도체막은, 막 중 질소 농도가 낮다는 것이 나타났다. 구체적으로는, 질소 농도가 2×10^{19} atoms/cm³ 이하인 것이 나타났다.

부호의 설명

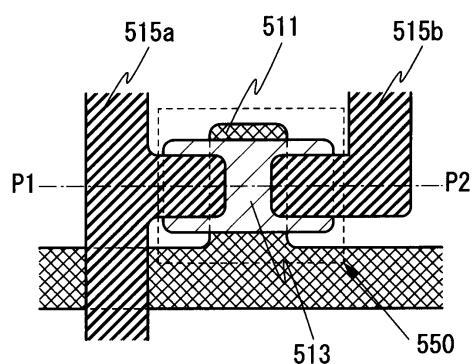
[0225] 500: 기판	502: 게이트 절연층
507: 산화물 절연층	511: 제 1 게이트 전극
513: 산화물 반도체층	513a: 산화물 반도체막
515a: 제 1 전극	515b: 제 2 전극
516a: 베폐층	516b: 베폐층
516c: 베폐층	516d: 베폐층
519: 제 2 게이트 전극	550: 트랜지스터
551a: 트랜지스터	551b: 트랜지스터
552: 트랜지스터	2700: 전자 서적
2701: 케이스	2703: 케이스
2705: 표시부	2707: 표시부
2711: 축부	2721: 전원
2723: 조작 키	2725: 스피커

2800: 케이스	2801: 케이스
2802: 표시 패널	2803: 스피커
2804: 마이크로폰	2805: 조작 키
2806: 포인팅 디바이스	2807: 카메라용 렌즈
2808: 외부 접속 단자	2810: 태양전지 셀
2811: 외부 메모리 슬롯	3001: 본체
3002: 케이스	3003: 표시부
3004: 키보드	3021: 본체
3022: 스타일러스	3023: 표시부
3024: 조작 버튼	3025: 외부 인터페이스
3051: 본체	3053: 접안부
3054: 조작 스위치	3055: 표시부(B)
3056: 배터리	3057: 표시부(A)
4001: 기판	4002: 화소부
4003: 신호선 구동 회로	4004: 주사선 구동 회로
4005: 시일재	4006: 기판
4008: 액정총	4010: 트랜지스터
4011: 트랜지스터	4013: 액정 소자
4015: 접속 단자 전극	4016: 단자 전극
4018: FPC	4019: 이방성 도전막
4021: 절연층	4030: 제 1 전극
4031: 제 2 전극	4032: 절연막
4033: 절연막	4041: 게이트 전극
4042: 산화물 반도체층	4043: 컬러 필터층
4045: 평탄화막	4048: 차광층
4510: 격벽	4511: 전계 발광층
4513: 발광 소자	4514: 충전재
4612: 캐비티	4613: 구형 입자
4614: 충전재	4615a: 흑색 영역
4615b: 백색 영역	9600: 텔레비전 장치
9601: 케이스	9603: 표시부
9605: 스탠드	

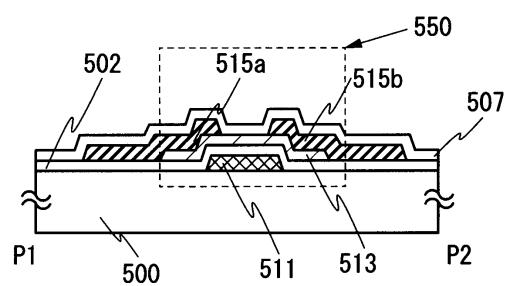
도면

도면1

(A)

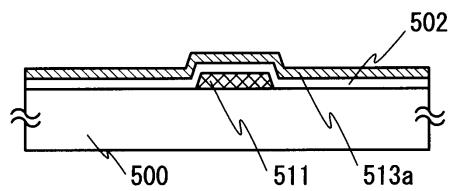


(B)

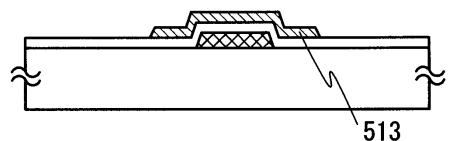


도면2

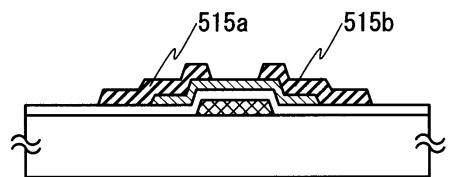
(A)



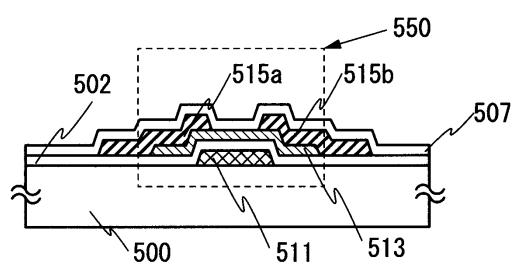
(B)



(C)

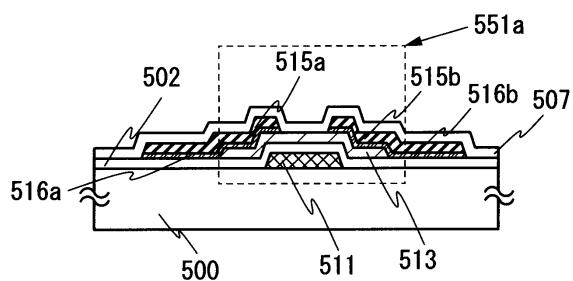


(D)

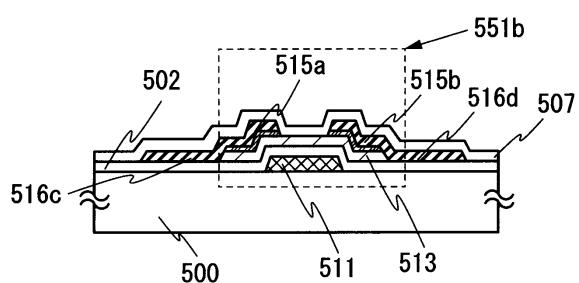


도면3

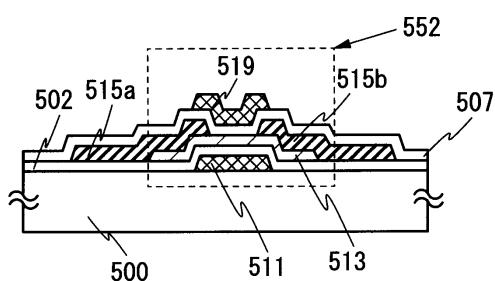
(A)



(B)

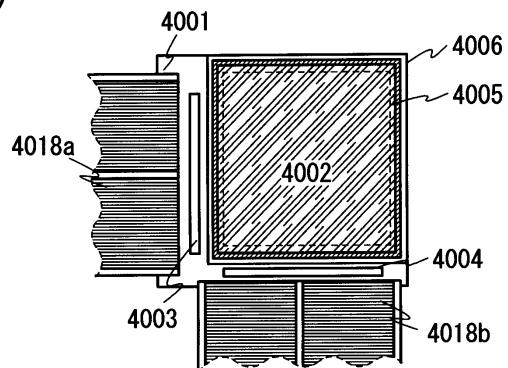


도면4

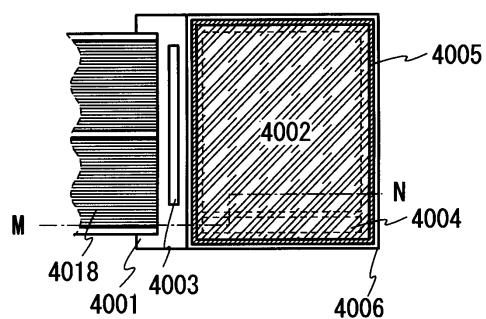


도면5

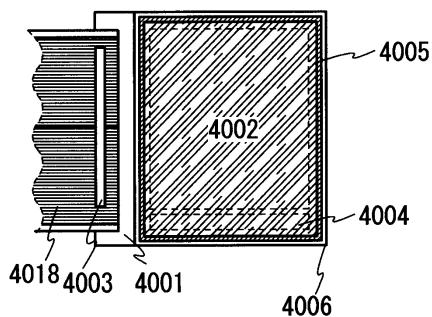
(A)



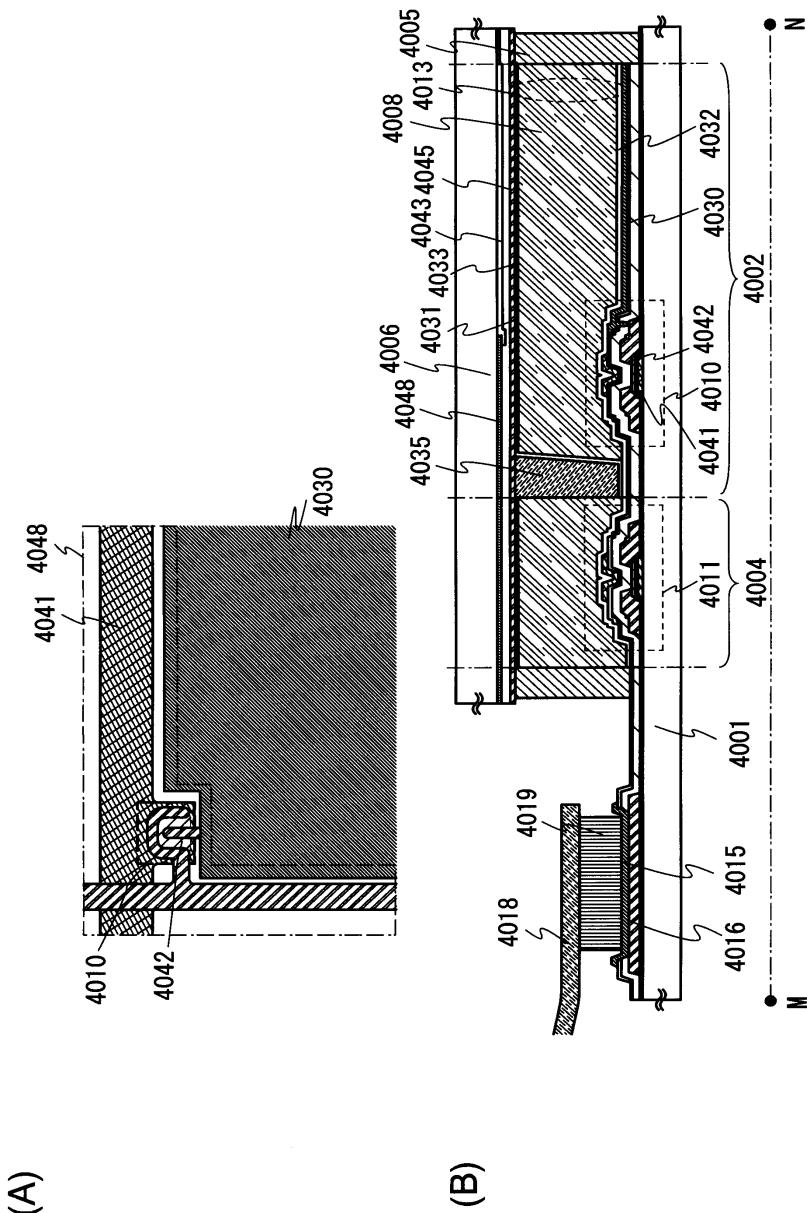
(B)



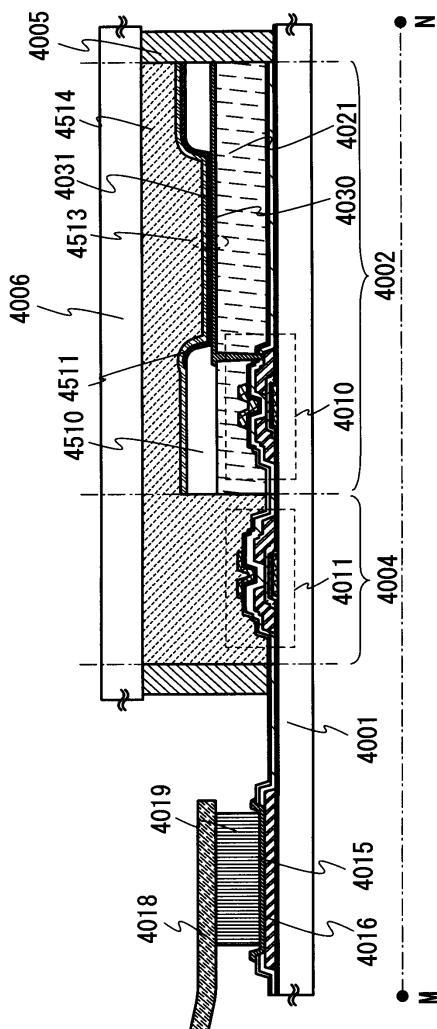
(C)



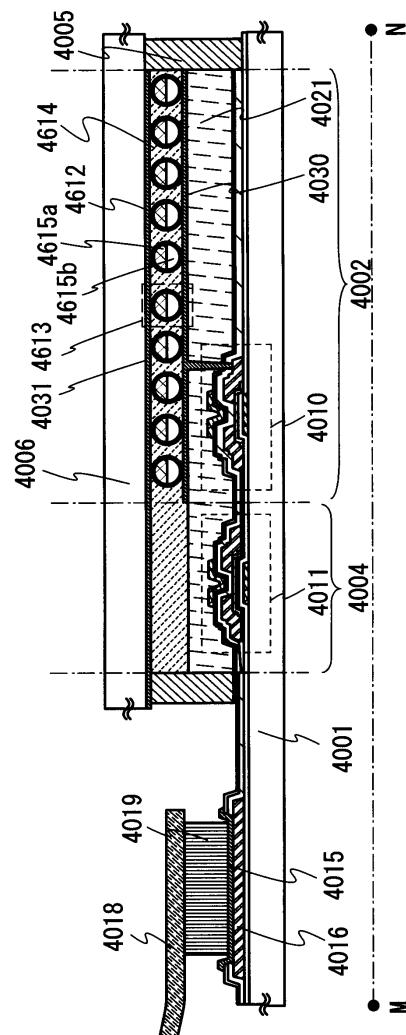
도면6



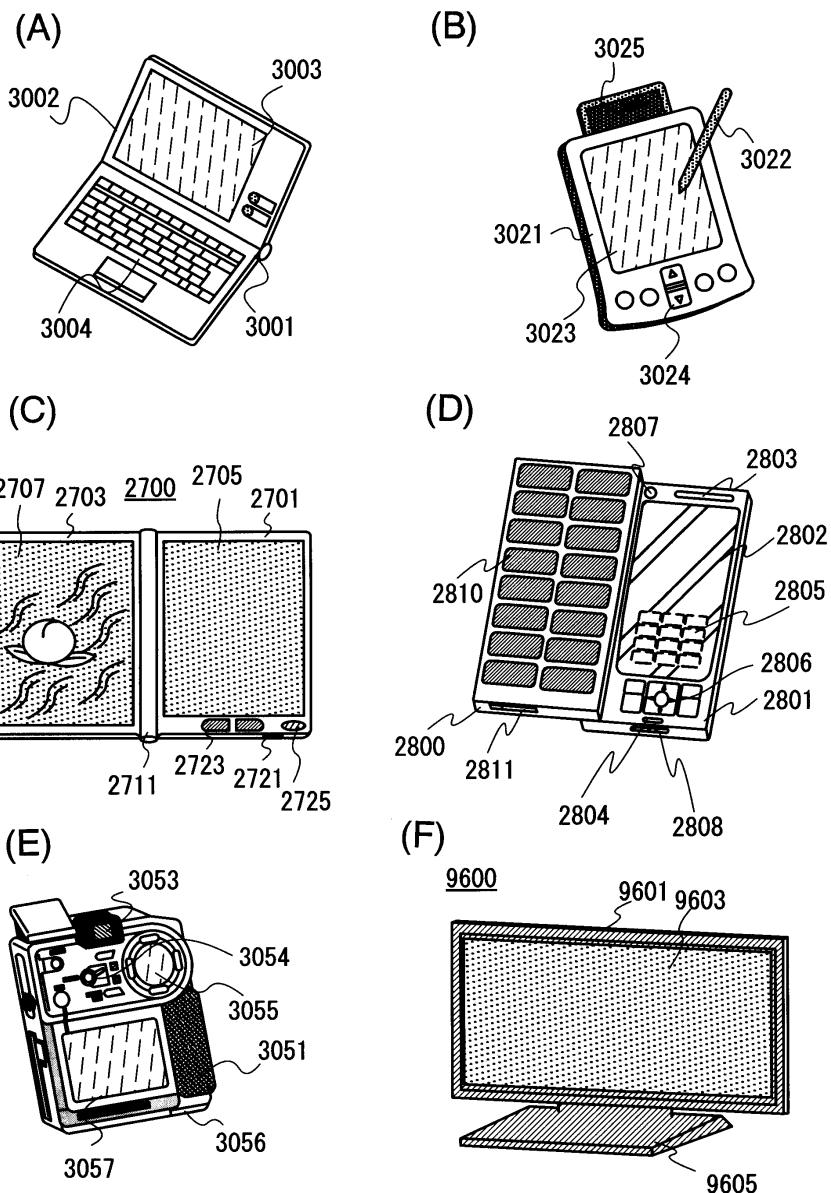
도면7



도면8

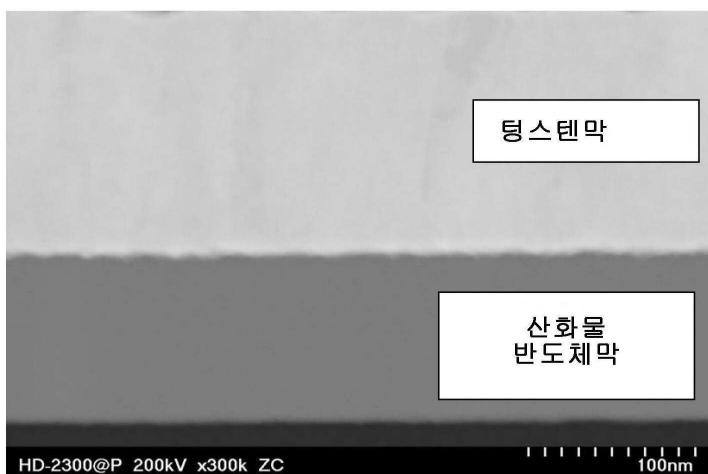


도면9

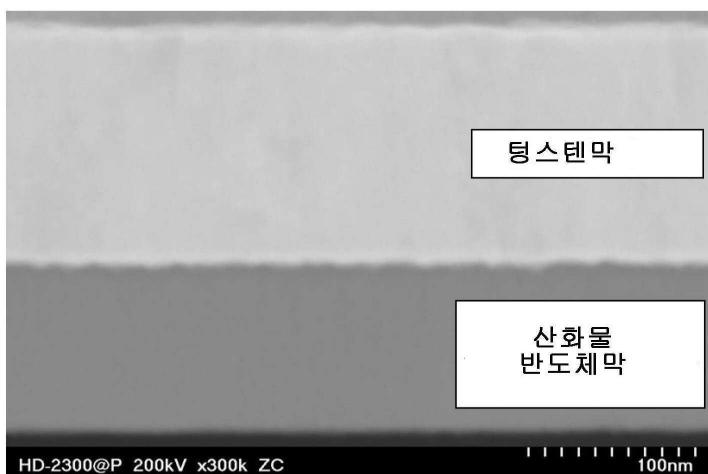


도면10

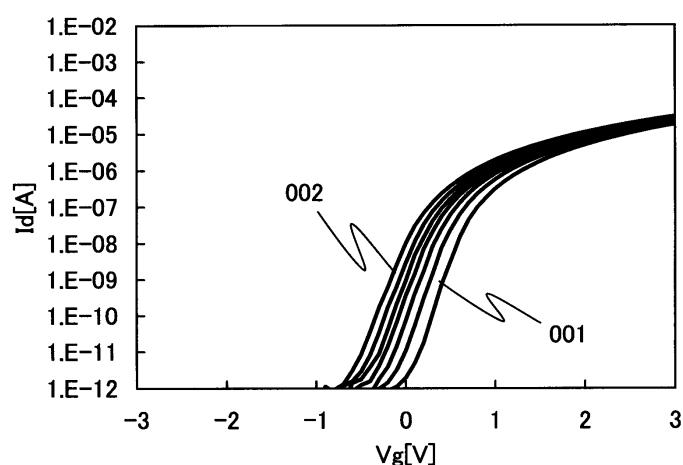
(A)



(B)



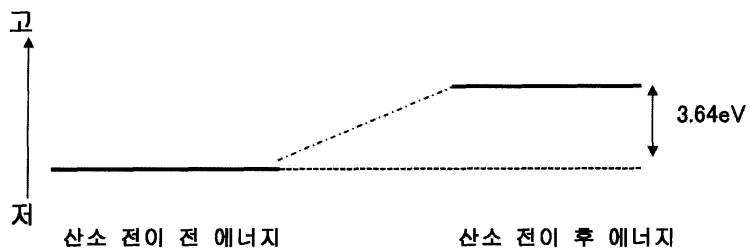
도면11



도면12

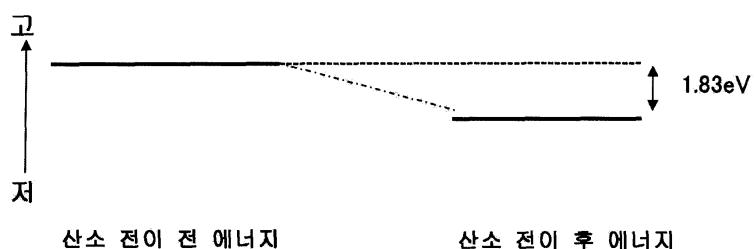
(A)

전극층 : Mo

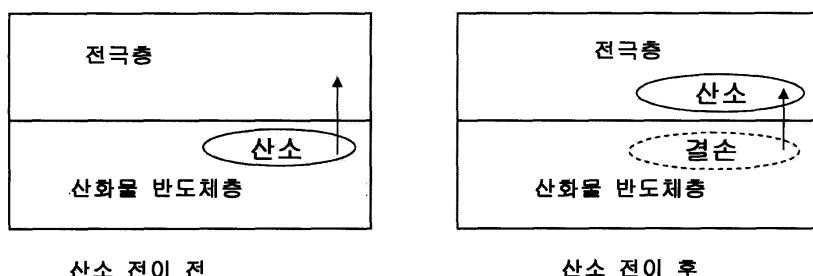


(B)

전극층 : Ti

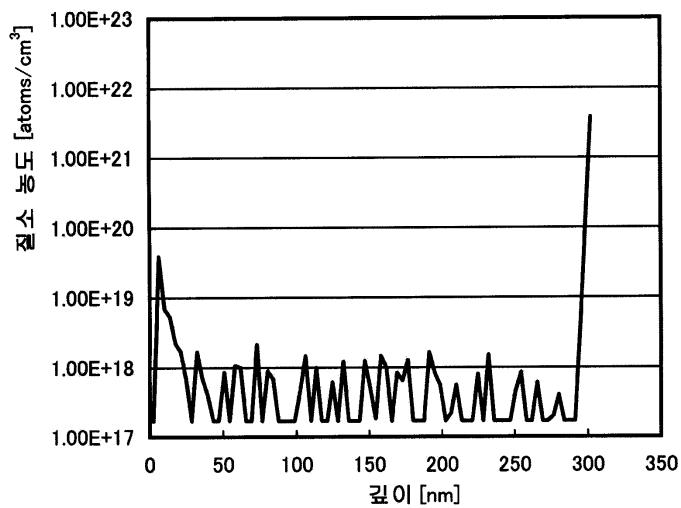


(C)



도면13

(A)



(B)

