

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-207106

(P2018-207106A)

(43) 公開日 平成30年12月27日 (2018. 12. 27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	2 H 1 9 2
GO 2 F 1/1368 (2006.01)	HO 1 L 29/78 6 1 8 C	3 K 1 0 7
GO 9 F 9/30 (2006.01)	HO 1 L 29/78 6 1 8 E	5 C 0 9 4
HO 1 L 51/50 (2006.01)	HO 1 L 29/78 6 1 6 T	5 F 1 1 0
HO 1 L 27/32 (2006.01)	HO 1 L 29/78 6 1 2 B	

審査請求 有 請求項の数 21 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2018-103146 (P2018-103146)
 (22) 出願日 平成30年5月30日 (2018. 5. 30)
 (31) 優先権主張番号 10-2017-0068037
 (32) 優先日 平成29年5月31日 (2017. 5. 31)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 10-2017-0169420
 (32) 優先日 平成29年12月11日 (2017. 12. 11)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディ스플레이 カンパニー リミテッド
 大韓民国 ソウル、ヨンドンポグ、ヨウィーテロ 128
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100106183
 弁理士 吉澤 弘司
 (74) 代理人 100114915
 弁理士 三村 治彦
 (74) 代理人 100125139
 弁理士 岡部 洋

最終頁に続く

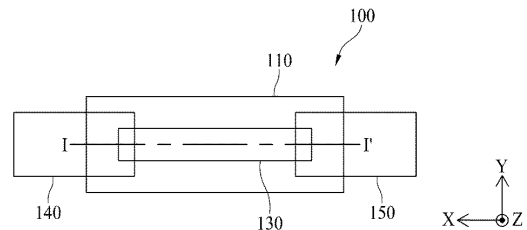
(54) 【発明の名称】 薄膜トランジスタ、それを含むゲート駆動部、およびそれを含む表示装置

(57) 【要約】

【課題】 高速駆動が必要な高解像度の平板表示装置に適用することができる酸化物半導体層を有する薄膜トランジスタ、当該薄膜トランジスタの製造方法、当該薄膜トランジスタを含むゲート駆動部、および当該ゲート駆動部を含む表示装置を提供すること。

【解決手段】 本発明による薄膜トランジスタは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、スズ (Sn) および酸素 (O) を含む第1酸化物半導体層、およびインジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、および酸素 (O) を含む第2酸化物半導体層を備え、第2酸化物半導体層のインジウム対比ガリウムの含有量 (Ga/In) は、第1酸化物半導体層のインジウム対比ガリウムの含有量 (Ga/In) より高く、第2酸化物半導体層のインジウム対比亜鉛の含有量 (Zn/In) は、第1酸化物半導体層のインジウム対比亜鉛の含有量 (Zn/In) より高い。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、スズ (Sn) および酸素 (O) を含む第 1 の酸化物半導体層と、前記インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、および酸素 (O) を含む第 2 酸化物半導体層を備え、

前記第 2 酸化物半導体層のインジウム対比ガリウムの含有量 (Ga/In) は、前記第 1 酸化物半導体層のインジウム対比ガリウムの含有量 (Ga/In) より高く、

前記第 2 酸化物半導体層のインジウム対比亜鉛の含有量 (Zn/In) は、前記第 1 酸化物半導体層のインジウム対比亜鉛の含有量 (Zn/In) よりも高い、
ことを特徴とする、薄膜トランジスタ。

10

【請求項 2】

前記第 1 酸化物半導体層の一側面の傾斜角度が鋭角であり、

前記第 2 酸化物半導体層の一側面の傾斜角度は 90 度または鋭角である、

ことを特徴とする、請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記第 2 酸化物半導体層のインジウム対比亜鉛の含有量 (Zn/In) が、5 よりも小さいことを特徴とする、請求項 1 に記載の薄膜トランジスタ。

【請求項 4】

前記第 2 酸化物半導体層の厚さが、前記第 1 酸化物半導体層の厚さの 1 / 3 よりも厚く、

20

前記第 1 酸化物半導体層の厚さの 5 / 3 よりも薄い、

ことを特徴とする、請求項 1 に記載の薄膜トランジスタ。

【請求項 5】

前記第 2 酸化物半導体層よりも前記第 1 酸化物半導体層に近接して配置されるゲート電極をさらに具備する、請求項 1 に記載の薄膜トランジスタ。

【請求項 6】

前記第 1 酸化物半導体層が、ゲート絶縁膜を間に置いて前記ゲート電極と重畳することを特徴とする、請求項 5 に記載の薄膜トランジスタ。

【請求項 7】

前記ゲート電極が、前記第 1 酸化物半導体層の下に配置され、

前記第 2 酸化物半導体層は、前記第 1 酸化物半導体層上に配置される、

ことを特徴とする、請求項 5 に記載の薄膜トランジスタ。

30

【請求項 8】

前記第 1 酸化物半導体層の一側と前記第 2 酸化物半導体層の一側に接触したソース電極と、

前記第 1 酸化物半導体層の他側と前記第 2 酸化物半導体層の他側に接触したドレイン電極と、

をさらに具備する、請求項 7 に記載の薄膜トランジスタ。

【請求項 9】

前記ゲート電極は、前記第 1 酸化物半導体層上に配置され、

前記第 2 酸化物半導体層は、前記第 1 酸化物半導体層の下に配置される、

ことを特徴とする、請求項 5 に記載の薄膜トランジスタ。

40

【請求項 10】

前記半導体層を覆う層間絶縁膜を貫通する第 1 コンタクトホールを介して前記第 1 酸化物半導体層の一側に接触したソース電極と、

前記層間絶縁膜を貫通する第 2 コンタクトホールを介して前記第 1 酸化物半導体層の他側に接触したドレイン電極と、

をさらに具備する、請求項 9 に記載の薄膜トランジスタ。

【請求項 11】

前記ソース電極が、前記第 1 酸化物半導体層を貫通する前記第 1 コンタクトホールを介

50

して前記第 2 酸化物半導体層の一側に接触し、

前記ドレイン電極は、前記第 1 酸化物半導体層を貫通する前記第 2 コンタクトホールを介して前記第 2 酸化物半導体層の他側に接触する、
ことを特徴とする、請求項 10 に記載の薄膜トランジスタ。

【請求項 12】

前記第 2 酸化物半導体層は、スズ (Sn) をさらに含むことを特徴とする、請求項 1 に記載の薄膜トランジスタ。

【請求項 13】

前記第 2 酸化物半導体層のスズ対比インジウムの含有量 (In/Sn) が、前記第 1 酸化物半導体層のスズ対比インジウムの含有量 (In/Sn) よりも高いか、または同じであることを特徴とする、請求項 12 に記載の薄膜トランジスタ。

10

【請求項 14】

前記第 2 酸化物半導体層のガリウム (Ga) の含有量比が、前記第 1 酸化物半導体層のガリウム (Ga) の含有量比よりも高く、

前記第 2 酸化物半導体層の亜鉛 (Zn) の含有量比は、前記第 1 酸化物半導体層の亜鉛 (Zn) の含有量比よりも高い、
ことを特徴とする、請求項 1 に記載の薄膜トランジスタ。

【請求項 15】

前記第 2 酸化物半導体層のインジウム (In) の含有量比は、前記第 1 酸化物半導体層のインジウム (In) の含有量比よりも低く、

20

前記第 2 酸化物半導体層のスズ (Sn) の含有量比は、第 1 酸化物半導体層 131 のスズ (Sn) の含有量比よりも低い、
ことを特徴とする、請求項 12 に記載の薄膜トランジスタ。

【請求項 16】

前記第 1 酸化物半導体層のスズ (Sn) 対比インジウム (In) の含有量は $2.5 \frac{\text{In}}{\text{Sn}}$ を満たし、

スズ (Sn) 対比ガリウム (Ga) の含有量は $1 \frac{\text{Ga}}{\text{Sn}}$ を満たし、

スズ (Sn) 対比亜鉛 (Zn) の含有量は $2.5 \frac{\text{Zn}}{\text{Sn}}$ を満たす、

ことを特徴とする、請求項 1 に記載の薄膜トランジスタ。

【請求項 17】

30

前記第 2 酸化物半導体層のインジウム (In) 対比ガリウム (Ga) の含有量は $2 \frac{\text{Ga}}{\text{In}}$ を満たし、

インジウム (In) 対比亜鉛 (Zn) の含有量は $2 \frac{\text{Zn}}{\text{In}}$ を満たす、

ことを特徴とする、請求項 12 に記載の薄膜トランジスタ。

【請求項 18】

前記第 2 酸化物半導体層のインジウム (In) 対比ガリウム (Ga) の含有量は $2 \frac{\text{Ga}}{\text{In}}$ を満たし、

インジウム (In) 対比亜鉛 (Zn) の含有量は $2 \frac{\text{Zn}}{\text{In}}$ を満たし、

インジウム (In) 対比スズ (Sn) の含有量は $0.1 \frac{\text{Sn}}{\text{In}}$ を満たす、

ことを特徴とする、請求項 12 に記載の薄膜トランジスタ。

40

【請求項 19】

ゲート信号を出力する複数のステージを備え、

前記複数のステージのそれぞれは、請求項 1 乃至 18 のいずれか一項に記載の薄膜トランジスタを含む、

ことを特徴とする、ゲート駆動部。

【請求項 20】

データライン、ゲートライン、前記データラインと前記ゲートラインの交差領域に配置された画素を含む表示パネルを備え、

画素の各々は、請求項 1 乃至 18 のいずれか一項に記載の薄膜トランジスタを含む、
ことを特徴とする、表示装置。

50

【請求項 21】

前記表示パネルが、前記ゲートラインにゲート信号を出力するゲート駆動部をさらに含み、

前記ゲート駆動部は、請求項 1 乃至 18 のいずれか一項に記載の薄膜トランジスタを含む、

ことを特徴とする、請求項 20 に記載の表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本明細書は、薄膜トランジスタ、それを含むゲート駆動部、およびそれを含む表示装置に関するものである。

10

【背景技術】**【0002】**

情報化社会が発展するにつれて、画像を表示するための表示装置に対する要求が様々な形で高まっている。そのため、最近では液晶表示装置 (LCD: Liquid Crystal Display)、プラズマ表示装置 (PDP: Plasma Display Panel)、発光表示装置 (LED: Light Emitting Display) などの様々な表示装置が活用されている。発光表示装置は、発光素子 (light emitting element) として有機発光ダイオードを用いる有機発光表示装置と発光素子としてのマイクロ発光ダイオード (micro light emitting diode) を用いる発光ダイオード表示装置を含む。

20

【0003】

平板表示装置は、表示パネル、ゲート駆動部、データ駆動部、およびタイミング制御部を備える。表示パネルは、データライン、ゲートライン、データラインとゲートラインの交差部に形成される画素を含む。画素の各々には、スイッチング素子として薄膜トランジスタを用いてゲートラインにゲート信号が供給される時、データラインからのデータ電圧が供給される。画素の各々は、データ電圧に応じて所定の明るさで発光する。

【0004】

最近では、UHD (Ultra High Definition) の高解像度で画像を表示することができる平板表示装置が発売されており、8K UHD (8K Ultra High Definition) の高解像度で画像を表示することができる平板表示装置が開発されている。UHDは、3840×2160の解像度を示し、8K UHDは7680×4320の解像度を示す。

30

【0005】

UHDと8K UHDのような高解像度の平板表示装置には、高速駆動が必要であり、それにより、一つのゲートラインにゲート信号が供給される時間である1ラインスキャン時間が短くなる。1ラインスキャン時間は、画素のデータ電圧供給期間に該当する。したがって、1ラインスキャン時間が短くなる場合には、画素に必要なデータ電圧が充電されないことがあり、それにより、画質の劣化が発生し得る。これらの問題を回避するためには、高い電子移動度を有する薄膜トランジスタをスイッチング素子として用いる必要がある。

【0006】

酸化物ベースの半導体層を有する薄膜トランジスタをスイッチング素子として用いる場合には、ポリシリコンベースの半導体層を有する薄膜トランジスタをスイッチング素子として用いる場合よりも製造コストを削減することができる長所があるが、電子移動度が低いという欠点がある。したがって、高速駆動が必要な高解像度の平板表示装置に適用することができる酸化物半導体層を有する薄膜トランジスタが求められている。

40

【0007】

しかし、高速駆動が必要な高解像度の平板表示装置に適用することができる薄膜トランジスタの酸化物半導体層は、高電子移動度だけではなく、高いPPI (pixels per inch) によりショートチャネル (short channel) を具現することができなければならない。ただし、従来はインジウム・ガリウム・亜鉛酸化物 (Indium-Galium-Zinc Oxide; IGZO) からなる半導体層ベースの薄膜トランジスタを用いたので、高い電子移動度を確保することが

50

困難であった。また、IGZOからなる半導体層を単一層で用いる場合には、チャンネル長 (channel length) の変化によってしきい値電圧 (threshold voltage) が急激にシフトする問題が発生し得る。したがって、求められるしきい値電圧値を維持しながら、ショートチャンネルを具現するには困難がある。

【0008】

図1は、IGZOベースの半導体層を含む薄膜トランジスタのチャンネル長変動時のゲート・ソース間電圧によるドレイン・ソース間電流を示すグラフである。

【0009】

図1は、単一層のIGZOベースの半導体層を含む薄膜トランジスタのチャンネル長を4 μm ~ 10 μm に変動させながら、ゲート・ソース間電圧によるドレイン・ソース間電流を測定した実験結果を示している。図1に示すように、チャンネル長が4 μm 以下に短くなる場合は、チャンネル長が5 μm ~ 10 μm のときと比較してしきい値電圧が約 - 5 V ネガティブ (negative) シフトすることが分かる。したがって、チャンネル長が4 μm 以下に短くなる場合は、所望する駆動特性を確保することが難しい。

【0010】

一方、単一層のIGZOベースの半導体層を蒸着時、製造装置のパワー、圧力、温度などを所定の範囲内に設定した場合、図1のようにショートチャンネルでしきい値電圧がネガティブシフトする問題を解消することができる。しかし、この場合は、装置のパワー、圧力、温度などの条件により、成膜の均一性などの他の要因を考慮することができる自由度が大きく低下し得る。

【0011】

したがって、製造装置の自由度に拘らず、高速駆動が必要な高解像度の平板表示装置に適用することができる酸化半導体層を含む薄膜トランジスタが求められている。

【発明の概要】

【発明が解決しようとする課題】

【0012】

本明細書は、高速駆動が必要な高解像度の平板表示装置に適用することができる酸化半導体層を有する薄膜トランジスタ、それを含むゲート駆動部、およびそれを含む表示装置を提供するためのものである。

【課題を解決するための手段】

【0013】

本明細書の一実施例に係る薄膜トランジスタは、インジウム・ガリウム・亜鉛・スズ酸化物 (Indium-Galium-Zinc-Tin Oxide; IGZTO) からなる第1酸化半導体層、およびインジウム・ガリウム・亜鉛酸化物を含む第2酸化半導体層を備える。第2酸化半導体層のインジウム対比ガリウムの含有量 (Ga/In) は、第1酸化半導体層のインジウム対比ガリウムの含有量 (Ga/In) より高く、第2酸化半導体層のインジウム対比亜鉛の含有量 (Zn/In) は、第1酸化半導体層のインジウム対比亜鉛の含有量 (Zn/In) より高い。

【0014】

本明細書の一実施例に係るゲート駆動部は、ゲート信号を出力する複数のステージを備える。複数のステージの各々は、本明細書の実施例に係る薄膜トランジスタを含む。

【0015】

本明細書の一実施例に係る表示装置は、データライン、ゲートライン、前記データラインと前記ゲートラインの交差領域に配置された画素を含む表示パネルを備える。画素の各々は、本明細書の一実施例に係る薄膜トランジスタを含む。

【発明の効果】

【0016】

本明細書の一実施例は、主チャンネルに該当し、インジウム・ガリウム・亜鉛・スズ酸化物で形成された第1酸化半導体層とインジウム・ガリウム・亜鉛酸化物を含む第2酸化半導体層を含む。第2酸化半導体層は、インジウム・ガリウム・亜鉛酸化物からなることができ、またインジウム・ガリウム・亜鉛・スズ酸化物からなることもできる。第2

10

20

30

40

50

酸化物半導体層がインジウム・ガリウム・亜鉛・スズ酸化物からなる場合には、第2酸化物半導体層のインジウム・ガリウム・亜鉛・スズ酸化物の組成比は、第1酸化物半導体層のインジウム・ガリウム・亜鉛・スズ酸化物と異なる。その結果、本明細書の実施例は、電子移動度を高めると同時に、チャンネル長によってしきい値電圧が変動 (shift) することを防止することができる。したがって、本明細書の一実施例は、高解像度による高速駆動が必要な平板表示装置に適用することができる。

【0017】

また、本明細書の一実施例は、第1酸化物半導体層の側面の傾きを鋭角に形成し、第2酸化物半導体層の側面の傾きを直角または鋭角に形成する。ソース電極とドレイン電極が第1酸化物半導体層の側面と第2酸化物半導体層の側面を覆う場合、第1酸化物半導体層と第2酸化物半導体層の境界で空隙が形成されない。これにより、本明細書の一実施例は、第1酸化物半導体層と第2酸化物半導体層が空隙に浸透するエッチング液によって追加でエッチングされることを防止することができる。したがって、本明細書の一実施例は、第1酸化物半導体層と第2酸化物半導体層のチャンネル長またはチャンネル幅などが所望と異なって形成されることを防止することができる。

10

【0018】

また、本明細書の一実施例は、薄膜トランジスタのPBTS (positive bias temperature stress) 特性とNBITS (negative bias temperature illumination stress) 特性が悪化することを防止するために、第2酸化物半導体層のインジウム (In) 対比亜鉛 (Zn) の含有量 (Zn/In) が5よりも小さくなるように第2酸化物半導体層を形成する。

20

【図面の簡単な説明】

【0019】

【図1】IGZOベースの半導体層を含む薄膜トランジスタのチャンネル長変動時のゲート・ソース間電圧によるドレイン・ソース間電流を示すグラフである。

【図2】本明細書の一実施例に係る表示装置を示す斜視図である。

【図3】図2の第1基板、ゲート駆動部、ソースドライブIC、軟性フィルム、回路基板、およびタイミング制御部を示す平面図である。

【図4】図3の画素を示す回路図である。

【図5】図3のゲート駆動部の一部を示す回路図である。

【図6】本明細書の一実施例に係る薄膜トランジスタを示す平面図である。

30

【図7】図6のI-I'の一例を示す断面図である。

【図8】本明細書の一実施例に係る薄膜トランジスタの酸化物半導体層を説明するための例示図である。

【図9】本明細書の一実施例に係る薄膜トランジスタのチャンネル長変動時のゲート・ソース間電圧によるドレイン・ソース間電流を示すグラフである。

【図10】第2酸化物半導体層のガリウム含有量と亜鉛の含有量の変化によるエッチング率変化を示すグラフである。

【図11a】図7のA領域の実施例を示す拡大断面図である。

【図11b】図7のA領域の実施例を示す拡大断面図である。

【図12】第1酸化物半導体層と第2酸化物半導体層蒸着時の第1基板の温度による第1酸化物半導体層と第2酸化物半導体層のエッチング率を示すグラフである。

40

【図13】第1酸化物半導体層と第2酸化物半導体層蒸着時の第1基板の温度による第1酸化物半導体層と第2酸化物半導体層の断面を示す図である。

【図14a】亜鉛 (Zn) の含有量変化による第2酸化物半導体層の物性分析図である。

【図14b】亜鉛 (Zn) の含有量変化による第2酸化物半導体層の物性分析図である。

【図14c】亜鉛 (Zn) の含有量変化による第2酸化物半導体層の物性分析図である。

【図15】第1酸化物半導体層の厚さが300 であるとき、第2酸化物半導体層の厚さ変化による薄膜トランジスタのPBTSしきい値電圧の変動値、およびNBITSしきい値電圧の変動値を示すグラフである。

【図16】本明細書の一実施例に係る薄膜トランジスタの製造方法を示すフローチャート

50

である。

【図17a】本明細書の一実施例に係る薄膜トランジスタの製造方法を説明するための断面図である。

【図17b】本明細書の一実施例に係る薄膜トランジスタの製造方法を説明するための断面図である。

【図17c】本明細書の一実施例に係る薄膜トランジスタの製造方法を説明するための断面図である。

【図17d】本明細書の一実施例に係る薄膜トランジスタの製造方法を説明するための断面図である。

【図17e】本明細書の一実施例に係る薄膜トランジスタの製造方法を説明するための断面図である。

10

【図18】本明細書のまた他の実施例に係る薄膜トランジスタを示す平面図である。

【図19】図18のII-II'の一例を示す断面図である。

【図20】本明細書のまた他の実施例に係る薄膜トランジスタを示す平面図である。

【図21】図20のIII-III'の一例を示す断面図である。

【図22】図20のIII-III'の他の例を示す断面図である。

【発明を実施するための形態】

【0020】

明細書全体にわたって同一の参照番号は、実質的に同一の構成要素を意味する。以下の説明では、本発明に関連する公知の機能あるいは構成に対する具体的な説明が本発明の要旨を不必要に曖昧にし得ると判断される場合には、その詳細な説明を省略する。なお、以下の説明で使用する構成要素の名称は、明細書作成の容易さを考慮して選択されたものであり得るものであるので、実際の製品の部品名称とは異なり得る。

20

【0021】

本発明の利点および特徴、そしてそれらを達成する方法は、添付の図と共に詳細に後述されている実施例を参照すると明確になるだろう。しかし、本発明は、以下で開示される実施例に限定されるものではなく、互いに異なる多様な形態で具現されるものであり、単に本実施例は、本発明の開示が完全になるようにし、本発明が属する技術分野で通常の知識を有する者に発明の範疇を完全に知らしめるために提供されるものであり、本発明は、請求項の範疇によって定義されるだけである。

30

【0022】

本発明の実施例を説明するための図で開示された形状、大きさ、比率、角度、数などは例示的なものなので、本発明は、図に示された事項に限定されるものではない。また明細書全体にわたって同一参照符号は同一の構成要素を指す。また、本発明を説明するにおいて、関連する公知技術に対する具体的な説明が本発明の要旨を不必要に曖昧にすると判断される場合、その詳細な説明は省略する。

【0023】

構成要素を解釈するにおいて、別個の明示的な記載がなくても誤差の範囲を含むものと解釈する。

【0024】

本発明のいくつかの実施例のそれぞれの特徴が部分的または全体的に互いに結合または組み合わせ可能で、技術的に多様な連動および駆動が可能であり、各実施例を互いに独立して実施することもでき、連関関係によって一緒に実施することもできる。

40

【0025】

以下、添付の図を参照して、本発明に係る好ましい実施例を詳細に説明する。

【0026】

本明細書の一実施例に係る表示装置は、発光表示装置であることを中心に説明したが、本明細書の実施例は、これに限定されない。すなわち、本明細書の一実施例に係る表示装置は、液晶表示装置(Liquid Crystal Display)、発光表示装置(Light Emitting Display)、電界放出表示装置(Field Emission Display)、電気泳動表示装置(Electrophore

50

sis display) 中のいずれかが一つで具現することができる。発光表示装置は、発光素子 (light emitting element) として、有機発光ダイオードを用いる有機発光表示装置と発光素子としてマイクロ発光ダイオード (micro light emitting diode) を用いる発光ダイオード表示装置を含む。

【0027】

図2は、本明細書の一実施例に係る表示装置を示す斜視図である。図3は図2の第1基板、ゲート駆動部、ソースドライバIC、軟性フィルム、回路基板、およびタイミング制御部を示す平面図である。

【0028】

図2及び図3を参照すると、本明細書の一実施例による有機発光表示装置1000は、表示パネル1100、ゲート駆動部1200、データ駆動部、軟性フィルム1400、回路ボード1500、およびタイミング制御部1600を含む。

10

【0029】

表示パネル1100は、第1基板1110と第2基板1120を含む。第1基板1110と第2基板1120は、ガラス (glass) またはプラスチック (plastic) であり得る。例えば、第1基板1110がプラスチックである場合には、ポリイミド (polyimide)、PET (polyethylene terephthalate)、PEN (polyethylene naphthalate) またはPC (polycarbonate) で形成することができる。第1基板1110をプラスチックで形成する場合には、有機発光表示装置1000は、撓み、且つ曲がり得るフレキシブル表示装置 (flexible display device) に具現することができる。第2基板1120は、ガラス、プラスチックフィルム、封止フィルムのいずれかであり得る。

20

【0030】

第1基板1110は、薄膜トランジスタ (thin film transistor) が形成される薄膜トランジスタ基板である。第2基板1120と向き合う第1基板1110の一面にはゲートライン、データライン、及び画素 (P) が形成される。画素 (P) は、ゲートラインとデータラインの交差構造によって定義される領域に設けられる。表示パネル1100は、図3のように画素 (P) が形成されて画像を表示する表示領域 (DA) と画像を表示しない非表示領域 (NDA) に区分することができる。表示領域 (DA) には、ゲートライン、データライン、及び画素 (P) を形成することができる。非表示領域 (NDA) には、ゲート駆動部1200、パッド、データラインとパッドを接続するためのリンクラインを形成することができる。

30

【0031】

画素 (P) は、ゲートラインのゲート信号によってターンオンして、データラインのデータ電圧の供給を受けるために、スイッチング素子として少なくとも1つのトランジスタを含むことができ、トランジスタは薄膜トランジスタであり得る。

【0032】

例えば、画素 (P) のそれぞれは、図4に示すように、有機発光ダイオード (OLED)、駆動トランジスタ (DT)、複数のスイッチングトランジスタ (ST1、ST2)、およびコンデンサ (Cst) を含むことができる。スイッチングトランジスタは、第1および第2のスイッチングトランジスタ (ST1、ST2) を含むことができる。図4では説明の便宜上、第j (jは2以上の整数) のデータライン (Dj)、第q (qは2以上の整数) の基準電圧ライン (Rq)、第k (kは2以上の整数) ゲートライン (Gk)、第kの初期化ライン (SEk) に接続された画素 (P) だけを示した。

40

【0033】

有機発光ダイオード (OLED) は、駆動トランジスタ (DT) を介して供給される電流に応じて発光する。有機発光ダイオード (OLED) のアノード電極は、駆動トランジスタ (DT) のソース電極に接続され、カソード電極は、第1電源電圧が供給される第1電源電圧ライン (VSSL) に接続され得る。第1電源電圧ライン (VSSL) は低電位電源電圧が供給される低電位電圧ラインであり得る。

【0034】

50

有機発光ダイオード (OLED) は、アノード電極 (anode electrode)、正孔輸送層 (hole transporting layer)、有機発光層 (organic light emitting layer)、電子輸送層 (electron transporting layer)、およびカソード電極 (cathode electrode) を含むことができる。有機発光ダイオード (OLED) は、アノード電極とカソード電極に電圧が印加されると正孔と電子がそれぞれ正孔輸送層と電子輸送層を介して有機発光層に移動し、有機発光層で互いに結合して発光する。

【0035】

駆動トランジスタ (DT) は、第2電源電圧が供給される第2電源電圧ライン (VDDL) と有機発光素子 (OLED) との間に配置される。駆動トランジスタ (DT) は、ゲート電極とソース電極の電圧差によって第2電源電圧ライン (VDDL) から有機発光ダイオード (OLED) に流れる電流を調整する。駆動トランジスタ (DT) のゲート電極は、第1スイッチングトランジスタ (ST1) の第1電極に接続され、ソース電極は第2電源電圧ライン (VDDL) に接続され、ドレイン電極は、有機発光ダイオード (OLED) のアノード電極に接続され得る。第2電源電圧ライン (VDDL) は、高電位電源電圧が供給される高電位電圧ラインであり得る。

10

【0036】

第1スイッチングトランジスタ (ST1) は、第kゲートライン (Gk) の第kゲート信号によってターンオンされ、第jデータライン (Dj) の電圧を駆動トランジスタ (DT) のゲート電極に供給する。第1スイッチングトランジスタ (ST1) のゲート電極は、第kゲートライン (Gk) に接続され、ソース電極は駆動トランジスタ (DT) のゲート電極に接続され、ドレイン電極は、第jデータライン (Dj) に接続され得る。

20

【0037】

第2スイッチングトランジスタ (ST2) は、第k初期化ライン (SEk) の第k初期化信号によりターンオンされ、第q基準電圧ライン (Rq) を駆動トランジスタ (DT) のドレイン電極に接続させる。第2スイッチングトランジスタ (ST2) のゲート電極は、第k初期化ライン (SEk) に接続され、第1電極は、第q基準電圧ライン (Rq) に接続され、第2電極は、駆動トランジスタ (DT) のドレイン電極に接続され得る。

【0038】

コンデンサ (Cst) は、駆動トランジスタ (DT) のゲート電極とソース電極間に形成される。コンデンサ (Cst) は、駆動トランジスタ (DT) のゲート電圧とソース電圧間の差電圧を貯蔵する。

30

【0039】

コンデンサ (Cst) の一側電極は、駆動トランジスタ (DT) のゲート電極、及び第1スイッチングトランジスタ (ST1) のソース電極に接続され、他側電極は、駆動トランジスタ (DT) のソース電極、第2スイッチングトランジスタ (ST2) のドレイン電極、及び有機発光素子 (OLED) のアノード電極に接続することができる。

【0040】

図4で画素 (P) のそれぞれの駆動トランジスタ (DT)、第1スイッチングトランジスタ (ST1)、及び第2スイッチングトランジスタ (ST2) は、薄膜トランジスタ (thin film transistor) で形成することができる。また、図4では、画素 (P) のそれぞれの駆動トランジスタ (DT)、第1スイッチングトランジスタ (ST1)、及び第2スイッチングトランジスタ (ST2) がN型半導体特性を有するN型半導体トランジスタに形成されたことを例示したが、本明細書の実施例は、これに限定されない。つまり、画素 (P) のそれぞれの駆動トランジスタ (DT)、第1スイッチングトランジスタ (ST1)、及び第2スイッチングトランジスタ (ST2) は、P型半導体特性を有するP型半導体トランジスタで形成することができる。

40

【0041】

ゲート駆動部1200は、タイミング制御部1600から入力されるゲート制御信号によってゲートラインにゲート信号を出力する。ゲート駆動部1200は、表示パネル1100の表示領域 (DA) の一側または両方外側の非表示領域 (DA) にGIP (gate driver in

50

panel)方式で形成することができる。この場合には、ゲート駆動部1200は、ゲート制御信号によってゲートラインにゲート信号を出力するために複数のトランジスタを含むことができ、複数のトランジスタの各々は薄膜トランジスタであり得る。

【0042】

例えば、ゲート駆動部1200は、図5に示すように従属的に接続されたステージ(STT1)を含むことができ、ステージ(STT1)はゲートラインにゲート信号を順次に出力することができる。

【0043】

ステージ(STT1)のそれぞれは、図5に示すようにプルアップノード(NQ)、プルダウンノード(NQB)、プルアップノード(NQ)がゲートハイ電圧に充電される場合、ターンオンされるプルアップトランジスタ(TU)、プルダウンノード(NQB)がゲートハイ電圧に充電される場合、ターンオンされるプルダウントランジスタ(TD)、およびプルアップノード(NQ)とプルダウンノード(NQB)の充放電を制御するためのノード制御部(NC)を含む。

【0044】

ノード制御部(NC)は、スタート信号または前段ステージのキャリア信号が入力するスタート信号ライン、ゲートクロック信号のいずれか一つが入力するクロックラインに接続することができる。ノード制御部(NC)は、スタート信号ラインに入力するスタート信号または前段ステージのキャリア信号とクロックラインに入力するゲートクロック信号によってプルアップノード(NQ)とプルダウンノード(NQB)の充放電を制御する。ノード制御部は、ステージ(STT1)の出力を安定的に制御するためにプルアップノード(NQ)がゲートハイ電圧で充電される場合は、プルダウンノード(NQB)をゲートロー電圧に放電させ、プルダウンノード(NQB)がゲートハイ電圧で充電される場合は、プルアップノード(NQ)をゲートロー電圧に放電させる。このため、ノード制御部(NC)は、複数のトランジスタを含むことができる。

【0045】

プルアップトランジスタ(TU)は、ステージ(STT1)がプルアップされる場合、すなわちプルアップノード(NQ)がゲートハイ電圧に充電される場合、ターンオンして、クロックライン(CL)のゲートクロック信号を出力端子(OT)に出力する。プルダウントランジスタ(TD)は、ステージ(STT1)がプルダウンする場合、例えば、プルダウンノード(NQB)がゲートハイ電圧に充電される場合、ターンオンして出力端子(OT)をゲートロー電圧端子(VGLT)のゲートロー電圧に放電させる。

【0046】

図5において、ゲート駆動部1200のステージ(STT1)のそれぞれのプルアップトランジスタ(TU)、プルダウントランジスタ(TD)、およびノード制御部(NC)の複数のトランジスタは、薄膜トランジスタ(thin film transistor)で形成することができる。また、図5では、ゲート駆動部1200のステージ(STT1)のそれぞれのプルアップトランジスタ(TU)、プルダウントランジスタ(TD)、およびノード制御部(NC)の複数のトランジスタがN型半導体特性を有するN型半導体トランジスタで形成された例を示したが、本明細書の実施例は、これに限定されない。つまり、ゲート駆動部1200のステージ(STT1)のそれぞれのプルアップトランジスタ(TU)、プルダウントランジスタ(TD)、およびノード制御部(NC)の複数のトランジスタは、P型半導体特性を有するP型半導体トランジスタで形成することもできる。

【0047】

一方、ゲート駆動部1200は、集積路(integrated circuit)のように駆動チップに形成することができる。この場合、COF(chip on film)方式でゲート軟性フィルム上に実装してゲート軟性フィルムは、表示パネル1100の第1基板1110に付着することができる。

【0048】

データ駆動部は、少なくとも1つのソースドライブ集積回路(integrated circuit、以

10

20

30

40

50

下「IC」と称する) 1300を含む。ソースドライブIC1300には、タイミング制御部1600からのデジタルビデオデータとソース制御信号が入力される。ソースドライブIC1300は、ソース制御信号に基づいて、デジタルビデオデータをアナログデータ電圧に変換してデータラインに供給する。

【0049】

ソースドライブIC1300が、集積回路のように駆動チップで形成される場合には、図2および図3のようにCOF方式(chip on film)で軟性フィルム1400上に実装することができる。軟性フィルム1400には、パッドとソースドライブIC1300を接続する配線、パッドと回路基板1500の配線を接続する配線を形成する。軟性フィルム1400は、異方性導電フィルム(ant isotropic conducting film)を用いて、表示パネル1100の非表示領域(NDA)に形成されたデータパッドのようなパッド上に付着し、これにより、パッドと軟性フィルム1400の配線を接続することができる。または、ソースドライブIC1300は、COG(chip on glass)方式やCOP(chip on plastic)方式で表示パネル1100の第1基板1110のパッド上に直接付着することができる。

【0050】

回路基板1500は、軟性フィルム1400に付着することができる。回路基板1500は、駆動チップに具現された多数の回路を実装することができる。例えば、回路基板1500には、タイミング制御部1600を実装することができる。回路基板1500は、プリント回路基板(printed circuit board)またはフレキシブルプリント回路基板(flexible printed circuit board)であり得る。

【0051】

タイミング制御部1600は、回路基板1500のケーブルを介して外部のシステムボードからデジタルビデオデータとタイミング信号が入力する。タイミング制御部1600は、タイミング信号に基づいて、ゲート駆動部1200の動作タイミングを制御するためのゲート制御信号とソースドライブIC1300を制御するためのソース制御信号を発生する。タイミング制御部1600は、ゲート制御信号をゲート駆動部1200に供給し、ソース制御信号をソースドライブIC1300に供給する。

【0052】

以上で説明したように、本明細書の一実施例に係る表示装置は、画素(P)のそれぞれがスイッチング素子として少なくとも一つの薄膜トランジスタを含み、ゲート駆動部1200がGIP方式で形成される場合ゲートラインにゲート信号を順次に出力するために、複数のトランジスタを含む。従って、高解像度による高速駆動が必要な表示装置でゲート駆動1200が安定したゲート信号を出力するためには、ゲート駆動部1200の複数のトランジスタの電子移動度を高めることが好ましい。

【0053】

以下では、本明細書の一実施例によって、高解像度による高速駆動が必要な表示装置の画素(P)のトランジスタ、ゲート駆動部1200のトランジスタなどに適用することができる酸化物半導体層を有する薄膜トランジスタを詳細に説明する。

【0054】

図6は、本明細書の実施例に係る薄膜トランジスタを示す平面図である。図7は図6のI-I'の一例を示す断面図である。

【0055】

図6及び図7では、本明細書の一実施例に係る薄膜トランジスタがBCE(back channel etched)工程を用いた逆スタガ(inverted staggered)構造で形成された例を示した。逆スタガ構造は、ゲート電極がアクティブ層の下部に形成された下部ゲート(bottom gate)構造を有する。

【0056】

図6及び図7を参照すると、本明細書の一実施例に係る薄膜トランジスタ100は、ゲート電極110、酸化物半導体層130、ソース電極140、及びドレイン電極150を含む。

10

20

30

40

50

【0057】

薄膜トランジスタ100は、第1基板1110上に形成される。第1基板1110は、プラスチック(plastic)またはガラス(glass)からなり得る。

【0058】

第1基板1110を介して浸透する水分から薄膜トランジスタ100を保護するために、バッファ膜300を第1基板1110上に形成することができる。バッファ膜300は、交互に積層した複数の無機膜からなり得る。たとえば、バッファ膜300は、シリコン酸化膜(SiOx)、シリコン窒化膜(SiNx)、SiON中のいずれかひとつまたは複数の無機膜が交互に積層した多重膜で形成することができる。バッファ膜300は省略することができる。

10

【0059】

バッファ膜300上にゲート電極110が形成される。ゲート電極110は、第1基板1110から酸化物半導体層130に入射する光を遮断できるように、酸化物半導体層130よりも広い面積で形成され、これにより、酸化物半導体層130を覆うことができる。これにより、酸化物半導体層130は、第1基板1110から入射する光から保護され得る。ゲート電極110は、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタニウム(Ti)、ニッケル(Ni)、ネオジム(Nd)および銅(Cu)の中のいずれか一つ、またはこれらの合金からなる単一層または多重層で形成することができる。

【0060】

ゲート電極110上にゲート絶縁膜120が形成される。ゲート絶縁膜120は、無機膜、例えばシリコン酸化膜(SiOx)、シリコン窒化膜(SiNx)、またはそれらの多重膜で形成することができる。

20

【0061】

ゲート絶縁膜120上には、酸化物半導体層130が形成される。酸化物半導体層130は、ゲート絶縁膜120を間に置いてゲート電極110と重畳するように配置される。

【0062】

酸化物半導体層130は、第1酸化物半導体層131と第2酸化物半導体層132を含む。第1酸化物半導体層131は、電子が移動する主チャネル層なので、ゲート電極110と近接して配置される。第2酸化物半導体層132は、第1酸化物半導体層131よりも導電性が低く、バンドギャップが第1酸化物半導体層131よりも大きくてもよい。したがって、第1酸化物半導体層131は、第2酸化物半導体層132よりゲート電極110に近接して配置された層と定義することができ、第2酸化物半導体層132は、第1酸化物半導体層131よりゲート電極110から遠く離れて配置された層と定義することができる。例えば、薄膜トランジスタ100が図6及び図7のように逆スタガ構造で形成される場合には、ゲート電極110が酸化物半導体層130の下に配置されるので、第1酸化物半導体層131はゲート絶縁膜120上に配置され、第2酸化物半導体層132は第1酸化物半導体層131上に配置され得る。

30

【0063】

ソース電極140は、主チャネル層である第1酸化物半導体層131の一侧と第2酸化物半導体層132の一侧に直接接触することができる。詳細には、ソース電極140は、第1酸化物半導体層131の側面と第2酸化物半導体層132の側面および上面の一部に直接接触することができる。また、ドレイン電極150は、第1酸化物半導体層131の他側と第2酸化物半導体層132の他側に直接接触することができる。詳細には、ドレイン電極150は、第1酸化物半導体層131の他側面と第2酸化物半導体層132の他側面および上面の一部に直接接触することができる。ソース電極140とドレイン電極150は、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタニウム(Ti)、ニッケル(Ni)、ネオジム(Nd)および銅(Cu)の中のいずれか一つ、またはこれらの合金からなる単一層または多重層で形成することができる。

40

【0064】

酸化物半導体層130、ソース電極140及びドレイン電極150上に保護膜160が

50

形成される。保護膜 160 は無機膜、例えばシリコン酸化膜 (SiO_x)、シリコン窒化膜 (SiN_x)、またはそれらの多重膜で形成することができる。

【0065】

第1酸化物半導体層 131 は、電子移動度 (mobility) を高めるためにインジウム・ガリウム・亜鉛酸化物 (Indium-Galium-Zinc Oxide; IGZO) よりインジウム・ガリウム・亜鉛・スズ酸化物 (Indium-Galium-Zinc-Tin Oxide; IGZTO) からなることが好ましい。より詳細には、第1酸化物半導体層 131 の電子移動度を $15 \text{ cm}^2/\text{V}\cdot\text{s}$ 以上に高め、PBTS (positive bias temperature stress) 特性とNBTIS (negative bias temperature illumination stress) 特性を満足するためには、インジウム・ガリウム・亜鉛・スズ (IGZT) の含有量は、次のような条件を満足することが好ましい。第1酸化物半導体層 131 でスズ (Sn) 対比インジウム (In) の含有量は 2.5 In/Sn 5 であり、スズ (Sn) 対比ガリウム (Ga) の含有量は 1 Ga/Sn 2 で、スズ (Sn) 対比亜鉛 (Zn) の含有量は 2.5 Zn/Sn 5 であり得る。PBTS特性とNBTIS特性を満足することは、しきい値電圧の変動値が $-5 \text{ V} \sim 2 \text{ V}$ である場合を指す。ここで、各元素の含有量は、原子パーセント (atomic percent) を指す。

10

【0066】

ただし、発明の背景技術で詳しく見たように、酸化物半導体層 130 を IGZTO ベースの単一層で形成する場合には、チャンネル長 (channel length) の変化によってしきい値電圧 (threshold voltage) がシフトすることがあるので、求められるしきい値電圧値を維持しながら、ショートチャンネル (short channel) を具現するには困難があり得る。つまり、酸化物半導体層 130 を IGZTO ベースの単一層で形成する場合には、CLV (Channel Length Variation) の影響性のために、ショートチャンネルを具現するとともに、所望する駆動特性を確保するには困難があり得る。CLV は、チャンネル長の変化に対応してしきい値電圧がシフトされる程度を示す。

20

【0067】

これにより、酸化物半導体層 130 がショートチャンネルで形成される場合、しきい値電圧がシフトすることを防止するために、インジウム・ガリウム・亜鉛酸化物を含む第2酸化物半導体層 132 をさらに含む。例えば、第2酸化物半導体層 132 は、インジウム・ガリウム・亜鉛酸化物 (Indium-Galium-Zinc Oxide; IGZO) またはインジウム・ガリウム・亜鉛・スズ酸化物 (Indium-Galium-Zinc-Tin Oxide; IGZTO) からなり得る。ここで、第2酸化物半導体層 132 がインジウム・ガリウム・亜鉛・スズ酸化物からなる場合には、第2酸化物半導体層 132 のインジウム・ガリウム・亜鉛・スズの組成比は、第1酸化物半導体層 131 のインジウム・ガリウム・亜鉛・スズの組成比と異なり得る。

30

【0068】

酸化物半導体層 130 がインジウム・ガリウム・亜鉛・スズ酸化物からなる第1酸化物半導体層 131 とインジウム・ガリウム・亜鉛酸化物又は第1酸化物半導体層 131 と組成比が異なるインジウム・ガリウム・亜鉛・スズ酸化物からなる第2酸化物半導体層 132 を含む場合、図8のようにヘテロ接合 (Hetero-junction) 構造を有する。ここで、第1酸化物半導体層 131 と第2酸化物半導体層 132 の接合部分には、薄膜間のフェルミエネルギー準位の差によって内部拡散電位 (built-in potential) による空乏領域 (depletion region) が形成され、内部拡散電位は接合部分でバンドベンディング (band bending) を誘発する。酸化物半導体層 130 は、空乏領域を有するため、総電荷密度を制御することができ、チャンネル長によってしきい値電圧がシフトすることを防止することができる。すなわち、本明細書の一実施例は、第2酸化物半導体層 132 を形成することにより、高移動度の薄膜で形成される酸化物半導体層 130 で電荷密度が高くなることを効果的に抑制することができるので、酸化物半導体層 130 のチャンネル長の変化によってしきい値電圧がシフトすることを防止することができる。その結果、本明細書の一実施例は、電子移動度を高めると同時に、好ましい薄膜トランジスタの素子特性を確保することができる。

40

【0069】

50

一方、スズ (Sn) はインジウム (In) 対比酸素との結合力が強い。従って、第 2 酸化物半導体層 1 3 2 がインジウム・ガリウム・亜鉛・スズ酸化物からなる場合、インジウム・ガリウム・亜鉛酸化物からなる場合よりも耐化学性を向上させることができるだけでなく、酸素欠乏 (oxygen vacancy) を減らすことができる。これにより、インジウム・ガリウム・亜鉛・スズ酸化物からなる第 2 酸化物半導体層 1 3 2 を含む薄膜トランジスタの PBTS 特性と NBTIS 特性を高めることができるので、薄膜トランジスタの信頼性が向上し得る。

【 0 0 7 0 】

図 9 は、本明細書の一実施例に係る薄膜トランジスタのチャネル長変動時のゲート・ソース間電圧によるドレイン・ソース間電流を示すグラフである。図 9 において、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 を含む薄膜トランジスタのチャネル長を 4 μm ~ 10 μm で変動させながら、ゲート・ソース間電圧によるドレイン・ソース間電流を測定した実験結果を示している。また、図 9 では、一例としてドレイン・ソース間電圧 (V_{ds}) を 10V に、第 1 酸化物半導体層 1 3 1 のインジウム・ガリウム・亜鉛・スズの組成比を 4 : 1 : 4 : 1 に、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比を 4 : 1 2 : 1 6 : 1 に設定して実験を行った。すなわち、図 9 では、第 2 半導体層 1 3 2 がインジウム・ガリウム・亜鉛・スズ酸化物からなる例を示した。

10

【 0 0 7 1 】

図 9 を参照すると、本明細書の一実施例に係る薄膜トランジスタの場合、チャネル長の変動によってしきい値電圧がほとんど変化しないことを知ることができる。すなわち、本明細書の一実施例に係る薄膜トランジスタは、ショートチャネルを具現しながらも、求められるしきい値電圧を維持することができ、所望する薄膜トランジスタの素子特性を確保可能である。

20

【 0 0 7 2 】

また、図 9 のように、酸化物半導体層 1 3 0 のチャネルが 4 μm の幅を有し 4 μm の長さを有する場合、電子移動度は約 2 3 $\text{cm}^2/\text{V}\times\text{s}$ であり得る。これは、図 1 のように IGZO ベースの半導体層を有する薄膜トランジスタの電子移動度が、同一なチャネル幅とチャネル長において約 1 0 $\text{cm}^2/\text{V}\times\text{s}$ であることと比較すると、高い数値に該当する。このように、本明細書の一実施例に係る薄膜トランジスタは、酸化物半導体層がショートチャネルにて具現されていても、しきい値電圧が変動せず、電子移動度を大幅に向上させることができる。

30

【 0 0 7 3 】

また、第 2 酸化物半導体層 1 3 2 は、チャネルというよりもむしろ第 1 酸化物半導体層 1 3 1 がチャネルとして安定的に役割を実行できるようにキャッピングして保護する役割を果たす。このため、第 2 酸化物半導体層 1 3 2 のスズ (Sn) 対比ガリウム (Ga) の含有量 (Ga/Sn) は、第 1 酸化物半導体層 1 3 1 のスズ (Sn) 対比ガリウム (Ga) の含有量 (Ga/Sn) より高いことがあり得る。または、第 2 酸化物半導体層 1 3 2 は、インジウム・ガリウム・亜鉛酸化物からなり、スズ (Sn) を含まないことがあり得る。この場合、第 2 酸化物半導体層 1 3 2 は、第 1 酸化物半導体層 1 3 1 に比べて導電性が低く、バンドギャップ (band gap) が大きい。

【 0 0 7 4 】

図 1 0 は、第 2 酸化物半導体層のガリウム含有量と亜鉛含有量の変化によるエッチング率変化を示すグラフである。

40

【 0 0 7 5 】

図 1 0 には、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比を 4 : 1 : 4 : 1、4 : 4 : 4 : 1、4 : 8 : 4 : 1、4 : 1 2 : 4 : 1、4 : 8 : 8 : 1、4 : 8 : 1 2 : 1 および 4 : 1 2 : 1 6 : 1 に変化させながら、同じ条件でエッチング率 (etch rate) を測定した結果を示している。図 1 0 のように、第 2 酸化物半導体層 1 3 2 のガリウム (Ga) の含有量だけを高める場合には、第 2 酸化物半導体層 1 3 2 のエッチング率が低くなり得る。これにより、第 2 酸化物半導体層 1 3 2 をエッチングするのにかかる時間が長くなり得る。

50

【 0 0 7 6 】

図 1 0 のように、第 2 酸化物半導体層 1 3 2 の亜鉛 (Zn) の含有量を高める場合、第 2 酸化物半導体層 1 3 2 のエッチング率は高くなる。従って、第 2 酸化物半導体層 1 3 2 のエッチング時間が増加することを防止するために、ガリウム (Ga) の含有量とともに亜鉛 (Zn) の含有量を一緒に高めることが好ましい。したがって、第 2 酸化物半導体層 1 3 2 のインジウム (In) 対比ガリウム (Ga) の含有量 (Ga/In) は、第 1 酸化物半導体層 1 3 1 のインジウム (In) 対比ガリウム (Ga) の含有量 (Ga/In) より高いことがあり得る。また、第 2 酸化物半導体層 1 3 2 のインジウム (In) 対比亜鉛 (Zn) の含有量 (Zn/In) は、第 1 酸化物半導体層 1 3 1 のインジウム (In) 対比亜鉛 (Zn) の含有量 (Zn/In) より高いことがあり得る。

10

【 0 0 7 7 】

第 2 酸化物半導体層 1 3 2 のガリウムと亜鉛の含有量の変化による素子特性を確認するために、表 1 のように、第 1 酸化物半導体層 1 3 1 のインジウム・ガリウム・亜鉛・スズ組成比を 4 : 1 : 4 : 1 に設定し、第 2 酸化物半導体層 1 3 2 のガリウムと亜鉛の含有量を変化させながら CLV および電子移動度を測定した。表 1 において、CLV は、チャンネル長が 4 μm のときのしきい値電圧とチャンネル長が 1 2 μm のときのしきい値電圧の差を指す。CLV が小さいということは、チャンネル長の変動によるしきい値電圧の変動が少ないことを示す。

【 0 0 7 8 】

【表 1】

20

第 1 酸化物半導体層 (In:Ga:Zn:Sn)	4:1:4:1					
第 2 酸化物半導体層 (In:Ga:Zn:Sn)	4:4:4:1	4:8:4:1	4:12:4:1	4:8:8:1	4:8:12:1	4:12:16:1
CLV(L=12-4 μm)	1.34	0.54	0.34	0.37	0.38	0.21
Mobility(L=4 μm)	33.3	21.9	23.6	20.5	25.2	20.7

30

【 0 0 7 9 】

表 1 を参照すると、第 2 酸化物半導体層 1 3 2 のガリウム (Ga) の含有量を高める場合、CLV 値が低くなる。また、エッチング率を調整するためにガリウム (Ga) の含有量と亜鉛 (Zn) の含有量を高める場合にも、CLV 値が低くなり 2 0 cm²/V x s 以上の電子移動度を確保することができる。

【 0 0 8 0 】

しかし、第 2 酸化物半導体層 1 3 2 で亜鉛 (Zn) の含有量を継続して高くする場合、薄膜トランジスタ 1 0 0 の PBTS 特性と NBTIS 特性が悪化することがあるので、亜鉛 (Zn) の含有量は、これを考慮して設計することが好ましい。PBTS 特性と NBTIS 特性を満足することは、しきい値電圧の変動値が - 5 V ~ 2 V である場合を指す。これに対する詳細な説明は、図 1 4 a ~ 図 1 4 c とともに後述する。

40

【 0 0 8 1 】

以上で説明したように、第 2 酸化物半導体層 1 3 2 がインジウム・ガリウム・亜鉛酸化物からなり、または第 1 酸化物半導体層 1 3 1 と組成比が異なるインジウム・ガリウム・亜鉛・スズ酸化物からなることにより、酸化物半導体層 1 3 0 をショートチャンネルで形成してもしきい値電圧が変動することを防止し、第 1 酸化物半導体層 1 3 1 がチャンネルとして安定的に役割を果たすことができるようにキャッピングして保護する役割を遂行すると同時に、第 2 酸化物半導体層 1 3 2 のエッチング率を高めることができる。ここで、第 2

50

酸化物半導体層 1 3 2 がインジウム・ガリウム・亜鉛・スズ・酸化物からなる場合には、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比は、次のような条件を満足することが好ましい。第 2 酸化物半導体層 1 3 2 のインジウム (In) 対比スズ (Sn) の含有量は $0.1 \leq \text{Sn/In} \leq 0.5$ で、インジウム (In) 対比ガリウム (Ga) の含有量は $2 \leq \text{Ga/In} \leq 4$ で、インジウム (In) 対比亜鉛 (Zn) の含有量は $2 \leq \text{Zn/In} \leq 8$ であり得る。

また、もし、第 2 の酸化物半導体層 1 3 2 を IGZO で形成する場合、第 2 の酸化物半導体層 1 3 2 の IGZ の組成比は、以下の条件を満足する必要がある。第 2 の酸化物半導体層 1 3 2 において、インジウム (In) 対比ガリウム (Ga) の含有量は $2 \leq \text{Ga/In} \leq 4$ であり、インジウム (In) 対比亜鉛 (Zn) の含有量は $2 \leq \text{Zn/In} \leq 8$ であり得る。ここで、各元素の含有量は、原子パーセント (atomic percent) を指す。

10

【0082】

また、第 2 酸化物半導体層 1 3 2 のスズ (Sn) 対比インジウム (In) の含有量は、第 1 酸化物半導体層 1 3 1 のスズ (Sn) 対比インジウム (In) の含有量と実質的に同一または高いことがあり得る。また、第 2 酸化物半導体層 1 3 2 のスズ (Sn) 対比ガリウム (Ga) の含有量は、第 1 酸化物半導体層 1 3 1 のスズ (Sn) 対比ガリウム (Ga) の含有量よりも高いことがあり得る。また、第 2 酸化物半導体層 1 3 2 のスズ (Sn) 対比亜鉛 (Zn) の含有量は、第 1 酸化物半導体層 1 3 1 のスズ (Sn) 対比亜鉛 (Zn) の含有量よりも高いことがあり得る。

【0083】

さらに、第 2 酸化物半導体層 1 3 2 のインジウム (In) の含有量比は、第 1 酸化物半導体層 1 3 1 のインジウム (In) の含有量比よりも低いことがあり得る。また、第 2 酸化物半導体層 1 3 2 のガリウム (Ga) の含有量比は、第 1 酸化物半導体層 1 3 1 のガリウム (Ga) での含有量比よりも高いことがあり得る。また、第 2 酸化物半導体層 1 3 2 の亜鉛 (Zn) の含有量比は、第 1 酸化物半導体層 1 3 1 での亜鉛 (Zn) の含有量比よりも高いことがあり得る。また、第 2 酸化物半導体層 1 3 2 でのスズ (Sn) の含有量比は、第 1 酸化物半導体層 1 3 1 のスズ (Sn) の含有量比よりも低いことがあり得る。

20

【0084】

図 1 1 a 及び図 1 1 b は、図 7 の A 領域の実施例を示す拡大断面図である。

【0085】

図 1 1 a 及び図 1 1 b を参照すると、第 1 酸化物半導体層 1 3 1 の側面それぞれの傾きは鋭角を有する第 1 角度 (θ_1) で形成することができる。第 2 酸化物半導体層 1 3 2 の側面それぞれの傾きは、図 1 1 a に示すように直角を有する第 2 角度 (θ_2) で形成することができ、また図 1 1 b のように鋭角を有する第 3 角度 (θ_3) で形成することができる。

30

【0086】

詳細には、酸化物半導体層 1 3 0 がインジウム・ガリウム・亜鉛・スズ酸化物からなる第 1 酸化物半導体層 1 3 1 とインジウム・ガリウム・亜鉛酸化物又は第 1 酸化物半導体層 1 3 1 と組成比が異なるインジウム・ガリウム・亜鉛・スズ酸化物からなる第 2 酸化物半導体層 1 3 2 を含む。これにより、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 を蒸着時、第 1 基板の温度による第 1 酸化物半導体層 1 3 1 のエッチング率と第 2 酸化物半導体層 1 3 2 のエッチング率は、図 1 2 に示すように異なって変化する。図 1 2 には、第 1 酸化物半導体層 1 3 1 のインジウム・ガリウム・亜鉛・スズの組成比が 4 : 1 : 4 : 1 で、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比は 4 : 1 2 : 1 6 : 1 である場合、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 を蒸着する際に、第 1 基板の温度による第 1 酸化物半導体層 1 3 1 のエッチング率と第 2 酸化物半導体層 1 3 2 のエッチング率が示されている。

40

【0087】

図 1 2 に示すように、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 を蒸着する時、第 1 基板 1 1 1 0 の温度が 200℃よりも低い場合、第 1 酸化物半導体層 1 3 1 の

50

エッチング率 (etching rate (/sec)) は、第 2 酸化物半導体層 1 3 2 のエッチング率より高い。図 7 のように、第 1 酸化物半導体層 1 3 1 が第 2 酸化物半導体層 1 3 2 の下に配置される場合、第 1 酸化物半導体層 1 3 1 のエッチング率が第 2 酸化物半導体層 1 3 2 のエッチング率よりも高いと、図 1 3 の常温、1 0 0、および 1 5 0 のように、第 2 酸化物半導体層 1 3 2 の側面それぞれの傾きが鈍角に形成され得る。すなわち、第 2 酸化物半導体層 1 3 2 の側面それぞれが逆テーパ構造に形成され得る。この場合、ソース電極 1 4 0 とドレイン電極 1 5 0 が第 1 酸化物半導体層 1 3 1 の側面と第 2 酸化物半導体層 1 3 2 の側面を覆うように形成されても、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 の境界で空隙が形成され得る。これにより、ソース電極 1 4 0 とドレイン電極 1 5 0 をエッチングするためのエッチング液が空隙に浸透し得、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 は、空隙に浸透するエッチング液によってさらにエッチングされ得る。その結果、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 のチャネル長またはチャネル幅などが所望と異なって形成される問題が発生し得る。

10

【 0 0 8 8 】

しかし、図 1 2 に示すように、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 を蒸着する時に、第 1 基板 1 1 1 0 の温度が 2 0 0 以上である場合、第 1 酸化物半導体層 1 3 1 のエッチング率 (etching rate (/sec)) は、第 2 酸化物半導体層 1 3 2 のエッチング率より低いか、実質的に同一であり得る。この場合、図 1 3 の 2 0 0 および 2 5 0 のように、第 2 酸化物半導体層 1 3 2 の側面それぞれの傾きを鋭角または直角に形成することができる。すなわち、第 2 酸化物半導体層 1 3 2 の側面それぞれを正テーパ構造に形成することができる。この場合には、ソース電極 1 4 0 とドレイン電極 1 5 0 が第 1 酸化物半導体層 1 3 1 の側面と第 2 酸化物半導体層 1 3 2 の側面を覆うように形成されれば、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 の境界で空隙が形成されない。これにより、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 は、空隙に浸透するエッチング液によって追加でエッチングされることを防止することができる。したがって、第 1 酸化物半導体層 1 3 1 と第 2 酸化物半導体層 1 3 2 のチャネル長またはチャネル幅などが所望と異なるように形成される問題が発生することを防止することができる。

20

【 0 0 8 9 】

図 1 4 a ~ 図 1 4 c は、亜鉛 (Zn) の含有量の変化による第 2 酸化物半導体層の物性分析画像である。

30

【 0 0 9 0 】

図 1 4 a ~ 図 1 4 c において第 2 酸化物半導体層 1 3 2 は、インジウム・ガリウム・亜鉛・スズ酸化物からなる例を示した。ここで、図 1 4 a には、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比が 4 : 1 2 : 1 2 : 1 である場合の第 2 酸化物半導体層の物性分析画像を示している。図 1 4 b には、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比が 4 : 1 2 : 1 6 : 1 である場合の第 2 酸化物半導体層の物性分析画像を示している。図 1 4 c には、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比が 4 : 1 2 : 2 0 : 1 である場合の第 2 酸化物半導体層の物性分析画像を示している。図 1 4 a ~ 図 1 4 c に示された物性解析画像は TEM (transmission electron microscopy) FFT (fast Fourier transrom) パターンを示す。

40

【 0 0 9 1 】

図 1 4 a に示すように、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比が 4 : 1 2 : 1 2 : 1 である場合には、第 2 酸化物半導体層 1 3 2 の物性分析測定地点では、一方向の結晶軸 (点線) のみを示している。また、図 1 4 b に示すように、第 2 酸化物半導体層 1 3 2 は、インジウム・ガリウム・亜鉛・スズの組成比が 4 : 1 2 : 1 6 : 1 である場合にも、第 2 酸化物半導体層 1 3 2 の物性分析測定地点では、一方向の結晶軸 (点線) のみを示している。しかし、図 1 4 c に示すように、第 2 酸化物半導体層 1 3 2 のインジウム・ガリウム・亜鉛・スズの組成比が 4 : 1 2 : 2 0 : 1 である場合

50

には、第2酸化半導体層132の物性分析測定地点では、3方向の結晶軸（点線）が見られる。

【0092】

第2酸化半導体層132で図14cのように3方向の結晶軸（点線）が示されている場合には、第2酸化半導体層132の物性分析測定地点で相分離構造（structural phase segregation）が発生したことを指す。すなわち、第2酸化半導体層132の化学量論（stoichiometry）に変形が発生したことを指し、この場合薄膜トランジスタ100のPBTS（positive bias temperature stress）特性とNBTIS（negative bias temperature illumination stress）特性が悪化し得る。したがって、第2酸化半導体層132のインジウム（In）対比重鉛（Zn）の含有量（Zn/In）は、5よりも小さいことが好ましい。

10

【0093】

また、第1酸化半導体層131は、図14aに示した第2酸化半導体層132のように物性分析測定地点で一方向の結晶軸のみが示されるように形成することが好ましい。この場合、第1酸化半導体層131に示される結晶軸は第2酸化半導体層132に示される結晶軸と平行であり得る。

【0094】

図15は、第1酸化半導体層の厚さが300 であるとき、第2酸化半導体層の厚さの変化に伴う薄膜トランジスタのPBTSしきい値電圧の変動値、およびNBTISしきい値電圧の変動値を示すグラフである。

【0095】

図15には、第1酸化半導体層131の厚さを300 に固定し、第2酸化半導体層132の厚さを100、200、300、400、500 に変化させたとき、薄膜トランジスタ100のPBTSしきい値電圧変動値（PBTS V_{th} ）とNBTISしきい値電圧変動値（NBTIS V_{th} ）を示している。また、図15には、第1酸化半導体層131がインジウム・ガリウム・亜鉛・スズ酸化物からなり、第2酸化半導体層132がインジウム・ガリウム・亜鉛・スズ酸化物からなり、第1酸化半導体層131のインジウム・ガリウム・亜鉛・スズ酸化物の組成比が4：1：4：1であり、第2酸化半導体層132のインジウム・ガリウム・亜鉛・スズの組成比が4：12：16：1である場合の薄膜トランジスタ100のPBTSしきい値電圧変動値（PBTS V_{th} ）とNBTISしきい値電圧変動値（NBTIS V_{th} ）を示している。

20

30

【0096】

第1酸化半導体層131は、薄膜蒸着の均一度と電子移動度特性を考慮すると、100 以上で形成することが好ましく、工程時間を考慮すると1000 以下で形成することが好ましい。したがって、第1酸化半導体層131の厚さは、しきい値電圧シフト、第1酸化半導体層131と接する上部または下部絶縁膜の酸素または水素濃度等を考慮して100 ~ 1000 に予め設定することができ、図15では、第1酸化半導体層131の厚さが300 であることを一例として実験を行った。

【0097】

図15を参照すると、表示装置に形成された薄膜トランジスタ100のしきい値電圧のポジティブシフトを考慮すると、しきい値電圧の変動値（BTS V_{th} ）は-5V ~ 2Vであることが好ましい。しきい値電圧の変動値（BTS V_{th} ）は、PBTSしきい値電圧変動値（PBTS V_{th} ）とNBTISしきい値電圧変動値（NBTIS V_{th} ）を含む。

40

【0098】

図15に示すように、第2酸化半導体層132の厚さが100 であるとき、薄膜トランジスタ100のBTSしきい値電圧変動値（BTS V_{th} ）は-5V ~ 2Vを外れる。また、第2酸化半導体層132の厚さが500 であるとき、薄膜トランジスタ100のBTSしきい値電圧変動値（BTS V_{th} ）は-5V ~ 2Vを外れる。第2酸化半導体層132の厚さが200、300、400 であるとき、薄膜トランジスタ100のしきい値電圧の変動値（BTS V_{th} ）は-5V ~ 2V内にある。

【0099】

50

したがって、薄膜トランジスタ100のしきい値電圧の変動値(BTS V_{th})を考慮したとき、第1酸化半導体層131の厚さが300であるとき、第2酸化半導体層132の厚さは200、300、400であることが好ましい。すなわち、第2酸化半導体層132の厚さは、第1酸化半導体層131の厚さの1/3よりも厚く、第1酸化半導体層131の厚さの5/3よりも薄いことが好ましい。

【0100】

図16は、本明細書の一実施例に係る薄膜トランジスタの製造方法を示すフローチャートである。図17a~図17eは、本明細書の一実施例に係る薄膜トランジスタの製造方法を説明するための断面図である。

【0101】

以下では、図16および図17a~図17eと一緒に、本明細書の一実施例に係る薄膜トランジスタの製造方法を詳細に説明する。

【0102】

最初に、図17aに示すように、第1基板1110上にゲート電極110を形成し、ゲート電極110上にゲート絶縁膜120を形成する。(図16のS101)

【0103】

詳細に、スパッタリング法(sputtering)によって、第1基板1110上に第1金属層を形成する。そして、第1金属層上にフォトレジストパターンを形成した後、第1金属層をエッチングするマスク工程を利用して、第1金属層をパターニングすることにより、ゲート電極110を形成する。ゲート電極110は、モリブデン(Mo)、アルミニウム(Al)、クロム(Cr)、金(Au)、チタニウム(Ti)、ニッケル(Ni)、ネオジム(Nd)、銅(Cu)のいずれか一つ、またはこれらの合金からなる単一層または多重層で形成することができる。

【0104】

または、第1基板1100を介して浸透する水分から薄膜トランジスタ100を保護するために、第1基板1110上にバッファ膜300を形成し、バッファ膜300上にゲート電極110を形成することもできる。この場合には、バッファ膜300は、交互に積層された複数の無機膜からなり得る。たとえば、バッファ膜300は、シリコン酸化膜(SiOx)、シリコン窒化膜(SiNx)、SiON中のいずれか一つ以上の無機膜が交互に積層された多重膜で形成することができる。バッファ膜300は、PECVD法(Plasma Enhanced Chemical Vapor Deposition)を用いて形成することができる。

【0105】

そして、ゲート電極110上にゲート絶縁膜120を形成する。ゲート絶縁膜120は、無機膜、例えばシリコン酸化膜(SiOx)、シリコン窒化膜(SiNx)、またはそれらの多重膜で形成することができる。ゲート絶縁膜120は、PECVD法を用いて形成することができる。

【0106】

第二に、図17bに示すように、ゲート絶縁膜120上に第1半導体物質層131'と第2半導体物質層132'を形成し、第2半導体物質層132'上にフォトレジストパターン133を形成する。(図16のS102)

【0107】

詳細には、ゲート絶縁膜120上に第1半導体物質層131'を形成する。第1半導体物質層131'は、電子移動度(mobility)を高めるためにインジウム・ガリウム・亜鉛・スズ酸化物(Indium-Galium-Zinc-Tin Oxide; IGZTO)からなり得る。

【0108】

そして、第1半導体物質層131'上に第2半導体物質層132'を形成する。第2半導体物質層132'は、チャネル長の変化によってしきい値電圧が急激にシフトすることを防止するために、インジウム・ガリウム・亜鉛酸化物を含むことができる。第2半導体物質層132'は、インジウム・ガリウム・亜鉛酸化物またはインジウム・ガリウム・亜鉛・スズ酸化物からなり得る。ここで、第2半導体物質層132'は、インジウム・ガリ

10

20

30

40

50

ウム・亜鉛・スズ酸化物からなる場合、第1半導体物質層131'とは異なるインジウム・ガリウム・亜鉛・スズの組成比を有する。第1半導体物質層131'と第2半導体物質層132'は、同じ装置で連続して蒸着することが好ましい。また、第1基板1110の温度を200以上に維持しつつ、第1半導体物質層131'と第2の半導体物質層132'を蒸着することが好ましい。

【0109】

そして、第2半導体物質層132'上にフォトレジストパターン133を形成する。

【0110】

第三に、図17cに示すように、第1半導体物質層131'と第2半導体物質層132'を同時にエッチングして第1酸化物半導体層131と第2酸化物半導体層132を形成し、フォトレジストパターン133を除去する。(図16のS103)

10

【0111】

詳細には、図12及び図13を結び付けて説明したように、第1半導体物質層131'と第2半導体物質層132'を蒸着する時、第1基板の温度が200よりも低い場合、第1半導体物質層131'と第2半導体物質層132'をエッチングする場合には、第1半導体物質層131'のエッチング率が第2半導体物質層132'のエッチング率より高いので、第2酸化物半導体層132の側面の傾きが鈍角に形成され得る。この場合、ソース電極140とドレイン電極150が第1酸化物半導体層131の側面と第2酸化物半導体層132の側面を覆うように形成されても、第1酸化物半導体層131と第2酸化物半導体層132の境界に空隙が形成され得る。これにより、ソース電極140とドレイン電極150をエッチングするためのエッチング液が空隙に浸透し得、第1酸化物半導体層131と第2酸化物半導体層132は、空隙に浸透するエッチング液によってさらにエッチングされ得る。その結果、第1酸化物半導体層131と第2酸化物半導体層132のチャネル長またはチャネル幅などが所望と異なるように形成される問題が発生し得る。

20

【0112】

しかし、図12に示すように、第1半導体物質層131'と第2半導体物質層132'を蒸着する時に、第1基板1110の温度を200以上に維持しながら、第1半導体物質層131'と第2半導体物質層132'をエッチングする場合には、第2半導体物質層132'のエッチング率が第1半導体物質層131'のエッチング率と同じか低いので、第2酸化物半導体層132の側面の傾きが鋭角に形成され得る。この場合には、ソース電極140とドレイン電極150が第1酸化物半導体層131の側面と第2酸化物半導体層132の側面を覆うように形成されれば、第1酸化物半導体層131と第2酸化物半導体層132の境界で空隙が形成されない。これにより、第1酸化物半導体層131と第2酸化物半導体層132が空隙に浸透するエッチング液によって追加でエッチングされることを防止することができる。したがって、第1酸化物半導体層131と第2酸化物半導体層132のチャネル長またはチャネル幅などが所望と異なるように形成される問題が発生することを防止することができる。

30

【0113】

シュウ酸(oxalic acid)のように、第1半導体物質層131'と第2半導体物質層132'を同時にエッチングすることができるエッチング液を用いて、第1半導体物質層131'と第2半導体物質層132'を同時にエッチングして、第1酸化物半導体層131と第2酸化物半導体層132を形成することができる。そして、ストリップ(strip)工程でフォトレジストパターン133を除去することができる。

40

【0114】

第四に、図17dに示すように、ソース電極140とドレイン電極150を形成する。(図16のS104)

【0115】

ソース電極140は、主チャネル層である第1酸化物半導体層131の一側と第2酸化物半導体層132の一側に直接接触することができる。詳細には、ソース電極140は、第1酸化物半導体層131の一側面と第2酸化物半導体層132の一側面および上面の一

50

部に直接接触することができる。また、ドレイン電極 150 は、第 1 酸化物半導体層 131 の他側と第 2 酸化物半導体層 132 の他側に直接接触することができる。詳細には、ソース電極 140 は、第 1 酸化物半導体層 131 の他側面と第 2 酸化物半導体層 132 の他側面および上面の一部に直接接触することができる。ソース電極 140 とドレイン電極 150 は、モリブデン (Mo)、アルミニウム (Al)、クロム (Cr)、金 (Au)、チタニウム (Ti)、ニッケル (Ni)、ネオジム (Nd)、銅 (Cu) のいずれか一つ、またはこれらの合金からなる単一層または多重層で形成することができる。

【0116】

第五に、図 17e に示すように、酸化物半導体層 130、ソース電極 140、及びドレイン電極 150 上に保護膜 160 を形成する。(図 16 の S105)

10

【0117】

保護膜 160 は、無機膜、例えばシリコン酸化膜 (SiO_x)、シリコン窒化膜 (SiN_x)、またはそれらの多重膜で形成することができる。

【0118】

図 18 は、本明細書の他の実施例に係る薄膜トランジスタを示す平面図である。図 19 は、図 18 の II-II' の一例を示す断面図である。

【0119】

図 18 及び図 19 において、第 1 酸化物半導体層 131 の第 1 方向 (X 軸方向) の長さが第 2 酸化物半導体層 132 の第 1 方向 (X 軸方向) の長さよりも長く形成することを除いては、図 6 及び図 7 を結びつけて説明したのと実質的に同じなので、重複した説明は省略する。

20

【0120】

図 18 及び図 19 は、第 1 酸化物半導体層 131 が第 2 酸化物半導体層 132 よりも広い面積を有するので、ソース電極 140 とドレイン電極 150 の主チャネル層である第 1 酸化物半導体層 131 との間に接触面積を広げることができる。これにより、図 18 及び図 19 に示された本明細書の別の実施例では、コンタクト (contact) 抵抗を減らすことができる長所がある。

【0121】

図 20 は、本明細書の他の実施例に係る薄膜トランジスタを示す平面図である。図 21 は、図 20 の III-III' の一例を示す断面図である。

30

【0122】

図 20 及び図 21 は、本明細書の他の実施例に係る薄膜トランジスタがコプレーナ (coplanar) 構造で形成された例を示す。コプレーナ構造は、ゲート電極がアクティブ層の上部に形成された上部ゲート (top gate) 構造を有する。

【0123】

図 20 及び図 21 を参照すると、本明細書の他の実施例に係る薄膜トランジスタ 100 は、ゲート電極 110、酸化物半導体層 130、ソース電極 140、及びドレイン電極 150 を含む。

【0124】

薄膜トランジスタ 100 は、第 1 基板 1110 上に形成される。第 1 基板 1110 は、プラスチック (plastic) またはガラス (glass) からなり得る。

40

【0125】

第 1 基板 1110 を介して浸透する水分から薄膜トランジスタ 100 を保護するために、バッファ膜 300 を第 1 基板 1110 上に形成することができる。バッファ膜 300 は、交互に積層された複数の無機膜からなり得る。たとえば、バッファ膜 300 は、シリコン酸化膜 (SiO_x)、シリコン窒化膜 (SiN_x)、SiON のいずれか一つ以上の無機膜が交互に積層された多重膜で形成することができる。バッファ膜 300 は省略することができる。

【0126】

バッファ膜 300 上に酸化物半導体層 130 が形成される。酸化物半導体層 130 は、第 1 酸化物半導体層 131 と第 2 酸化物半導体層 132 を含む。第 1 酸化物半導体層 13

50

1 は、電子が移動する主チャネル層なので、ゲート電極 110 と近接して配置される。したがって、第 1 酸化物半導体層 131 は、第 2 酸化物半導体層 132 より、ゲート電極 110 に近接して配置された層と定義することができ、第 2 酸化物半導体層 132 は、第 1 酸化物半導体層 131 より、ゲート電極 110 から遠く離れて配置された層と定義することができる。例えば、薄膜トランジスタ 100 が図 20、図 21 のようにコプレーナ構造で形成される場合には、ゲート電極 110 が酸化物半導体層 130 上に配置されるので、第 2 酸化物半導体層 132 は、第 1 基板 1110 または第 1 基板 1110 のバッファ膜 300 上に配置され、第 1 酸化物半導体層 131 は、第 2 酸化物半導体層 132 上に配置され得る。

【0127】

また、第 1 基板 1110 から酸化物半導体層 130 に入射する光を遮断するために、酸化物半導体層 130 の下には、光遮断層を形成することができる。

【0128】

酸化物半導体層 130 上にゲート絶縁膜 120 が形成される。ゲート絶縁膜 120 は、無機膜、例えばシリコン酸化膜 (SiO_x)、シリコン窒化膜 (SiN_x)、またはそれらの多重膜で形成することができる。

【0129】

ゲート絶縁膜 120 上にゲート電極 110 が形成される。ゲート電極 110 は、ゲート絶縁膜 120 を間に置いて酸化物半導体層 130 と重畳するように配置される。ゲート電極 110 は、モリブデン (Mo)、アルミニウム (Al)、クロム (Cr)、金 (Au)、チタニウム (Ti)、ニッケル (Ni)、ネオジウム (Nd)、銅 (Cu) 中のいずれか一つ、またはそれらの合金からなる単一層または多重層で形成することができる。

【0130】

一方、図 21 は、ゲート絶縁膜 120 が、ゲート電極 110 と酸化物半導体層 130 との間にのみ配置されたことを例に示したが、本明細書の実施例は、これに限定されない。つまり、ゲート絶縁膜 120 は、第 1 基板 1110 と酸化物半導体層 130 を覆うように形成することができる。

【0131】

ゲート電極 110 上にゲート絶縁膜 120 が形成される。ゲート絶縁膜 120 は、無機膜、例えばシリコン酸化膜 (SiO_x)、シリコン窒化膜 (SiN_x)、またはそれらの多重膜で形成することができる。

【0132】

ゲート電極 110 と、酸化物半導体層 130 上に層間絶縁膜 170 が形成される。層間絶縁膜 170 は、無機膜、例えばシリコン酸化膜 (SiO_x)、シリコン窒化膜 (SiN_x)、またはそれらの多重膜で形成することができる。

【0133】

層間絶縁膜 170 には、層間絶縁膜 170 を貫通して第 1 酸化物半導体層 131 の一側を露出させる第 1 コンタクトホール (CT1) と層間絶縁膜 170 を貫通して第 1 酸化物半導体層 131 の他側を露出させる第 2 コンタクトホール (CT2) が形成される。

【0134】

層間絶縁膜 170 上にソース電極 140 とドレイン電極 150 が形成される。ソース電極 140 は、第 1 コンタクトホール (CT1) を介して、第 1 酸化物半導体層 131 の一側に接触する。ドレイン電極 150 は、第 2 コンタクトホール (CT2) を介して、第 1 酸化物半導体層 131 の他側に接触する。

【0135】

ソース電極 140 とドレイン電極 150 上に保護膜 160 が形成される。保護膜 160 は、無機膜、例えばシリコン酸化膜 (SiO_x)、シリコン窒化膜 (SiN_x)、またはそれらの多重膜で形成することができる。

【0136】

第 1 酸化物半導体層 131 は、電子移動度 (mobility) を高めるためにインジウム・ガ

10

20

30

40

50

リウム・亜鉛酸化物 (Indium-Galium-Zinc Oxide; IGZO) よりインジウム・ガリウム・亜鉛・スズ酸化物 (Indium-Galium-Zinc-Tin Oxide; IGZTO) からなることが好ましい。

【0137】

また、第2酸化物半導体層132もインジウム・ガリウム・亜鉛・スズ酸化物からなることができる。詳細には、ショートチャネルに形成してもしきい値電圧が変動することを防止し、第1酸化物半導体層131がチャネルとして安定的に役割を果たすことができるようにキャッピングして保護する役割をすると同時に、エッチング率を高めることができる役割をするために、第2酸化物半導体層132のインジウム・ガリウム・亜鉛・スズの組成比は、第1酸化物半導体層131のインジウム・ガリウム・亜鉛・スズの組成比と異なることが好ましい。

10

【0138】

第1酸化物半導体層131のインジウム・ガリウム・亜鉛・スズの組成比と第2酸化物半導体層132のインジウム・ガリウム・亜鉛・スズの組成比は、図6～図13を結びつけて説明したのと実質的に同じなので、重複した説明は省略する。

【0139】

図22は、図20のIII-III'の他の例を示す断面図である。

【0140】

図22で、ソース電極140とドレイン電極150のそれぞれが、第1酸化物半導体層131だけでなく、第2酸化物半導体層132と接続することを除いては、図20及び図21を結びつけて説明したのと実質的に同じなので、重複した説明は省略する。

20

【0141】

図22を参照すると、第1コンタクトホールCH1及び第2コンタクトホールCH2それぞれは、層間絶縁膜170だけでなく、第1酸化物半導体層131を貫通して第2酸化物半導体層132を露出する。したがって、ソース電極140は、第1コンタクトホール(CH1)を介して、第1酸化物半導体層131だけでなく第2酸化物半導体層132にも接続することができる。ドレイン電極150は、第2コンタクトホール(CH2)を介して、第1酸化物半導体層131だけでなく第2酸化物半導体層132にも接続することができる。

【0142】

以上で説明したように、本明細書の実施例は、主チャネルに対応する第1酸化物半導体層をインジウム・ガリウム・亜鉛・スズ酸化物で形成し、インジウム・ガリウム・亜鉛酸化物を含む第2酸化物半導体層を含む。その結果、本明細書の実施例は、電子移動度を高めると同時に、チャネル長によってしきい値電圧が変動(shift)することを防止することができる。したがって、本明細書の実施例は、高速駆動が必要な高解像度の平板表示装置に適用することができる。

30

【0143】

また、本明細書の実施例は、第1酸化物半導体層の側面の傾きを鋭角に形成し、第2酸化物半導体層の側面の傾きを直角または鋭角に形成する。ソース電極とドレイン電極が第1酸化物半導体層の側面と第2酸化物半導体層の側面を覆う場合には、第1酸化物半導体層と第2酸化物半導体層の境界で空隙が形成されない。これにより、本明細書の実施例は、第1酸化物半導体層と第2酸化物半導体層が空隙に浸透したエッチング液によって追加でエッチングされることを防止することができる。したがって、本明細書の実施例は、第1酸化物半導体層と第2酸化物半導体層のチャネル長やチャネル幅などが所望の寸法と異なるように形成されることを防止することができる。

40

【0144】

また、本明細書の実施例は、薄膜トランジスタのPBTS (positive bias temperature stress) 特性とNBTIS (negative bias temperature illumination stress) 特性が悪化することを防止するために、第2酸化物半導体層のインジウム (In) 対比亜鉛 (Zn) の含有量 (Zn/In) が5よりも小さくなるように第2酸化物半導体層を形成する。

【0145】

さらに、本明細書の実施例は、薄膜トランジスタのしきい値電圧の正シフトと負シフト

50

を考慮して、第 2 酸化物半導体層の厚さを第 1 酸化物半導体層の厚さの $1/3$ よりも厚く、第 1 酸化物半導体層の厚さの $5/3$ よりも薄く形成する。

【 0 1 4 6 】

以上、添付した図を参照して、本発明の実施例をさらに詳細に説明したが、本発明は、必ずしもこのような実施例に限定されるわけではなく、本発明の技術思想を逸脱しない範囲内で多様に変形実施することができる。したがって、本発明に開示された実施例は、本発明の技術思想を限定するためのものではなく説明するためのものであり、このような実施例により、本発明の技術思想の範囲が限定されるものではない。従って、以上で記述した実施例は、すべての面で例示的なものであり限定的ではないと理解されなければならない。本発明の保護範囲は、特許請求の範囲によって解釈されなければならない、それと同等の範囲内にあるすべての技術思想は、本発明の権利範囲に含まれるものと解釈されなければならない。

10

【符号の説明】

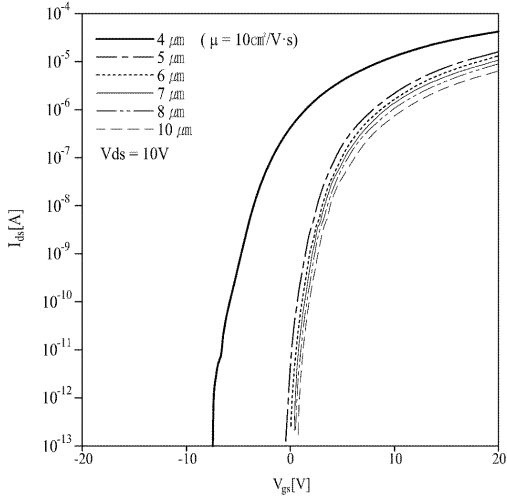
【 0 1 4 7 】

- 1 0 0 : 薄膜トランジスタ
- 1 1 0 : ゲート電極
- 1 2 0 : ゲート絶縁膜
- 1 3 0 : 酸化物半導体層
- 1 3 1 : 第 1 酸化物半導体層
- 1 3 2 : 第 2 酸化物半導体層
- 1 4 0 : ソース電極
- 1 5 0 : ドレイン電極
- 1 6 0 : 保護膜
- 1 7 0 : 層間絶縁膜
- C T 1 : 第 1 コンタクトホール
- C T 2 : 第 2 コンタクトホール
- 1 0 0 0 : 表示装置
- 1 1 0 0 : 表示パネル
- 1 2 0 0 : ゲート駆動部
- 1 3 0 0 : ソースドライブ IC
- 1 4 0 0 : 軟性フィルム
- 1 5 0 0 : 回路基板
- 1 6 0 0 : タイミング制御部

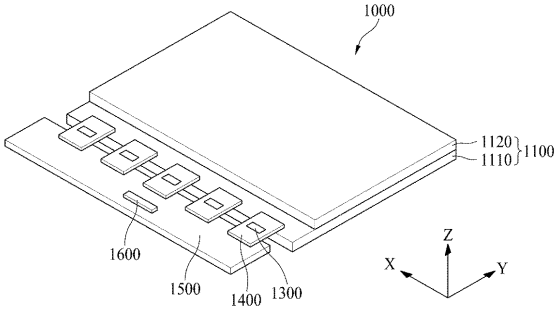
20

30

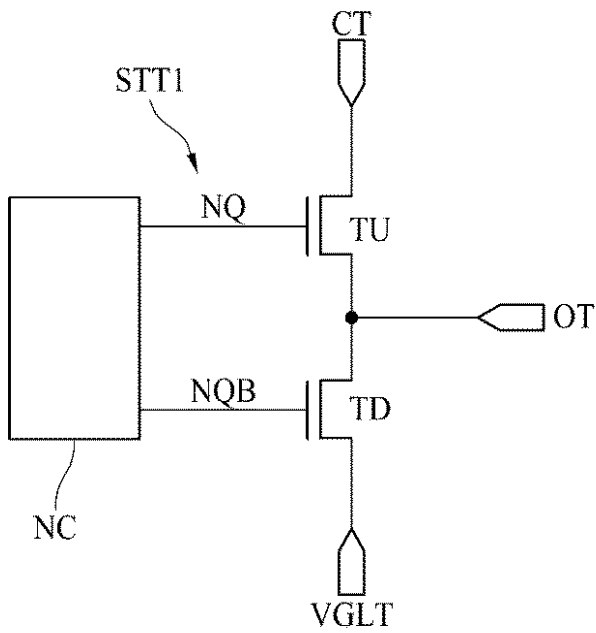
【 図 1 】



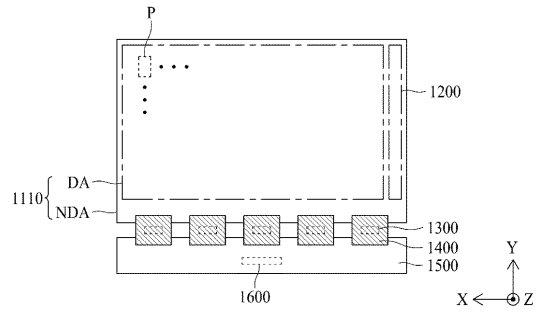
【 図 2 】



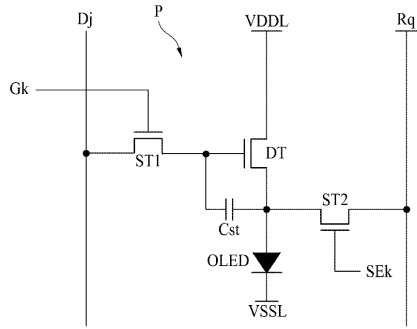
【 図 5 】



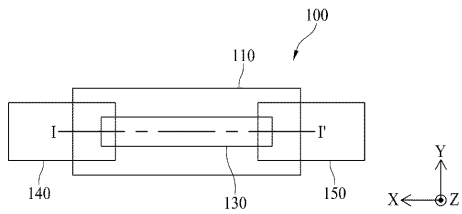
【 図 3 】



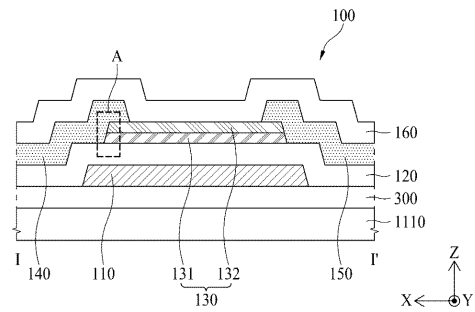
【 図 4 】



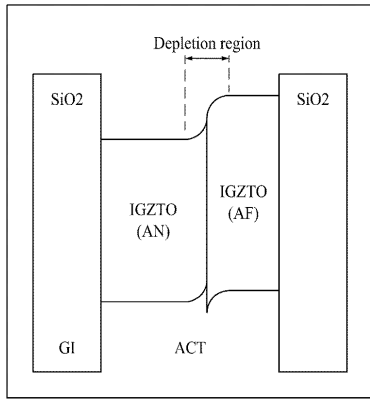
【 図 6 】



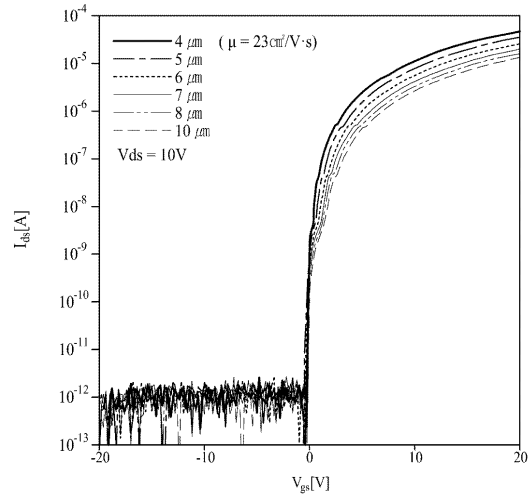
【 図 7 】



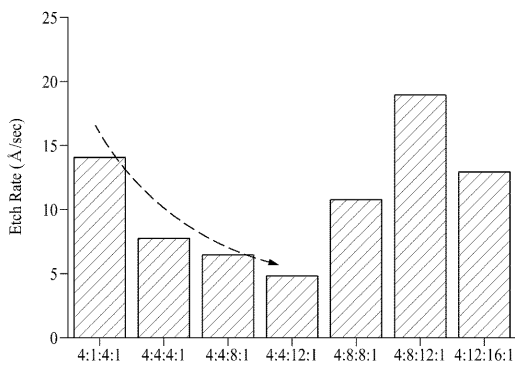
【 図 8 】



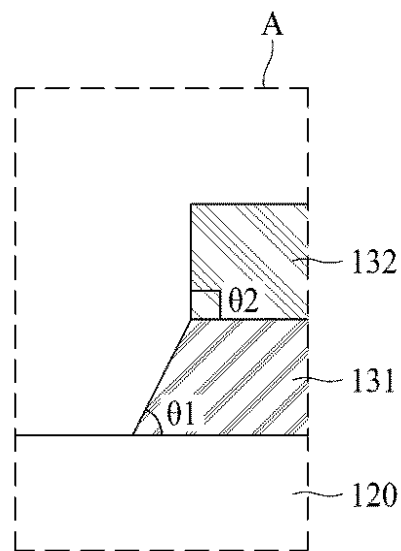
【 図 9 】



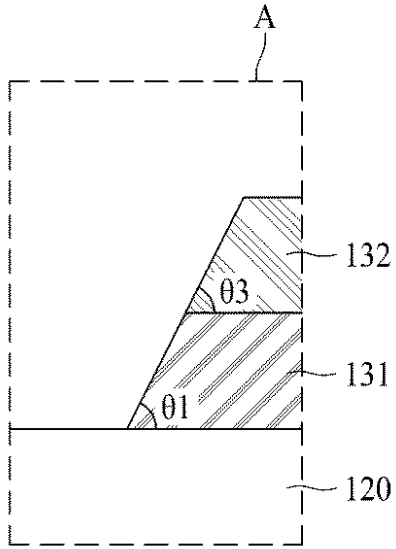
【 図 10 】



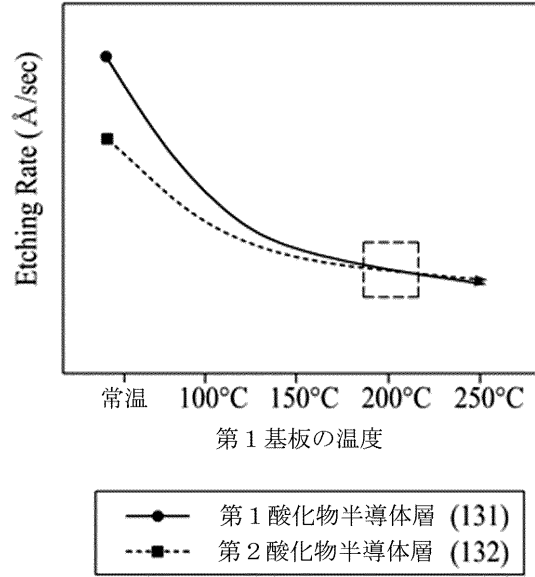
【 図 11 a 】



【図 1 1 b】



【図 1 2】

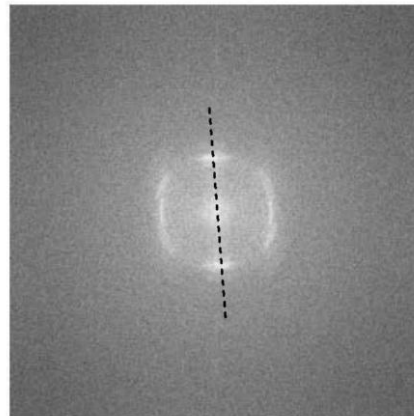


【図 1 3】

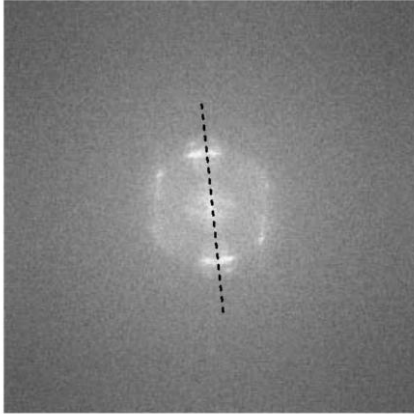
250°C		無
200°C		無
150°C		有
100°C		有
常温		有
第 1 基板の温度	逆 Taper 有/無	

a: 第 1 酸化物半導体層 b: 第 2 酸化物半導体層

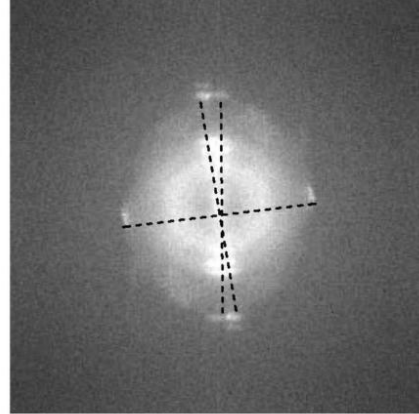
【図 1 4 a】



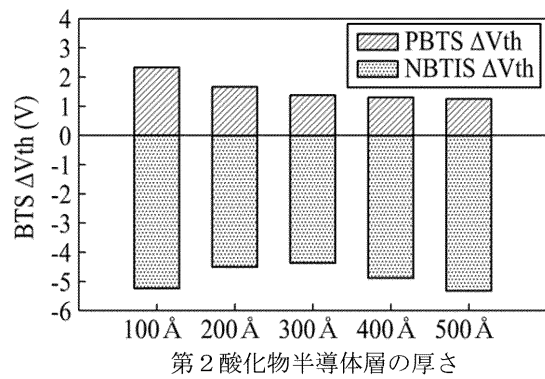
【図 14 b】



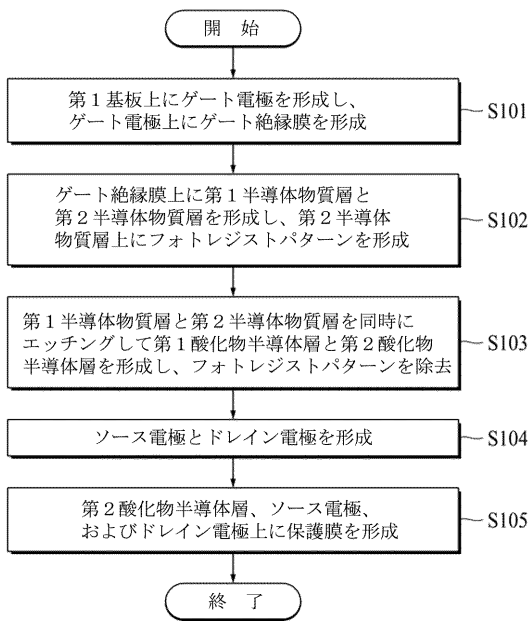
【図 14 c】



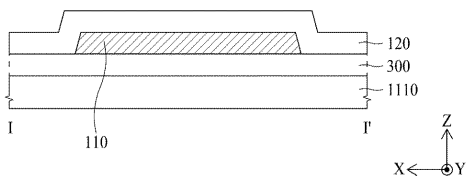
【図 15】



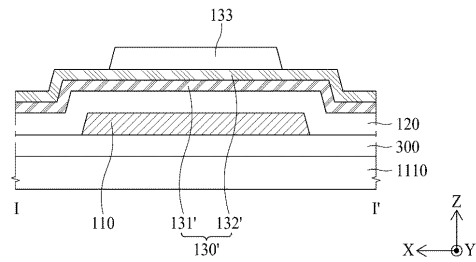
【図 16】



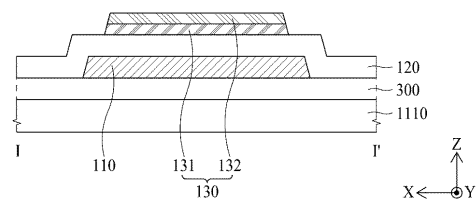
【図 17 a】



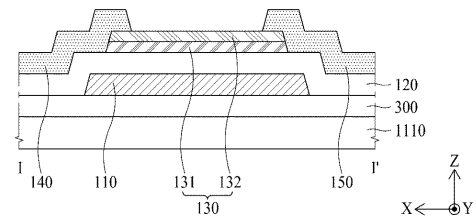
【図 17 b】



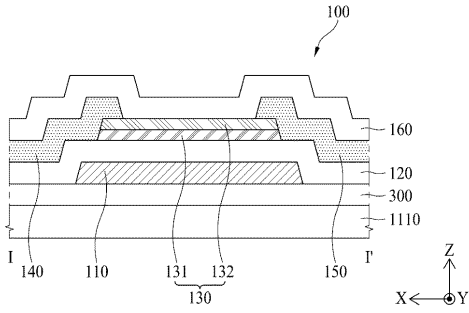
【図 17 c】



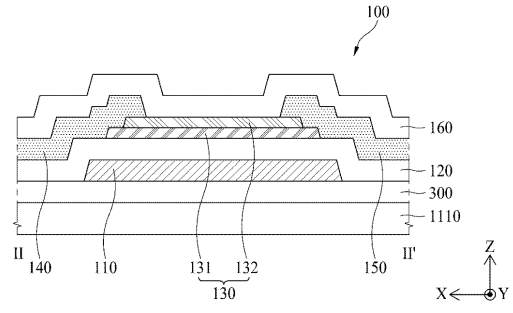
【図 17 d】



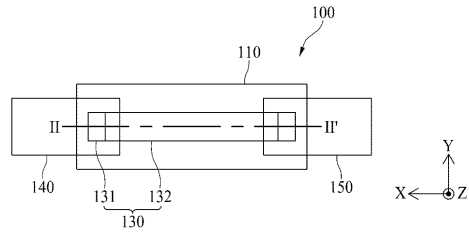
【 図 17 e 】



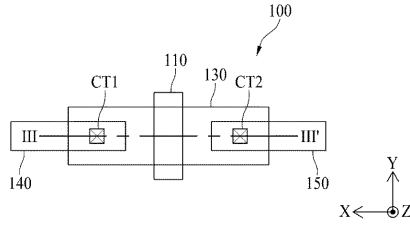
【 図 19 】



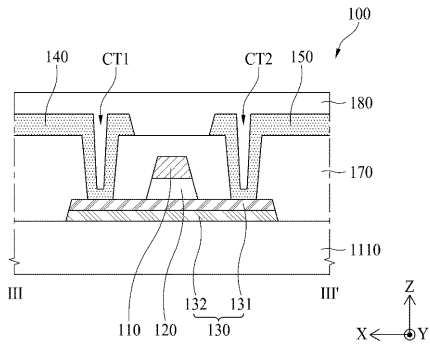
【 図 18 】



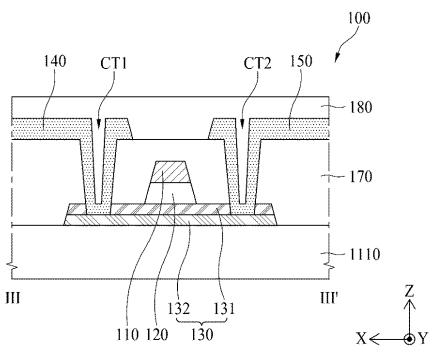
【 図 20 】



【 図 21 】



【 図 22 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 2 F 1/1368	
	G 0 9 F 9/30 3 3 8	
	H 0 5 B 33/14 A	
	H 0 1 L 27/32	

(72)発明者 金 昇 鎮
大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 李 禧 成
大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 李 昭 ヒョン
大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 金 敏 チョル
大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 梁 チョン 碩
大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 朴 志 皓
大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

(72)発明者 任 曙 延
大韓民国、1 0 8 4 5 キョンギ - ド、パジュ - シ、ウーロン - ミョン、エルジー - ロ 2 4 5

F ターム(参考) 2H192 AA24 CB05 CB37 CB42 CB56
3K107 AA01 BB01 CC33 CC35 EE04 EE59 FF14 FF15 HH05
5C094 AA05 AA53 BA03 BA27 BA43 BA75 DA13 DB01 FB14 JA09
5F110 AA07 AA08 BB01 BB02 CC01 CC07 DD01 DD02 DD13 DD14
DD15 DD17 EE02 EE03 EE04 EE06 EE14 FF01 FF02 FF03
FF09 FF30 GG01 GG19 GG22 GG24 GG25 GG28 GG29 GG42
HK02 HK03 HK04 HK06 HK21 HM02 NN03 NN22 NN23 NN24
NN72 QQ09