



(12) 发明专利申请

(10) 申请公布号 CN 118318295 A

(43) 申请公布日 2024. 07. 09

(21) 申请号 202280078935.4

(22) 申请日 2022.11.09

(30) 优先权数据

2021-193046 2021.11.29 JP

(85) PCT国际申请进入国家阶段日

2024.05.28

(86) PCT国际申请的申请数据

PCT/JP2022/041730 2022.11.09

(87) PCT国际申请的公布数据

W02023/095616 JA 2023.06.01

(71) 申请人 株式会社索思未来

地址 日本

(72) 发明人 日野寿雄

(74) 专利代理机构 中科专利商标代理有限责任
公司 11021

专利代理师 柯瑞京

(51) Int.Cl.

H01L 21/82 (2006.01)

H01L 21/8238 (2006.01)

H01L 27/092 (2006.01)

H03K 19/003 (2006.01)

H03K 19/20 (2006.01)

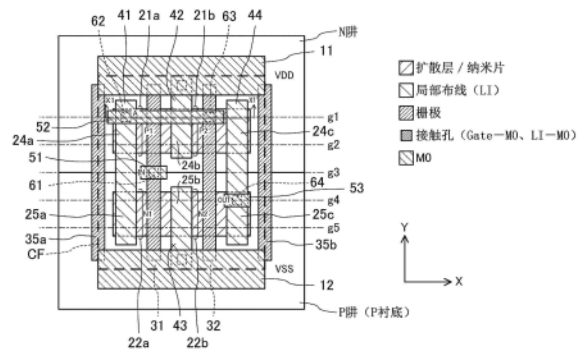
权利要求书4页 说明书14页 附图20页

(54) 发明名称

半导体集成电路装置

(57) 摘要

在半导体集成电路装置中,通过栅极接触孔的布置方式来改善标准单元的特性。在标准单元中,对应于输入节点的金属布线(51)与晶体管P1、N1的栅极连接,对应于输出节点的金属布线(53)与晶体管P2、N2的漏极连接。对应于中间节点的金属布线(52)经由栅极接触孔(63)与对应于晶体管P2、N2的栅极的栅极布线(32)连接。栅极接触孔(63)布置在俯视时与晶体管P2重合的位置。



1. 一种半导体集成电路装置,其包括标准单元,其特征在于:

所述标准单元包括:

栅极彼此连接且漏极彼此连接的第一导电型的第一晶体管及第二导电型的第二晶体管;

栅极彼此连接且漏极彼此连接的所述第一导电型的第三晶体管及所述第二导电型的第四晶体管;

与所述第一晶体管的栅极及所述第二晶体管的栅极连接,并与输入节点对应的第一金属布线;

将所述第一晶体管的漏极及所述第二晶体管的漏极与所述第三晶体管的栅极及所述第四晶体管的栅极连接起来,并与中间节点对应的第二金属布线;以及

与所述第三晶体管的漏极及所述第四晶体管的漏极连接,并与输出节点对应的第三金属布线,

所述第一晶体管及所述第三晶体管共享源极,并且该源极与第一电源连接,

所述第二晶体管及所述第四晶体管共享源极,并且该源极与第二电源连接,

所述第二金属布线经由第一栅极接触孔与对应于所述第三晶体管的栅极及所述第四晶体管的栅极的第一栅极布线连接,

所述第一栅极接触孔布置在俯视时与所述第三晶体管重合的位置。

2. 根据权利要求1所述的半导体集成电路装置,其特征在于:

在所述标准单元中,

所述第一金属布线经由第二栅极接触孔与对应于所述第一晶体管的栅极及所述第二晶体管的栅极的第二栅极布线连接,

所述第二栅极接触孔布置在俯视时与所述第一晶体管重合的位置。

3. 根据权利要求1所述的半导体集成电路装置,其特征在于:

在所述标准单元中,

所述第三金属布线经由第一接触孔与对应于所述第三晶体管的漏极及所述第四晶体管的漏极的第一局部布线连接,

所述第一接触孔布置在俯视时与所述第三晶体管重合的位置。

4. 根据权利要求1所述的半导体集成电路装置,其特征在于:

所述半导体集成电路装置包括:

沿第一方向延伸,且供给所述第一电源的第一电源布线;以及

沿所述第一方向延伸,且供给所述第二电源的第二电源布线,

所述第一晶体管到所述第四晶体管是以所述第一方向为沟道长度方向的纳米片晶体管,

在所述第一电源布线与所述第二电源布线之间,所述第一晶体管及所述第二晶体管在与所述第一方向垂直的第二方向上,从所述第一电源布线侧起按照所述第一晶体管、所述第二晶体管的顺序排列布置,所述第三晶体管及所述第四晶体管在所述第一方向上与所述第一晶体管及所述第二晶体管相邻的位置,在所述第二方向上从所述第一电源布线侧起按照所述第三晶体管、所述第四晶体管的顺序排列布置。

5. 根据权利要求4所述的半导体集成电路装置,其特征在于:

所述第一栅极接触孔布置在俯视时与所述第三晶体管的沟道区域的所述第二方向上的中央相比更靠近所述第一电源布线的位置。

6. 根据权利要求4所述的半导体集成电路装置,其特征在于:

所述第一栅极接触孔布置在俯视时与所述第三晶体管的沟道区域的所述第二方向上的中央相比更远离所述第一电源布线的位置。

7. 根据权利要求2所述的半导体集成电路装置,其特征在于:

所述半导体集成电路装置包括:

沿第一方向延伸,且供给所述第一电源的第一电源布线;以及

沿所述第一方向延伸,且供给所述第二电源的第二电源布线,

所述第一晶体管到所述第四晶体管是以所述第一方向为沟道长度方向的纳米片晶体管,

在所述第一电源布线与所述第二电源布线之间,所述第一晶体管及所述第二晶体管在与所述第一方向垂直的第二方向上,从所述第一电源布线侧起按照所述第一晶体管、所述第二晶体管的顺序排列布置,所述第三晶体管及所述第四晶体管在所述第一方向上与所述第一晶体管及所述第二晶体管相邻的位置,在所述第二方向上从所述第一电源布线侧起按照所述第三晶体管、所述第四晶体管的顺序排列布置。

8. 根据权利要求7所述的半导体集成电路装置,其特征在于:

所述第二栅极接触孔布置在俯视时与所述第一晶体管的沟道区域的所述第二方向上的中央相比更靠近所述第一电源布线的位置。

9. 根据权利要求7所述的半导体集成电路装置,其特征在于:

所述第二栅极接触孔布置在俯视时与所述第一晶体管的沟道区域的所述第二方向上的中央相比更远离所述第一电源布线的位置。

10. 一种半导体集成电路装置,其包括标准单元,其特征在于:

所述标准单元包括:

栅极彼此连接且漏极彼此连接的第一导电型的第一晶体管及第二导电型的第二晶体管;

栅极彼此连接且漏极彼此连接的所述第一导电型的第三晶体管及所述第二导电型的第四晶体管;

与所述第一晶体管的栅极及所述第二晶体管的栅极连接,并与输入节点对应的第一金属布线;

将所述第一晶体管的漏极及所述第二晶体管的漏极与所述第三晶体管的栅极及所述第四晶体管的栅极连接起来,并与中间节点对应的第二金属布线;以及

与所述第三晶体管的漏极及所述第四晶体管的漏极连接,并与输出节点对应的第三金属布线,

所述第一晶体管及所述第三晶体管共享源极,该源极与第一电源连接,

所述第二晶体管及所述第四晶体管共享源极,该源极与第二电源连接,

所述第一金属布线经由第一栅极接触孔与对应于所述第一晶体管的栅极及所述第二晶体管的栅极的第一栅极布线连接,

所述第一栅极接触孔布置在俯视时与所述第一晶体管重合的位置,

所述第二金属布线经由第二栅极接触孔与对应于所述第三晶体管的栅极及所述第四晶体管的栅极的第二栅极布线连接，

所述第二栅极接触孔布置在俯视时与所述第四晶体管重合的位置。

11. 根据权利要求10所述的半导体集成电路装置,其特征在于:

在所述标准单元中,

所述第三金属布线经由第一接触孔与对应于所述第三晶体管的漏极及所述第四晶体管的漏极的第一局部布线连接,

所述第一接触孔布置在俯视时与所述第四晶体管重合的位置。

12. 根据权利要求10所述的半导体集成电路装置,其特征在于:

所述半导体集成电路装置包括:

沿第一方向延伸,且供给所述第一电源的第一电源布线;以及

沿所述第一方向延伸,且供给所述第二电源的第二电源布线,

所述第一晶体管到所述第四晶体管是以所述第一方向为沟道长度方向的纳米片晶体管,

在所述第一电源布线与所述第二电源布线之间,所述第一晶体管及所述第二晶体管在与所述第一方向垂直的第二方向上,从所述第一电源布线侧起按照所述第一晶体管、所述第二晶体管的顺序排列布置,所述第三晶体管及所述第四晶体管在所述第一方向上与所述第一晶体管及所述第二晶体管相邻的位置,在所述第二方向上从所述第一电源布线侧起按照所述第三晶体管、所述第四晶体管的顺序排列布置。

13. 根据权利要求12所述的半导体集成电路装置,其特征在于:

所述第一栅极接触孔布置在俯视时与所述第一晶体管的沟道区域的所述第二方向上的中央相比更靠近所述第一电源布线的位置。

14. 根据权利要求12所述的半导体集成电路装置,其特征在于:

所述第一栅极接触孔布置在俯视时与所述第一晶体管的沟道区域的所述第二方向上的中央相比更远离所述第一电源布线的位置。

15. 根据权利要求12所述的半导体集成电路装置,其特征在于:

所述第二栅极接触孔布置在俯视时与所述第四晶体管的沟道区域的所述第二方向上的中央相比更靠近所述第二电源布线的位置。

16. 根据权利要求12所述的半导体集成电路装置,其特征在于:

所述第二栅极接触孔布置在俯视时与所述第四晶体管的沟道区域的所述第二方向上的中央相比更远离所述第二电源布线的位置。

17. 一种半导体集成电路装置,其包括标准单元,其特征在于:

所述标准单元包括:

并联连接在第一电源与输出节点之间的第一导电型的第一晶体管及第二晶体管;

串联连接在所述输出节点与第二电源之间的第二导电型的第三晶体管及第四晶体管;

与所述第一晶体管的栅极及所述第三晶体管的栅极连接,并与第一输入节点对应的第一金属布线;

与所述第二晶体管的栅极及所述第四晶体管的栅极连接,并与第二输入节点对应的第二金属布线;以及

与所述第一晶体管的漏极及所述第二晶体管的漏极、以及所述第三晶体管的漏极连接,并与所述输出节点对应的第三金属布线,

所述第一金属布线经由第一栅极接触孔与对应于所述第一晶体管的栅极及所述第三晶体管的栅极的第一栅极布线连接,

所述第二金属布线经由第二栅极接触孔与对应于所述第二晶体管的栅极及所述第四晶体管的栅极的第二栅极布线连接,

所述第一栅极接触孔和所述第二栅极接触孔中的至少任一栅极接触孔布置在俯视时与所述第三晶体管或所述第四晶体管重合的位置。

18. 根据权利要求17所述的半导体集成电路装置,其特征在于:

所述第二栅极接触孔布置在比所述第一栅极接触孔更远离所述第三金属布线的位置。

19. 一种半导体集成电路装置,其包括标准单元,其特征在于:

所述标准单元包括:

并联连接在第一电源与输出节点之间的第一导电型的第一晶体管、第二晶体管以及第三晶体管;

串联连接在所述输出节点与第二电源之间的第二导电型的第四晶体管、第五晶体管以及第六晶体管;

与所述第一晶体管的栅极及所述第四晶体管的栅极连接,并与第一输入节点对应的第一金属布线;

与所述第二晶体管的栅极及所述第五晶体管的栅极连接,并与第二输入节点对应的第二金属布线;

与所述第三晶体管的栅极及所述第六晶体管的栅极连接,并与第三输入节点对应的第三金属布线;以及

与所述第一晶体管的漏极、所述第二晶体管的漏极及所述第三晶体管的漏极、以及所述第四晶体管的漏极连接,并与所述输出节点对应的第四金属布线,

所述第一金属布线经由第一栅极接触孔与对应于所述第一晶体管的栅极及所述第四晶体管的栅极的第一栅极布线连接,

所述第二金属布线经由第二栅极接触孔与对应于所述第二晶体管的栅极及所述第五晶体管的栅极的第二栅极布线连接,

所述第三金属布线经由第三栅极接触孔与对应于所述第三晶体管的栅极及所述第六晶体管的栅极的第三栅极布线连接,

所述第一栅极接触孔、所述第二栅极接触孔以及所述第三栅极接触孔中的至少任一栅极接触孔布置在俯视时与所述第四晶体管、所述第五晶体管或者所述第六晶体管重合的位置。

20. 根据权利要求19所述的半导体集成电路装置,其特征在于:

在所述第一栅极接触孔到所述第三栅极接触孔中,所述第三栅极接触孔布置在最远离所述第四金属布线的位置。

半导体集成电路装置

技术领域

[0001] 本公开涉及一种包括标准单元的半导体集成电路装置。

背景技术

[0002] 作为将半导体集成电路形成在半导体衬底上的方法,已知有标准单元方式。标准单元方式是指:通过事先将具有特定逻辑功能的基本单元(例如反相器、锁存器、触发器、全加器等)作为标准单元准备好,将多个标准单元布置在半导体衬底上,再用布线将这些标准单元连接起来,来设计LSI(大规模集成电路)芯片。

[0003] 为了实现半导体集成电路的高度集成化,使用如下技术:将用于连接栅极布线和上层的金属布线的接触孔(栅极接触孔)设置在俯视时与晶体管重合的位置。

[0004] 在专利文献1中公开了一种标准单元中的如下结构:将栅极接触孔布置在俯视时与晶体管重合的位置。

[0005] 专利文献1:美国专利申请公开第2021/0210479号说明书

发明内容

[0006] -发明要解决的技术问题-

[0007] 然而,在专利文献1中,虽然公开了将栅极接触孔布置在俯视时与晶体管重合的位置,但关于如何布置栅极接触孔,才能够使标准单元的特性最佳化,没有进行详细的研究。

[0008] 本公开的目的在于:在半导体集成电路装置中,通过栅极接触孔的布置方式来改善标准单元的特性。

[0009] -用以解决技术问题的技术方案-

[0010] 本公开的第一方面是一种半导体集成电路装置,其包括标准单元,所述标准单元包括:栅极彼此连接且漏极彼此连接的第一导电型的第一晶体管及第二导电型的第二晶体管;栅极彼此连接且漏极彼此连接的所述第一导电型的第三晶体管及所述第二导电型的第四晶体管;与所述第一晶体管的栅极及所述第二晶体管的栅极连接,并与输入节点对应的第一金属布线;将所述第一晶体管的漏极及所述第二晶体管的漏极与所述第三晶体管的栅极及所述第四晶体管的栅极连接起来,并与中间节点对应的第二金属布线;以及与所述第三晶体管的漏极及所述第四晶体管的漏极连接,并与输出节点对应的第三金属布线,所述第一晶体管及所述第三晶体管共享源极,并且该源极与第一电源连接,所述第二晶体管及所述第四晶体管共享源极,并且该源极与第二电源连接,所述第二金属布线经由第一栅极接触孔与对应于所述第三晶体管的栅极及所述第四晶体管的栅极的第一栅极布线连接,所述第一栅极接触孔布置在俯视时与所述第三晶体管重合的位置。

[0011] 根据该方面,与中间节点对应的第二金属布线经由第一栅极接触孔与对应于第三晶体管的栅极及第四晶体管的栅极的第一栅极布线连接,第一栅极接触孔布置在俯视时与第三晶体管重合的位置。因此,中间节点的信号向第三晶体管的供给变快,向第四晶体管的供给变慢。由此,能够使第三晶体管的工作开始得比第四晶体管早,因此能够减小晶体管的

特性之差。

[0012] 本公开的第二方面是一种半导体集成电路装置,其包括标准单元,所述标准单元包括:栅极彼此连接且漏极彼此连接的第一导电型的第一晶体管及第二导电型的第二晶体管;栅极彼此连接且漏极彼此连接的所述第一导电型的第三晶体管及所述第二导电型的第四晶体管;与所述第一晶体管的栅极及所述第二晶体管的栅极连接,并与输入节点对应的第一金属布线;将所述第一晶体管的漏极及所述第二晶体管的漏极与所述第三晶体管的栅极及所述第四晶体管的栅极连接起来,并与中间节点对应的第二金属布线;以及与所述第三晶体管的漏极及所述第四晶体管的漏极连接,并与输出节点对应的第三金属布线,所述第一晶体管及所述第三晶体管共享源极,该源极与第一电源连接,所述第二晶体管及所述第四晶体管共享源极,该源极与第二电源连接,所述第一金属布线经由第一栅极接触孔与对应于所述第一晶体管的栅极及所述第二晶体管的栅极的第一栅极布线连接,所述第一栅极接触孔布置在俯视时与所述第一晶体管重合的位置,所述第二金属布线经由第二栅极接触孔与对应于所述第三晶体管的栅极及所述第四晶体管的栅极的第二栅极布线连接,所述第二栅极接触孔布置在俯视时与所述第四晶体管重合的位置。

[0013] 根据该方面,与输入节点对应的第一金属布线经由第一栅极接触孔与对应于第一晶体管的栅极及第二晶体管的栅极的第一栅极布线连接,第一栅极接触孔布置在俯视时与第一晶体管重合的位置。因此,输入信号向第一晶体管的供给变快,向第二晶体管的供给变慢。另外,与中间节点对应的第二金属布线经由第二栅极接触孔与对应于第三晶体管的栅极及第四晶体管的栅极的第二栅极布线连接,第二栅极接触孔布置在俯视时与第四晶体管重合的位置。因此,中间节点的信号向第四晶体管的供给变快,向第三晶体管的供给变慢。由此,能够使第一晶体管及第四晶体管的工作开始得比第二晶体管及第三晶体管早,因此能够使输出信号的上升和下降中的一者的转变比另一者的转变早。

[0014] 本公开的第三方面是一种半导体集成电路装置,其包括标准单元,所述标准单元包括:并联连接在第一电源与输出节点之间的第一导电型的第一晶体管及第二晶体管;串联连接在所述输出节点与第二电源之间的第二导电型的第三晶体管及第四晶体管;与所述第一晶体管的栅极及所述第三晶体管的栅极连接,并与第一输入节点对应的第一金属布线;与所述第二晶体管的栅极及所述第四晶体管的栅极连接,并与第二输入节点对应的第二金属布线;以及与所述第一晶体管的漏极及所述第二晶体管的漏极、以及所述第三晶体管的漏极连接,并与输出节点对应的第三金属布线,所述第一金属布线经由第一栅极接触孔与对应于所述第一晶体管的栅极及所述第三晶体管的栅极的第一栅极布线连接,所述第二金属布线经由第二栅极接触孔与对应于所述第二晶体管的栅极及所述第四晶体管的栅极的第二栅极布线连接,所述第一栅极接触孔和所述第二栅极接触孔中的至少任一栅极接触孔布置在俯视时与所述第三晶体管或所述第四晶体管重合的位置。

[0015] 根据该方面,与第一输入节点对应的第一金属布线经由第一栅极接触孔与对应于第一晶体管的栅极及第三晶体管的栅极的第一栅极布线连接,与第二输入节点对应的第二金属布线经由第二栅极接触孔与对应于第二晶体管的栅极及第四晶体管的栅极的第二栅极布线连接。第一栅极接触孔和第二栅极接触孔中的至少任一栅极接触孔布置在俯视时与第二导电型的第三晶体管或第四晶体管重合的位置,所述第三晶体管和第四晶体管串联连接在输出节点与第二电源之间。因此,第一输入信号和第二输入信号中的至少任一输入信

号向第二导电型的晶体管的供给变快。由此,能够使由第二导电型的晶体管工作而引起的输出信号的转变早。

[0016] 本公开的第四方面是一种半导体集成电路装置,其包括标准单元,所述标准单元包括:并联连接在第一电源与输出节点之间的第一导电型的第一晶体管、第二晶体管以及第三晶体管;串联连接在所述输出节点与第二电源之间的第二导电型的第四晶体管、第五晶体管以及第六晶体管;与所述第一晶体管的栅极及所述第四晶体管的栅极连接,并与所述第一输入节点对应的第一金属布线;与所述第二晶体管的栅极及所述第五晶体管的栅极连接,并与第二输入节点对应的第二金属布线;与所述第三晶体管的栅极及所述第六晶体管的栅极连接,并与第三输入节点对应的第三金属布线;以及与所述第一晶体管的漏极、所述第二晶体管的漏极及所述第三晶体管的漏极、以及所述第四晶体管的漏极连接,并与输出节点对应的第四金属布线,所述第一金属布线经由第一栅极接触孔与对应于所述第一晶体管的栅极及所述第四晶体管的栅极的第一栅极布线连接,所述第二金属布线经由第二栅极接触孔与对应于所述第二晶体管的栅极及所述第五晶体管的栅极的第二栅极布线连接,所述第三金属布线经由第三栅极接触孔与对应于所述第三晶体管的栅极及所述第六晶体管的栅极的第三栅极布线连接,所述第一栅极接触孔、所述第二栅极接触孔以及所述第三栅极接触孔中的至少任一栅极接触孔布置在俯视时与所述第四晶体管、所述第五晶体管或者所述第六晶体管重合的位置。

[0017] 根据该方面,与第一输入节点对应的第一金属布线经由第一栅极接触孔与对应于第一晶体管的栅极及第四晶体管的栅极的第一栅极布线连接,与第二输入节点对应的第二金属布线经由第二栅极接触孔与对应于第二晶体管的栅极及第五晶体管的栅极的第二栅极布线连接,与第三输入节点对应的第三金属布线经由第三栅极接触孔与对应于第三晶体管的栅极及第六晶体管的栅极的第三栅极布线连接。第一栅极接触孔、第二栅极接触孔以及第三栅极接触孔中的至少任一栅极接触孔布置在俯视时与第二导电型的第四晶体管、第五晶体管或第六晶体管重合的位置,所述第四晶体管、第五晶体管和第六晶体管串联连接在输出节点与第二电源之间。因此,第一输入信号到第三输入信号中的至少任一输入信号向第二导电型的晶体管的供给变快。由此,能够使由第二导电型的晶体管工作而引起的输出信号的转变早。

[0018] -发明的效果-

[0019] 根据本公开,在半导体集成电路装置中,能够通过栅极接触孔的布置方式来改善标准单元的特性。

附图说明

[0020] 图1是俯视图,示出构成第一实施方式所涉及的半导体集成电路装置的标准单元的版图结构之例;

[0021] 图2是图1所示的标准单元的剖面结构;

[0022] 图3是图1所示的标准单元的电路图;

[0023] 图4是俯视图,示出第一实施方式中的标准单元的版图结构的其他例;

[0024] 图5的(a)、(b)是俯视图,示出第一实施方式中的标准单元的版图结构的其他例;

[0025] 图6是俯视图,示出第一实施方式的变形例1中的标准单元的版图结构之例;

- [0026] 图7的(a)、(b)是俯视图,示出第一实施方式的变形例2中的标准单元的版图结构之例;
- [0027] 图8的(a)、(b)是俯视图,示出第一实施方式的变形例3中的标准单元的版图结构之例;
- [0028] 图9的(a)、(b)是俯视图,示出第一实施方式的变形例3中的标准单元的版图结构之例;
- [0029] 图10的(a)、(b)是俯视图,示出第一实施方式的变形例4中的标准单元的版图结构之例;
- [0030] 图11的(a)、(b)是俯视图,示出第一实施方式的变形例4中的标准单元的版图结构之例;
- [0031] 图12的(a)、(b)是俯视图,示出第一实施方式的变形例5中的标准单元的版图结构之例;
- [0032] 图13的(a)、(b)是俯视图,示出第一实施方式的变形例5中的标准单元的版图结构之例;
- [0033] 图14的(a)、(b)是俯视图,示出第一实施方式的变形例6中的标准单元的版图结构之例;
- [0034] 图15的(a)、(b)是俯视图,示出第一实施方式的变形例6中的标准单元的版图结构之例;
- [0035] 图16是示出NAND电路的电路结构的电路图,(a)是二输入NAND电路,(b)是三输入NAND电路;
- [0036] 图17的(a)、(h)、(c)是俯视图,示出构成第二实施方式所涉及的半导体集成电路装置的标准单元的版图结构之例;
- [0037] 图18的(a)、(b)是俯视图,示出构成第二实施方式所涉及的半导体集成电路装置的标准单元的版图结构的其他例;
- [0038] 图19是示出NOR电路的电路结构的电路图,(a)是二输入NOR电路,(b)是三输入NOR电路;
- [0039] 图20的(a)、(b)是俯视图,示出第二实施方式的变形例中的标准单元的版图结构之例;
- [0040] 图21的(a)、(b)是俯视图,示出第二实施方式的变形例中的标准单元的版图结构的其他例。

具体实施方式

[0041] 下面,参照附图对实施方式进行说明。在以下实施方式中,半导体集成电路装置包括多个标准单元(在本说明书中,有时简称为单元),上述多个标准单元中至少一部分标准单元包括纳米片晶体管。

[0042] 在本公开中,“VDD”和“VSS”表示电源电压或电源本身。另外,“IN”、“A”和“OUT”表示节点或信号。另外,在以下说明中,在图1等俯视图中,将图面横向设为X方向(相当于第一方向),将图面纵向设为Y方向(相当于第二方向),将垂直于衬底面的方向设为Z方向。

[0043] (第一实施方式)

[0044] 图1是俯视图,示出构成本实施方式所涉及的半导体集成电路装置的标准单元的版图结构之例。图2是示出图1所示的标准单元的剖面结构的图,是沿图1的X1-X1'线剖开的剖视图。

[0045] 图3是图1所示的标准单元的电路图。本实施方式所涉及的标准单元实现缓冲电路。如图3所示,缓冲电路包括输入节点IN、具有P型晶体管P1和N型晶体管N1的第一反相器1a、中间节点A、具有P型晶体管P2和N型晶体管N2的第二反相器1b、以及输出节点OUT。

[0046] 晶体管P1、N1的漏极彼此连接且栅极彼此连接。晶体管P2、N2的漏极彼此连接且栅极彼此连接。晶体管P1、P2的源极与VDD连接,晶体管N1、N2的源极与VSS连接。输入节点IN与晶体管P1、N1的栅极连接。晶体管P1、N1的漏极经由中间节点A与晶体管P2、N2的栅极连接。晶体管P2、N2的漏极与输出节点OUT连接。

[0047] 对图1和图2所示的标准单元的版图结构进行说明。需要说明的是,图1示出了标准单元的单元框CF。图1的标准单元与其他标准单元以单元框CL相接的方式沿X方向排列布置,从而构成单元列。另外,多个单元列以单元框CF相接的方式沿Y方向排列布置。其中,多个单元列中的每一列相比前一列上下反转。

[0048] 如图1所示,在标准单元的Y方向上的两端,分别设有沿X方向延伸的电源布线11、12。电源布线11、12都是M0布线(M0是金属布线层)。电源布线11供给电源电压VDD,电源布线12供给电源电压VSS。电源布线11、12被与在X方向上排列布置的其他单元共享,构成布置在单元列彼此之间的电源布线。

[0049] 在N阱上形成有P型晶体管P1、P2。在P阱或P型衬底上形成有N型晶体管N1、N2。晶体管P1、N1沿Y方向排成一列。晶体管P2、N2与晶体管P1、N1在X方向上相邻,且沿Y方向排成一列。

[0050] 晶体管P1、P2、N1、N2分别具有由三张薄片构成的纳米片21a、21b、22a、22b作为沟道部。也就是说,晶体管P1、P2、N1、N2是纳米片FET(Field Effect Transistor,场效应晶体管)。需要说明的是,各个纳米片FET具有的纳米片的张数并不限于三张。纳米片21a、21b、22a、22b的区域分别构成各个晶体管P1、P2、N1、N2的沟道区域。

[0051] 在纳米片21a的附图中左侧形成有焊盘24a、在纳米片21a、21b之间形成有焊盘24b、在纳米片21b的附图中右侧形成有焊盘24c,上述焊盘24a、24b、24c分别是由与三张薄片连接的一体构造的半导体层形成的。焊盘24a成为晶体管P1的漏极区域。焊盘24b成为晶体管P1、P2的源极区域。焊盘24c成为晶体管P2的漏极区域。

[0052] 在纳米片22a的附图中左侧形成有焊盘25a、在纳米片22a、22b之间形成有焊盘25b、在纳米片22b的附图中右侧形成有焊盘25c,上述焊盘25a、25b、25c分别是由与三张薄片连接的一体构造的半导体层形成的。焊盘25a成为晶体管N1的漏极区域。焊盘25b成为晶体管N1、N2的源极区域。焊盘25c成为晶体管N2的漏极区域。

[0053] 形成有彼此并列地沿Y方向延伸的栅极布线31、32。栅极布线31隔着栅极绝缘膜(未图示)包围晶体管P1的纳米片21a和晶体管N1的纳米片22a的在Y方向和Z方向上的外周。栅极布线31与晶体管P1、N1的栅极对应。栅极布线32隔着栅极绝缘膜(未图示)包围晶体管P2的纳米片21b和晶体管N2的纳米片22b的在Y方向和Z方向上的外周。栅极布线32与晶体管P2、N2的栅极对应。另外,在栅极布线31、32的X方向上两侧的单元框CF上形成有虚设栅极布线35a、35b。

[0054] 在局部布线层中,形成有沿Y方向延伸的局部布线41、42、43、44。局部布线41与焊盘24a、25a连接。局部布线42与焊盘24b连接,并且局部布线42经由过孔与电源布线11连接。局部布线43与焊盘25b连接,并且局部布线43经由过孔与电源布线12连接。局部布线44与焊盘24c、25c连接。

[0055] g1、g2、g3、g4、g5是规定布置M0布线的位置的假想网格线。网格线g1~g5分别沿X方向延伸,在Y方向上等间隔地布置。网格线g1、g2位于俯视时与P型晶体管重合的位置,网格线g4、g5位于俯视时与N型晶体管重合的位置。网格线g3俯视时不与晶体管重合。后述的M0布线、将栅极布线与M0布线连接起来的接触孔(栅极接触孔)、以及将局部布线与M0布线连接起来的接触孔布置在网格线g1~g5的位置。

[0056] 俯视时,网格线g1的位置是与晶体管P1、P2的沟道区域的Y方向上的中央相比更靠近电源布线11的位置,网格线g2的位置是与晶体管P1、P2的沟道区域的Y方向上的中央相比更远离电源布线11的位置。俯视时,网格线g5的位置是与晶体管N1、N2的沟道区域的Y方向上的中央相比更靠近电源布线12的位置,网格线g4的位置是与晶体管N1、N2的沟道区域的Y方向上的中央相比更远离电源布线12的位置。

[0057] 在M0布线层,形成有沿X方向延伸的金属布线51、52、53。金属布线51与输入节点IN对应,经由栅极接触孔61与栅极布线31连接。金属布线52与中间节点A对应,经由接触孔62与局部布线41连接,并且经由栅极接触孔63与栅极布线32连接。金属布线53与输出节点OUT对应,经由接触孔64与局部布线44连接。

[0058] 在图1的版图中,与输入节点IN对应的金属布线51和栅极接触孔61布置在网格线g3的位置。与中间节点A对应的金属布线52、接触孔62以及栅极接触孔63布置在网格线g1的位置。与输出节点OUT对应的金属布线53和接触孔64布置在网格线g4的位置。

[0059] 在此,对栅极接触孔与网格线g1~g5的位置之间的关系进行说明。

[0060] 如果对于栅极布线31、32,将栅极接触孔布置在网格线g1、g2的位置,则栅极接触孔的位置靠近P型晶体管,且远离N型晶体管。因此,由于栅极布线电阻的原因,向P型晶体管的信号供给变快,向N型晶体管的信号供给变慢。另外,在网格线g1、g2中,网格线g1更远离N型晶体管,因此将栅极接触孔布置在网格线g1的位置时,上述效果表现得更加显著。

[0061] 另一方面,如果对于栅极布线31、32,将栅极接触孔布置在网格线g4、g5的位置,则栅极接触孔的位置靠近N型晶体管,且远离P型晶体管。因此,由于栅极布线电阻的原因,向N型晶体管的信号供给变快,向P型晶体管的信号供给变慢。另外,在网格线g4、g5中,网格线g5更远离P型晶体管,因此将栅极接触孔布置在网格线g5的位置时,上述效果表现得更加显著。

[0062] 通过着眼于上述效果而决定栅极接触孔的布置位置,例如,在P型晶体管与N型晶体管双方的特性之间存在差异的情况下能够缓解该差异,或能够使输出信号的上升时刻/下降时刻中的一者较早。

[0063] 例如,在图1的版图中,将与中间节点A对应的金属布线52和栅极布线32连接起来的栅极接触孔63布置在网格线g1的位置。也就是说,就栅极布线32而言,栅极接触孔63布置在P型晶体管侧。因此,与被供给到N型晶体管N2相比,中间节点A的信号更早地被供给到P型晶体管P2。由此,能够使P型晶体管P2的工作开始得比N型晶体管N2早,因此例如能够得到如下效果:

[0064] 1) 在P型晶体管的工作速度比N型晶体管慢的情况下,能够减小缓冲电路的输出的上升与输出的下降的速度之差。

[0065] 2) 在P型晶体管和N型晶体管的工作速度相同的情况下,能够使输出的上升时刻比输出的下降时刻早。

[0066] 需要说明的是,在图1的版图中,与输出节点OUT对应的M0布线53和接触孔64布置在网格线g4的位置。不过,也可以将与输出节点OUT对应的M0布线53和接触孔64布置在其他网格线的位置。

[0067] 图4的版图是在图1的版图中,将与输出节点OUT对应的M0布线53和接触孔64的位置改变为网格线g2的位置而得到的。如图4所示,通过将输出节点OUT布置在P型晶体管侧的位置,能够降低从P型晶体管P2到输出节点OUT的电阻值,因此能够进一步得到上述1)和2)的效果。

[0068] 需要说明的是,如图5的(a)、图5的(b)的版图所示,与输出节点OUT对应的M0布线53和接触孔64也可以布置在其他位置。在图5的(a)中,M0布线53和接触孔64布置在网格线g3的位置,在图5的(b)中,M0布线53和接触孔64布置在网格线g5的位置。

[0069] (变形例1)

[0070] 在图6的版图中,将与中间节点A对应的金属布线52和栅极布线32连接起来的栅极接触孔63布置在网格线g2的位置。因此,与被供给到N型晶体管N2相比,中间节点A的信号更早地被供给到P型晶体管P2,所以能够使P型晶体管P2工作开始得比N型晶体管N2早。因此,能够得到上述1)和2)的效果。另外,在图6的版图中,与图1的版图相比,金属布线52位于远离电源布线11的位置,因此,与电源布线11之间的布线间电容所引起的信号速度降低的影响较少。

[0071] 另外,在图6的版图中,与输出节点OUT对应的M0布线53和接触孔64布置在网格线g1的位置。因此,能够降低从P型晶体管P2到输出节点OUT的电阻值,所以能够进一步增大上述1)和2)的效果。需要说明的是,与输出节点OUT对应的M0布线53和接触孔64也可以布置在其他网格线的位置。

[0072] (变形例2)

[0073] 在图7的(a)的版图中,栅极接触孔63布置在网格线g4的位置。另外,在图7的(b)的版图中,栅极接触孔63布置在网格线g5的位置。也就是说,就栅极布线32而言,栅极接触孔63布置在N型晶体管侧。因此,与被供给到P型晶体管P2相比,中间节点A的信号更早地被供给到N型晶体管N2。由此,能够使N型晶体管N2的工作开始得比P型晶体管P2早,因此例如能够得到如下效果:

[0074] 1) 在N型晶体管的工作速度比P型晶体管慢的情况下,能够减小缓冲电路的输出的上升与输出的下降的速度之差。

[0075] 2) 在P型晶体管和N型晶体管的工作速度相同的情况下,能够使输出的下降时刻比输出的上升时刻早。

[0076] 另外,在图7的(a)的版图中,与输出节点OUT对应的M0布线53和接触孔64布置在网格线g5的位置。在图7的(b)的版图中,M0布线53和接触孔64布置在网格线g4的位置。因此,能够降低从N型晶体管N2到输出节点OUT的电阻值,所以能够进一步增大上述1)和2)的效果。需要说明的是,M0布线53和接触孔64也可以布置在其他网格线的位置。

[0077] (变形例3)

[0078] 也可以将与输入节点IN对应的金属布线51和栅极布线31连接起来的栅极接触孔61布置在P型晶体管侧。在该情况下,与被供给到N型晶体管N1相比,输入信号IN更早地被供给到P型晶体管P1。由此,能够使P型晶体管P1的工作开始得比N型晶体管N1早,因此例如能够得到如下效果:

[0079] 1) 在P型晶体管的工作速度比N型晶体管慢的情况下,能够减小缓冲电路的中间信号的上升与中间信号的下降的速度之差。

[0080] 2) 在P型晶体管和N型晶体管的工作速度相同的情况下,能够使中间信号的上升时刻比中间信号的下降时刻早。

[0081] 在图8的(a)、图8的(b)的版图中,栅极接触孔61布置在网格线g2的位置。而且,在图8的(a)的版图中,栅极接触孔63布置在网格线g1的位置。因此,与被供给到N型晶体管N2相比,中间节点A的信号更早地被供给到P型晶体管P2。由此,能够使P型晶体管P2的工作开始得比N型晶体管N2早。需要说明的是,如图8的(b)的版图那样,也可以将栅极接触孔63布置在网格线g3的位置。

[0082] 在图9的(a)、图9的(b)的版图中,栅极接触孔61布置在网格线g1的位置。而且,在图9的(a)的版图中,栅极接触孔63布置在网格线g2的位置。因此,与被供给到N型晶体管N2相比,中间节点A的信号更早地被供给到P型晶体管P2。由此,能够使P型晶体管P2的工作开始得比N型晶体管N2早。需要说明的是,如图9的(b)的版图那样,也可以将栅极接触孔63布置在网格线g3的位置。

[0083] 另外,在图8和图9的版图中,与输出节点OUT对应的M0布线53和接触孔64布置在P型晶体管侧。也就是说,在图8的(a)的版图中,M0布线53和接触孔64布置在网格线g2的位置。在图8的(b)和图9的(a)、图9的(b)的版图中,M0布线53和接触孔64布置在网格线g1的位置。因此,能够降低从P型晶体管P2到输出节点OUT的电阻值。需要说明的是,在图8和图9的版图中,M0布线53和接触孔64也可以布置在其他网格线的位置。

[0084] (变形例4)

[0085] 也可以将与输入节点IN对应的金属布线51和栅极接触孔61布置在N型晶体管侧。在该情况下,与被供给到P型晶体管P1相比,输入信号IN更早地被供给到N型晶体管N1。由此,能够使N型晶体管N1的工作开始得比P型晶体管P1早,因此例如能够得到如下效果:

[0086] 1) 在N型晶体管的工作速度比P型晶体管慢的情况下,能够减小缓冲电路的中间信号的上升与中间信号的下降的速度之差。

[0087] 2) 在N型晶体管和P型晶体管的工作速度相同的情况下,能够使中间信号的下降时刻比中间信号的上升时刻早。

[0088] 在图10的(a)、图10的(b)的版图中,与输入节点IN对应的金属布线51和栅极接触孔61布置在网格线g4的位置。而且,在图10的(b)的版图中,与中间节点A对应的金属布线52和栅极接触孔63布置在网格线g5的位置。因此,与被供给到P型晶体管P2相比,中间节点A的信号更早地被供给到N型晶体管N2。由此,能够使N型晶体管N2的工作开始得比P型晶体管P2早。需要说明的是,如图10的(a)的版图那样,也可以将栅极接触孔63布置在网格线g3的位置。

[0089] 在图11的(a)、图11的(b)的版图中,栅极接触孔61布置在网格线g5的位置。而且,

在图11的 (b) 的版图中,栅极接触孔63布置在网格线g4的位置。因此,与被供给到P型晶体管P2相比,中间节点A的信号更早地被供给到N型晶体管N2。由此,能够使N型晶体管N2的工作开始得比P型晶体管P2早。需要说明的是,如图11的 (a) 的版图那样,也可以将栅极接触孔63布置在网格线g3的位置。

[0090] 另外,在图10和图11的版图中,与输出节点OUT对应的M0布线53和接触孔64布置在N型晶体管侧。也就是说,在图10的 (a) 和图11的 (a)、图11的 (b) 的版图中,M0布线53和接触孔64布置在网格线g5的位置。在图10的 (b) 的版图中,M0布线53和接触孔64布置在网格线g4的位置。因此,能够降低从N型晶体管N2到输出节点OUT的电阻值。需要说明的是,在图10和图11的版图中,M0布线53和接触孔64也可以布置在其他网格线的位置。

[0091] (变形例5)

[0092] 也可以将与输入节点IN对应的金属布线51和栅极接触孔61布置在P型晶体管侧,并且将与中间节点A对应的金属布线52和栅极接触孔63布置在N型晶体管侧。由此,能够使P型晶体管P1的工作开始得比N型晶体管N1早,因此能够使中间信号A的上升时刻比中间信号A的下降时刻早,并且能够使N型晶体管N2的工作开始得比P型晶体管P2早,因此能够使输出信号OUT的下降时刻比输出信号OUT的上升时刻早。因此,就整个缓冲电路而言,能够使输出信号OUT的上升时刻比输出信号OUT的下降时刻晚。

[0093] 在图12的 (a)、图12的 (b) 的版图中,栅极接触孔61布置在网格线g2的位置。而且,在图12的 (a) 的版图中,栅极接触孔63布置在网格线g4的位置,如上所述,能够使输出信号OUT的上升时刻晚。另外,在图12的 (b) 的版图中,栅极接触孔63布置在网格线g5的位置,能够使输出信号OUT的上升时刻更晚。

[0094] 在图13的 (a)、图13的 (b) 的版图中,栅极接触孔61布置在网格线g1的位置。而且,在图13的 (a) 的版图中,栅极接触孔63布置在网格线g4的位置,如上所述,能够使输出信号OUT的上升时刻晚。另外,在图13的 (b) 的版图中,栅极接触孔63布置在网格线g5的位置,能够使输出信号OUT的上升时刻更晚。而且,在图13的 (a)、图13的 (b) 的版图中,与图12的 (a)、图12的 (b) 相比,与输入节点IN对应的金属布线51和栅极接触孔61更远离N型晶体管N1,因此能够使输出信号OUT的上升时刻更晚。

[0095] 另外,在图12和图13的版图中,与输出节点OUT对应的M0布线53和接触孔64布置在N型晶体管侧。也就是说,在图12的 (a) 和图13的 (a) 的版图中,M0布线53和接触孔64布置在网格线g5的位置。在图12的 (b) 和图13的 (b) 的版图中,M0布线53和接触孔64布置在网格线g4的位置。因此,能够降低从N型晶体管N2到输出节点OUT的电阻值。需要说明的是,在图12和图13的版图中,M0布线53和接触孔64也可以布置在其他网格线的位置。

[0096] (变形例6)

[0097] 与变形例5的情况相反,也可以将与输入节点IN对应的金属布线51和栅极接触孔61布置在N型晶体管侧,并且将与中间节点A对应的金属布线52和栅极接触孔63布置在P型晶体管侧。由此,能够使N型晶体管N1的工作开始得比P型晶体管P1早,因此能够使中间信号A的下降时刻比中间信号A的上升时刻早,并且能够使P型晶体管P2的工作开始得比N型晶体管N2早,因此能够使输出信号OUT的上升时刻比输出信号OUT的下降时刻早。因此,就整个缓冲电路而言,能够使输出信号OUT的下降时刻比输出信号OUT的上升时刻晚。

[0098] 在图14的 (a)、图14的 (b) 的版图中,栅极接触孔61布置在网格线g4的位置。而且,

在图14的(a)的版图中,栅极接触孔63布置在网格线g2的位置,如上所述,能够使输出信号OUT的下降时刻晚。另外,在图14的(b)的版图中,栅极接触孔63布置在网格线g1的位置,能够使输出信号OUT的下降时刻更晚。

[0099] 在图15的(a)、图15的(b)的版图中,栅极接触孔61布置在网格线g5的位置。而且,在图15的(a)的版图中,栅极接触孔63布置在网格线g2的位置,如上所述,能够使输出信号OUT的下降时刻晚。另外,在图15的(b)的版图中,栅极接触孔63布置在网格线g1的位置,能够使输出信号OUT的下降时刻更晚。而且,在图15的(a)、图15的(b)的版图中,与图14的(a)、图14的(b)相比,与输入节点IN对应的金属布线51和栅极接触孔61更远离P型晶体管P1,因此能够使输出信号OUT的下降时刻更晚。

[0100] 另外,在图14和图15的版图中,与输出节点OUT对应的M0布线53和接触孔64布置在P型晶体管侧。也就是说,在图14的(a)和图15的(a)的版图中,M0布线53和接触孔64布置在网格线g1的位置。在图14的(b)和图15的(b)的版图中,M0布线53和接触孔64布置在网格线g2的位置。因此,能够降低从P型晶体管P2到输出节点OUT的电阻值。需要说明的是,在图14和图15的版图中,M0布线53和接触孔64也可以布置在其他网格线的位置。

[0101] (第二实施方式)

[0102] 图16是示出NAND(NOT-AND,与非门)电路的电路结构的电路图,图16的(a)是二输入NAND电路,图16的(b)是三输入NAND电路。

[0103] 如图16的(a)所示,在二输入NAND电路中,P型晶体管P1、P2并联连接在VDD与输出节点OUT之间。N型晶体管N1、N2串联连接在输出节点OUT与VSS之间。输入节点A与P型晶体管P1的栅极及N型晶体管N1的栅极连接。输入节点B与P型晶体管P2的栅极及N型晶体管N2的栅极连接。

[0104] 如图16的(b)所示,在三输入NAND电路中,P型晶体管P1、P2、P3并联连接在VDD与输出节点OUT之间。N型晶体管N1、N2、N3串联连接在输出节点OUT与VSS之间。输入节点A与P型晶体管P1的栅极及N型晶体管N1的栅极连接。输入节点B与P型晶体管P2的栅极及N型晶体管N2的栅极连接。输入节点C与P型晶体管P3的栅极及N型晶体管N3的栅极连接。

[0105] 如图16所示,在二输入NAND电路和三输入NAND电路中,N型晶体管串联连接在输出节点OUT与VSS之间。因此,如果P型晶体管和N型晶体管各自的工作能力相同,则由于N型晶体管串联连接,输出信号OUT的下降时刻比输出信号OUT的上升时刻晚。

[0106] 于是,在本实施方式中,在实现二输入NAND电路和三输入NAND电路的标准单元的版图中,将向P型晶体管的栅极及N型晶体管的栅极供给输入信号的栅极接触孔布置在N型晶体管侧的位置。由此,向N型晶体管的信号供给变快,向P型晶体管的信号供给变慢,因此能够使输出信号OUT的下降时刻早。

[0107] 图17是俯视图,示出本实施方式所涉及的实现二输入NAND电路的标准单元的版图例。需要说明的是,在本实施方式中,有时省略对能够从第一实施方式的说明中容易推测出的结构来进行说明。栅极布线131与晶体管P1、N1的栅极对应,栅极布线132与晶体管P2、N2的栅极对应。与输入节点A对应的金属布线151经由栅极接触孔161与栅极布线131连接。与输入节点B对应的金属布线152经由栅极接触孔162与栅极布线132连接。与输出节点OUT对应的金属布线155经由接触孔与对应于晶体管P2的漏极的局部布线141及对应于晶体管P1、N1的漏极的局部布线142连接。

[0108] 在图17的(a)的版图中,将与输入节点A对应的金属布线151和栅极布线131连接起来的栅极接触孔161位于网格线g4的位置。另外,将与输入节点B对应的金属布线152和栅极布线132连接起来的栅极接触孔162位于网格线g4的位置。也就是说,用于供给输入信号A、B的栅极接触孔位于N型晶体管侧,因此向N型晶体管的信号供给变快,向P型晶体管的信号供给变慢。由此,能够使输出信号OUT的下降时刻早。例如,在P型晶体管和N型晶体管各自的工作能力相同的情况下,能够减小输出信号OUT的上升与输出信号OUT的下降的速度之差。

[0109] 在图17的(b)的版图中,栅极接触孔161位于网格线g5的位置,栅极接触孔162位于网格线g5的位置。在图17的(b)的版图中,向N型晶体管的信号供给也变快,向P型晶体管的信号供给也变慢,因此也能够使输出信号OUT的下降时刻早。另外,与图17的(a)的版图相比,在图17的(b)的版图中,向P型晶体管的信号供给更慢,因此效果更大。

[0110] 另外,也可以将栅极接触孔161和栅极接触孔162布置在互不相同的网格线的位置。例如,也可以将栅极接触孔161布置在网格线g4的位置,并将栅极接触孔162布置在网格线g5的位置。与此相反,也可以将栅极接触孔161布置在网格线g5的位置,并将栅极接触孔162布置在网格线g4的位置。

[0111] 不过,在该情况下,优选将与输入节点B对应的金属布线152和栅极布线132连接起来的栅极接触孔162布置在更远离P型晶体管的一侧,换言之,布置在更靠近供给VSS的电源布线12的一侧。这是因为,由于其栅极与输入节点B连接的N型晶体管N2连接在远离输出节点OUT的一侧,所以相对于输入信号B的转变,输出信号OUT的上升/下降的速度之差表现得更大。

[0112] 因此,如图17的(c)的版图所示,也可以将栅极接触孔161布置在网格线g3的位置,并将栅极接触孔162布置在网格线g4的位置。在该情况下,也能够得到使输出信号OUT的下降时刻早的效果。需要说明的是,在图17的(c)的版图中,也可以将栅极接触孔162布置在网格线g5的位置。

[0113] 需要说明的是,也可以将栅极接触孔161布置在网格线g4或g5的位置,将栅极接触孔162布置在网格线g3的位置。在该情况下,也能够得到使输出信号OUT的下降时刻早的效果。

[0114] 图18是俯视图,示出本实施方式所涉及的实现三输入NAND电路的标准单元的版图例。栅极布线131与晶体管P1、N1的栅极对应,栅极布线132与晶体管P2、N2的栅极对应,栅极布线133与晶体管P3、N3的栅极对应。与输入节点A对应的金属布线151经由栅极接触孔161与栅极布线131连接。与输入节点B对应的金属布线152经由栅极接触孔162与栅极布线132连接。与输入节点C对应的金属布线153经由栅极接触孔163与栅极布线133连接。与输出节点OUT对应的金属布线156经由接触孔与对应于晶体管P2、P3的漏极的局部布线145及对应于晶体管P1、N1的漏极的局部布线146连接。

[0115] 在图18的(a)的版图中,将与输入节点A对应的金属布线151和栅极布线131连接起来的栅极接触孔161位于网格线g5的位置。另外,将与输入节点B对应的金属布线152和栅极布线132连接起来的栅极接触孔162位于网格线g4的位置。另外,将与输入节点C对应的金属布线153和栅极布线133连接起来的栅极接触孔163位于网格线g5的位置。

[0116] 在图18的(b)的版图中,栅极接触孔161位于网格线g4的位置,栅极接触孔162位于网格线g5的位置,栅极接触孔163位于网格线g5的位置。

[0117] 也就是说,用于供给输入信号A、B、C的栅极接触孔位于N型晶体管侧,因此向N型晶体管的信号供给变快,向P型晶体管的信号供给变慢。由此,能够使输出信号OUT的下降时刻早。例如,在P型晶体管和N型晶体管各自的工作能力相同的情况下,能够减小输出信号OUT的上升与输出信号OUT的下降的速度之差。

[0118] 需要说明的是,栅极接触孔161、162、163位于网格线g4、g5的任何位置都可以。不过,在该情况下,将与输入节点C对应的金属布线153和栅极布线133连接起来的栅极接触孔163优选位于更远离P型晶体管的一侧即网格线g5的位置。这是因为,由于其栅极与输入节点C连接的N型晶体管N3连接在最远离输出节点OUT的一侧,所以相对于输入信号C的转变,输出信号OUT的上升/下降的速度之差表现得最大。

[0119] 另外,也可以仅将栅极接触孔161、162、163中的一部分栅极接触孔布置在网格线g4、g5中的任一网格线的位置。在该情况下,例如也可以将栅极接触孔161、162布置在网格线g3的位置,并将栅极接触孔163布置在网格线g4或g5的位置。或者,也可以将栅极接触孔161布置在网格线g3的位置,并将栅极接触孔162、163布置在网格线g4或g5的位置。不过,在栅极接触孔161、162、163中,栅极接触孔163优选布置在最远离P型晶体管的位置。

[0120] (变形例)

[0121] 与上述实施方式相同的结构也能够应用于NOR (NOT-OR, 或非) 电路。

[0122] 图19是示出NOR电路的电路结构的电路图,图19的(a)是二输入NOR电路,图19的(b)是三输入NOR电路。

[0123] 如图19的(a)所示,在二输入NOR电路中,P型晶体管P1、P2串联连接在输出节点OUT与VDD之间。N型晶体管N1、N2并联连接在VSS与输出节点OUT之间。输入节点A与P型晶体管P1的栅极及N型晶体管N1的栅极连接。输入节点B与P型晶体管P2的栅极及N型晶体管N2的栅极连接。

[0124] 如图19的(b)所示,在三输入NOR电路中,P型晶体管P1、P2、P3串联连接在输出节点OUT与VDD之间。N型晶体管N1、N2、N3并联连接在VSS与输出节点OUT之间。输入节点A与P型晶体管P1的栅极及N型晶体管N1的栅极连接。输入节点B与P型晶体管P2的栅极及N型晶体管N2的栅极连接。输入节点C与P型晶体管P3的栅极及N型晶体管N3的栅极连接。

[0125] 如图19所示,在二输入NOR电路和三输入NOR电路中,P型晶体管串联连接在输出节点OUT与VDD之间。因此,如果P型晶体管和N型晶体管各自的工作能力相同,则由于P型晶体管串联连接,输出信号OUT的上升时刻比输出信号OUT的下降时刻晚。

[0126] 于是,在本变形例中,在实现二输入NOR电路和三输入NOR电路的标准单元的版图图中,将向P型晶体管的栅极及N型晶体管的栅极供给输入信号的栅极接触孔布置在P型晶体管侧的位置。由此,向P型晶体管的信号供给变快,向N型晶体管的信号供给变慢,因此能够使输出信号OUT的上升时刻早。

[0127] 图20是俯视图,示出本变形例所涉及的实现二输入NOR电路的标准单元的版图例。栅极布线231与晶体管P1、N1的栅极对应,栅极布线232与晶体管P2、N2的栅极对应。与输入节点A对应的金属布线251经由栅极接触孔261与栅极布线231连接。与输入节点B对应的金属布线252经由栅极接触孔262与栅极布线232连接。与输出节点OUT对应的金属布线255经由接触孔与对应于晶体管P1、N1的漏极的局部布线241及对应于晶体管N2的漏极的局部布线242连接。

[0128] 在图20的(a)的版图中,将与输入节点A对应的金属布线251和栅极布线231连接起来的栅极接触孔261位于网格线g2的位置。另外,将与输入节点B对应的金属布线252和栅极布线232连接起来的栅极接触孔262位于网格线g2的位置。也就是说,用于供给输入信号A、B的栅极接触孔位于P型晶体管侧,因此向P型晶体管的信号供给变快,向N型晶体管的信号供给变慢。由此,能够使输出信号OUT的上升时刻早。例如,在P型晶体管和N型晶体管各自的工作能力相同的情况下,能够减小输出信号OUT的下降与输出信号OUT的上升的速度之差。

[0129] 在图20的(b)的版图中,栅极接触孔261位于网格线g1的位置,栅极接触孔262位于网格线g1的位置。在图20的(b)的版图中,向P型晶体管的信号供给也变快,向N型晶体管的信号供给也变慢,因此也能够使输出信号OUT的上升时刻早。另外,与图20的(a)的版图相比,在图20的(b)的版图中,向N型晶体管的信号供给更慢,因此效果更大。

[0130] 另外,也可以将栅极接触孔261和栅极接触孔262布置在互不相同的网格线的位置。例如,也可以将栅极接触孔261布置在网格线g2的位置,将栅极接触孔262布置在网格线g1的位置。与此相反,也可以将栅极接触孔261布置在网格线g1的位置,并将栅极接触孔262布置在网格线g2的位置。

[0131] 不过,在该情况下,优选将与输入节点B对应的金属布线252和栅极布线232连接起来的栅极接触孔262布置在更远离N型晶体管的一侧,换言之,布置在更靠近供给VDD的电源布线11的一侧。这是因为,由于其栅极与输入节点B连接的P型晶体管P2连接在远离输出节点OUT的一侧,所以相对于输入信号B的转变,输出信号OUT的上升/下降的速度之差表现得更大。

[0132] 因此,例如也可以将栅极接触孔261布置在网格线g3的位置,将栅极接触孔262布置在网格线g2或g1的位置。在该情况下,也能够得到使输出信号OUT的上升时刻早的效果。另外,也可以将栅极接触孔261布置在网格线g2或g1的位置,将栅极接触孔262布置在网格线g3的位置。

[0133] 图21是俯视图,示出本实施方式所涉及的实现三输入NOR电路的标准单元的版图例。栅极布线231与晶体管P1、N1的栅极对应,栅极布线232与晶体管P2、N2的栅极对应,栅极布线233与晶体管P3、N3的栅极对应。与输入节点A对应的金属布线251经由栅极接触孔261与栅极布线231连接。与输入节点B对应的金属布线252经由栅极接触孔262与栅极布线232连接。与输入节点C对应的金属布线253经由栅极接触孔263与栅极布线233连接。与输出节点OUT对应的金属布线256经由接触孔与对应于晶体管P1、N1的漏极的局部布线245及对应于晶体管N2、N3的漏极的局部布线246连接。

[0134] 在图21的(a)的版图中,将与输入节点A对应的金属布线251和栅极布线231连接起来的栅极接触孔261位于网格线g1的位置。另外,将与输入节点B对应的金属布线252和栅极布线232连接起来的栅极接触孔262位于网格线g2的位置。另外,将与输入节点C对应的金属布线253和栅极布线233连接起来的接触孔263位于网格线g1的位置。

[0135] 在图21的(b)的版图中,栅极接触孔261位于网格线g2的位置,栅极接触孔262位于网格线g1的位置,栅极接触孔263位于网格线g1的位置。

[0136] 也就是说,用于供给输入信号A、B、C的栅极接触孔位于P型晶体管侧,因此向P型晶体管的信号供给变快,向N型晶体管的信号供给变慢。由此,能够使输出信号OUT的上升时刻早。例如,在P型晶体管和N型晶体管各自的工作能力相同的情况下,能够减小输出信号OUT

的下降与输出信号OUT的上升的速度之差。

[0137] 需要说明的是,栅极接触孔261、262、263位于网格线g1、g2的任何位置都可以。不过,在该情况下,将与输入节点C对应的金属布线253和栅极布线233连接起来的栅极接触孔263优选位于更远离N型晶体管的一侧即网格线g1的位置。这是因为,由于其栅极与输入节点C连接的P型晶体管P3连接在最远离输出节点OUT的一侧,所以相对于输入信号C的转变,输出信号OUT的上升/下降的速度之差表现得最大。

[0138] 另外,也可以仅将栅极接触孔261、262、263中的一部分栅极接触孔布置在网格线g1、g2中的任一网格线的位置。在该情况下,例如也可以将栅极接触孔261、262布置在网格线g3的位置,并将栅极接触孔263布置在网格线g1或g2的位置。或者,也可以将栅极接触孔261布置在网格线g3的位置,并将栅极接触孔262、263布置在网格线g1或g2的位置。不过,在栅极接触孔261、262、263中,栅极接触孔263优选布置在最远离N型晶体管的位置。

[0139] 需要说明的是,标准单元中的网格线的根数、间隔等布置方式不限于上述实施方式所示的方式。

[0140] 在以上说明中,说明的是包括具有纳米片FET的标准单元的半导体集成电路装置,但在本公开中,标准单元所具有的晶体管不限于纳米片FET。

[0141] -产业实用性-

[0142] 在本公开中,在半导体集成电路装置中,通过栅极接触孔的布置方式能够改善标准单元的特性,因此,例如对提高系统大规模集成电路的性能很有用。

[0143] -符号说明-

[0144] 11、12 电源布线

[0145] 31、32 栅极布线

[0146] 44 局部布线

[0147] 51、52、53 金属布线

[0148] 61、63 栅极接触孔

[0149] 64 接触孔

[0150] 131、132、133 栅极布线

[0151] 151、152、153、155、156 金属布线

[0152] 161、162、163 栅极接触孔

[0153] 231、232、233 栅极布线

[0154] 251、252、253、255、256 金属布线

[0155] 261、262、263 栅极接触孔

[0156] P1、P2、P3 P型晶体管

[0157] N1、N2、N3 N型晶体管

[0158] IN 输入节点

[0159] A 中间节点

[0160] OUT 输出节点

[0161] A、B、C 输入节点

[0162] VDD 电源、电源电压

[0163] VSS 电源、电源电压。

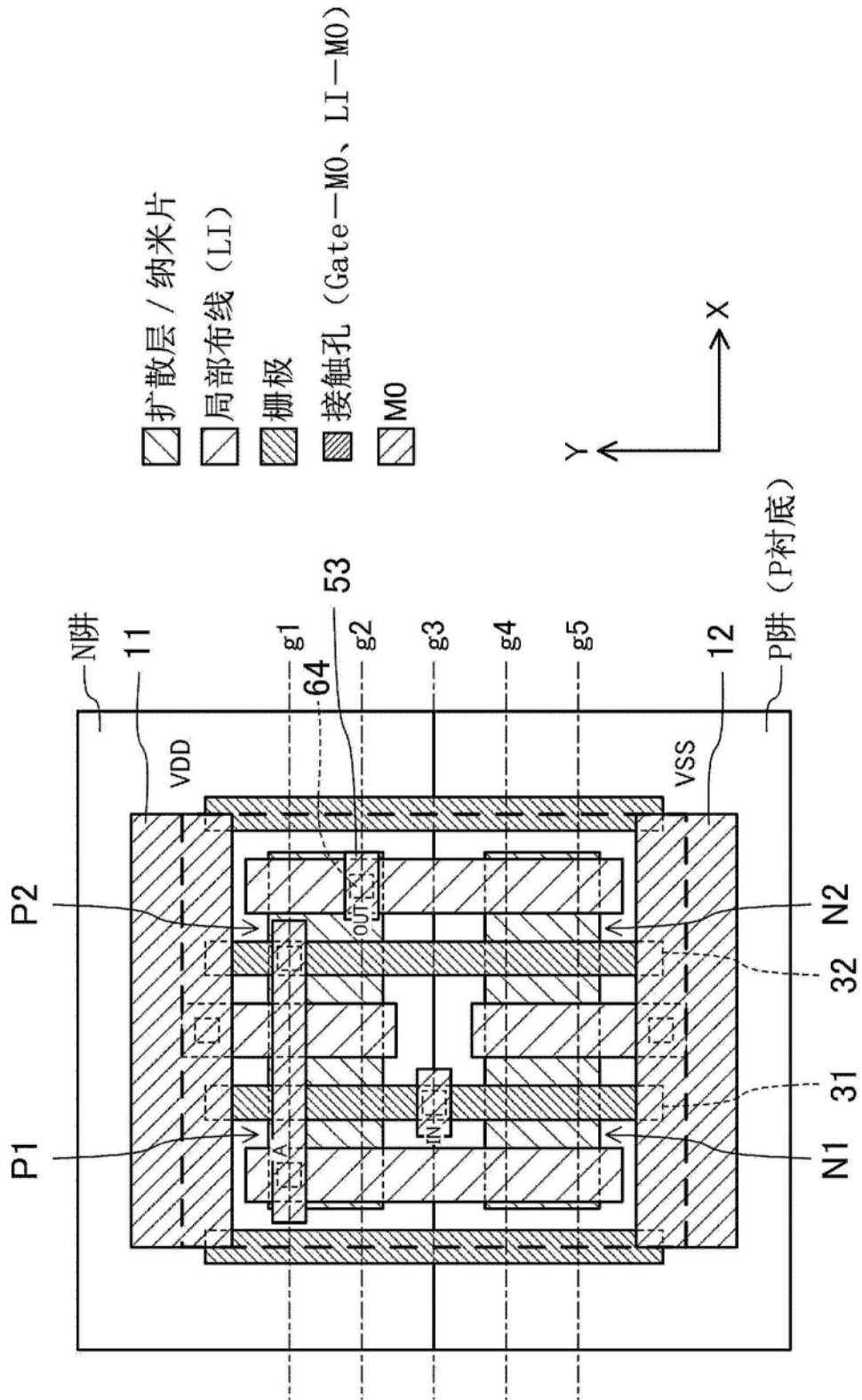


图4

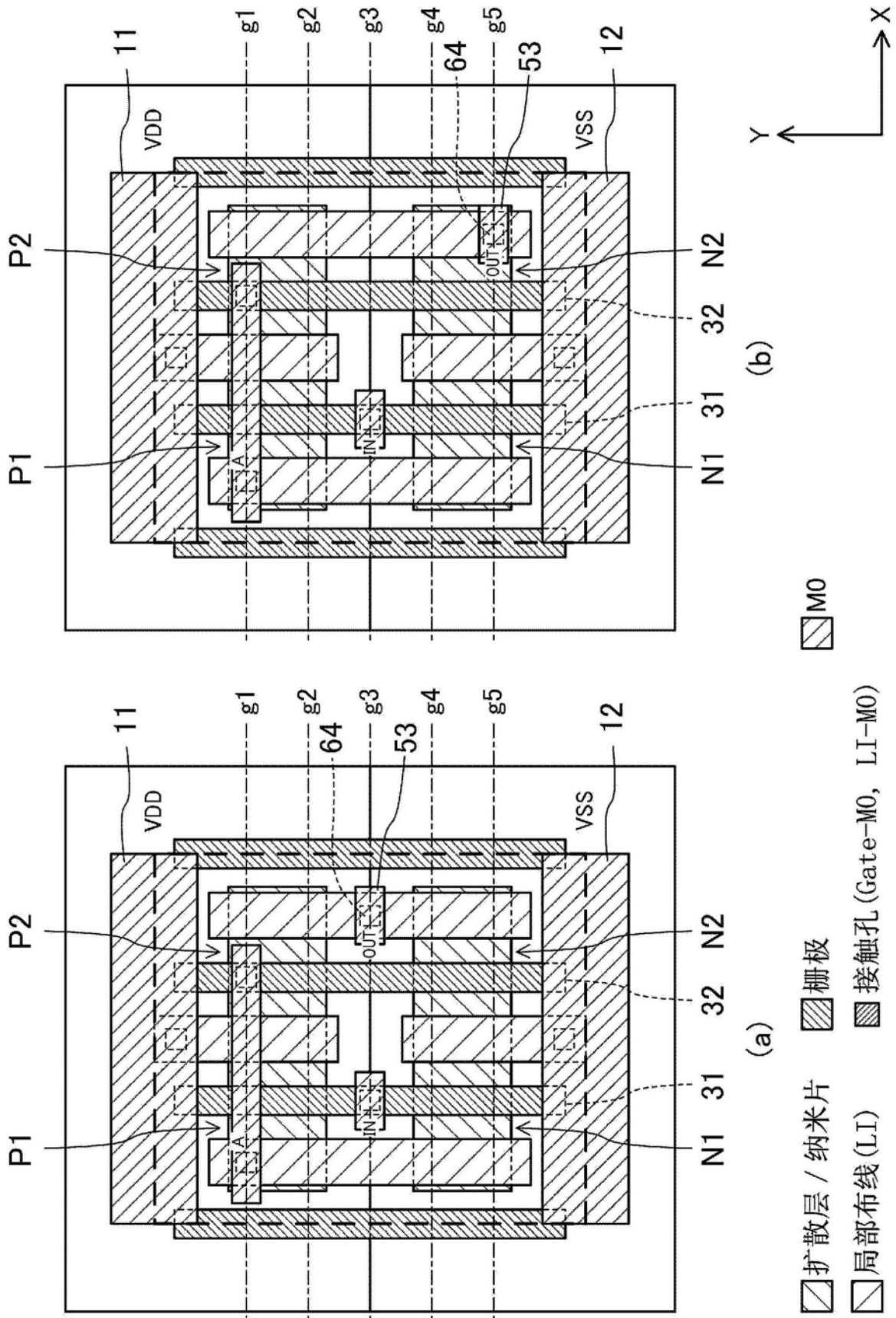


图5

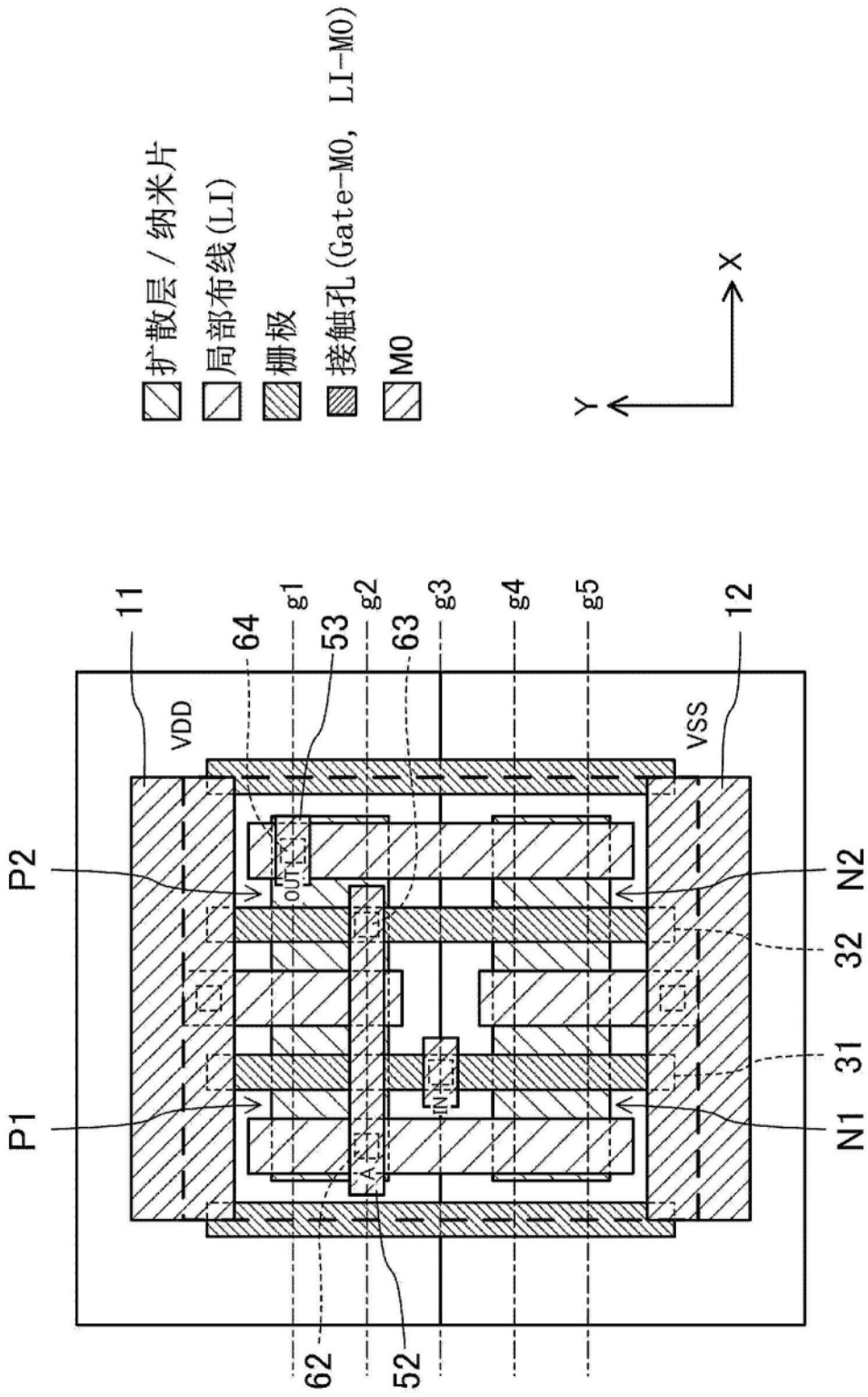


图6

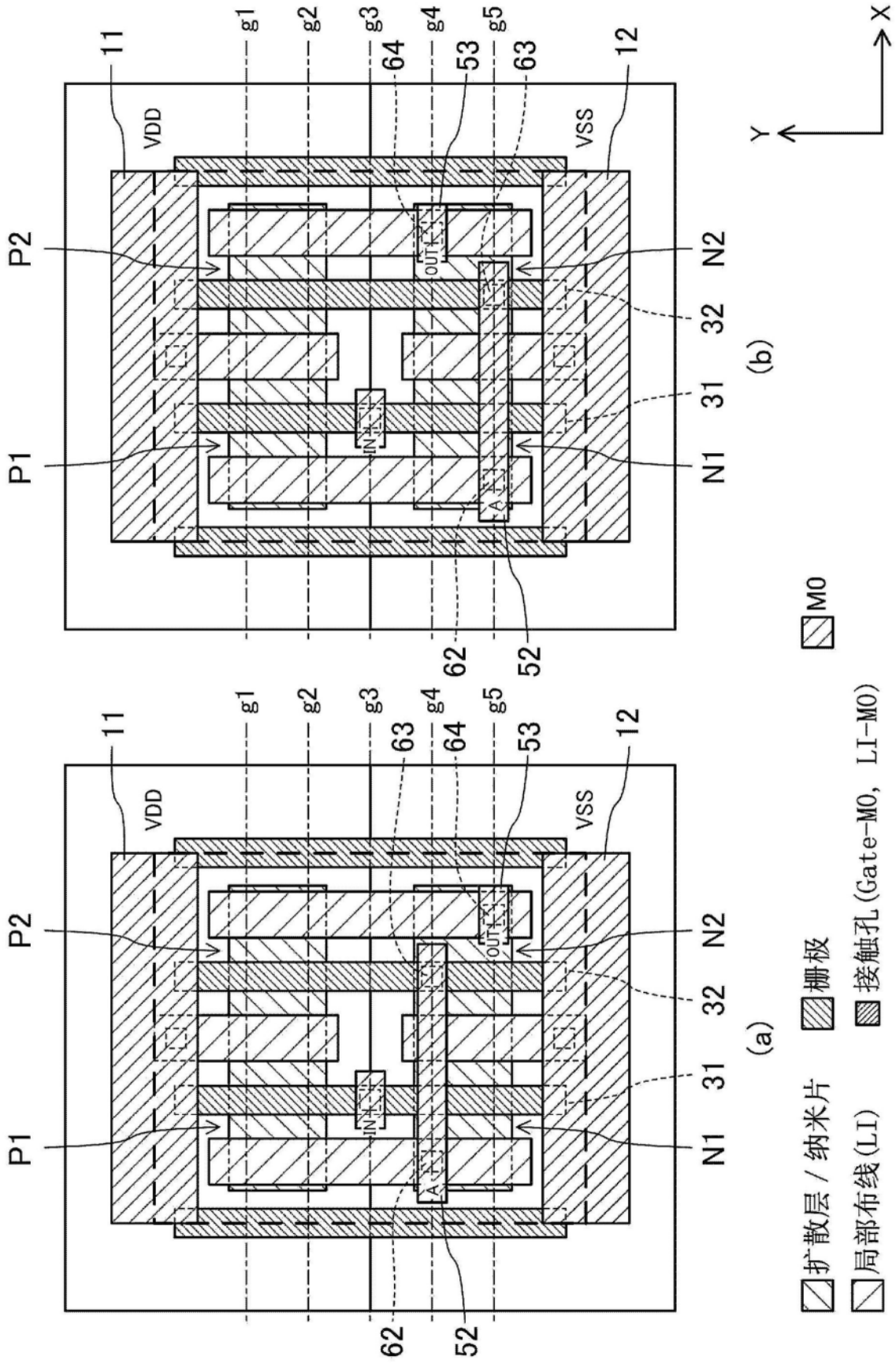


图7

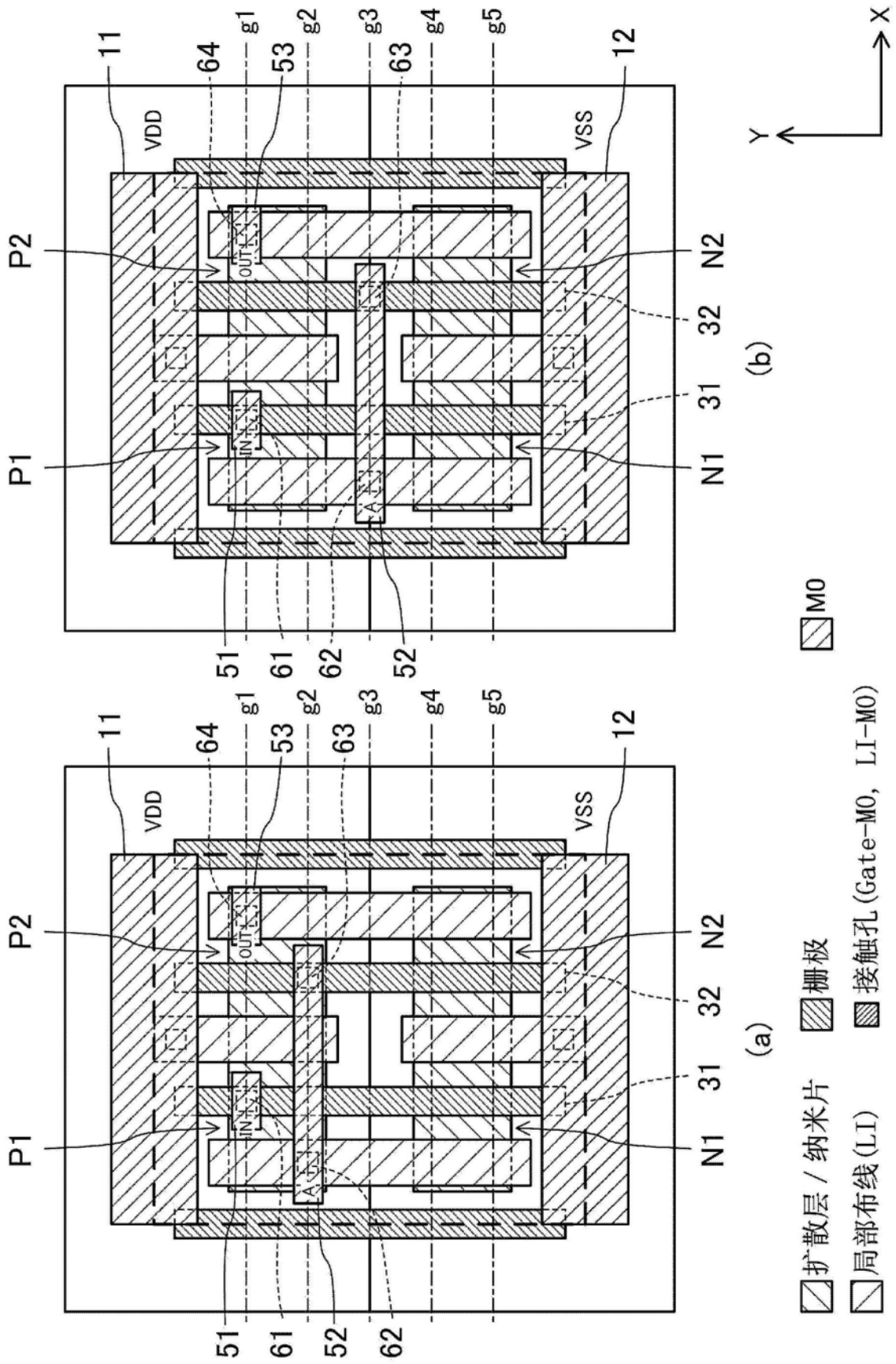


图9

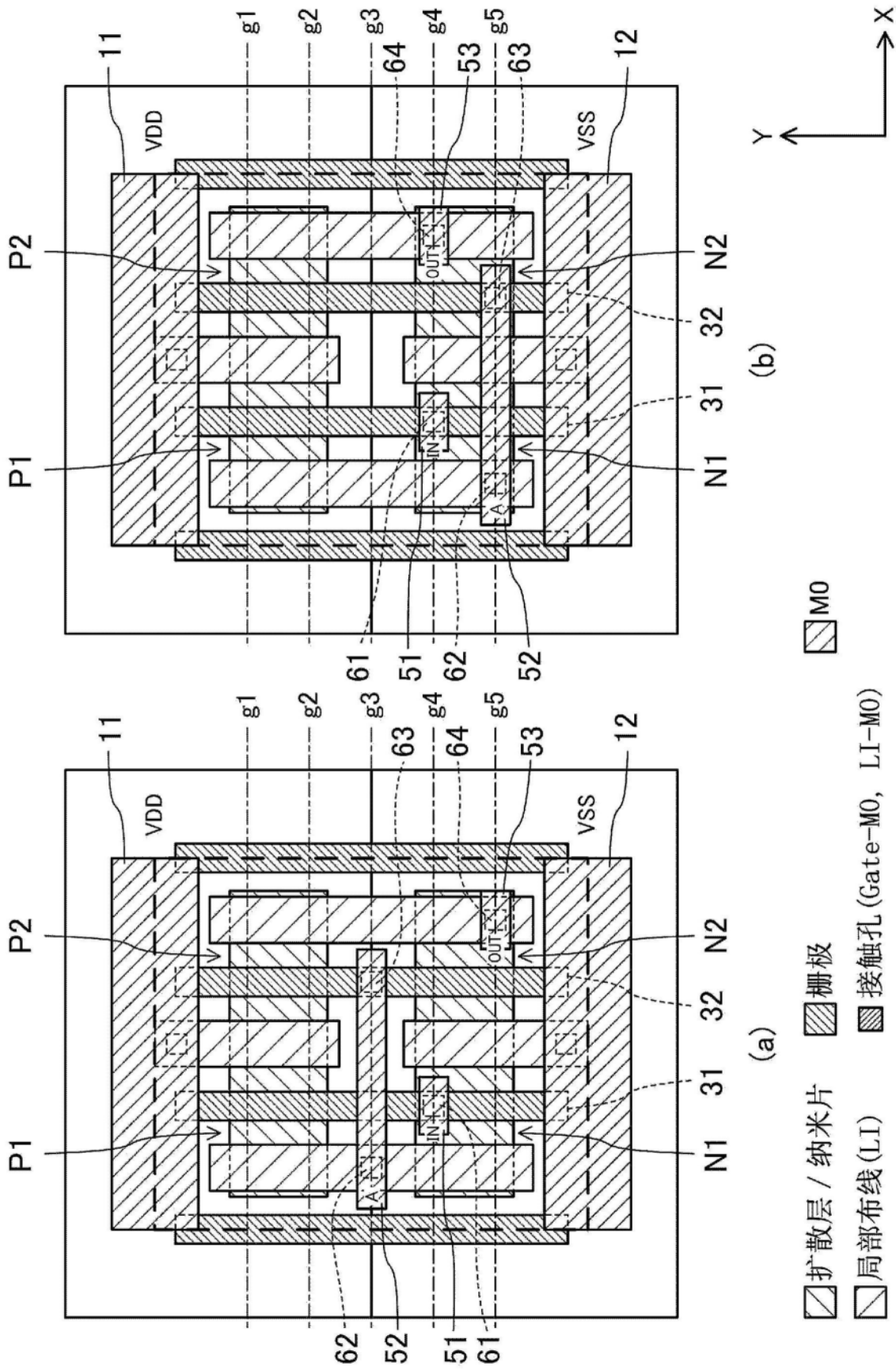


图10

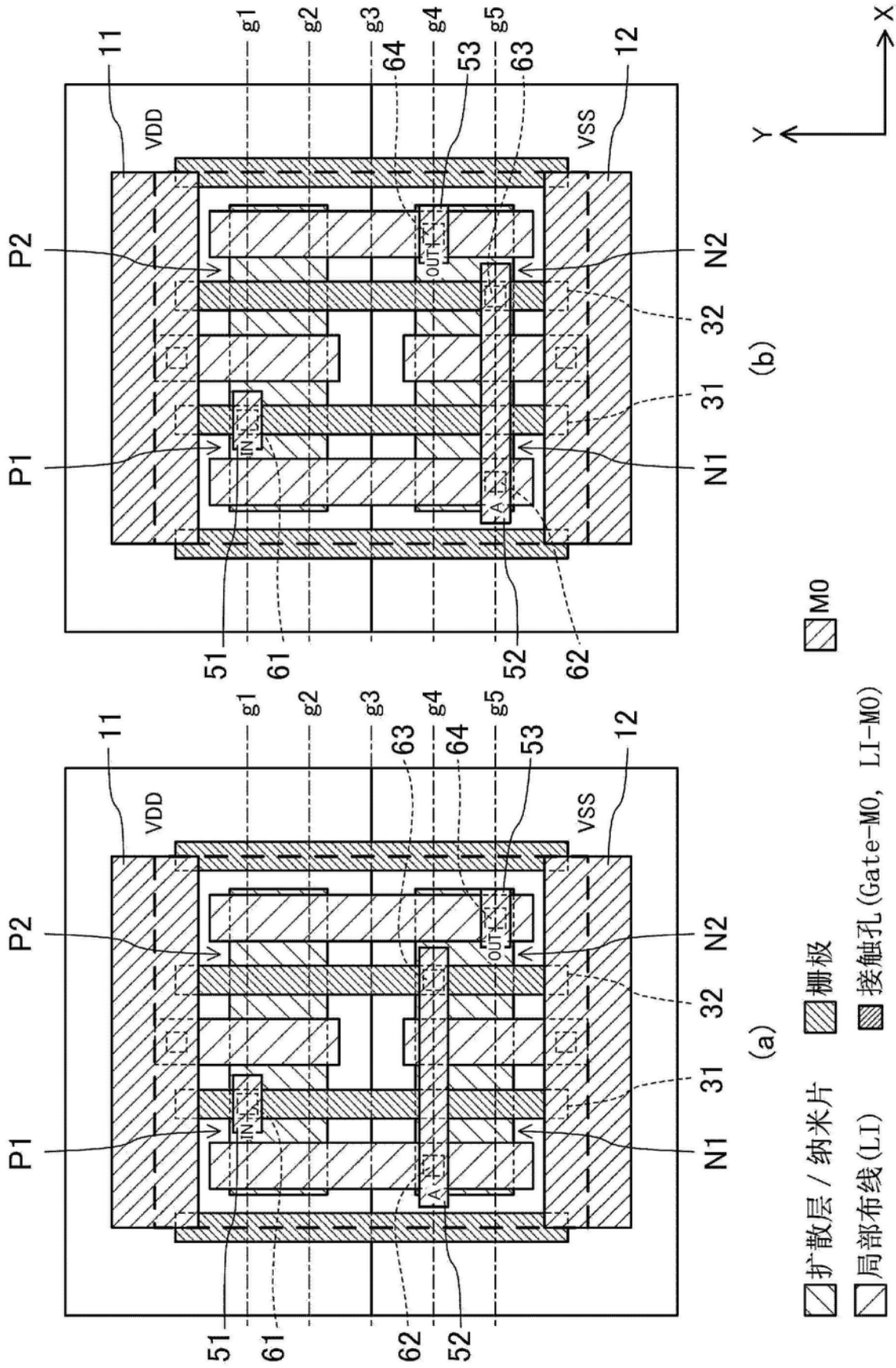


图13

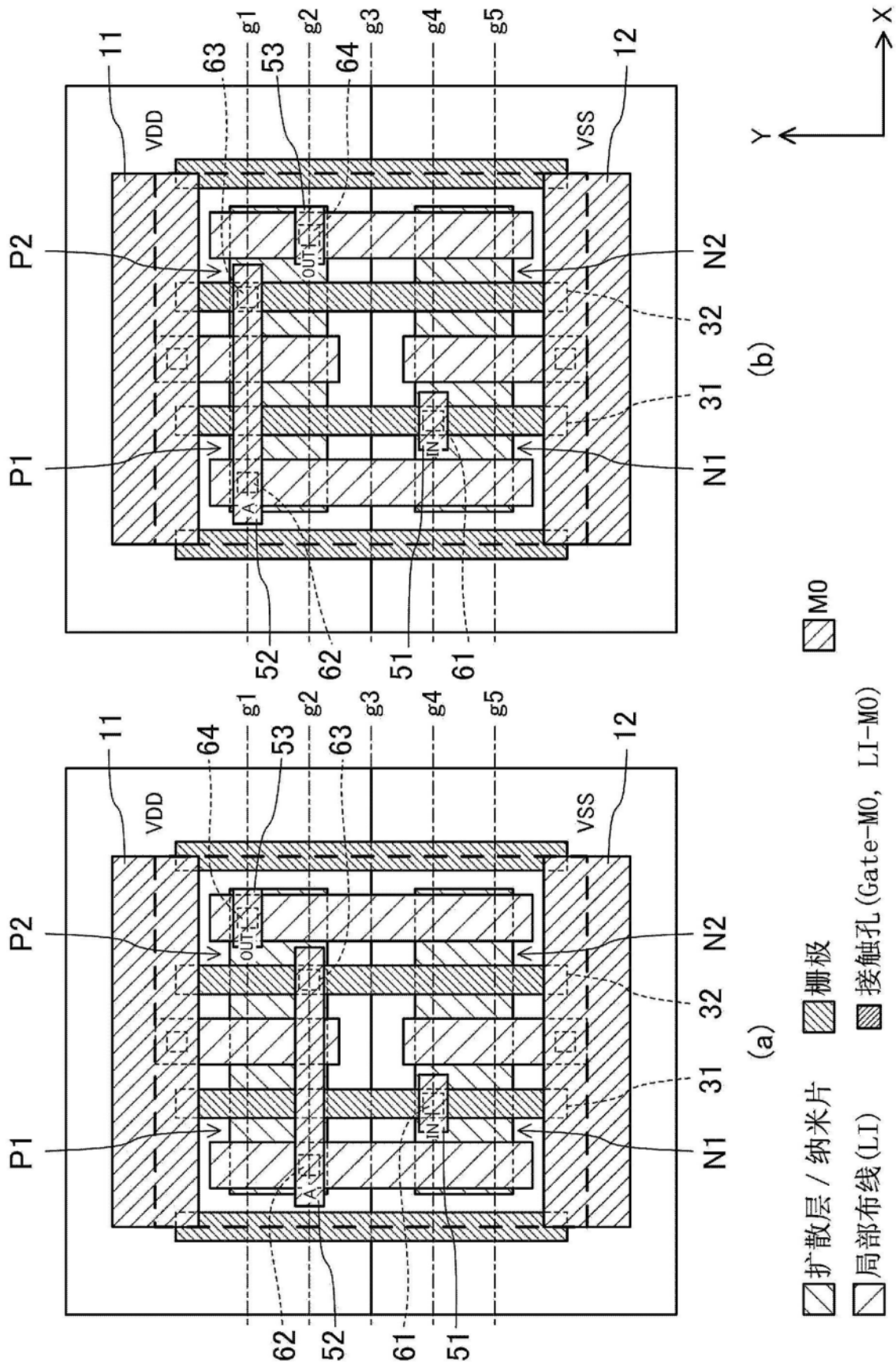


图14

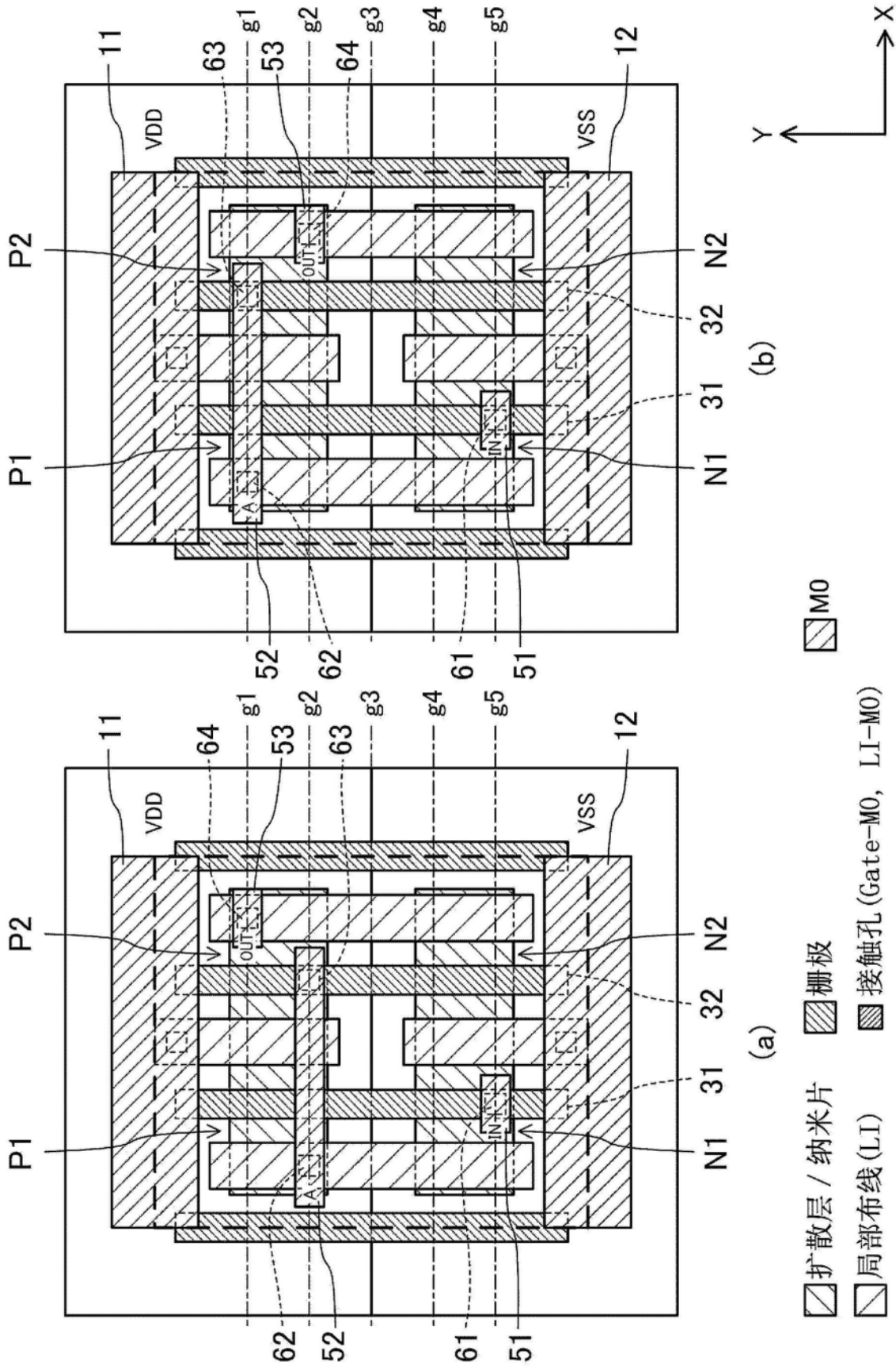


图15

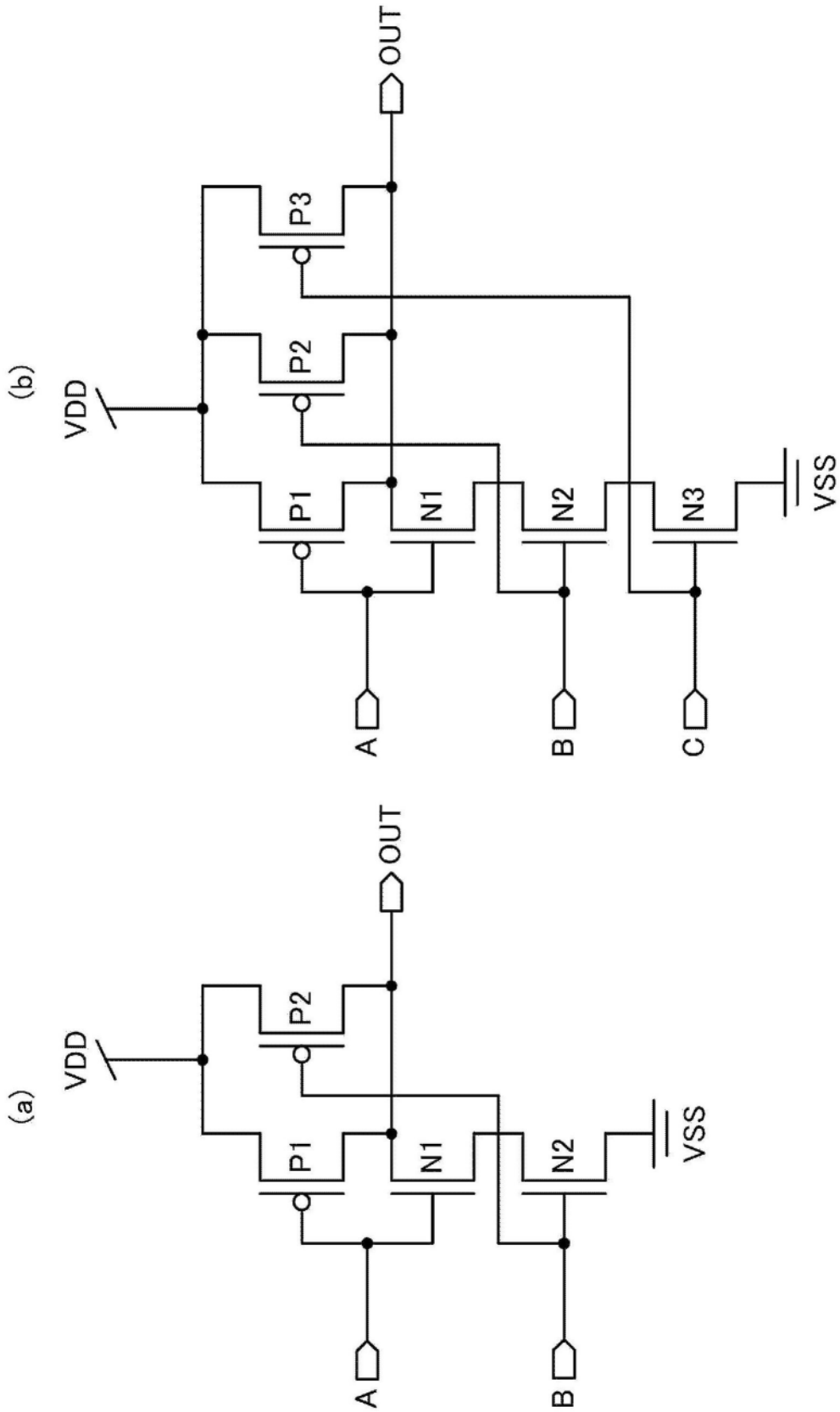


图16

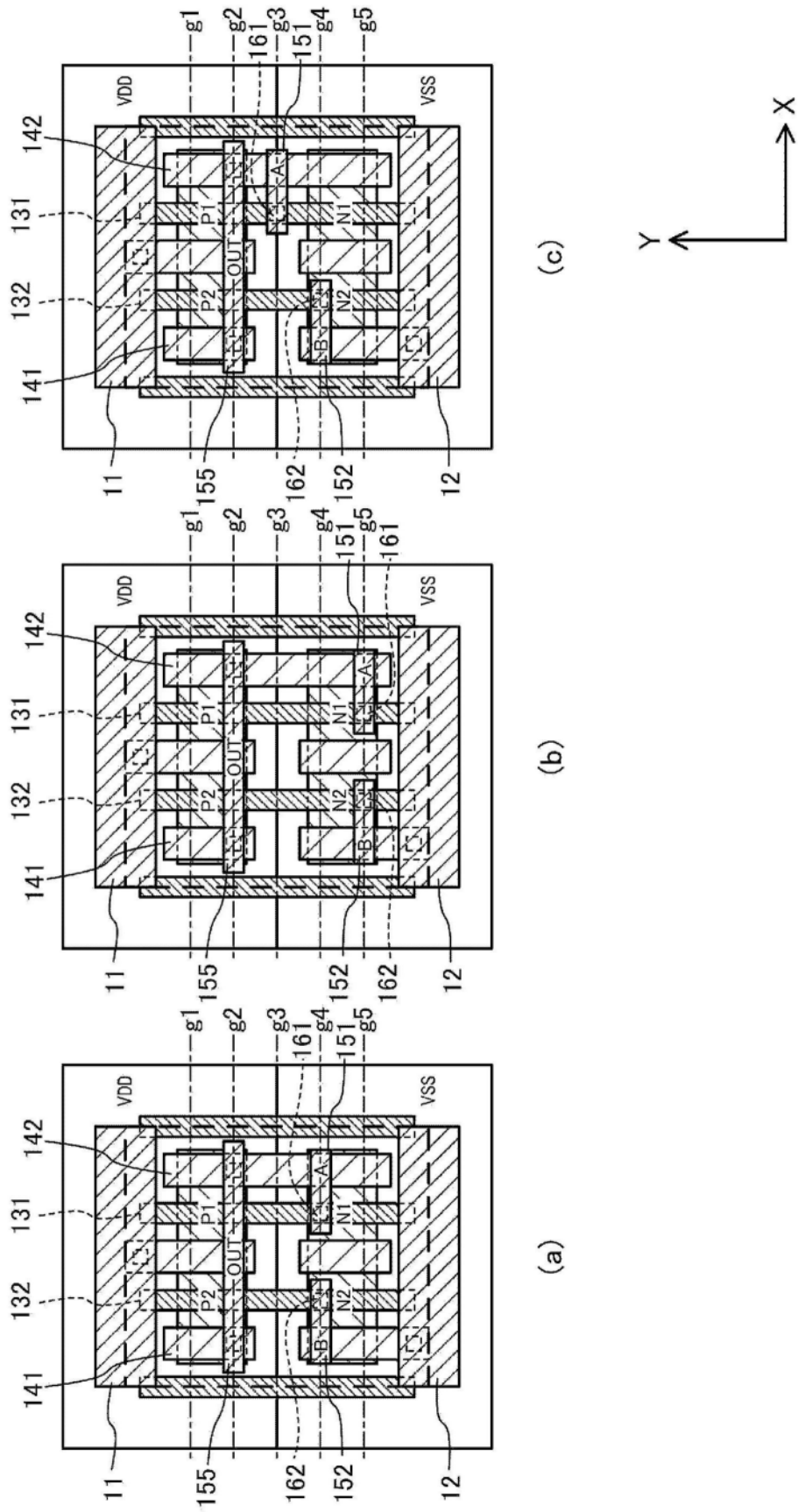
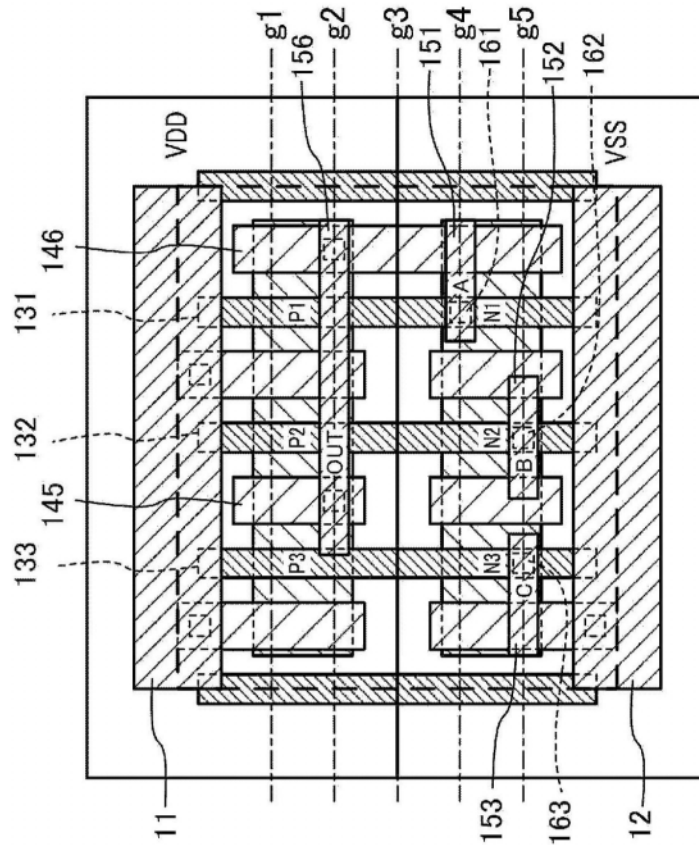
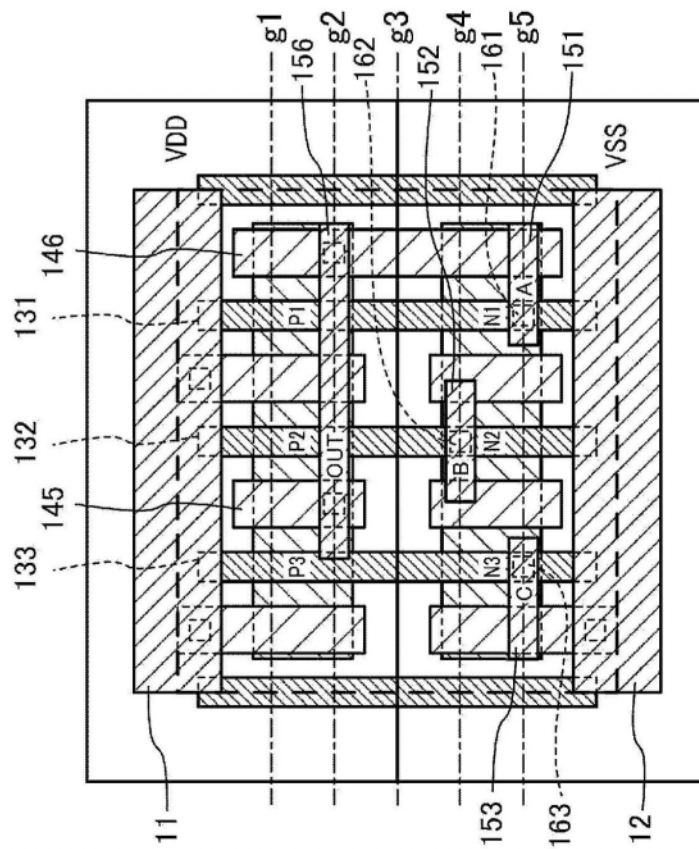


图17



(b)



(a)

图18

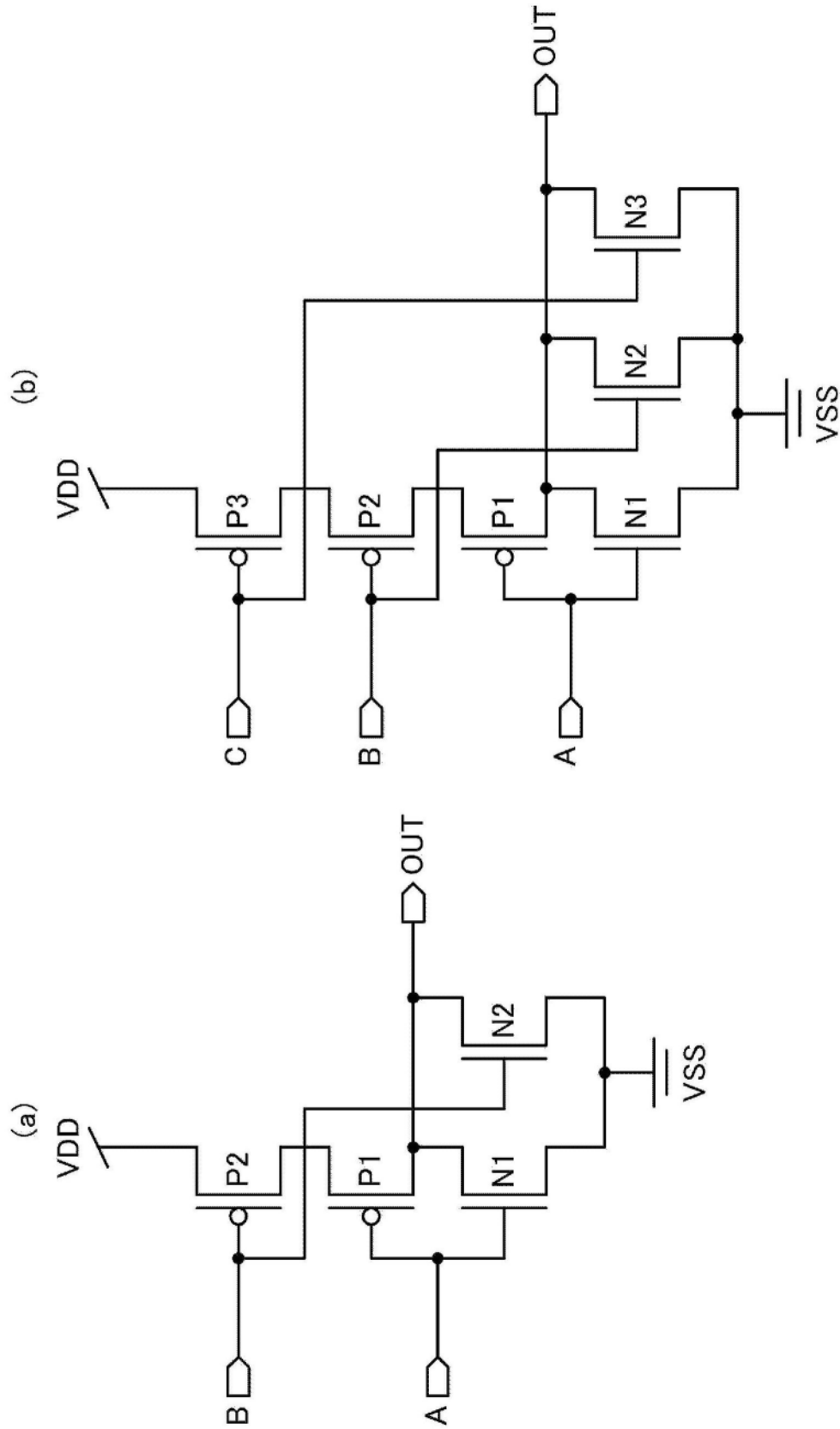


图19

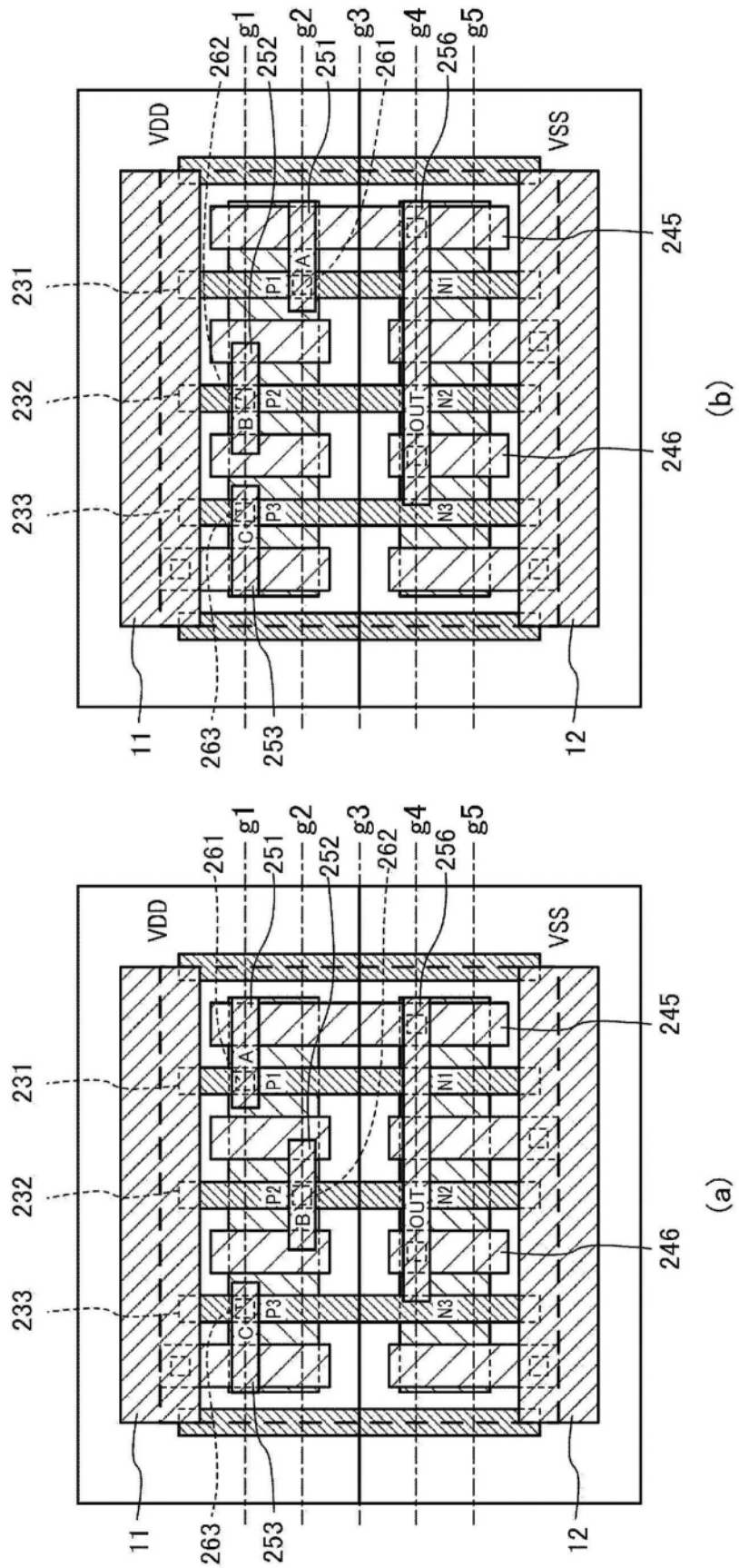


图21