

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6162429号
(P6162429)

(45) 発行日 平成29年7月12日(2017.7.12)

(24) 登録日 平成29年6月23日(2017.6.23)

(51) Int.Cl. F I
H03M 13/09 (2006.01) H03M 13/09

請求項の数 5 (全 8 頁)

<p>(21) 出願番号 特願2013-38151 (P2013-38151) (22) 出願日 平成25年2月28日(2013.2.28) (65) 公開番号 特開2014-165892 (P2014-165892A) (43) 公開日 平成26年9月8日(2014.9.8) 審査請求日 平成28年1月18日(2016.1.18)</p>	<p>(73) 特許権者 591128453 株式会社メガチップス 大阪府大阪市淀川区宮原一丁目1番1号 (74) 代理人 100088672 弁理士 吉竹 英俊 (74) 代理人 100088845 弁理士 有田 貴弘 (72) 発明者 鈴木 孝昌 千葉県千葉市美浜区中瀬一丁目3番地 川崎マイクロエレクトロニクス株式会社内 審査官 大野 友輝</p>
---	--

最終頁に続く

(54) 【発明の名称】 階層構造の演算回路

(57) 【特許請求の範囲】

【請求項1】

m₁ビット(m₁は3以上の整数)の圧縮対象データが第1入力データとして並列に入力され、n₁-1次(n₁は2以上でm₁より小さい整数)の既約多項式を利用して前記第1入力データを圧縮したn₁ビットのCRC符号を並列に出力する第1階層単位演算回路を、複数個備え、全体でm₂ビット(m₂は3以上の整数)の第1階層出力データを並列に出力する第1階層の演算回路と、

前記m₂ビットの第1階層出力データの一部であるm₃ビット(m₃は3以上の整数)の第2入力データが並列に入力され、n₂-1次(n₂は2以上でm₃より小さい整数)の既約多項式を利用して前記第2入力データを圧縮したn₂ビットのCRC符号を並列に出力する第2階層単位演算回路を、前記第1階層単位演算回路の数よりも少ない数の複数個備え、当該複数個の第2階層単位演算回路に入力される前記第2入力データは互いに異なり、全体でm₄ビット(m₄は3以上の整数)の第2階層出力データを並列に出力する第2階層の演算回路と、

前記m₄ビットの第2階層出力データが第3入力データとして並列に入力され、n₃-1次(n₃は2以上でm₄より小さい整数)の既約多項式を利用して前記第3入力データを圧縮したn₃ビットのCRC符号を並列に出力する第3階層単位演算回路を1個備え、第3階層の演算回路と、

を備えたことを特徴とする階層構造の演算回路。

【請求項2】

10

20

クロック信号の第1のエッジで前記第1入力データを保持して前記第1階層単位演算回路に入力する入力側レジスタと、前記クロック信号の次のエッジで前記第2入力データを保持して前記第2階層単位演算回路に入力する第1中間レジスタと、前記クロック信号のさらに次のエッジで前記第2階層出力データを保持して前記第3階層単位演算回路に入力する第2中間レジスタと、前記クロック信号のさらに次のエッジで前記nビットのCRC符号を保持する出力側レジスタと、をさらに備えることを特徴とする請求項1記載の階層構造の演算回路。

【請求項3】

前記第1階層単位演算回路、前記第2階層単位演算回路および前記第3階層単位演算回路のそれぞれが、

10

0ビット目から $m_i - 1$ ビット目の入力データのうちの $m_i - n_i - 1$ ビット目から $m_i - 1$ ビット目まで ($i = 1$ または2または3) が入力され、前記既約多項式の0次から $n_i - 1$ 次までのそれぞれの項の係数と前記入力データの $m_i - 1$ ビット目との積と、前記入力データの $m_i - n_i - 1$ ビット目から $m_i - 2$ ビット目までのそれぞれとの排他論理和を、0ビット目から $n_i - 1$ ビット目までの出力として出力する第1段の演算回路段と、

それぞれが、前段の演算回路段の出力と、前記0ビット目から $m_i - 1$ ビット目の入力データのうちの $m_i - n_i - k$ ビット目 ($k = 2 \sim m_i - n_i$) とが入力され、前記既約多項式の0次から $n_i - 1$ 次までのそれぞれの項の係数と前記前段の演算回路段の $n_i - 1$ ビット目の出力との積と、前記入力データの $m_i - n_i - k$ ビット目および前記前段の演算回路段の出力の0ビット目から $n_i - 2$ ビット目までのそれぞれとの排他論理和を、0ビット目から $n_i - 1$ ビット目までの出力として出力する第k段目の演算回路段と、を有し、

20

$m_i - n_i$ 段目の演算回路段の出力の前記0ビット目から $n_i - 1$ ビット目までを前記 n_i ビットCRC符号として出力することを特徴とする請求項1または2記載の階層構造の演算回路。

【請求項4】

前記複数の第1階層単位演算回路のすべての m_1 は互いに等しく、前記第2階層単位演算回路のすべての m_3 は互いに等しく、 m_1 および m_3 は、前記第3階層単位演算回路の m_4 と等しく、前記複数の第1階層単位演算回路のすべての n_1 は互いに等しく、前記第2階層単位演算回路のすべての n_2 は互いに等しく、 n_1 および n_2 は、第3階層単位演算回路の n_3 と等しいことを特徴とする請求項1ないし3のいずれかに記載の階層構造の演算回路。

30

【請求項5】

前記第1階層演算回路が4個の前記1階層単位演算回路を備え、

前記第2階層演算回路が2個の前記2階層単位演算回路を備え、

前記1階層単位演算回路のそれぞれにおいて $m_1 = n_1 \times 2$ であり、前記2階層単位演算回路のそれぞれにおいて $m_3 = n_2 \times 2$ であり、前記第3階層単位演算回路において $m_4 = n_3 \times 2$ であることを特徴とする請求項4記載の階層構造の演算回路。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、多ビットの入力データを既約多項式で除算してその余りをCRC (Cyclic Redundancy Check) 符号として出力するCRC演算回路に係り、特に全体を階層構造に構成した演算回路に関する。

【背景技術】

【0002】

CRCは、データ伝送の途中で発生するビット誤りを検出する方式の1つであり、元の情報を既約多項式 (自分以外で割り切れない多項式) で除算した余りを符号とするものである。このCRCは圧縮 (情報のビット数を減らす) ために利用できる。例えば、製造し

50

た半導体装置のテスト結果の情報を圧縮して出力するために利用できる。具体的には、例えば、128ビットのテスト結果を8ビットに圧縮して、CRC符号として出力することが行われる。テスト結果に何らかの異常がある場合、この8ビットのCRC符号が期待値と異なった値になるので、128ビットのテスト結果全体に代えて8ビットのCRC符号を出力して、期待値と比較することにより、異常の有無の判断を行うことができる。

【0003】

例えば、128ビットの入力データを8ビットの既約多項式「 $X^7 + X^4 + 1$ 」で除算して8ビットに圧縮したCRC符号を出力させるCRC演算回路は、図4に示すように構成される。SELはセレクタ、FF71～FF78はシフトレジスタを構成するフリップフロップ、XOR71～73は排他的論理和回路である。この回路では、シリアルの入力データ128ビット分を入力してシフトさせることにより、8ビットのCRC符号を生成することができる。これに類似の回路として、特許文献1の第3図に、入力データを既約多項式「 $X^6 + X + 1$ 」で除算するCRC演算回路が記載されている。

10

【0004】

また、この特許文献1の第1図には、第3図で行われる処理を低速で実現するための構成が記載されている。これは、6ビットのシリアルデータを6ビットの平行データに変換し、6ビットのCRC符号を生成するものであり、論理段数2段の演算回路で構成されている。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開昭64-7716号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところが、図4に示したCRC演算回路は、128ビットのデータを処理するために、128クロックサイクルを必要とし、処理に時間がかかる問題がある。また、特許文献1の第1図に示されたCRC演算回路では、段数を2段に少なくできるのは、既約多項式を固定とし、かつ、入力データと同じビット数のCRC符号を生成するからである。任意の既約多項式の利用を可能にし、かつ、入力データより少ないビット数のCRC符号を生成するためには、さらなる処理段数が必要となる。また、この従来技術では、連続的に入力されるシリアルデータを処理することを前提としており、処理しやすいビット数毎に平行データに変換して処理するものであり、大きなビット数のデータが並列に入力される場合の処理については記載されていない。

30

【0007】

本発明の目的は、大きなビット数の並列入力データであっても少ないクロック数で高速にCRC符号を生成できるようにした階層構造の演算回路を提供することである。

【課題を解決するための手段】

【0008】

上記目的を達成するために、請求項1にかかる発明の階層構造の演算回路は、 m_1 ビット（ m_1 は3以上の整数）の圧縮対象データが第1入力データとして並列に入力され、 $n_1 - 1$ 次（ n_1 は2以上で m_1 より小さい整数）の既約多項式を利用して前記第1入力データを圧縮した n_1 ビットのCRC符号を並列に出力する第1階層単位演算回路を、複数個備え、全体で m_2 ビット（ m_2 は3以上の整数）の第1階層出力データを並列に出力する第1階層の演算回路と、前記 m_2 ビットの第1階層出力データの一部である m_3 ビット（ m_3 は3以上の整数）の第2入力データが並列に入力され、 $n_2 - 1$ 次（ n_2 は2以上で m_3 より小さい整数）の既約多項式を利用して前記第2入力データを圧縮した n_2 ビットのCRC符号を並列に出力する第2階層単位演算回路を、前記第1階層単位演算回路の数よりも少ない数の複数個備え、当該複数個の第2階層単位演算回路に入力される前記第2入力データは互いに異なり、全体で m_4 ビット（ m_4 は3以上の整数）の第2階層出力

40

50

データを並列に出力する第2階層の演算回路と、前記 m_4 ビットの第2階層出力データが第3入力データとして並列にされ、 $n_3 - 1$ 次 (n_3 は2以上で m_4 より小さい整数)の既約多項式を利用して前記第3入力データを圧縮した n_3 ビットのCRC符号を並列に出力する第3階層単位演算回路を1個備える、第3階層の演算回路と、を備えたことを特徴とする。

請求項2にかかる発明は、請求項1記載の階層構造の演算回路において、クロック信号の第1のエッジで前記第1入力データを保持して前記第1階層単位演算回路に入力する入力側レジスタと、前記クロック信号の次のエッジで前記第2入力データを保持して前記第2階層単位演算回路に入力する第1中間レジスタと、前記クロック信号のさらに次のエッジで前記第2階層出力データを保持して前記第3階層単位演算回路に入力する第2中間レジスタと、前記クロック信号のさらに次のエッジで前記 n_3 ビットのCRC符号を保持する出力側レジスタと、をさらに備えることを特徴とする。

10

請求項3にかかる発明は、請求項1または2記載の階層構造の演算回路において、前記第1階層単位演算回路、前記第2階層単位演算回路および前記第3階層単位演算回路のそれぞれが、0ビット目から $m_i - 1$ ビット目の入力データのうちの $m_i - n_i - 1$ ビット目から $m_i - 1$ ビット目まで ($i = 1$ または 2 または 3) が入力され、前記既約多項式の0次から $n_i - 1$ 次までのそれぞれの項の係数と前記入力データの $m_i - 1$ ビット目との積と、前記入力データの $m_i - n_i - 1$ ビット目から $m_i - 2$ ビット目までのそれぞれとの排他論理和を、0ビット目から $n_i - 1$ ビット目までの出力として出力する第1段の演算回路段と、それぞれが、前段の演算回路段の出力と、前記0ビット目から $m_i - 1$ ビット目の入力データのうちの $m_i - n_i - k$ ビット目 ($k = 2 \sim m_i - n_i$) とが入力され、前記既約多項式の0次から $n_i - 1$ 次までのそれぞれの項の係数と前記前段の演算回路段の $n_i - 1$ ビット目の出力との積と、前記入力データの $m_i - n_i - k$ ビット目および前記前段の演算回路段の出力の0ビット目から $n_i - 2$ ビット目までのそれぞれとの排他論理和を、0ビット目から $n_i - 1$ ビット目までの出力として出力する第 k 段目の演算回路段と、を有し、 $m_i - n_i$ 段目の演算回路段の出力の前記0ビット目から $n_i - 1$ ビット目までを前記 n_i ビットCRC符号として出力することを特徴とする。

20

請求項4にかかる発明は、請求項1ないし3のいずれかに記載の階層構造の演算回路において、前記複数の第1階層単位演算回路のすべての m_1 は互いに等しく、前記第2階層単位演算回路のすべての m_3 は互いに等しく、 m_1 および m_3 は、前記第3階層単位演算回路の m_4 と等しく、前記複数の第1階層単位演算回路のすべての n_1 は互いに等しく、前記第2階層単位演算回路のすべての n_2 は互いに等しく、 n_1 および n_2 は、第3階層単位演算回路の n_3 と等しいことを特徴とする。

30

請求項5にかかる発明は、請求項4記載の階層構造の演算回路において、前記第1階層演算回路が4個の前記1階層単位演算回路を備え、前記第2階層演算回路が2個の前記2階層単位演算回路を備え、前記1階層単位演算回路のそれぞれにおいて $m_1 = n_1 \times 2$ であり、前記2階層単位演算回路のそれぞれにおいて $m_3 = n_2 \times 2$ であり、前記第3階層単位演算回路において $m_4 = n_3 \times 2$ であることを特徴とする。

【発明の効果】

【0009】

40

本発明によれば、大きなビット数の並列入力データであっても少ないクロック数で高速にCRC符号を生成できる。また、任意の既約多項式を入力可能であるので、多種の既約多項式に対応できる。また、同一構成の単位演算回路を複数使用した階層構造とすることができるので、入力ビット数の増大に対して容易に対応することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の実施例のCRC演算回路の単位演算回路の回路図である。

【図2】本発明の実施例のCRC演算回路の回路図である。

【図3】図1の単位演算回路において、既約多項式が「 $X^7 + X^4 + 1$ 」のときの単位演算回路の回路図である。

50

【図4】既約多項式が「 $X^7 + X^4 + 1$ 」のときの従来のCRC演算回路の回路図である。

【発明を実施するための形態】

【0011】

図1に本発明の実施例の階層構造の演算回路の単位演算回路10を示す。この単位演算回路10は、16ビットの入力データを圧縮して8ビットのCRC符号を出力するCRC(24, 16)回路であり、共通クロックの立上りに同期して16ビットの入力データDin[15:0]を取り込む16個の入力側レジスタを構成するフリップフロップFF1~FF16と、64個のAND回路AND1~AND64と、64個の排他的論理和回路XOR1~XOR64から構成される。

【0012】

1段目の演算回路11は、AND回路AND1~AND8と排他的論理和回路XOR1~XOR8により構成されている。AND回路AND1~AND8は、最高次の入力データDin[15]と、8ビットの既約多項式の0次から7次までの項の係数(a, b, c, d, e, f, g, h)とのそれぞれの積を演算する。排他的論理和回路XOR1~XOR8は、そのAND回路AND1~AND8の出力データと入力データDin[7]~Din[14]とのそれぞれの排他的論理和を演算する。

【0013】

2段目の演算回路12は、AND回路AND9~AND16と排他的論理和回路XOR9~XOR16により構成されている。AND回路AND9~AND16は、前段の排他的論理和回路XOR8の出力データと、8ビットの既約多項式の0次から7次までの項の係数(a, b, c, d, e, f, g, h)とのそれぞれの積を演算する。排他的論理和回路XOR9~XOR16は、そのAND回路AND9~AND16の出力データと入力データDin[6]および前段の排他的論理和回路XOR1~XOR7とのそれぞれの排他的論理和を演算する。

【0014】

3段目の演算回路13は、AND回路AND17~AND24と排他的論理和回路XOR17~XOR24により構成されている。AND回路AND17~AND24は、前段の排他的論理和回路XOR16の出力データと、8ビットの既約多項式の0次から7次までの項の係数(a, b, c, d, e, f, g, h)とのそれぞれの積を演算する。排他的論理和回路XOR17~XOR24は、そのAND回路AND17~AND24の出力データと入力データDin[5]および前段の排他的論理和回路XOR9~XOR15とのそれぞれの排他的論理和を演算する。

【0015】

以下、同様に、4段目の演算回路14はAND回路AND25~AND32と排他的論理和回路XOR25~XOR32により構成され、8ビットの既約多項式の0次から7次までの項の係数(a, b, c, d, e, f, g, h)と、入力データDin[4]と、3段目の演算回路13の排他的論理和回路の出力データを入力して、同様の演算を行う。

【0016】

また、5段目の演算回路15はAND回路AND33~AND40と排他的論理和回路XOR33~XOR40により構成され、8ビットの既約多項式の0次から7次までの項の係数(a, b, c, d, e, f, g, h)と、入力データDin[3]と、4段目の演算回路14の排他的論理和回路の出力データを入力して、同様の演算を行う。

【0017】

また、6段目の演算回路16はAND回路AND41~AND48と排他的論理和回路XOR41~XOR48により構成され、8ビットの既約多項式の0次から7次までの項の係数(a, b, c, d, e, f, g, h)と、入力データDin[2]と、5段目の演算回路15の排他的論理和回路の出力データを入力して、同様の演算を行う。

【0018】

また、7段目の演算回路17はAND回路AND49~AND56と排他的論理和回路XOR49~XOR56により構成され、8ビットの既約多項式の0次から7次までの項

10

20

30

40

50

の係数 (a , b , c , d , e , f , g , h) と、入力データ $D_{in}[1]$ と、6 段目の演算回路 16 の排他的論理和回路の出力データを入力して、同様の演算を行う。

【 0 0 1 9 】

また、8 段目の演算回路 18 はアンド回路 $AND_{57} \sim AND_{64}$ と排他的論理和回路 $XOR_{57} \sim XOR_{64}$ により構成され、8 ビットの既約多項式の 0 次から 7 次までの項の係数 (a , b , c , d , e , f , g , h) と、入力データ $D_{in}[0]$ と、7 段目の演算回路 17 の排他的論理和回路の出力データを入力して、同様の演算を行う。

【 0 0 2 0 】

このように、図 1 の単位演算回路 10 では、フリップフロップ $FF_1 \sim FF_{16}$ は入力データ $D_{in}[0] \sim D_{in}[15]$ を取り込む初段のみであり、8 段分の演算回路 11 ~ 18 ではレジスタを使用しないので、1 クロックで処理することが出来、高速化が可能となる。

10

【 0 0 2 1 】

本実施例では、例えば入力ビット数が 128 ビットの場合は、図 2 に示すように、図 1 に示した単位演算回路 10 を 10A , 10B , 10C , 10D のように階層構造に接続して、4 段接続とし、128 ビット 64 ビット 32 ビット 16 ビット 8 ビットの圧縮を行い、最終箇所に 8 個のフリップフロップで構成された出力レジスタ 20 を接続する。このとき、1 段目の 8 個の単位演算回路 10A で 1 クロック、2 段目の 4 個の単位演算回路 10B で 1 クロック、3 段目の 2 個の単位演算回路 10C で 1 クロック、4 段目の 1 個の単位演算回路 10D で 1 クロック、レジスタ 20 で 1 クロックが要求されるのみである。よって、合計で 5 クロックで 128 ビットの入力データから 8 ビットの CRC 符号を生成することができる。図 4 で説明した CRC 回路が 8 ビットの CRC 符号を生成するために 128 クロックが必要であったのと比較すると、ほぼ 25 倍も高速化できる。

20

【 0 0 2 2 】

図 1 に示した単位演算回路 10 を、そのまま、半導体集積回路内に配置し、図 2 の CRC 演算回路を構成することも可能である。この場合には、任意の既約多項式を利用した CRC 符号生成を行うことが可能である。しかし、半導体集積回路の設計時に、利用する既約多項式を決定することが可能な場合には、図 1 の単位演算回路 10 から、不要な論理要素を省略し、簡素な回路構成で半導体集積回路内に配置することが可能である。

【 0 0 2 3 】

図 3 に、一例として、16 ビットの入力データを 8 ビットの既約多項式「 $X^7 + X^4 + 1$ 」で除算して 8 ビットの CRC 符号を出力させるための単位演算回路 10' を示す。このときは、 $a = 1$, $b = 0$, $c = 0$, $d = 0$, $e = 1$, $f = 0$, $g = 0$, $h = 1$ となるので、アンド回路は 64 個が全て省略され、排他的論理和回路も 40 個が省略された簡素な回路構成となる。

30

【 符号の説明 】

【 0 0 2 4 】

10 , 10' , 10A ~ 10D : 単位演算回路

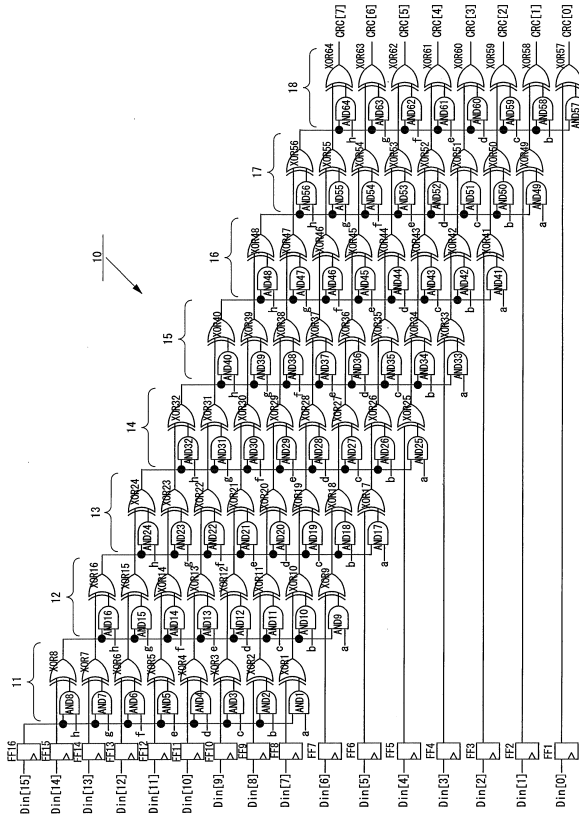
$FF_1 \sim FF_{16}$, $FF_{71} \sim FF_{78}$: フリップフロップ

$AND_1 \sim AND_{64}$: アンド回路

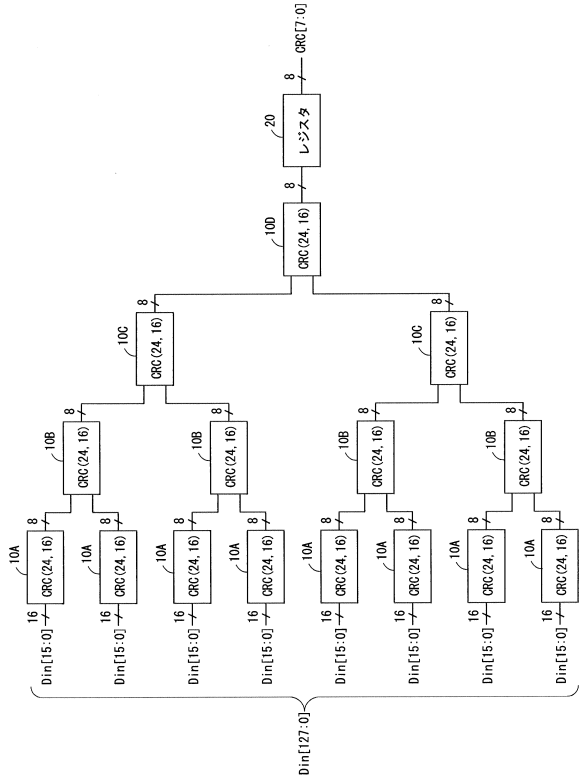
$XOR_1 \sim XOR_{64}$, $XOR_{71} \sim XOR_{73}$: 排他的論理和回路

40

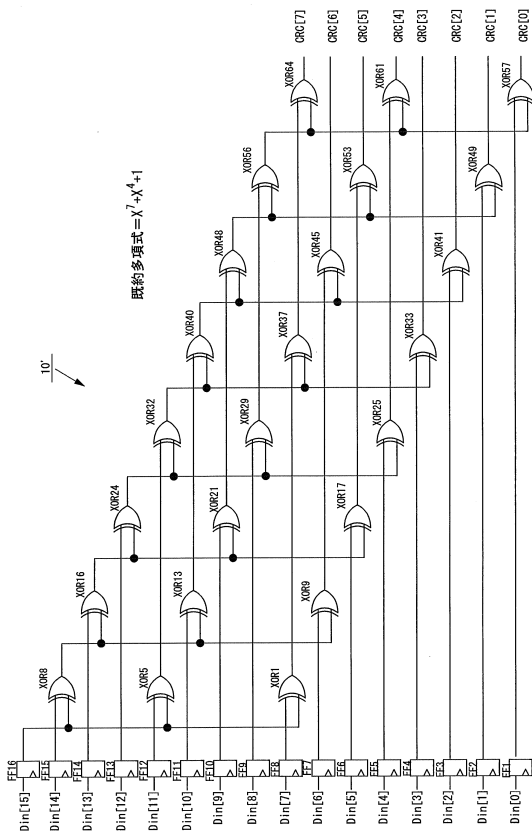
【図 1】



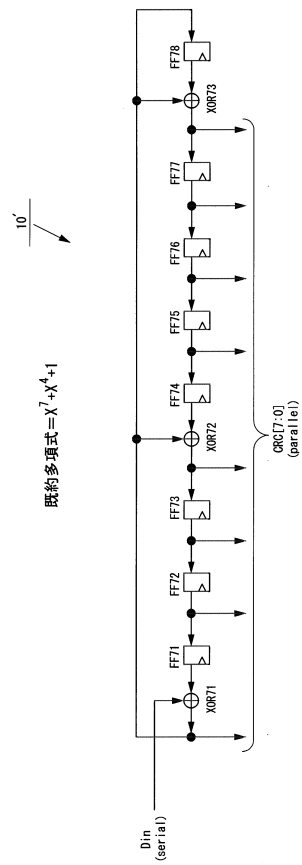
【図 2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 米国特許出願公開第2003/0200500(US,A1)

特開昭64-007716(JP,A)

特開平10-209880(JP,A)

米国特許第06295626(US,B1)

米国特許第05878057(US,A)

(58)調査した分野(Int.Cl.,DB名)

H03M 13/09