

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 96123112.2

[45] 授权公告日 2002 年 9 月 11 日

[11] 授权公告号 CN 1090819C

[22] 申请日 1996.12.11

[21] 申请号 96123112.2

[30] 优先权

[32]1995. 12. 11 [33]JP [31]321760/95

[73]专利权人 三菱电机株式会社

地址 日本东京都

[72]发明人 飞田洋一

审查员 樊晓东

[74] 专利代理机构 中国专利代理(香港)有限公司

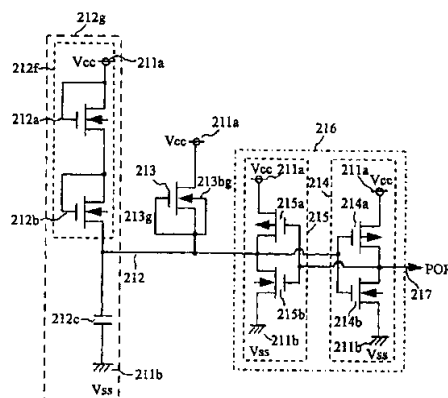
代理人 蕭掄昌 王 岳

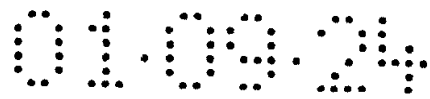
权利要求书2页 说明书9页 附图页数7页

[54]发明名称 半导体集成电路

[57] 摘要

一种半导体集成电路包含一电源电位反应电路以及一电容器 (212c); 该电路包含一连接成二极管的放电的 MOS 晶体管, 以便在从连接节点至电源电位节点间配置成正向偏压的方向, 该晶体管的背栅极和栅极本身相连接; 以及, 该电路包含一保持电路 (216), 藉此以保持其输出的电源启动复位信号。





权 利 要 求 书

1. 一半导体集成电路, 包含:

5 一电源电位反应电路, 由一连接在一电源电位节点和一连接节点之间的提升电路, 以及一连接在该连接节点和一地电位节点之间的电容器组成;

一放电 MOS 晶体管在该电源电位节点和连接节点间接二极管方式连接以便从该连接节点至该电源电位节点配置成正向偏压的方向, 该 MOS 晶体管的背栅极与其自身的一栅极相连接; 以及

10 一保持电路, 接收该连接节点的电位以及输出一电源启动复位信号, 使电平从该连接节点的电位在电源电位开始上升后一预定期间后从第一电平改变为第二电平, 与超出预设电平的连接节点的电位相对应, 从而保持将该电源启动复位信号的第二电平,

该提升电路包含 2 个 MOS 晶体管, 该 2 个 MOS 晶体管皆按二极管连接以便从电源电位节点至连接节点配置成正向偏压方向, 该 2 个 MOS 晶体管的背
15 栅极分别与其本身的一栅极相连接, 和

该保持电路包含一对 MOS 连接成触发器的倒相器电路。

2. 一种半导体集成电路, 包括:

一电源电位反应电路, 由一连接在一电源电位节点和一连接节点之间的提升电路, 以及一连接在该连接节点和一地电位节点之间的电容器组成, 当
20 施加到电源电位节点的一个上升电位超过所述连接节点处的电位预定的阈值时, 所述提升电路将充电电流从电源电位节点传导到所述连接节点以便给所述电容充电;

一保持电路, 响应于该连接节点的电位以及输出一电源启动复位信号, 在电源电位开始上升超过第一预定电平时使所述电源启动复位信号从第一
25 电平改变为第二电平, 且直到所述连接节点处的电平超过高于第一预定电平的第二预定电平为止, 将电源启动复位信号保持在第二电平,

按二极管方式连接的一个 MOS 晶体管, 该 MOS 晶体管的背栅极与其自身的一栅极相连接, 在从连接节点到所述电源电位节点之间配置成正向偏压的方向, 以便在所述连接节点的电位超过所述电源电位节点的电位 0.25 伏时,
30 使所述电容经由所述连接节点到所述电源电位节点放电。

3. 一种半导体集成电路, 包括:

一电源电位反应电路, 由一连接在一电源电位节点和一连接节点之间的

提升电路，以及一连接在该连接节点和一地电位节点之间的电容器组成，当施加到电源电位节点的电源电位超过所述连接节点处的电位一个预定的阈值时，所述提升电路将充电电流从电源电位节点传导到所述连接节点以便给所述电容充电；

- 5 一保持电路，响应于该连接节点的电位以及输出一电源启动复位信号，在电源电位开始上升超过第一预定电平时使所述电源启动复位信号从第一电平改变为第二电平，且直到所述连接节点处的电平超过高于第一预定电平的所述第二预定电平为止，将电源启动复位信号保持在第二电平，

- 10 按二极管方式连接的一个 MOS 晶体管，该 MOS 晶体管的背栅极与其自身的一栅极相连接，在从连接节点到所述电源电位节点之间配置成正向偏压的方向，以便在所述电源电位节点的电位下降到比所述连接节点的电位低一个所述按二极管方式连接、且将其背栅极与其自身的一栅极相连接的 MOS 晶体管的阈值电位的绝对值时，使所述电容经由所述连接节点到所述电源电位节点放电。

说明书

半导体集成电路

5 本发明系有关于一种半导体积体电路，特别是有关于一种利用二
按二极管连接(diode-connected)的金属氧化物半导体(MOS)晶体管的阈
值电压以设计电源复位电路的半导体集成电路。

10 近来，由于便携式装备如笔记型个人计算机、蜂巢式电话和个人
手提电话等广泛快速的传播，低功率损耗型集成电路的需求亦随之剧
增。而达成低功率损耗最普遍的方法即是让半导体集成电路在低电压
的电源下工作，然而以低电压来驱动半导体集成电路会造成 MOS 晶
体管的阈值电压降对电源电位的比例增大，而使得利用 MOS 晶体管
阈值电压降来调整电位变得困难，这将严重地影响电路设计。

15 图 8 显示常规的产生一电源启动复位信号(下文中以 POR 信号表
示)的电启动复位电路(下文中以 POR 电路表示)，在电源启动时用来控
制和初始化内部电路，详细例子如美国专利编号 5,073,874 所描述。在
图 8 中，数字 1a 表示一电源电位节点在，其上电位为 V_{cc} ；数字 1b
表示一地电位节点，电位为 V_{ss} ；数字 2a 和 2b 表示二个 P 沟道 MOS
晶体管而其各别的栅极均和本身的漏极相连接，也就是二极管连接，
20 而二个 P 沟道 MOS 晶体管串连后再连接于电源电位节点 1a 和连接节
点 2 之间。数字 2c 表示一电容器连接在连接节点 2 和地电位节点 1b
之间；数字 3 是一倒相器由 P 沟道 MOS 晶体管 2a 和 N 沟道 MOS 晶
体管 3b 所构成，其输入端接收连接节点 2 的电位而从输出端输出 POR
信号。

25 其次，上述常规 POR 电路工作方式将在下文中描述。图 9 是一时
序图，表示常规 POR 电路(如图 8 所示)在电源启动和断路时的动作。
在图 9 中，数字(a)表示在电源电位节点 1a 上电位 V_{cc} 的变动，数字(b)

表示在连接节点 2 上电位 NN2 的变动, 数字(c)表示图 8 所示 POR 电路的输出 POR 信号电位(POR)的变动情形。此外 $|V_{th}|$ 表示 MOS 晶体管阈值电压的绝对值, 而 V_T 表示倒相器的阈值电压。首先, 当外部电源启动时, 电源电位节点 1a 的电位 V_{cc} 从时间 t_0 开始上升(时间 t_0)。当电源电位节点 1a 的电位 V_{cc} 达到 P 沟道 MOS 晶体管 3a 阈值电压($|V_{th}|$)时, P 沟道 MOS 晶体管开始要导通而 POR 信号的电位 POR 从时间 t_1 开始上升(时间 t_1)。再来, 当电源电位节点 1a 的电位 V_{cc} 再上升达到二个 P 沟道 MOS 晶体管 2a 和 2b 阈值电压之和 $2|V_{th}|$ 时, 按二极管连接的 P 沟道 MOS 晶体管 2a 和 2b 开始导通, 藉著电容器 2c 的充电开始, 在时间 t_2 时连接节点 2 的电位 NN2 开始以较电源电位节点 1a 电位平缓的速度上升(时间 t_2)。当连接节点 2 的电位 NN2 已超出倒相器 3 的阈值电压时, 倒相器 3 被倒相而 POR 信号的电位 POR 开始下降(时间 t_3)。如前述的动作结果, 产生一 POR 信号在电源电压启动时用以控制和初始化内部电路。

其次, 当电源关闭时, 也就是当改变电源节点 1a 的电位 V_{cc} 使成为地电位节点 V_{ss} 时, 累积在电容器 2c 的电荷将经由布线电容(Wiring Capacitance)而逐渐放电, 因此连接节点 2 的电位 NN2 开始降低(时间 t_4)。然而在图 8 中所示的 POR 电路中由于在连接节点 2 上并未配置任何放电路径而仅能由布线电容放电, 故而在时间 t_5 电源完全关闭后, 要使连接节点 2 的电位 NN2 降低至地电位 V_{ss} 需要很长的时间。当累积在电容器 2c 和节点 2 的布线电容的电荷未充分放电之前即连接节点 2 的电位 NN2 尚未充分下降(时间 t_6 时)前即再次启动电源, 则只有当电源电位节点 1a 的电位 V_{cc} 上升至高于 $V_a + |V_{th}|$ 时倒相器 3 的 P 沟道 MOS 晶体管 3a 开始导通, 而 POR 信号的电位 POR 开始上升(时间 t_7)。在这一状况下, V_a 表示连接节点 2 在时间 t_6 时的电位。接著, 当电源电位节点 1a 的电位上升至 2 个 P 沟道 MOS 晶体管 2a 和 2b 阈值电压之和 $|V_{th}|$, 且高于 V_a 时, 2 个按二极管连接的 P 沟道 MOS 晶体管开始

对电容器 2c 充电而连接节点 2 的电位 NN2 也开始上升(时间 t_8)。当连接节点 2 的电位 NN2 超出倒相器 3 的临界电压 V_T 时, 被相器 3 倒相而 POR 信号电位开始降低(时间 t_9)。但是, 在上述动作过程中, 因为电源再一次启动前在连接节点 2 上仍残留 V_a 的电位, 所以用来决定 POR 信号脉冲持续时间(t_7 至 t_9 时段), 相对比较于将累积在电容器 2c 和连接节点 2 布线电容上的电荷充分放电使连接节点 2 的电位 NN2 成为地电位 V_{ss} 的条件下所决定之 POR 信号脉冲持续时间(t_1 到 t_3 时间)而言是极度地缩短了。

以上所描述的常 POR 电路中, 在电源关闭一次后再启动时因为累积在电容器 2c 和连接节点 2 的布线电容上的电荷放电速度慢且不完全, 致使当电源启动时用以控制和初始化内部电路的任何 POR 信号将无法产生, 即或可产生 POR 信号也不是正常的脉冲在此将引起误动作。

又当工作在低电压电源时, 因为电源关闭时在连接节点 2 上电容器 2c 和布线电容所累积的电荷放电不完全, 连接节点 2 上所产生的电位 V_a 和 MOS 晶体管的阈值电压 $|V_{th}|$ 将占去电压电源 V_{cc} 的绝大比例, 因此产生另外一个问题就是在电源关闭后很难利用传统的 MOS 晶体管使连接节点 2 的电位 NN2 和地电位 V_{ss} 相等。

有鉴于此, 本发明之目的是要解决上述的问题, 亦提供一半导体集成电路能够在电源关闭后再迅速启动时将内部电路的充电电荷放电并将其电位拉低至接近地电位。

本发明的另一个目的是提供一包含 POR 电路的半导体集成电路, 即使在电源关闭后到电源重新启动的时间周期缩短的情形下, 在电源启动时仍然能产生正常的 POR 信号以控制和初始化内部电路。

根据本发明的第一特征, 一半导体集成电路包含一放电元件由连接成二极管的 MOS 晶体管在电源电位节点和连接节点之间的, 从连接节点至电源电位节点的方向配置成顺向偏压方向, 这一 MOS 晶体管的背栅极和本身的栅极相连。

根据本发明的第二特征，一半导体集成电路包含一电源电压反应电路，该反应电路包含一提升电路在电源电位节点和连接节点间连接以及一电容器连接到连接节点和地电位节点；一放电 MOS 晶体管，按二极管连接并在电源电位节点和连接节点之间，从连接节点至电源电位节点的方向配置成前向偏压方向，这一 MOS 晶体管的背栅极和本身 5 的栅极相连；一保持电路，其接收前述连接节点的电位以及输出一电源启动复位信号，使电平从电源电位开始上升经一预定时间后从第一电平改变为第二电平，而与超出预设电平的连接节点的电位相对应，从而保持该电源启动复位信号的第二电平。

10 图 1 为应用本发明的 DRAM 方框图；

图 2 为根据本发明一实施例的 POR 产生电路；

图 3 为根据本发明的 POR 产生电路的动作时序图；

图 4 为根据本发明的 MOS 晶体管阈值电压对背栅极和源极间电压的特性图；

15 图 5 为根据本发明另一实施例的 POR 产生电路；

图 6 为根据本发明又一实施例的 POR 产生电路图；

图 7 为根据本发明再一实施例的 POR 产生电路图；

图 8 为根据先有技术的 POR 产生电路图；以及

图 9 为根据先有技术 POR 产生电路的电路动作时序图；

20 在所有的图示中，相同的单元均约予相同的数字。

图 1 表示应用本发明 DRAM(动态随机存取存储器)100 的方框图包含一个内部电位产生电路群组 200，一 POR 电路 210 和一存储单元阵列 101 由多个以行列方式排列的存储单元所组成。一 $\overline{RAS}$ (行地址选通)缓冲器 110 接收一由外部施加的信号 $\overline{RAS}$ 和输出 $\overline{RAS}$ 信号至地址缓冲器 130；以及 $\overline{CAS}$ (列地址选通)缓冲器 120 接收一由外部施加的信号 $\overline{CAS}$ 和输出一 CAS 信号至地址缓冲器 130。地址缓冲器 130 接收一外部地址信号 ext Ai (i=0,1,2 ……) 和该 $\overline{RAS}$ 信号，锁存该外部地址信号 ext Ai，输出行地址信号 RAi 和 $\overline{RAi}$ 给内部电路，以及接收外部地址信

号 ext Ai ($i=0,1,2 \dots$) 和该 $\overline{\text{CAS}}$ 信号, 锁存外部地址信号 ext Ai 和输出列位址信号 CAi 和 $\overline{\text{CAi}}$ 给内部电路。

一行译码器 140 接收从地址缓冲器 130 来的信号 RAi 和 $\overline{\text{RAi}}$ 后选择一相对应的字元线; 一列译码器 150 接收从地址缓冲器 130 来的信号 CAi 和 $\overline{\text{CAi}}$ 后选择一相对应的读出放大器以及 I/O(输入/输出)电路 170, 该放大器用以放大存储单元 101 在位元线上被读出的电位而 I/O 电路则用以传送存储单元 101 在位元线上被读出的数据。数字 160 表示一字元驱动器用以提高行译码器 140 所选择的字元线的电位; 180 表示一读出和写入的控制电路, 从外部接收一写入允许信号 ext/WE 和一输出允许信号 ext/OE , 且输出一 WO 信号来控制内部电路的读出和写入; 以及 190 表示一 I/O 缓冲器接收从读出和写入控制电路 180 输出的信号 WO , 在写入的情形下经一数据线传送外部施加的数据 ext D_{in} 至 I/O 引线 I/O 读出放大器 170, 在读出的情形下输出存储单元中的读出数据由读出放大器 170 放大后经 I/O 电路数据线传送至 I/O 引线成为数据 $\text{ext D}_{\text{out}}$ 信号。

在图 1 中, POR 电路 210 用以当电源启动时产生 POR 信号来控制 and 初始化内部电路如内部电位产生电路群组 200 和 $\overline{\text{RAS}}$ 缓冲器 110 以及其它部分电路。

图 2 是表示根据本发明一个最佳实施例的 POR 电路 210 一图, 而图 3 系一动作时序图。在图 2 中, 211a 表示一电源电位节点其电位为 V_{cc} ; 数字 211b 表示一地电位节点其电位为 V_{ss} ; 以及数字 212a 和 212b 表示 2 个 N 沟道 MOS 晶体管其个别的栅极和漏极均相连在一起, 也就是按二极管连接, 在电源电位节点和连接节点间连接以便从电源电位节点 211a 至连接节点 212 的方向配置成前向偏压方向, 从而形成一提升电路 212f。数字 212c 表示一电容器连接在连接节点 212 和地电位节点 211b 之间, 且和提升电路共同形成一电源电位反应电路 212g。数字 214 表示一倒相器由一 P 沟道 MOS 晶体管 214a 和 N 沟道 MOS 晶体管 214b 构成, 其输入端接收连接节点 212 的电位而输出端输出

POR 信号 POR；数字 215 也是一倒相器由一 P 沟道 MOS 晶体管 215a 和一 N 沟道 MOS 晶体管 215b 构成，其输入端接收 POR 信号 POR 而输出端则连接至连接节点 212；数字 216 表示一保持电路由两个倒相器 214 和 215 构成；数字 213 表示一 N 沟道 MOS 晶体管连接在电源电位节点 211a 和连接节点 212 之间，且从连接节点 212 至电源电位节点 211a 的方向配置成前向偏压方向，其背栅极 213bg 亦连接到栅极 213g。因此，该 MOS 晶体管 213 的作用为一放电晶体管，也就是说在电源电位节点 211a 的电位 V_{cc} 降至比连接节点 212 的电位低于一个 N 沟道 MOS 晶体管 213 的阈值电压时，MOS 晶体管 213 导通并将累积在电容器 212c 和连接节点 212 的布线电容上的电荷放电。

本身栅极和背栅极相连接的 MOS 晶体管的阈值电压将在下文中参照图 4 来描述。

图 3 显示 MOS 晶体管的阈值电压 V_{th} 相对于 MOS 晶体管其背栅极电压和源极间电位差 V_{BS} 的变动图示，而其电位差如下列运算式(1)所表示：

$$V_{th} = V_0 + K[(2\phi_F + V_{BS})^{1/2} - (2\phi_F)^{1/2}] \quad (1)$$

其中： V_{BS} 表示背栅极电压(以源极电压为基准)， K 表示基片体效应常数， ϕ_F 表示基片表面电位，以及 V_0 表示当 $V_{BS} = 0V$ 时的阈值电压。

在图 4 中， d 表示 MOS 晶体管背栅极与源极间的电位差 V_{BS} 和 MOS 晶体管的阈值电压 V_{th} 在此相等之点。从图 4 很明显地看出，因为 $V_{BS} = V_{th}$ 的结果使得将传统上 $V_{BS} = -1.5V$ 时 MOS 晶体管的阈值电压为 $0.7V$ 降低至 $0.25V$ 成为可能，且尚比 $V_{BS} = 0V$ 时的阈值电压 $V_0(0.35V)$ 小 $0.1V$ 。将 MOS 晶体管的背栅极连接在一起即可使 $V_{BS} = V_{th}$ 。在下文的描述中，为区别起见 $|V_{th0}|$ 将表示当 MOS 晶体管背栅极和栅极连接时阈值电压的绝对值，而 $|V_{th}|$ 则表示当 $V_{BS} = -1.5V$ 时传统 MOS 晶体管的阈值电压。

接著，上文提及的 POR 电路 210 动作方式将在下文中描述。在图 3 中，(a)表示电源电位节点 211a 电位 V_{cc} 的变动，(b)表示在连接节点

212 上电位 N212 变动, 以及(c)表示 POR 电路 210 的输出信号 POR 的电位变动。

首先, 当由外部电源启动时, 电源电位节点 211a 的电位 V_{cc} 在 T_0 时开始上升, 如图 3(a)所示。当电源电位节点 211a 在电位 V_{cc} 在 T_1 时(参照 3(a))达到 P 沟道 MOS 晶体管 214a 的阈值电压值 $|V_{th}|$ 时, P 沟道 MOS 晶体管 214a 开始导通, 而 POR 信号的电位 POR 也开始如图 3(c)所示上升。当电源电位节点 211a 的电位 V_{cc} 在 T_2 时(参照图 3(a))再上升到达 2 个 N 沟道 MOS 晶体管 212a 和 212b 的阈值电压的相加值 $2|V_{th}|$ 时, 2 个 N 沟道 MOS 晶体管 212a 和 212b 开始导通而电容器 212c 也开始充电, 借此电容器的充电连接节点 212 的电位 N212 开始以较电源电位节点 212a 电位上升斜度平缓的速度上升如图 3(b)所示。当连接节点 212 的电位 N212 在如图 3(b)所示 T_3 处超出倒相器 214 的阈值电压 V_T 时, 倒相器 214 被倒相, 也就是说 MOS 晶体管 214a 成开路截止状态, 结果 POR 信号的电位 POR 开始下降如图 3(c)所示。藉由上述的动作, 在电源启动时用以控制和初始化内部电路的 POR 信号于是产生。在这动作期间, 按二极管连接的放电 N 沟道 MOS 晶体管 213 一直处在反偏的状态且没有任何电流流通。倒相器 215 的功能为提高连接节点 212 的电位, 并和倒相器 214 一起形成锁存电路来保留 POR 信号。

当电源是断时, 电源电位节点 211a 的电位在 T_4 处开始下降如图 3(a)所示, 随著电位继续下降, 累积在电容器 212c 和连接节点 212 布线电容上的电荷也经由沟道 MOS 晶体管 215a 以及正向偏压的按二极管连接的放电 N 沟道 MOS 晶体管 213 逐渐地放电, 而连接节点 212 的电位 N212 也就如图 3(b)所示下降。当电源电位节点电位 V_{cc} 降至与地电位节点电位 V_{ss} 相等时, 连接节点 212 的电位 N212 将更进一步在 T_5 处下降至放电 NMOS 晶体管 213 阈值电压 $|V_{tho}|$ 的电平如图 3(b)所示。但是, 如果放电 N 沟道 MOS 晶体管的背栅极没有与其栅极相连接, 也就是说当背栅极是连接到基片电位 V_{BB} 或地电位 V_{ss} 时, 连接节

点 212 的电位 N212 仅能下降至比 $|V_{tho}|$ 高的电位 $|V_{th}|$ 。

随后, 当在 T_6 处重新启动电源时, 电源电位节点 211a 的电位 V_{cc} 将如图 3(b) 所示 T_7 处超出 $|V_{tho}| + |V_{th}|$, 在此同时 P 沟道 MOS 晶体管 214a 开始导通而使 POR 信号的电位 POR 开始上升如图 3(c) 所示。当电源
5 电位节点 211a 的电位 V_{cc} 再上升达到 $|V_{tho}| + 2|V_{th}|$ 比 $|V_{tho}|$ 高出 2 个 N 沟道 MOS 晶体管 212a 和 212b 的阈值电压和 $2|V_{th}|$ 时(时间 T_8), 2 个按二极管连接的 N 沟道 MOS 晶体管 212a 和 212b 都导通, 开始对电容器 212c 充电, 因此连接节点 212 的电位 N212 开始上升, 如图 3(b) 所示。此外, 当连接节点 212 的电位 N212 已达到倒相器的阈值电压 V_T 时(如
10 图 3(b) 时间 T_9), 倒相器 214 的输出倒相而 POR 信号的电位 POR 开始下降, 如图 3(c) 所示。另一方面, 如果连接节点 212 的电位 N212 只能降至 $|V_{th}|$ 的电平而不能再降时, 则 POR 信号的电位 POR 不是一正常脉冲信号, 如图 3(c) 虚线所示。

如上所述, 在 POR 电路中累积在电器 212c 和连接节点 212 布线
15 电容上的电荷在电源中断后都很快速地降至充分的电平, 如此即使缩短电源中断后到电源重新开启的时间所产生的 POR 信号依然是一正常的脉冲信号, 最终使保护半导体集成电路免于受在电源启动时的影响而导至误动作成为可能。

虽然在上述实施例中以二个倒相器 214 和 215 来构成保持电路
20 216, 但是在倒相器 214 输出端连接多级倒相器 218 和 219(如图 5 所示)做为驱动器亦是另一较佳实施例。

此外, 虽然 N 沟道 MOS 晶体各 213 是做为放电晶体管, 其亦可以 P 沟道 MOS 晶体管 217 来取代(如图 6)。再者, 如图 7 所示利用 P 沟道 MOS 晶体管 212d 和 212e 来取代 N 沟道 MOS 晶体管 212a 和 212b
25 也是另一较佳实施例。

前述的实施例有一个优点, 即一半导体集成电路包含一放电单元能在电源中断时将电位快速地放电至近乎地电位的电平。

此外, 根据本发明之另一优点是, 一半导体集成电路包含一 POR

产生电路用以产生一正常脉冲信号即使当电源中断后立即再启动电源也能够控制以及初始化内部电路。

5 虽然本发明已以一些较佳实施例说明如上，然其并非用以限定本发明，本领域的一般技术人员，在不脱离本发明的精神和范围内，当可作各种更动与附加，因此本发明的保护范围仅由后附的专利申请范围所界定。

10

15

说明书附图

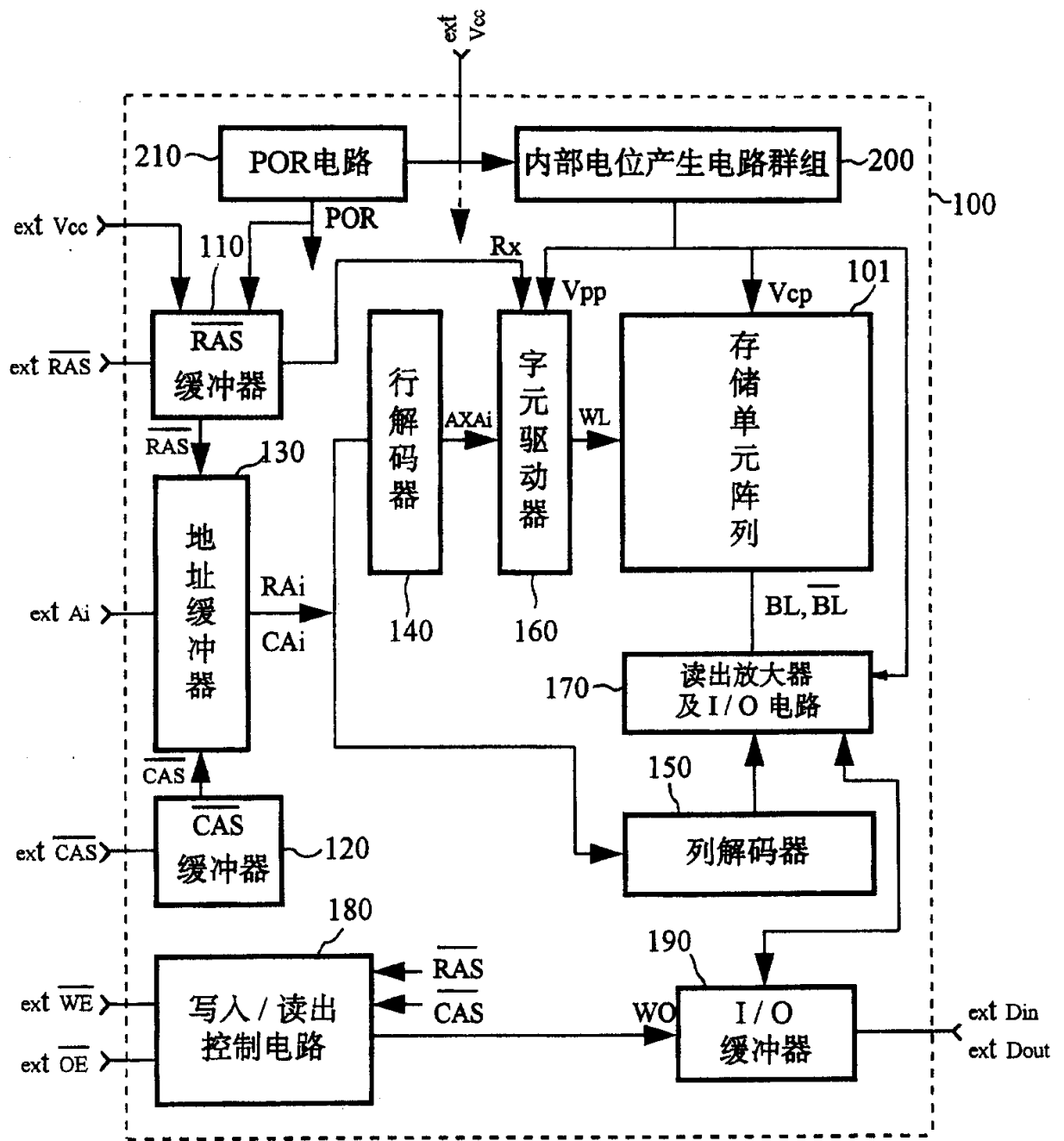


图 1

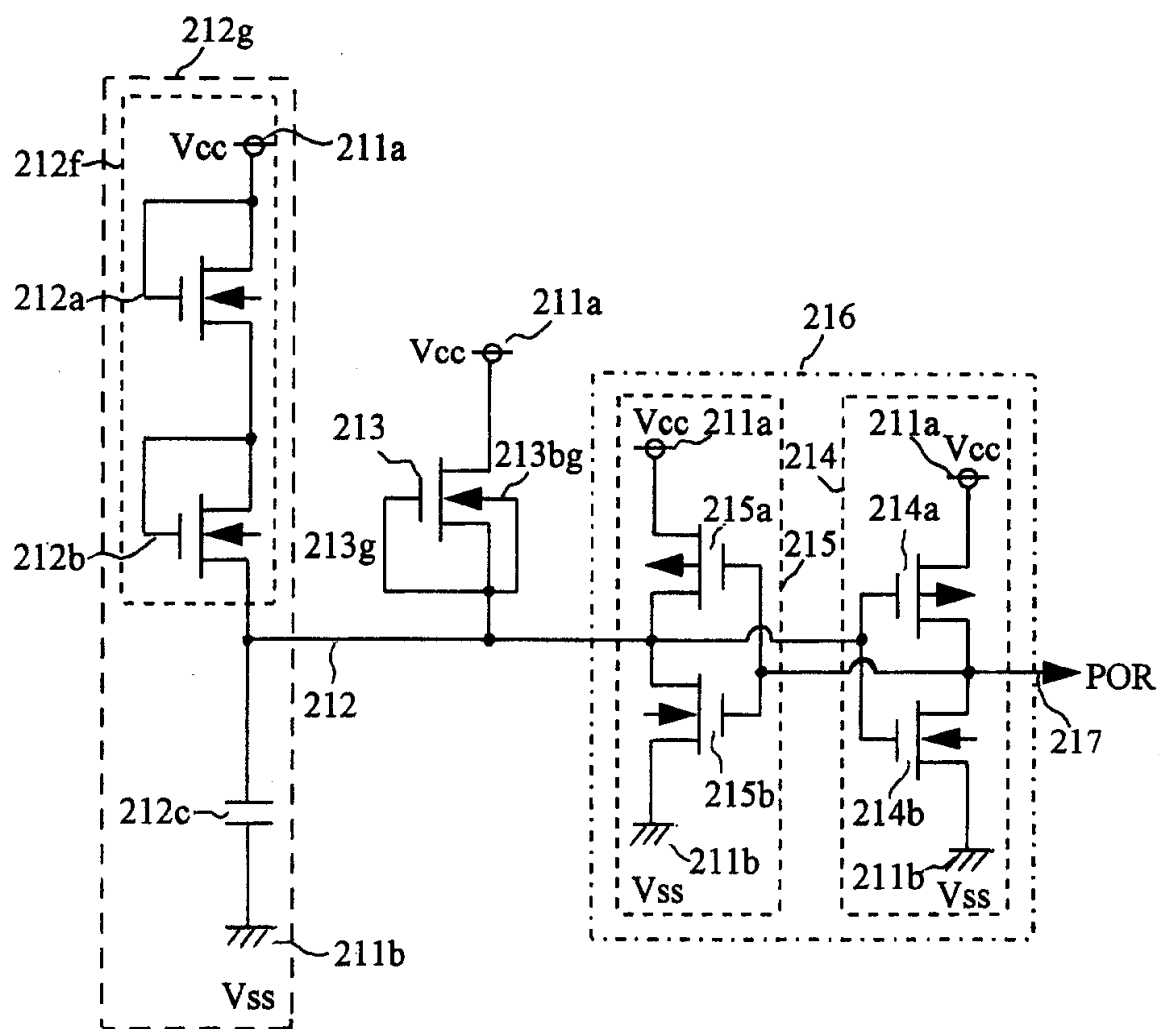


图 2

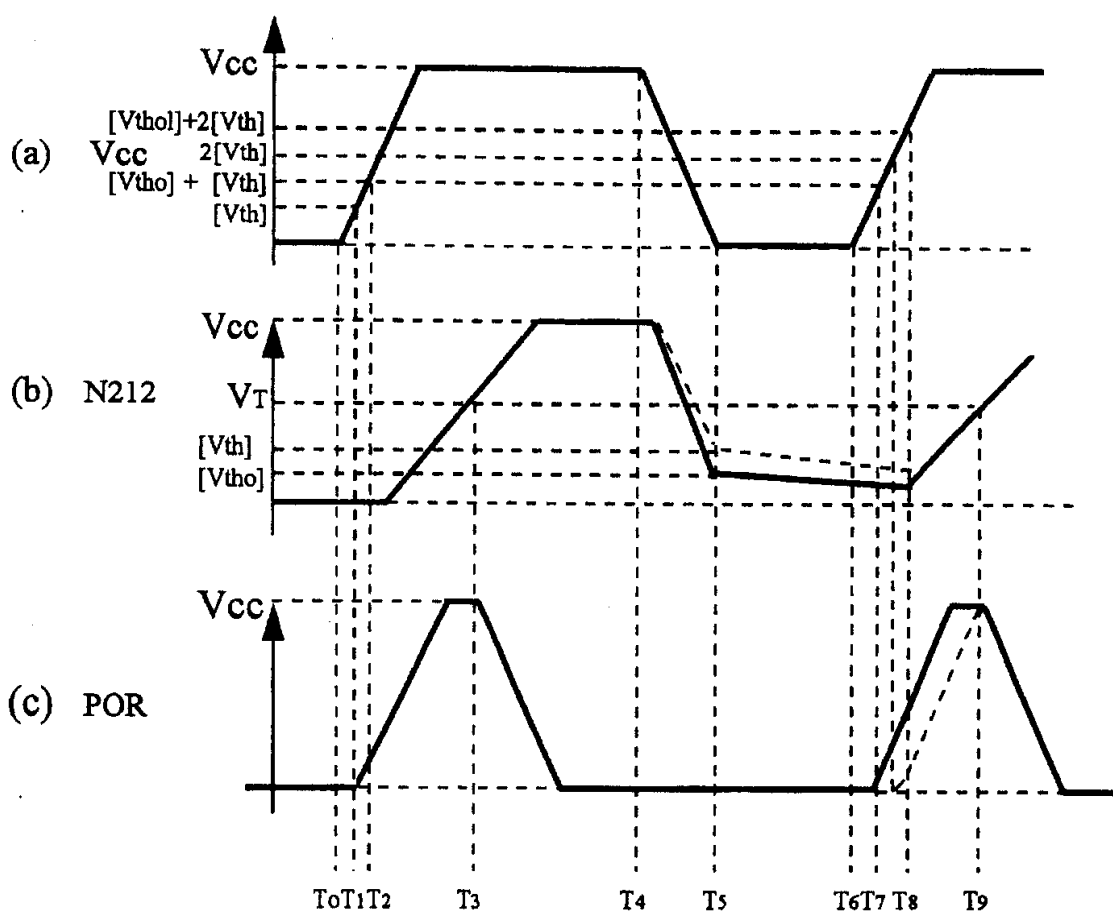


图 3

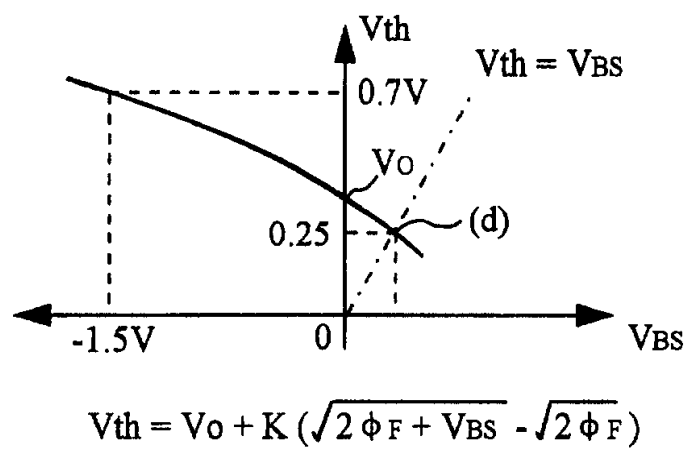


图 4

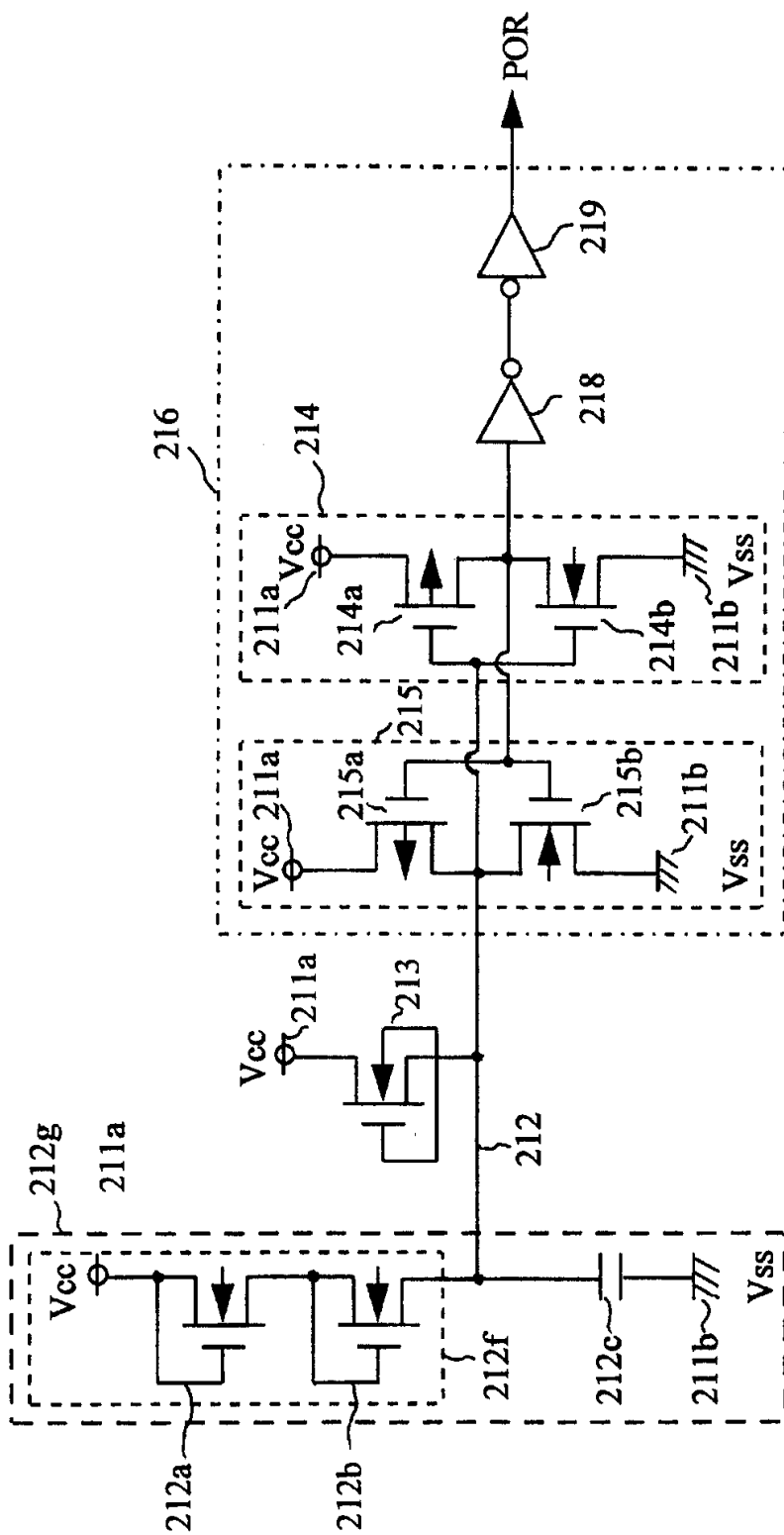


图 5

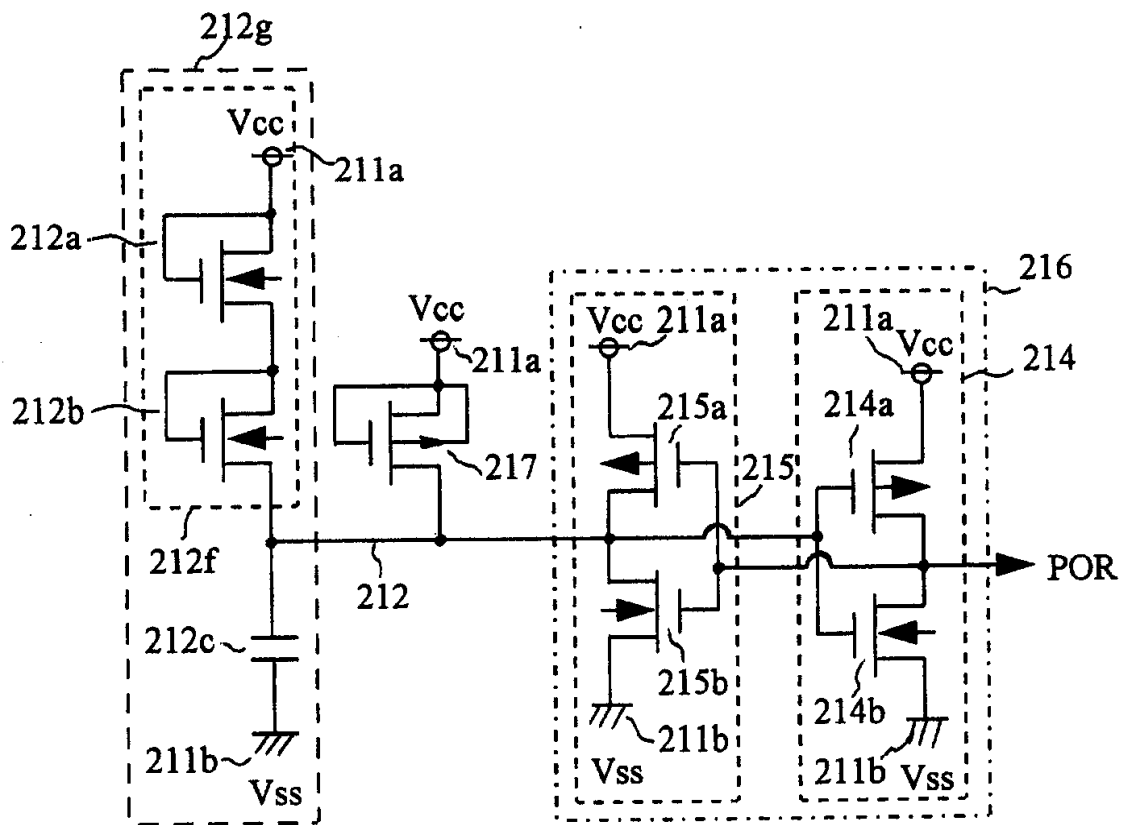


图 6

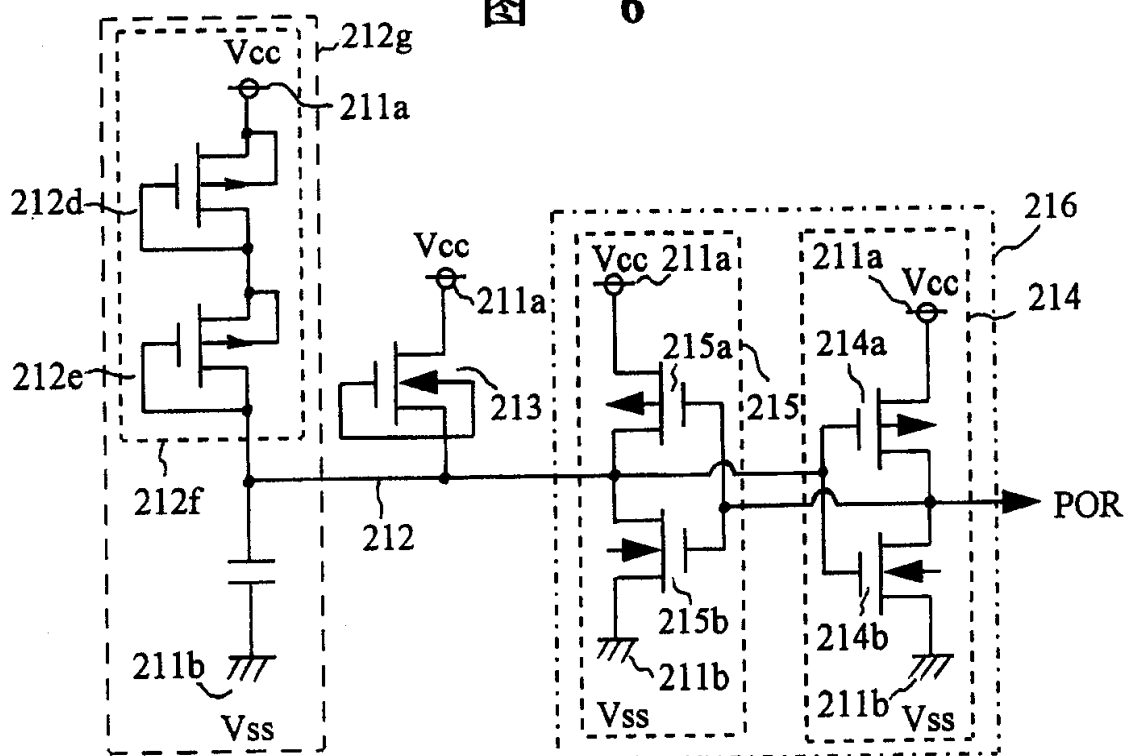


图 7

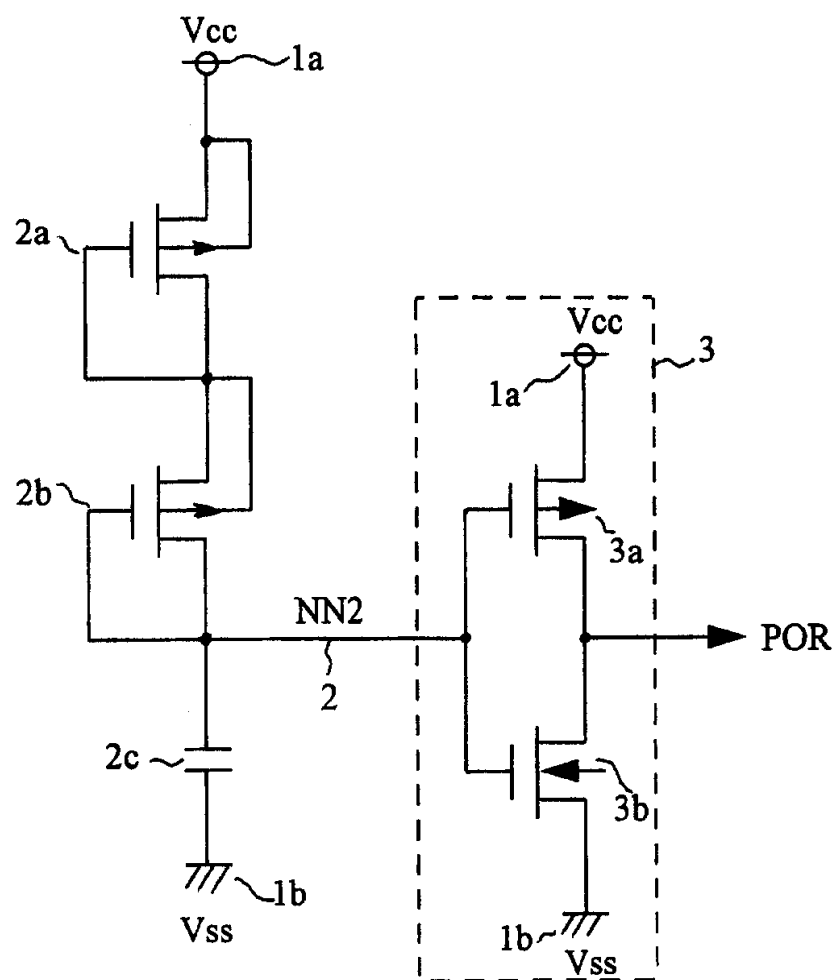


图 8

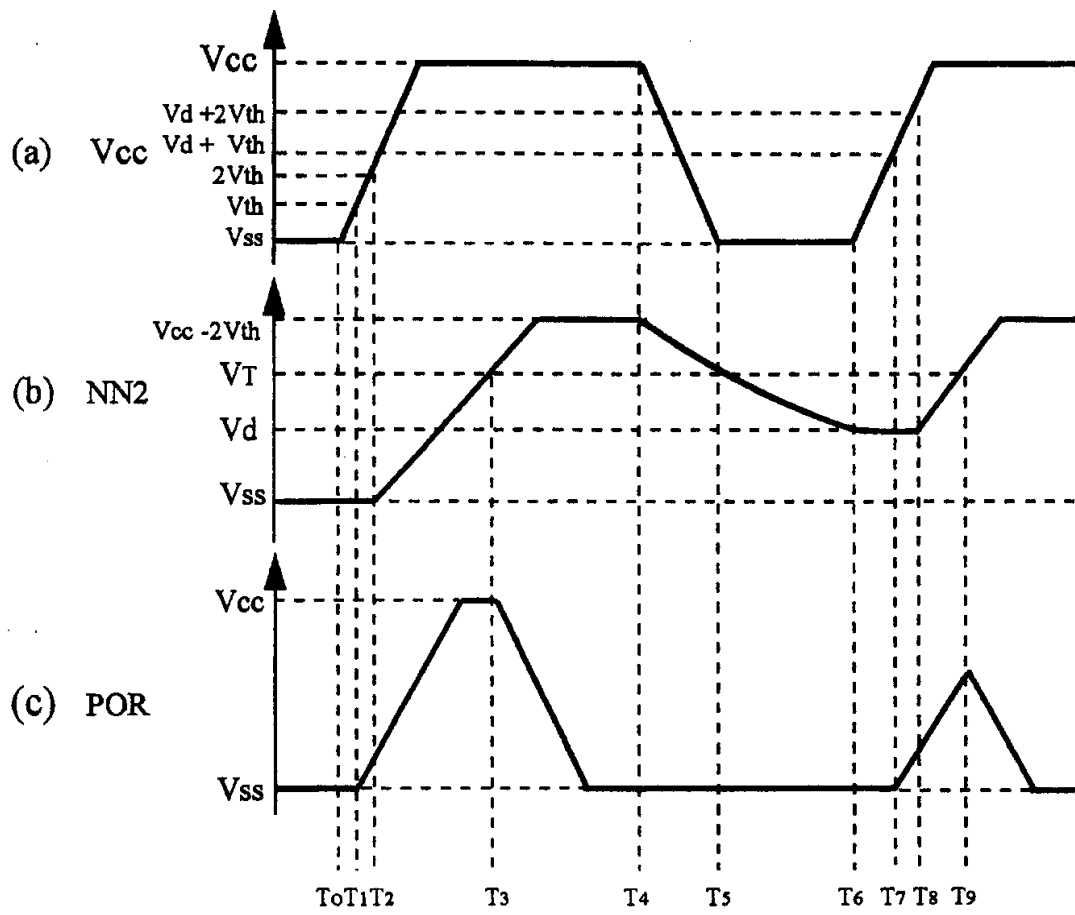


图 9