



(12)发明专利申请

(10)申请公布号 CN 110622425 A

(43)申请公布日 2019.12.27

(21)申请号 201880030726.6

(74)专利代理机构 永新专利商标代理有限公司
72002

(22)申请日 2018.05.10

代理人 张海燕

(30)优先权数据

62/505,573 2017.05.12 US

15/975,440 2018.05.09 US

(51)Int.Cl.

H03M 13/11(2006.01)

(85)PCT国际申请进入国家阶段日

2019.11.08

(86)PCT国际申请的申请数据

PCT/US2018/031988 2018.05.10

(87)PCT国际申请的公布数据

W02018/209035 EN 2018.11.15

(71)申请人 高通股份有限公司

地址 美国加利福尼亚

(72)发明人 T·理查森

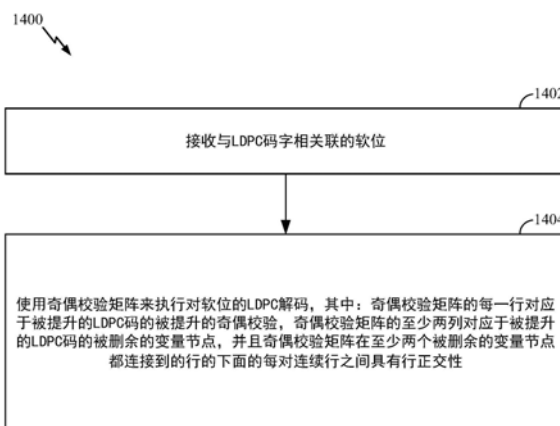
权利要求书5页 说明书20页 附图32页

(54)发明名称

构造具有用于速率兼容的QC-LDPC编码的行正交性的奇偶校验矩阵

(57)摘要

本公开内容的某些方面总体上涉及用于例如使用包括根据高速率核心图的第一层和用于HARQ传输的第二层的奇偶校验矩阵,来解码准循环低密度奇偶校验(QC-LDPC)速率匹配码的方法和装置,其中,奇偶校验矩阵具有准行正交性或者第二层内的完全正交性。用于执行低密度奇偶校验(LDPC)解码的示例性方法包括:接收与LDPC码字相关联的软位,并使用奇偶校验矩阵来执行对软位的LDPC解码,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。



1. 一种用于执行低密度奇偶校验 (LDPC) 解码的方法,所述方法包括:
接收与LDPC码字相关联的软位;以及
使用奇偶校验矩阵来执行对所述软位的LDPC解码,其中:
所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,
所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点,以及
所述奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。
2. 根据权利要求1所述的方法,其中,在每一对连续行中,所述两个被删余的变量节点交替连接到后续行。
3. 根据权利要求1所述的方法,其中,所述奇偶校验矩阵的所有连续行的对中的至少1/2的连续行的对具有行正交性。
4. 根据权利要求3所述的方法,其中,所有连续行的对中的1/2的连续行的对包括所述奇偶校验矩阵的所有行的后1/2的行,并且其中,所述奇偶校验矩阵的所有行的所述后1/2的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。
5. 根据权利要求1所述的方法,其中,所述奇偶校验矩阵包括:
前N行的核心部分;以及
在所述前N行之后的混合自动重传请求 (HARQ) 行。
6. 根据权利要求5所述的方法,其中:
对于所述至少两个被删余的变量节点都连接到的所述行下面的每一行,没有列在两个连续行中具有非空条目。
7. 一种用于无线通信的装置,包括:
处理器,其被配置为:
使所述装置接收与低密度奇偶校验 (LDPC) 码字相关联的软位;以及
使用奇偶校验矩阵来执行对所述软位的LDPC解码,其中:
所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,
所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点,以及
所述奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性;以及
存储器,其与所述处理器耦合。
8. 根据权利要求7所述的装置,其中,在每一对连续行中,所述两个被删余的变量节点交替连接到后续行。
9. 根据权利要求7所述的装置,其中,所述奇偶校验矩阵的所有连续行的对中的至少1/2的连续行的对具有行正交性。
10. 根据权利要求9所述的装置,其中,所有连续行的对中的1/2的连续行的对包括所述奇偶校验矩阵的所有行的后1/2的行,并且其中,所述奇偶校验矩阵的所有行的所述后1/2的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。
11. 根据权利要求7所述的装置,其中,所述奇偶校验矩阵包括:
前N行的核心部分;以及
在所述前N行之后的混合自动重传请求 (HARQ) 行。

12. 根据权利要求11所述的装置, 其中:

对于至少两个被删余的变量节点都连接到的所述行下面的每一行, 没有列在两个连续行中具有非空条目。

13. 一种用于执行低密度奇偶校验 (LDPC) 解码的装置, 所述装置包括:

用于接收与LDPC码字相关联的软位的单元; 以及

用于使用奇偶校验矩阵来执行对所述软位的LDPC解码的单元, 其中:

所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,

所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点, 以及

所述奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

14. 根据权利要求13所述的装置, 其中, 在每一对连续行中, 所述两个被删余的变量节点交替连接到后续行。

15. 根据权利要求13所述的装置, 其中, 所述奇偶校验矩阵的所有连续行的对中的至少1/2的连续行的对具有行正交性。

16. 根据权利要求15所述的装置, 其中, 所有连续行的对中的1/2的连续行的对包括所述奇偶校验矩阵的所有行的后2/3的行, 并且其中, 所述奇偶校验矩阵的所有行的所述后1/2的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。

17. 根据权利要求13所述的装置, 其中, 所述奇偶校验矩阵包括:

前N行的核心部分; 以及

在所述前N行之后的混合自动重传请求 (HARQ) 行。

18. 根据权利要求17所述的装置, 其中:

对于所述至少两个被删余的变量节点都连接到的所述行下面的每一行, 没有列在两个连续行中具有非空条目。

19. 一种用于执行低密度奇偶校验 (LDPC) 解码的计算机可读介质, 所述计算机可读介质包括指令, 在由至少一个处理器执行时, 所述指令使得所述至少一个处理器执行包括如下内容的操作:

接收与LDPC码字相关联的软位; 以及

使用奇偶校验矩阵来执行对所述软位的LDPC解码, 其中:

所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,

所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点, 以及

所述奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

20. 根据权利要求19所述的计算机可读介质, 其中, 在每一对连续行中, 所述两个被删余的变量节点交替连接到后续行。

21. 根据权利要求19所述的计算机可读介质, 其中, 所述奇偶校验矩阵的所有连续行的对中的至少1/2的连续行的对具有行正交性。

22. 根据权利要求21所述的计算机可读介质, 其中, 所有连续行的对中的1/2的连续行的对包括所述奇偶校验矩阵的所有行的后1/2的行, 并且其中, 所述奇偶校验矩阵的所有行的所述后1/2的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。

23. 根据权利要求19所述的计算机可读介质,其中,所述奇偶校验矩阵包括:
前N行的核心部分;以及
在所述前N行之后的混合自动重传请求 (HARQ) 行。
24. 根据权利要求23所述的计算机可读介质,其中:
对于在其中所述至少两个被删余的变量节点都连接到相同行的所述行下面的每一行,没有列在两个连续行中具有非空条目。
25. 一种用于执行低密度奇偶校验 (LDPC) 编码的方法,所述方法包括:
获得码字的信息位;以及
根据奇偶校验矩阵执行对所述信息位的编码以计算LDPC码字的奇偶校验位,其中:
所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,
所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点,以及
所述奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。
26. 根据权利要求25所述的方法,其中,在每一对连续行中,所述两个被删余的变量节点交替连接到后续行。
27. 根据权利要求25所述的方法,其中,所述奇偶校验矩阵的所有连续行的对中的至少1/2的连续行的对具有行正交性。
28. 根据权利要求27所述的方法,其中,所有连续行的对中的1/2的连续行的对包括所述奇偶校验矩阵的所有行的后1/2的行,并且其中,所述奇偶校验矩阵的所有行的所述后1/2的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。
29. 根据权利要求25所述的方法,其中,所述奇偶校验矩阵包括:
前N行的核心部分;以及
在所述前N行之后的混合自动重传请求 (HARQ) 行。
30. 根据权利要求29所述的方法,其中:
对于所述至少两个被删余的变量节点都连接到的所述行下面的每一行,没有列在两个连续行中具有非空条目。
31. 一种用于无线通信的装置,包括:
处理器,其被配置为:
获得码字的信息位;以及
根据奇偶校验矩阵执行对所述信息位的编码以计算LDPC码字的奇偶校验位,其中:
所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,
所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点,以及
所述奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性;以及
存储器,其与所述处理器耦合。
32. 根据权利要求31所述的装置,其中,在每一对连续行中,所述两个被删余的变量节点交替连接到后续行。
33. 根据权利要求31所述的装置,其中,所述奇偶校验矩阵的所有连续行的对中的至少1/2的连续行的对具有行正交性。

34. 根据权利要求33所述的装置, 其中, 所有连续行的对中的 $1/2$ 的连续行的对包括所述奇偶校验矩阵的所有行的后 $1/2$ 的行, 并且其中, 所述奇偶校验矩阵的所有行的所述后 $1/2$ 的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。

35. 根据权利要求31所述的装置, 其中, 所述奇偶校验矩阵包括:

前N行的核心部分; 以及

在所述前N行之后的混合自动重传请求 (HARQ) 行。

36. 根据权利要求35所述的装置, 其中:

对于所述至少两个被删余的变量节点都连接到的所述行下面的每一行, 没有列在两个连续行中具有非空条目。

37. 一种用于执行低密度奇偶校验 (LDPC) 编码的装置, 所述装置包括:

用于获得码字的信息位的单元; 以及

用于根据奇偶校验矩阵执行对所述信息位的编码以计算LDPC码字的奇偶校验位的单元, 其中:

所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,

所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点, 以及

所述奇偶校验矩阵在所述至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

38. 根据权利要求37所述的装置, 其中, 在每一对连续行中, 所述两个被删余的变量节点交替连接到后续行。

39. 根据权利要求37所述的装置, 其中, 所述奇偶校验矩阵的所有连续行的对中的至少 $1/2$ 的连续行的对具有行正交性。

40. 根据权利要求39所述的装置, 其中, 所有连续行的对中的 $1/2$ 的连续行的对包括所述奇偶校验矩阵的所有行的后 $2/3$ 的行, 并且其中, 所述奇偶校验矩阵的所有行的所述后 $1/2$ 的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。

41. 根据权利要求37所述的装置, 其中, 所述奇偶校验矩阵包括:

前N行的核心部分; 以及

在所述前N行之后的混合自动重传请求 (HARQ) 行。

42. 根据权利要求41所述的装置, 其中:

对于所述至少两个被删余的变量节点都连接到的行下面的每一行, 没有列在两个连续行中具有非空条目。

43. 一种用于执行低密度奇偶校验 (LDPC) 编码的计算机可读介质, 所述计算机可读介质包括指令, 在由至少一个处理器执行时, 所述指令使得所述至少一个处理器执行包括以下内容的操作:

获得码字的信息位; 以及

根据奇偶校验矩阵执行对所述信息位的编码以计算LDPC码字的奇偶校验位, 其中:

所述奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,

所述奇偶校验矩阵的至少两列对应于所述被提升的LDPC码的被删余的变量节点, 以及

所述奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

44. 根据权利要求43所述的计算机可读介质, 其中, 在每一对连续行中, 所述两个被删余的变量节点交替连接到后续行。

45. 根据权利要求43所述的计算机可读介质, 其中, 所述奇偶校验矩阵的所有连续行的对中的至少1/2的连续行的对具有行正交性。

46. 根据权利要求45所述的计算机可读介质, 其中, 所有连续行的对中的1/2的连续行的对包括所述奇偶校验矩阵的所有行的后1/2的行, 并且其中, 所述奇偶校验矩阵的所有行的所述后1/2的行对应于与所述LDPC码字的混合自动重传请求 (HARQ) 信息相关联的行。

47. 根据权利要求43所述的计算机可读介质, 其中, 所述奇偶校验矩阵包括:

前N行的核心部分; 以及

在所述前N行之后的混合自动重传请求 (HARQ) 行。

48. 根据权利要求47所述的计算机可读介质, 其中:

对于所述至少两个被删余的变量节点都连接到的所述行下面的每一行, 没有列在两个连续行中具有非空条目。

构造具有用于速率兼容的QC-LDPC编码的行正交性的奇偶校验矩阵

[0001] 相关申请的交叉引用

[0002] 本专利申请要求享有于2017年5月12日提交的美国临时专利申请No.62/505,573和于2018年5月9日提交的美国专利申请No.15/975,440的优先权,两者均转让给本申请的受让人,并由此通过引用的方式将其全部内容明确地并入本文。

技术领域

[0003] 本公开内容的某些方面总体上涉及用于无线通信的方法和装置,具体而言,涉及低密度奇偶校验(LDPC)速率兼容设计中的行正交性。

背景技术

[0004] 无线通信系统被广泛部署以提供各种类型的通信内容,诸如语音、数据等。这些系统可以是能够通过共享可用系统资源(例如,带宽和发射功率)来支持与多个用户的通信的多址系统。这种多址系统的示例包括长期演进(LTE)系统、码分多址(CDMA)系统、时分多址(TDMA)系统、频分多址(FDMA)系统、第三代合作伙伴计划(3GPP)长期演进(LTE)系统、高级长期演进(LTE-A)系统和正交频分多址(OFDMA)系统。

[0005] 通常,无线多址通信系统可以同时支持多个无线节点的通信。每个节点经由前向链路和反向链路上的传输与一个或多个基站进行通信。前向链路(或下行链路)是指从基站到节点的通信链路,而反向链路(或上行链路)是指从节点到基站的通信链路。通信链路可以经由单输入单输出、多输入单输出或多输入多输出(MIMO)系统来建立。

[0006] 在现代信息时代,二进制值(例如1和0)被用于表示和发送各种类型的信息,诸如视频、音频、统计信息等。不幸的是,在存储、传输和/或处理二进制数据期间,可能会无意引入错误;例如,1可以变为零,反之亦然。

[0007] 通常,在数据传输的情况下,接收机在存在噪声或失真的情况下观察每个接收的位,并且仅获得位值的指示。在这些情况下,被观察的值被解释为“软”位的来源。软位指示该位值的优选估计(例如,1或0)以及该估计的可靠性的一些指示。尽管错误的数量可能相对较低,但即使少量的错误或失真程度也会导致数据不可用,或者在传输错误的情况下可能迫使重传数据。

[0008] 为了提供检查错误并且在一些情况下纠正错误的机制,可以对二进制数据进行编码以引入精心设计的冗余。数据单元的编码产生通常称为码字的内容。由于其冗余性,码字通常会包含比产生码字的输入数据单元多的位。

[0009] 冗余位由编码器添加到所发送的位流以创建码字。当接收或处理从被发送的码字产生的信号时,可以使用在信号中观察到的码字中包括的冗余信息来识别和/或纠正接收信号中的错误或消除来自接收信号的失真,以便恢复原始数据单元。这种错误检查和/或纠正可以作为解码过程的一部分来实现。在没有错误的情况下,或者在可纠正的错误或失真的情况下,解码可用于从正在被处理的源数据中恢复被编码的原始数据单元。在不可恢复

的错误的情况下,解码过程可以产生不能完全恢复原始数据的一些指示。解码失败的这种指示可以用于启动数据的重传。

[0010] 随着用于数据通信的光纤线路的使用增加以及可以从数据存储设备(例如磁盘驱动器、磁带等)读取数据并将数据存储到数据存储设备的速率的提高,不仅对高效利用数据存储和传输容量的需求增加,而且对以高速率编码和解码数据的能力的需求也增加。

[0011] 虽然编码效率和高数据速率是重要的,但是对于实际用于广泛范围的设备(例如,消费设备)的编码和/或解码系统,编码器和/或解码器能够以合理的成本实现是重要的。

[0012] 通信系统通常需要以几种不同的速率运行。保持实施方式尽可能简单并且以不同速率提供编码和解码的一种方式是使用可调低密度奇偶校验(LDPC)码。具体而言,可以通过对低速率码进行删余来生成较高速率的LDPC码。

[0013] 已经在各种电信标准中采用上述多址技术,以提供使得不同的无线设备能够在城市、国家、地区甚至全球级别上进行通信的公共协议。新兴电信标准的示例是新无线技术(NR)。NR是第三代合作伙伴计划(3GPP)颁布的对LTE移动标准(例如,5G无线接入)的一组增强。NR被设计为通过提高频谱效率、降低成本、改善服务、利用新频谱,并在下行链路(DL)和上行链路(UL)上使用具有循环前缀(CP)的OFDMA与其他开放标准更好地整合,并支持波束成形、多输入多输出(MIMO)天线技术和载波聚合来更好地支持移动宽带互联网接入。

[0014] 随着对移动宽带接入的需求不断增加,存在对NR技术进一步改进的需求。优选地,这些改进应当适用于其他多址技术和使用这些技术的电信标准。改进的一个领域是适用于NR的编码/解码领域。例如,用于NR的高性能LDPC码的技术是希望的。

发明内容

[0015] 本公开内容的系统、方法和设备各自具有几个方面,其中没有一个方面单独对其期望的属性负责。在不限制由所附权利要求表达的本公开内容的范围的情况下,现在将简要地讨论一些特征。在考虑了本讨论之后,并且特别是在阅读了题为“具体实施方式”的部分之后,将会理解本公开内容的特征如何提供包括无线网络中的接入点和站之间的改进的通信的优点。

[0016] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验(LDPC)解码的方法。该方法通常包括接收与LDPC码字相关联的软位,并使用奇偶校验矩阵来执行对软位的LDPC解码,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0017] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验(LDPC)解码的装置。该装置通常包括处理器,该处理器被配置为使该装置接收与LDPC码字相关联的软位,并使用奇偶校验矩阵来执行对软位的LDPC解码,其中,奇偶校验矩阵的每一行对应于被分层被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。该装置通常还包括与处理器耦合的存储器。

[0018] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验(LDPC)解码的装置。该装置通常包括用于接收LDPC码字的软位的单元,以及用于使用奇偶校验矩阵来执行对软

位的LDPC解码的单元,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0019] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验 (LDPC) 解码的计算机可读介质。计算机可读介质通常包括指令,在由至少一个处理器执行时,所述指令使得至少一个处理器执行以下操作:接收与LDPC码字相关联的软位,以及使用奇偶校验矩阵来执行对软位的LDPC解码,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0020] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验 (LDPC) 编码的方法。该方法通常包括获得码字的信息位并且根据奇偶校验矩阵执行对信息位的编码以计算LDPC码字的奇偶校验位,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0021] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验 (LDPC) 编码的装置。该装置通常包括处理器,该处理器被配置为使该装置执行以下操作:获得码字的信息位并且根据奇偶校验矩阵执行对信息位的编码以计算LDPC码字的奇偶校验位,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。该装置通常还包括与处理器耦合的存储器。

[0022] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验 (LDPC) 解码的装置。该装置通常包括用于获得码字的信息位的单元以及用于根据奇偶校验矩阵执行对信息位的编码以计算LDPC码字的奇偶校验位的单元,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0023] 本公开内容的某些方面提供了一种用于执行低密度奇偶校验 (LDPC) 解码的计算机可读介质。计算机可读介质通常包括指令,在由至少一个处理器执行时,所述指令使得至少一个处理器执行以下操作:获得码字的信息位并且根据奇偶校验矩阵执行对信息位的编码以计算LDPC码字的奇偶校验位,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0024] 在结合附图阅读本发明的具体示例性实施例的以下描述后,本发明的其他方面、特征和实施例对于本领域普通技术人员将变得显而易见。尽管可以相对于以下某些实施例

和附图讨论本发明的特征,但是本发明的所有实施例可以包括本文讨论的一个或多个有利特征。即,虽然一个或多个实施例可以被讨论为具有某些有利的特征,但是根据本文讨论的本发明的各种实施例,也可以使用这样的特征中的一个或多个。以类似的方式,虽然示例性实施例可以在下面被讨论为设备、系统或方法实施例,但是应该理解,可以在各种设备、系统和方法中实现这样的示例性实施例。

附图说明

[0025] 为了能够详细理解本公开内容的上述特征的方式,可以通过参考其中的一些在附图中示出的各方面来获得上面简要概述的更具体的描述。然而,附图仅示出了本公开内容的某些典型方面,因此不应被认为是对其范围的限制,因为该描述可以允许其他等效的方面。

[0026] 图1示出了根据本公开内容的某些方面的示例性多址无线通信系统。

[0027] 图2示出了根据本公开内容的某些方面的基站和无线节点的方块图。

[0028] 图3示出了根据本公开内容的某些方面的可以在无线设备中使用的各种组件。

[0029] 图4A-4B示出了根据本公开内容的某些方面的示例性低密度奇偶校验 (LDPC) 码的图形和矩阵表示。

[0030] 图5图示了根据本公开内容的某些方面的图4A的LDPC码的提升。

[0031] 图6是准循环IEEE 802.11 LDPC码的矩阵的整数表示。

[0032] 图7是示出根据本公开内容的某些方面的编码器的简化方块图。

[0033] 图8是示出根据本公开内容的某些方面的解码器的简化方块图。

[0034] 图9示出了根据本公开内容的某些方面的通用分层LDPC解码器的高级方块图。

[0035] 图10示出了根据本公开内容的某些方面的用于计算/更新奇偶校验矩阵中的位LLR和后验LLR的该过程的示例。

[0036] 图11A和11B示出了根据本公开内容的某些方面的示例性分层解码器流水线处理时间线。

[0037] 图12和12A至12H示出了根据本公开内容的某些方面的具有准行正交性的奇偶校验矩阵。

[0038] 图13和13A至13H示出了根据本公开内容的某些方面的具有完全行正交性的奇偶校验矩阵。

[0039] 图14是示出根据本公开内容的某些方面的用于解码低密度奇偶校验 (LDPC) 码的示例性操作的流程图。

[0040] 图15是示出根据本公开内容的某些方面的用于执行低密度奇偶校验 (LDPC) 编码的示例性操作的流程图。

[0041] 为了便于理解,在可能的情况下使用相同的附图标记来指示图中共有的相同元件。可以预计到在一个实施例中公开的元件可以有利地用于其他实施例而无需特别叙述。

具体实施方式

[0042] 本公开内容的各方面提供了用于对新无线技术 (NR) (新无线接入技术) 进行编码的装置、方法、处理系统和计算机程序产品。新无线技术 (NR) 可以指被配置为根据新的空中

接口或固定传输层操作的无线技术。NR可以包括目标为宽带宽(例如80MHz及更宽)通信系统的增强型移动宽带(eMBB)技术、目标为高载波频率(例如27GHz或更高)通信系统的毫米波(mmW)技术、目标为非后向兼容的机器类型通信(MTC)系统的大规模机器类型通信(mMTC)技术和目标为超可靠性低延时通信(URLLC)的关键任务技术。对于这些一般主题,考虑了不同的技术,例如编码技术,包括低密度奇偶校验(LDPC)编码和极化编码。NR小区可以指根据新空中接口或固定传输层操作的小区。NR节点B(例如,5G节点B)可以对应于一个或多个传输接收点(TRP)。

[0043] 本公开内容的某些方面总体上涉及用于解码经过低密度奇偶校验(LDPC)编码的传输的方法和装置,具体而言,涉及使用具有大量成对完全行正交的行的奇偶校验矩阵来解码LDPC编码传输。

[0044] 在下文中参照附图更全面地描述本公开内容的各个方面。然而,本公开内容可以以许多不同的形式来体现,并且不应该被解释为限于贯穿本公开内容所呈现的任何具体结构或功能。相反,提供这些方面使得本公开内容将是彻底和完整的,并且将本公开内容的范围充分地传达给本领域技术人员。基于本文的教导,本领域技术人员应该理解,本公开内容的范围旨在覆盖本文公开的本公开内容的任何方面,无论是独立于本公开内容的任何其他方面还是与其组合实施。例如,可以使用本文阐述的任何数量的方面来实现装置或实践方法。另外,本公开内容的范围旨在覆盖使用附加于或不同于本文阐述的本公开内容的各个方面的其他结构、功能或结构和功能来实践的这样的装置或方法。应该理解的是,本文所述的本公开内容的任何方面可以通过权利要求的一个或多个元素来体现。本文使用词语“示例性”来表示“用作示例、实例或说明”。本文中被描述为“示例性”的任何方面不一定被解释为比其他方面优选或有利。

[0045] 虽然本文描述了特定方面,但是这些方面的许多变化和置换属于本公开内容的范围内。虽然提到了优选方面的一些益处和优点,但是本公开内容的范围并非旨在限于特定益处、用途或目标。相反,本公开内容的各方面旨在广泛地适用于不同的无线技术、系统配置、网络和传输协议,其中的一些在附图中以及以下对优选方面的描述中以示例的方式示出。具体实施方式和附图仅仅是对本公开内容的说明而非限制,本公开内容的范围由所附权利要求及其等同变换来限定。

[0046] 本文描述的技术可以用于各种无线通信网络,例如长期演进(LTE)、码分多址(CDMA)网络、时分多址(TDMA)网络、频分多址(FDMA)网络、正交FDMA(OFDMA)网络、单载波FDMA(SC-FDMA)网络等。术语“网络”和“系统”经常可互换地使用。CDMA网络可以实现诸如通用陆地无线接入(UTRA)、CDMA2000等的无线技术。UTRA包括宽带CDMA(W-CDMA)和低码片速率(LCR)。CDMA2000涵盖IS-2000、IS-95和IS-856标准。TDMA网络可以实现诸如全球移动通信系统(GSM)的无线技术。OFDMA网络可以实现诸如NR(例如5G RA)、演进型UTRA(E-UTRA)、IEEE 802.11、IEEE 802.16、IEEE 802.20、Flash-OFDM®等的无线技术。UTRA、E-UTRA和GSM是通用移动通信系统(UMTS)的一部分。长期演进(LTE)是使用E-UTRA的UMTS的版本。在名为“第三代合作伙伴计划”(3GPP)的组织的文献中描述了UTRA、E-UTRA、GSM、UMT和LTE。在名为“第三代合作伙伴计划2”(3GPP2)的组织的文献中描述了CDMA2000。NR是与5G技术论坛(5GTF)结合开发的新兴无线通信技术。这些通信网络仅被列为其中可应用本公开内容中描述的技术的网络的示例;然而,本公开内容不限于上述通信网络。

[0047] 单载波频分多址 (SC-FDMA) 是在发射机侧利用单载波调制和在接收机侧利用频域均衡的传输技术。SC-FDMA具有与OFDMA系统相似的性能和基本相同的整体复杂性。然而,由于其固有的单载波结构,SC-FDMA信号具有较低的峰均功率比 (PAPR)。SC-FDMA引起了很大的关注,特别是在上行链路 (UL) 通信中,其中较低的PAPR在发射功率效率方面极大地有利于无线节点。

[0048] 接入点 (AP) 可以包括、被实现为或者被称为节点B、无线网络控制器 (“RNC”)、演进型节点B (eNB)、节点B (例如,5G节点B)、传输接收点 (“TRP”)、基站控制器 (“BSC”)、基站收发基站 (“BTS”)、基站 (“BS”)、收发机功能 (“TF”)、无线路由器、无线收发机、基本服务集 (“BSS”)、扩展服务集 (“ESS”)、无线基站 (“RBS”)、或某个其他术语。

[0049] 接入终端 (AT) 可以包括、被实现为或被称为接入终端、用户站、用户单元、移动站、远程站、远程终端、用户终端、用户代理、用户装置、用户设备 (UE)、用户站、无线节点或某个其他术语。在一些方面,接入终端可以包括蜂窝电话、智能电话、无绳电话、会话发起协议 (“SIP”) 电话、无线本地环路 (“WLL”) 站、个人数字助理 (“PDA”)、平板电脑、上网本、智能本、超极本、具有无线连接能力的手持设备、站 (“STA”) 或连接到无线调制解调器的某个其他合适的处理设备。因此,本文中教导的一个或多个方面可以被并入到电话 (例如,蜂窝电话、智能电话)、计算机 (例如台式机)、便携式通信设备、便携式计算设备 (例如,膝上型计算机、个人数据助理、平板电脑、上网本、智能本、超极本)、医疗装置或设备、生物计量传感器/设备、娱乐设备 (例如,音乐或视频设备、卫星无线设备)、车辆部件或传感器、智能仪表/传感器、工业制造设备、全球定位系统设备或被配置为经由无线或有线介质进行通信的任何其他合适的设备。在一些方面,该节点是无线节点。无线节点可以例如经由有线或无线通信链路提供用于或者到网络 (例如,诸如互联网或蜂窝网络的广域网) 的连接性。

[0050] 尽管本文可以使用通常与3G和/或4G无线技术相关联的术语来描述各方面,但是本公开内容的各方面可以应用于基于其他代的通信系统,例如5G和更高代,包括NR技术。

[0051] 示例性无线通信系统

[0052] 图1示出了其中可以执行本公开内容的各方面的示例性通信网络100。如图所示,节点B102 (例如TRP或5G节点B) 可以包括多个天线组,包括天线104和106的一组,包括天线108和110的另一组以及包括天线112和114的附加组。在图1中,对于每个天线组仅示出了两个天线,然而,对于每个天线组可以使用更多或更少的天线。无线节点116可以与天线112和114通信,其中,天线112和114通过前向链路120向无线节点116发送信息,并且通过反向链路118从无线节点116接收信息。无线节点122可以与天线106和108通信,其中天线106和108通过前向链路126向无线节点122发送信息,并且通过反向链路124从无线节点122接收信息。节点B102还可以与可以是例如物联网 (IoT) 设备的其他无线节点通信。IoT设备136可以与节点B102的一个或多个其他天线通信,其中,天线通过前向链路140向IoT设备136发送信息,并且通过反向链路138从IoT设备136接收信息。IoT设备142可以与节点B102的一个或多个其他天线通信,其中,天线通过前向链路146向IoT设备142发送信息,并通过反向链路144从IoT设备142接收信息。在频分双工 (FDD) 系统中,通信链路118、120、124、126、138、140、144和146可以使用不同的频率进行通信。例如,前向链路120可以使用与反向链路118所使用的频率不同的频率,并且前向链路140可以使用与反向链路138所使用的频率不同的频率。

[0053] 每组天线和/或它们被设计为通信的区域通常被称为节点B的扇区。在本公开内容的一个方面中,每个天线组可以被设计为与由节点B102覆盖的区域的扇区中的无线节点通信。

[0054] 无线节点130可以与节点B102通信,其中,来自节点B102的天线通过前向链路132向无线节点130发送信息,并通过反向链路134从无线节点130接收信息。

[0055] 在通过前向链路120和126的通信中,BS 102的发射天线可以利用波束成形以便改善不同无线节点116、122、136和142的前向链路的信噪比。而且,使用波束成形向随机散布在其覆盖范围内的无线节点进行发送的节点B相比于通过单个天线向所有其无线节点进行发送的节点B对相邻小区中的无线节点造成的干扰较小。

[0056] 尽管本文描述的示例的各方面可以与LTE技术相关联,但是本公开内容的各方面可以适用于其他无线通信系统,诸如NR。NR可以在上行链路和下行链路上利用具有CP的正交频分复用(OFDM),并且包括对使用时分双工(TDD)的半双工操作的支持。可以支持100MHz的单分量载波带宽。NR资源块可以在0.1ms的持续时间内跨越12个子载波,其中子载波带宽为75kHz。每个无线帧可以由2个半帧组成,每个半帧由5个子帧组成,长度为10ms。因此,每个子帧可以具有1ms的长度。每个子帧可以指示用于数据传输的链路方向(即,下行链路(DL)或上行链路(UL)),并且可以动态地切换每个子帧的链路方向。每个子帧可以包括DL/UL数据以及DL/UL控制数据。可以支持波束成形,并且波束方向可以被动态地配置。也可以支持具有预编码的MIMO传输。DL中的MIMO配置可以支持多达8个发射天线,其中具有多达8个流的多层DL传输。可以支持每UE多达2个流的多层传输。可以支持多达8个服务小区的多个小区的聚合。可替换地,除了基于OFDM的空中接口之外,NR可以支持不同的空中接口。NR网络可以包括诸如中央单元或分布式单元的实体。

[0057] 图2示出了其中可以实施本公开内容的各方面的多输入多输出(MIMO)系统200中的发射机系统210(例如,也被称为基站)和接收机系统250(例如,也被称为无线节点)的一方面的方块图。系统210和系统250中的每一个都具有发送和接收的能力。系统210还是系统250进行发送、接收或同时发送和接收取决于应用。在发射机系统210处,从数据源212向发射(TX)数据处理器214提供多个数据流的业务数据。

[0058] 在本公开内容的一个方面,每个数据流可以通过相应的发射天线发送。TX数据处理器214基于为该数据流选择的特定编码方案(例如,低密度奇偶校验(LDPC))对每个数据流的业务数据进行格式化、编码和交织以提供编码数据。

[0059] 每个数据流的经过编码的数据可以使用OFDM技术与导频数据多路复用。导频数据通常是以已知方式处理的已知数据模式,并且可以在接收机系统处用于估计信道响应。然后基于为该数据流选择的特定调制方案(例如,BPSK、QSPK、M-PSK或M-QAM)调制(例如,符号映射)每个数据流的经多路复用的导频和经过编码的数据以提供调制符号。可以由处理器230执行的指令来确定每个数据流的数据速率、编码和调制。存储器232可以存储用于发射机系统210的数据和软件/固件。

[0060] 然后将所有数据流的调制符号提供给TX MIMO处理器220,其可以进一步处理调制符号(例如,用于OFDM)。TX MIMO处理器220然后将 N_T (例如,其中 N_T 是正整数)个调制符号流提供给 N_T 个发射机(TMTR) 222a到222t。在本公开内容的某些方面,TX MIMO处理器220将波束成形权重应用于数据流的符号以及正在发送该符号的天线。

[0061] 每个发射机222接收并处理相应的符号流以提供一个或多个模拟信号,并进一步调节(例如,放大、滤波和上变频)模拟信号以提供适合于通过MIMO信道传输的经过调制的信号。然后,分别从 N_T 个天线224a到224t发送来自发射机222a到222t的 N_T 个经过调制的信号。

[0062] 在接收机系统250处,可以通过 N_R (例如,其中 N_R 是正整数)个天线252a到252r来接收被发送的经过调制的信号,并且可以将来自每个天线252的被接收的信号提供给相应的接收机(RCVR)254a到254r。每个接收机254可以调节(例如,滤波、放大和下变频)相应的被接收的信号,数字化经调节的信号以提供样本,并进一步处理样本以提供对应的“被接收的”符号流。

[0063] 接收(RX)数据处理器260然后接收并基于特定的接收机处理技术处理来自 N_R 个接收机254的 N_R 个被接收的符号流,以提供 N_T 个“经过检测的”符号流。RX数据处理器260然后对每个检测到的符号流进行解调、解交织和解码以恢复数据流的业务数据。RX数据处理器260的处理可以与发射机系统210处的TX MIMO处理器220和TX数据处理器214所执行的处理互补。

[0064] 处理器270周期性地确定要使用哪个预编码矩阵。处理器270制定包括矩阵索引部分和秩值部分的反向链路消息。存储器272可以存储用于接收机系统250的数据和软件/固件。反向链路消息可以包括关于通信链路和/或所接收的数据流的各种类型的信息。然后,由TX数据处理器238处理反向链路消息,TX数据处理器238还接收来自数据源236的多个数据流的业务数据,由调制器280调制,由发射机(TMTR)254a到254r调节,并发送回发射机系统210。

[0065] 在发射机系统210处,来自接收机系统250的经过调制的信号由天线224接收,由接收机(RCVR)222调节,由解调器240解调,并由RX数据处理器242处理,以提取由接收机系统250发送的反向链路消息。处理器230然后确定要使用哪个预编码矩阵来确定波束成形权重,然后处理所提取的消息。

[0066] 接收机系统250的处理器270、RX数据处理器260、其他处理器/元件中的任何一个或其组合和/或发射机系统210的处理器230、RX数据处理器242、其他处理器/元件中的任何一个或其组合可以被配置为根据下面参考图14讨论的本公开内容的某些方面来执行用于低密度奇偶校验(LDPC)解码的过程。在一方面,处理器270和RX数据处理器260中的至少一个可以被配置为执行存储在存储器272中的算法,用于执行本文描述的LDPC解码。在另一方面,处理器230和RX数据处理器242中的至少一个可以被配置为执行存储在存储器232中的算法,以执行本文描述的LDPC解码。

[0067] 接收机系统250的处理器270、TX数据处理器238、其他处理器/元件中的任何一个或其组合和/或发射机系统210的处理器230、TX MIMO处理器220、TX数据处理器214、其他处理器/元件中的任何一个或其组合可以被配置为根据下面参考图15讨论的本公开内容的某些方面来执行用于低密度奇偶校验(LDPC)编码的过程。在一方面,处理器270和TX数据处理器238中的至少一个可以被配置为执行存储在存储器272中的算法,以执行本文描述的LDPC编码。在另一方面,处理器230、TX MIMO处理器220和TX数据处理器214中的至少一个可被配置为执行存储在存储器232中的算法,以执行本文描述的LDPC编码。

[0068] 图3示出了可用于在图1中所示的无线通信系统100内可使用的无线设备302中的

各种组件。无线设备302是可以被配置为实现本文描述的各种方法的设备的示例。无线设备302可以是节点B102(例如TRP)或任何无线节点(例如,无线节点116、122、130或IoT设备136或142)。例如,无线设备302可以被配置为执行图14和15中描述的操作1400和1500以及本文描述的其他操作。

[0069] 无线设备302可以包括控制无线设备302的操作的处理器304。处理器304还可以被称为中央处理单元(CPU)。可以包括只读存储器(ROM)和随机存取存储器(RAM)二者的存储器306向处理器304提供指令和数据。存储器306的一部分还可以包括非易失性随机存取存储器(NVRAM)。处理器304通常基于存储在存储器306内的程序指令来执行逻辑和算术运算。存储器306中的指令可执行以实现本文描述的方法,例如以允许UE执行LDPC解码和/或LDPC编码。处理器304的一些非限制性示例可以包括骁龙处理器、专用集成电路(ASIC)、可编程逻辑等。

[0070] 无线设备302还可以包括外壳308,其可以包括发射机310和接收机312以允许在无线设备302和远程位置之间传输和接收数据。发射机310和接收机312可以组合成收发机314。单个或多个发射天线316可以附接到外壳308并且电耦合到收发机314。无线设备302还可以包括(未示出)多个发射机、多个接收机和多个收发机。无线设备302还可以包括无线电池充电设备。

[0071] 无线设备302还可以包括信号检测器318,其可以用于尝试检测和量化由收发机314接收的信号的电平。信号检测器318可以检测诸如总能量、每符号的每子载波的能量、功率谱密度的此类信号和其他信号。无线设备302还可以包括用于处理信号的数字信号处理器(DSP)320。

[0072] 另外,无线设备还可以包括用于编码信号以供传输的编码器322和用于解码接收到的信号的解码器324。根据某些方面,编码器322可以根据本文中呈现的某些方面(例如,通过实现图15中所示的操作1500)来执行编码。根据某些方面,解码器324可以根据本文中呈现的某些方面执行解码(例如,通过实现图14中所示的操作1400)。

[0073] 无线设备302的各种组件可以通过总线系统326耦合在一起,除了数据总线之外,总线系统326还可以包括电源总线、控制信号总线和状态信号总线。根据下面讨论的本公开内容的各方面,处理器304可以被配置为访问存储在存储器306中的指令以执行LDPC解码和/或LDPC编码。

[0074] 示例性纠错编码

[0075] 许多通信系统使用纠错码。具体而言,纠错码通过在数据流中引入冗余来补偿这些系统中固有的信息传输不可靠性。低密度奇偶校验(LDPC)码是使用迭代编码系统的特定类型的纠错码。特别是,Gallager码是正则LDPC码的早期示例。LDPC码是将其奇偶校验矩阵H的大多数元素设置为“0”的线性分组码。

[0076] LDPC码可以由二分图(通常被称为“Tanner图”)表示,其中变量节点集合对应于码字的位(例如,信息位或系统位),并且校验节点集合对应于定义代码的奇偶校验约束集合。图中的边将变量节点连接到校验节点。因此,图的节点被分成两个不同的集合,变量节点和校验节点,其中边连接两种不同类型的节点。

[0077] 通过将二分基本图(G)(其也可以被称为原型图)复制多次Z来创建提升图。如果变量节点和校验节点由图中的“边”(即,连接变量节点和校验节点的线)连接,则可以认为它

们是“邻居”。另外,对于二分基本图(G)的每个边(e),将置换应用于边(e)的Z个副本以互连G的Z个副本。当且仅当对于每个校验节点,与所有相邻变量节点相关联的位总和为0以2取模(即,它们包括偶数个1)时,与变量节点具有一对一关联的位序列是有效码字。如果使用的置换是循环的,则所得到的LDPC码可以是准循环(QC)的。

[0078] 图4A-4B示出了根据本公开内容的某些方面的示例性LDPC码的图形和矩阵表示。例如,图4A示出了表示示例性LDPC码的二分图400。二分图400包括连接到4个校验节点420(由正方形表示)的5个变量节点410的集合(由圆圈表示)。图400中的边430将变量节点410连接到校验节点420(由将变量节点410连接到校验节点420的线表示)。该图由通过 $|E|=12$ 个边连接的 $|V|=5$ 个变量节点和 $|C|=4$ 个校验节点组成。

[0079] 二分图可以由简化的邻接矩阵来表示,该邻接矩阵也可以被称为奇偶校验矩阵。图4B示出了二分图400的矩阵表示450。矩阵表示450包括奇偶校验矩阵H和码字向量x,其中, x_1-x_5 表示码字x的位。奇偶矩阵H用于确定是否正常解码被接收的信号。奇偶校验矩阵H具有对应于j个校验节点的C行和对应于i个变量节点(即,经过解调的符号)的V列,其中,行表示方程并且列表示码字的位。在图4B中,矩阵H具有分别对应于4个校验节点和5个变量节点的4行和5列。如果第j个校验节点通过边连接到第i个变量节点,即,这两个节点是邻居,则在奇偶校验矩阵H的第i列和第j行的元素中为1。即,第i行和第j列的交点在边连接对应顶点的情况下包含“1”,在没有边连接对应顶点的情况下包含“0”。当且仅当 $Hx=0$ 时(例如,如果对于每个约束节点,与约束相邻的位(通过它们与变量节点的关联)总和为0以2取模,即它们包括偶数个1),该码字向量x表示有效码字。因此,如果正确接收码字,则 $Hx=0 \pmod{2}$ 。当经过编码的被接收的信号和奇偶校验矩阵H的乘积变为“0”时,这表示没有发生错误。奇偶校验矩阵是C行乘V列二进制矩阵。行表示方程,并且列表示码字中的数字。

[0080] 经过解调的符号或变量节点的数量是LDPC码长度。行中的非零元素的数量被定义为行权重 d_c 。列中的非零元素的数量被定义为列权重 d_v 。

[0081] 节点的度是指连接到该节点的边的数量。该特征在图4B所示的H矩阵中示出,其中,入射到变量节点410的边的数量等于对应列中的1的数量,并且被称为变量节点度 $d(v)$ 。类似地,与校验节点420连接的边的数量等于对应行中的1的数量,并且被称为校验节点度 $d(c)$ 。

[0082] 正则图或码是所有变量节点具有相同的度j,并且所有约束节点具有相同的度k的图或码。在这种情况下,码可以被称为(j,k)正则码。另一方面,非规则码具有度不同的约束节点和/或变量节点。例如,一些变量节点可以是度为4,其他的度为3,再其他的度为2。

[0083] “提升”使得LDPC码能够使用并行编码和/或解码实施方式来实现,同时还降低了典型地与大LDPC码相关联的复杂度。提升有助于实现LDPC解码器的高效并行化,同时仍具有相对简洁的描述。具体而言,提升是用于从较小基本码的多个副本生成相对较大的LDPC码的技术。例如,可以通过产生基本图(例如原型图)的Z个并行副本,然后通过基本图的每个副本的边束的置换来互连这些并行副本,而生成被提升的LDPC码。基本图定义了代码的(宏)结构,并由多个(K)的信息位列和多个(N)的码位列组成。提升多(Z)个基本图导致KZ的最终信息块长度。可以缩短一些信息位(设置为0)以实现小于KZ的信息块长度。

[0084] 因此,通过“复制和置换”操作可以获得更大的图,其中,得到基本图的多个副本并连接以形成单个提升图。对于多个副本,作为单个基本边的副本集合的相似边被置换并连

接起来,以形成比基本图大Z倍的连通图。

[0085] 图5图示了得到图4A的图的三个副本的效果。通过置换拷贝中的相似边可以互连三个副本。如果将置换限制为循环置换,那么所得到的图对应于具有提升 $Z=3$ 的准循环LDPC。从中得到三个副本的原始图在本文中被称为基本图。为了获得不同大小的派生图,可以将“复制和置换”操作应用于基本图。

[0086] 可以通过用 $Z \times Z$ 矩阵替换基本奇偶校验矩阵中的每个条目来从基本图的奇偶校验矩阵构造提升图的对应奇偶校验矩阵。0条目(没有基本边的那些)用0矩阵替换,并且1条目(指示基本边)用 $Z \times Z$ 置换矩阵替换。在循环提升的情况下,置换是循环置换。

[0087] 被循环提升的LDPC码也可以被解释为二进制多项式以 x^Z+1 取模的环上的码。在该解释中,二进制多项式 $(x) = b_0 + b_1 x + b_2 x^2 + \dots + b_{Z-1} x^{Z-1}$ 可以与基本图中的每个变量节点相关联。二进制向量 $(b_0, b_1, b_2, \dots, b_{Z-1})$ 对应于与提升图中的Z个对应变量节点(即,单个基本变量节点的Z个副本)相关联的位。二进制向量以k的循环置换是通过将相应的二进制多项式乘以 x^k 来实现的,其中,乘法以 x^Z+1 取模。基本图中度为d的奇偶校验可被解释为对相邻二进制多项式 $B_1(x), \dots, B_d(x)$ 的线性约束,记为

$x^{k_1} B_1(x) + x^{k_2} B_2(x) + \dots + x^{k_d} B_d(x) = 0$, 其中,值 $k_1, \dots, k_d$ 是与相应边相关联的循环提升值。

[0088] 这个得到的方程等同于在循环提升的Tanner图中对应于基本图中的单个相关联的奇偶校验的Z个奇偶校验。因此,提升图的奇偶校验矩阵可以使用基本图的矩阵表示,其中,1条目被形式 x^k 的单项式替换,并且0条目被提升为0,但是现在0被解释为0二进制多项式以 x^Z+1 取模。这样的矩阵可以通过给出值k来代替 x^k 来写出。在这种情况下,0多项式有时表示为-1,有时表示为另一个字符以便将它与 x^0 区分。

[0089] 通常,奇偶校验矩阵的方形子矩阵表示码的奇偶校验位。互补列对应于在编码时被设置为等于要被编码的信息位的信息位。编码可以通过求解上述方形子矩阵中的变量以满足奇偶校验方程来实现。奇偶校验矩阵H可以分成两部分M和N,其中M是方形部分。因此,编码简化为求解 $Mc = s = Nd$,其中,c和d包括x。在准循环码或循环提升码的情况下,上面的代数可以被解释为在二进制多项式以 x^Z+1 取模的环上。在作为准循环的IEEE 802.11 LDPC码的情况下,编码子矩阵M具有如图6所示的整数表示。

[0090] 可以解码被接收的LDPC码字以产生原始码字的重构版本。在没有错误的情况下,或者在可纠正的错误的情况下,可以使用解码来恢复被编码的原始数据单元。解码器可以使用冗余位来检测和纠正位错误。LDPC解码器通常通过迭代地执行本地计算并通过沿着边在二分图400内交换消息来传递那些结果,并且通过基于传入消息在节点处执行计算来更新这些消息来进行操作。这些步骤通常可以重复几次并且可以被称作消息传递步骤。例如,图400中的每个变量节点410可以最初被提供有表示由通信信道的观测确定的关联位的值的估计的“软位”(例如,表示码字的被接收的位)。使用这些软位,LDPC解码器可以通过从存储器中迭代地读取它们或其一部分并且将经过更新的消息或其一部分写回到存储器来更新消息。更新操作通常基于对应的LDPC码的奇偶校验约束。在被提升的LDPC码的实现中,通常并行处理相似的边上的消息。

[0091] 被设计为用于高速应用的LDPC码通常使用具有大提升因子和相对较小基本图的准循环结构来支持编码和解码操作中的高并行性。具有较高码率(例如,消息长度与码字长

度的比率)的LDPC码倾向于具有相对较少的奇偶校验。如果基本奇偶校验的数量小于变量节点的度(例如,连接到变量节点的边的数量),则在基本图中,该变量节点通过两条或更多条边(例如,变量节点可能具有“双边”)连接到至少一个基本奇偶校验。或者,如果基本奇偶校验的数量小于变量节点的度(例如,连接到变量节点的边的数量),则在基本图中,该变量节点通过两条或更多条边连接到至少一个基本奇偶校验。为了并行硬件实施方式,通常不希望使得基本变量节点和基本校验节点通过两条或更多条边连接。例如,这样的双边可以导致对同一存储器位置的多个并发读取和写入操作,这又可以产生数据一致性问题。在单个并行奇偶校验更新期间,基本LDPC码中的双边可以触发并行读取同一软位值存储器位置两次。因此,通常需要额外的电路来组合写回到存储器中的软位值,以正确地合并两个更新。但是,消除LDPC码中的双边有助于避免这种额外的复杂性。

[0092] 在标准非规则LDPC码集合(度分布)的定义中,Tanner图表示中的所有边可以在统计上是可互换的。即,存在单个统计等价类的边。例如,在由Tom Richardson和Ruediger Urbanke于2008年3月17日发表的题为“Modern Coding Theory”的书中可以找到关于被提升的LDPC码的更详细论述。对于多边LDPC码,可能有多个等价类的边。而在标准的非规则LDPC集合定义中,图中的节点(变量和约束)由它们的度(即它们所连接的边的数量)指定,在多边类型设置中,边的度是向量;它指定从每个边等价类(类型)独立地连接到节点的边的数量。多边类型集合由有限数量的边类型组成。约束节点的度类型是(非负)整数的向量;该向量的第*i*个条目记录连接到这样的节点的第*i*个类型的套接字的数量。该向量可以被称为边的度。尽管度类型可以视为(非负)整数的向量,但变量节点的度类型有两个部分。第一部分涉及接收到的分布,并且将被称为接收的度,并且第二部分指定边的度。边的度与约束节点具有相同的作用。边被归类为它们将相同类型的套接字配对。套接字必须与相似类型的套接字配对的这一约束表征了多边类型概念。在多边类型描述中,不同的节点类型可以具有不同的接收到的分布(例如,相关联的位可以通过不同的信道)。

[0093] 图7示出了可以被配置为提供用于无线传输的经编码的消息的射频(RF)调制解调器700的部分704。在一个示例中,基站(例如,节点B102和/或发射机系统210)(或反向路径上的无线节点)中的编码器706接收用于传输的消息702的信息位。消息702可以包含指向接收设备的数据和/或经过编码的语音或其他内容。编码器706使用适当的调制和编码方案(MCS)对消息进行编码,所述调制和编码方案通常基于由基站或另一网络实体定义的配置来选择。在一些情况下,编码器706可以例如根据本公开内容的各方面对消息进行编码(例如,通过实现图15中所示的操作1500)。然后可以将由编码器706产生的经过编码的位流708提供给映射器710,该映射器710生成Tx符号712的序列,Tx符号712的序列被Tx链714调制、放大并以其他方式处理,以产生RF信号716以供通过天线718传输。

[0094] 图8示出了可以被配置为接收和解码包括经编码的消息(例如,使用如上所述的LDPC码编码的消息)的无线发送的信号的RF调制解调器800的部分814。在各种示例中,接收信号的调制解调器814可以驻留在无线节点(例如,无线节点116、接收机系统250)、基站(例如,节点B102、发射机系统210)或用于执行所述功能的任何其他合适的装置或单元(例如无线设备302)处。天线802接收用于无线节点(例如,无线节点116、122和/或接收机系统250)的RF信号816(例如,在图7中产生的RF信号716,由RF链700和RF链800之间的有效信道改变)。RF链804处理和解调RF信号816,并且可以将经过解调的符号806的序列提供给解映射

器808,该解映射器808产生代表经过编码的消息的位流(例如,一系列被接收的值 r_j ,其可以被称为软位或缩放软位并且可以由对数似然比来表示)810。

[0095] 解码器812然后可以用于从已经使用编码方案(例如,LDPC码)编码的位流中解码 m 位信息串。解码器812可以包括具有全并行、行并行或块并行架构的分层LDPC解码器。LDPC解码器通常通过迭代地执行本地计算,并通过沿着边在二分图400内交换消息来传递那些结果,并且通过基于传入消息在节点处执行计算来更新这些消息来进行操作。这些步骤通常可以重复几次并且可以被称为消息传递步骤。例如,图400中的每个变量节点410可以最初被提供有表示由来自通信信道的观测确定的关联位的值的估计的“软位”(例如,表示码字的接收位 r_j)。“软位”可以由对数似然比(LLR)表示,在一些方面可以将对数似然比(LLR)定义为 $\log((\text{该位为0的概率})/(\text{该位为1的概率}))$ 。使用这些LLR,LDPC解码器可以通过从存储器中迭代地读取它们或其一部分并且将经过更新的消息或其一部分写回到存储器来更新消息。更新操作通常基于对应的LDPC码的奇偶校验约束。在被提升的LDPC码的实现中,通常并行处理相似的边上的消息。根据本公开内容的各方面,在这些解码技术之后,解码器812可以基于LLR解码位流810以确定包含从基站(例如,节点B102和/或发射机系统210)发送的数据、经过编码的语音和/或其他内容的消息702。根据以下呈现的本公开内容的各方面(例如,通过实现图14中所示的操作1400),解码器可以解码位流810。

[0096] 示例性LDPC解码器架构

[0097] 低密度奇偶校验(LDPC)编码是在诸如无线通信、存储和以太网的几种应用中使用的强大的纠错编码技术。例如,LDPC基于在二分图上设计代码,如上所述并在图4A中示出。LDPC解码通常使用如上所述的置信传播技术来实现,其中消息沿着图的边传递,并且图中的节点计算它们的边缘分布,从中可以对源符号做出决定。准循环(QC)码是一种流行的结构化LDPC码,其中基本LDPC奇偶校验矩阵(PCM)得到“提升”。例如,“提升”需要用 $Z \times Z$ 子矩阵替换每个基本PCM条目。 $Z \times Z$ 子矩阵可以是对于“0”基本PCM条目的全零矩阵,或者对于“1”基本PCM条目的循环旋转的单位矩阵。QC LDPC码通过启用解码器(诸如图8中所示的解码器)用交换网络复制处理 Z 次以交换消息来实现硬件中的并行处理。

[0098] LDPC解码器实现消息传递算法,其通常是置信传播(BP)算法的相当准确的近似。用于LDPC解码的对数BP算法可以写为:

$$[0099] \quad A_{mj} = \sum_{\substack{n \in N(m) \\ n \neq j}} \Psi(L(q_{mn})) \quad (\text{方程 1})$$

$$[0100] \quad s_{mj} = \prod_{\substack{n \in N(m) \\ n \neq j}} \text{Sign}(L(q_{mn})) \quad (\text{方程 2})$$

$$[0101] \quad R_{mj} = s_{mj} \Psi(A_{mj}) \quad (\text{方程 3})$$

$$[0102] \quad L(q_j) = \sum_{m \in M(j)} R_{mj} + R_j \quad (\text{方程 4})$$

$$[0103] \quad L(q_{mj}) = L(q_j) - R_{mj} \quad (\text{方程 5})$$

[0104] 其中, $L(c)$ 是与二进制变量 c 相关联的对数似然比(LLR),其被定义为

$$L(c) = \log \frac{\text{Probability } c=0}{\text{Probability } c=1}, \text{ 其中, 概率以随着算法进行而扩展的消息传递算法中隐含的}$$

某些信息为条件。函数 Ψ 由 $\Psi(x) = \log \coth\left(\left|\frac{x}{2}\right|\right)$ 给出。索引 m 通常表示二进制奇偶校验

节点或二进制PCM行索引, j 和 n 通常表示位节点或PCM列索引, q_j 表示与变量节点 j 关联的位值, 等同于第 j 个二进制PCM列, 并且 q_{mn} 表示与将变量节点 n 连接到校验节点 m 的边关联的二进制值, $N(m)$ 是连接到奇偶校验节点 m 的位的所有位索引的集合, $M(j)$ 是连接到位 j 的所有奇偶校验节点的所有奇偶校验节点索引的集合, 并且 R_j 是与位 j 的传输观察相关联的位 j 的LLR。例如, 在AWGN信道上的标准BPSK传输中, 我们得到 $R_j = \frac{2r_j}{\sigma^2}$, 其中, r_j 是接收到的值, 并且 σ^2 是信道的附加噪声的方差。该算法可以通过设置 $L(q_{mj})$ 等于 R_j 来初始化, 并且通过重复评估给定的方程来进行。根据本公开内容的各方面, 方程1计算用于位 j 的奇偶校验度量 A_{mj} , 其通过变换 Ψ 将连接到奇偶校验节点 m 的所有位的输入位LLR $L(q_{mn})$ (除了位 j 的LLR之外) 相加。该运算与方程3一起, 基于对属于奇偶校验 m 的其他位的观察来计算位 j 的后验LLR R_{mj} 。方程2基于输入位LLRL (q_{mn}) 的符号来计算后验LLR R_{mj} 的符号 s_{mj} 。方程4通过将位 j 的来自解码器的所有后验LLR R_{mj} (即, 非本征LLR) 与来自信道的先验LLR R_j (即, 本征LLR) 组合来计算经过更新的位LLR, $L(q_j)$ 。方程5在位LLR和 $L(q_{mj})$ 被传递回奇偶校验节点 m 用于在下一迭代中计算经过更新的后验和/或非本征LLR R_{mj} 之前, 从位LLR和 $L(q_j)$ 中减去奇偶校验节点 m 的非本征LLR R_{mj} 。对于“泛洪”LDPC解码器迭代, 对所有奇偶校验节点执行步骤1-3 (即, 计算方程1-3), 之后所有位 (变量) 节点执行步骤4 (即, 计算方程4) 以更新位LLR $L(q_j)$ 。

[0105] 分层LDPC解码器执行类似于上面的方程1-5的步骤, 但是略有修改。例如, 分层对数BP算法可以写成:

$$[0106] \quad L(q_{mj}) = L(q_j) - R_{mj} \quad (\text{方程6})$$

$$[0107] \quad A_{mj} = \sum_{\substack{n \in N(m) \\ n \neq j}} \Psi(L(q_{mn})) \quad (\text{方程7})$$

$$[0108] \quad s_{mj} = \prod_{\substack{n \in N(m) \\ n \neq j}} \text{Sign}(L(q_{mn})) \quad (\text{方程8})$$

$$[0109] \quad R_{mj} = -s_{mj} \Psi(A_{mj}) \quad (\text{方程9})$$

$$[0110] \quad L(q_j) = L(q_{mj}) + R_{mj} \quad (\text{方程10})$$

[0111] 在上述分层解码步骤 (即方程6-10) 中, 利用信道位LLR R_j 对位LLRL (q_j) 进行初始化。根据本公开内容的某些方面, 分层解码 (方程6-10) 和泛洪解码 (方程1-5) 之间的关键区别在于在分层解码迭代中, 当在方程9中为特定奇偶校验节点 (PCM行) 计算后验LLR, R_{mj} 时, 在方程6-9中计算下一行的后验LLR R_{mj} 之前, 在方程10中用新的后验LLR, R_{mj} 立即更新位LLR $L(q_j)$ 。这与泛洪解码器相反, 其中, 在方程4中用后验LLR, R_{mj} 更新所有位LLR $L(q_j)$ 之前, 计算与PCM行相对应的所有后验LLR, R_{mj} (方程1-3对全部 m 和 j 循环)。结果, 分层解码允许以经过更新的后验LLR, R_{mj} 形式的信息通过比泛洪解码器更快传递的置信传播消息传播, 这导致更快的解码器收敛。

[0112] 图9示出了可以是图8中所示的解码器812的示例的通用分层LDPC解码器900的高级方块图。如图所示, 分层LDPC解码器包括用于存储由信道位LLR (例如, $\frac{-2r_j}{\sigma^2}$) 初始化的位LLR (例如, $L(q_j)$) (即, 码字的每位的一位LLR) 的用于LLR存储的存储器902, 信道位LLR又被后验LLR (例如, R_{mj}) 更新。信道位LLR或接收到的LLR也称为软位或缩放软位, 并且接收值 r_j

是软位。分层LDPC解码器900还包括数据路径处理器904,其并行操作以计算后验LLR并更新用于LLR存储的存储器902中存储的位LLR。分层LDPC解码器900另外包括用于度量存储的存储器906,以存储由数据路径处理器904计算的后验LLR,以及置换网络908,置换网络908用于在存储器902、906和数据路径处理器904之间路由LLR(例如,位LLR和后验LLR)。

[0113] 如上所述,分层解码沿着PCM中的行遍历PCM列(位LLR)以计算该行的后验LLR。在计算该行的后验LLR之后,当位LLR被馈送到用于下一行的后验LLR的计算时,位LLR各被立即用其对应的后验LLR更新。如果经过更新的位LLR的列索引连接到下一行,则经过更新的位LLR被传递到该下一行的后验LLR计算。如果没有连接,则经过更新的位LLR可以被存储在用于LLR存储的存储器902中。

[0114] 图10示出了用于计算/更新如上所述的奇偶校验矩阵(PCM) 1000中的位LLR和后验LLR的该过程的示例。具体而言,PCM的每个单元示出了经过计算的后验LLR。例如,对于图10中所示的PCM,一旦计算了标记为1002的行3的后验LLR,则标记为1010的列5的位LLR可以被更新(例如,使用上面的方程10)并用于标记为1006的行4的后验LLR计算(例如使用上面的方程6-9),因为列5连接到行3和4(例如,标记为1020的PCM条目(3,5),和标记为1022的(4,5)是非零的)。然而,当用从行3(标记为1002)计算的后验LLR更新标记为1012的列6的位LLR时,经过更新的位LLR被存储在存储器(例如,用于LLR存储的存储器902)中,因为如果标记为1024的(4,6)为空,则行4的后验LLR计算不包括列6。当计算标记为1008的行5的后验LLR时,从存储器(例如,LLR存储存储器902)读取列6的位LLR,而不是从先前的更新计算中传递。还应该注意的是,由于方程6和10都可以针对用于LLR存储的存储器902进行读取和写入,因此写入和读取冲突是可能的。如果用于LLR存储的存储器902仅具有单个读取和单个写入端口,则这种冲突可以在处理流水线中产生延迟。

[0115] 还可能存在由于递归处理而引入的延迟,其中,针对行(层)的位LLR更新被传递到针对下一层的后验LLR处理,针对该下一层使用所计算的后验LLR来再次更新位LLR。例如,给定非零处理流水线深度,位LLR更新阶段之间可能存在间隙,使得可以完成后验LLR计算。

[0116] 例如,图11A示出了示例性处理流水线1100,该示例性处理流水线1100示出了用于计算后验LLR并基于后验LLR更新位LLR的这种逐行处理。如图11A所示,由于具有后验计算(例如,方程6-9)与位LLR更新步骤(例如,方程10)之间的相互依赖性的递归处理,存在流水线延迟(例如,处理中的间隙) 1102、1104、1106和1108。流水线延迟随着流水线深度的增加以及存储器冲突而增长,例如,如图11B所示的示例性处理流水线1150所示,其中,可以看到,流水线深度增加到3个周期连同存储器冲突增加了由于流水线延迟1152、1154、1156和1158而浪费的处理周期的数量。因此,本公开内容的各方面呈现了用于例如通过使用具有完全或准行正交性的奇偶校验矩阵来减轻LDPC解码中的流水线延迟的技术,如下面更详细地描述的。

[0117] LDPC速率兼容设计中的行正交性

[0118] 例如,如上所述,分层LDPC解码器通常在更新过程中具有延迟。例如,在校验分层解码器中,在完成校验层更新(诸如,例如使用方程10的上述位LLR更新步骤)之后,发生对变量节点和的更新(诸如,例如使用方程6-9的上述后验计算),并且这些更新的合并可能由额外的处理步骤和存储器访问而进一步延迟。如果基本LDPC码的边连通性使得变量节点连接到两个连续层,则可能对解码器性能产生不利影响。当处理第二个这样的层时,经过更新

的变量节点和可能还不可用,所以来自先前层处理的潜在收益不可用于该层并且不会有益于该层的性能。在一些情况下,这种缺少经过更新的变量节点和可以通过引入额外的延迟来回避。但是,这种额外的延迟可以导致解码器速度降低,并可能通过减少总可用迭代来降低性能。

[0119] 在一些情况下,LDPC码的后续层可以被约束为“正交的”,这意味着后续层没有共同的基本变量节点。但是,这种约束可能会通过对基本图结构的隐含约束而降低性能,这限制了图的连通性。

[0120] 用于5G NR的LDPC设计通常是速率兼容的,并且具有高速率核心图,该高速率核心图由结构的前几层(例如,大约6层或行),随后是用于降低代码速率的混合自动重传请求(HARQ)位层组成,例如,如图12和12A至12H所示。请注意,图12A到12H表示当如图12所示排列时的奇偶校验矩阵。即,图12A到12D示出了奇偶校验矩阵的行1-23,图12E至12H示出了相同奇偶校验矩阵的行24-50。

[0121] 在一些情况下,确保核心图中的正交性可能是不可行的。在最近用于5G NR的LDPC设计中,基本图通常包括两个进行相对高度删余的被删余的变量节点(例如,列1和2),如图12A和12E中的矩阵1200中的列1210和1212所示。图的连通性的优化通常导致这些节点的高连通性(许多边),特别是在被设计用于相对高速率传输的第一HARQ奇偶校验层中。这导致了“准正交性”的概念,其意味着(例如,核心基本图层之后的)后续层是正交的,除了在可以跨后续层重复连接的经过高度删余的节点(并且可能是由这两个节点形成的核心奇偶校验位)上。然后大多数解码器实施方式将吸收由于被高度删余的变量节点的延迟更新而导致的性能降低。

[0122] 根据本公开内容的各方面,图12A-12H示出了准行正交的被提升的奇偶校验矩阵1200的示例。例如,除了表示标签的前三个定界行1202、1204和1206(参见图12A-12D)之外,每行可以表示层。第一(顶部)行1202包含列举矩阵的列的标签。第二行1204包含作为编码指示符的标签,其中,1表示系统(信息)列,并且0表示奇偶校验列。第三行1206包含作为传输指示符的标签,其中,0表示删余(即,不传输),并且1表示传输。

[0123] 根据本公开内容的各方面,图12A-12H中所示的奇偶校验矩阵的前两列1210和1212(参见图12A和12E)表示被高度删余的变量节点,并且标记为1214的列23(参见图12B和12F)表示由两个被删余的列形成的特殊奇偶校验位。图的核心部分由前6行(层)组成,并且HARQ行从标记为1220的第七行(参见图12A-12D)开始向下。注意,除了标记为1210、1212和1214的列1、2和23之外,从第七行向下,没有列在两个连续行中具有非空的条目。因而,图12和12A-12H中所示的奇偶校验矩阵是准行正交的。

[0124] 随着添加HARQ层并且相应的传输速率降低,可以放松这些节点的连通性。通常,随着层数增加和目标码率降低,超出某一点时,被删余的节点的连通密度会降低。具体而言,通常至多有一个被删余的节点会连接到每一层。另外,如果设计具有两个被删余的节点几乎平衡的连通性,意味着它们各自连接到大约相同数量的层,则可以实现这些层的完全正交性,例如,如图13和13A至13H所示。

[0125] 如上所述,图13A-13H示出了当如图13所示布置时,与图12A-12H所示的奇偶校验矩阵1200相似的奇偶校验矩阵1300,除了奇偶校验矩阵1300在第14行/层1322之后完全成对行正交(参见图13A-13D)之外。例如,如图所示,行/层14是连接两个被删余的变量节点

(标记为1310和1312的列1和2)的最后一层。所有后续行(层)都是成对完全正交的。例如,如图所示,在标记为1322的行14之后没有两个连续的行在同一列中具有矩阵中的条目,因此使得行14之后的行彼此完全成对地正交。注意,以交替方式连接被高度删余的变量节点,因此允许行完全正交。

[0126] 根据本公开内容的各方面,使用图13A-13H中所示的奇偶校验矩阵,例如,通过允许在对奇偶校验矩阵的行进行解码的过程中使用最新的可变校验和来增加解码器性能。例如,由于没有变量节点连接到两个连续的层,所以解码器有时间在需要被更新的变量校验和用于处理另一行之前计算被更新的变量校验和。

[0127] 因此,本公开内容的各方面提出了用于以下内容的技术:例如,通过对于两个被删余的基本变量节点都连接到同一层的最后一层以下的所有层保持完全层正交性,在没有与在解码过程期间增加附加延迟相关联的性能降低(如上所讨论的)的情况下,增加在解码期间使用的被更新的变量节点和的可用性。例如,这种约束(例如,完全行正交性)可以导致交替结构,其中,两个被删余的节点交替连接到后续层,例如,如图13和13A-13H所示(注意,图13A-13H示出了一个奇偶校验矩阵1300,其中图13A-13D示出了奇偶校验矩阵1300的行1-21,并且图13E-13H示出了奇偶校验矩阵1300的行22-50),并且可以导致所有层的大约2/3(例如,大于1/2)的正交性。

[0128] 图14示出了用于无线通信的示例性操作1400,例如用于减少在解码经过LDPC编码的位时的处理延迟。根据某些方面,操作1400可以由无线通信设备(例如,通过无线通信设备中的接收机和解码器(例如,解码器812))执行,诸如基站(例如,节点B110和/或基站210)、用户设备(例如,UE 116和/或UE 250)和/或无线设备302。

[0129] 操作1400通过无线通信设备接收与LDPC码字相关联的软位而开始于方块1402处。例如,UE 116(例如,UE 116的接收机)从基站102接收与LDPC码字相关联的软位。

[0130] 在1404处,无线通信设备使用奇偶校验矩阵来执行对软位的LDPC解码,其中:奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。继续上面的示例,UE 116(例如,UE 116的解码器)使用奇偶校验矩阵(例如,图13和13A-13H中所示的奇偶校验矩阵1300)来执行对软位(即,方块1402中接收的软位)的LDPC解码,其中奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0131] 图15示出了用于无线通信的示例性操作1400,例如用于执行LDPC编码。根据某些方面,操作1500可以由无线通信设备(例如,通过无线通信设备中的发射机和编码器(例如,编码器706))执行,诸如基站(例如,节点B 110和/或基站210)、用户设备(例如,UE 116和/或UE 250)和/或无线设备302。

[0132] 操作1500通过无线通信设备获得码字的信息位而从方块1502处开始,。例如,UE 116(例如,UE 116的编码器)获得码字的信息位(例如,来自运行在UE上的应用程序)。

[0133] 在1504处,无线通信设备根据奇偶校验矩阵执行对信息位的编码以计算LDPC码字的奇偶校验位,其中:奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,

奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。继续上面的示例,UE 116(例如,UE 116的编码器)根据奇偶校验矩阵(例如,在图13和13A-13H中示出的奇偶校验矩阵1300)执行对信息位(即,在方块1502中获得的信息位)的编码,其中,奇偶校验矩阵的每一行对应于被提升的LDPC码的被提升的奇偶校验,奇偶校验矩阵的至少两列对应于被提升的LDPC码的被删余的变量节点,并且奇偶校验矩阵在至少两个被删余的变量节点都连接到的行的下面的每对连续行之间具有行正交性。

[0134] 本文公开的方法包括用于实现所述方法的一个或多个步骤或动作。方法步骤和/或动作可以彼此互换而不脱离权利要求的范围。即,除非指定了步骤或动作的特定顺序,否则在不脱离权利要求的范围的情况下,可以修改具体步骤和/或动作的顺序和/或使用。

[0135] 如本文所使用的,术语“确定”包含各种各样的动作。例如,“确定”可以包括计算、运算、处理、导出、调查、查找(例如在表、数据库或其他数据结构中查找)、查明等。此外,“确定”可以包括接收(例如,接收信息)、访问(例如,访问存储器中的数据)等。此外,“确定”可以包括求解、选择、选取、建立等。

[0136] 在一些情况下,设备可以具有用于输出帧以供传输的接口,而不是实际发送帧。例如,处理器可以经由总线接口将帧输出到RF前端以供传输。类似地,设备可以具有用于获得从另一设备接收到的帧的接口,而不是实际接收帧。例如,处理器可以经由总线接口从RF前端获得(或接收)帧以供传输。

[0137] 上述方法的各种操作可以由能够执行相应功能的任何合适的单元来执行。该单元可以包括各种硬件和/或软件组件和/或模块,包括但不限于电路、专用集成电路(ASIC)或处理器。一般而言,在图中示出的操作的情况下,这些操作可以具有对应的具有相似编号的功能单元组件。

[0138] 例如,用于计算的单元、用于确定的单元、用于利用的单元、用于更新的单元、用于读取的单元、用于执行的单元和/或用于选择的单元可以包括处理系统,处理系统包括一个或多个处理器,诸如基站210的处理器230和/或RX数据处理器242和/或用户终端250的处理器270和/或RX数据处理器260。另外,用于存储的单元可以包括存储器,诸如基站210的存储器232和/或用户终端250的存储器272。此外,用于接收的单元可以包括接收机和/或天线,诸如基站210的接收机222和/或天线224和/或用户终端250的接收机254和/或天线252。

[0139] 结合本公开内容说明的各种说明性逻辑块、模块和电路可以用通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑器件(PLD)、分立门或晶体管逻辑、分立硬件组件或被设计为执行本文所述功能的其任何组合来实施或执行。通用处理器可以是微处理器,但是在可替换方案中,处理器可以是任何商业上可获得的处理器、控制器、微控制器或状态机。处理器还可以实施为计算设备的组合,例如DSP和微处理器的组合、多个微处理器、一个或多个微处理器结合DSP内核或任何其他这样的配置。

[0140] 如果在硬件中实施,则示例性硬件配置可以包括无线节点中的处理系统。处理系统可以用总线架构来实施。总线可以包括任何数量的互连总线和桥接器,这取决于处理系统的具体应用和总体设计约束。总线可以将各种电路链接在一起,包括处理器、机器可读介质和总线接口。总线接口可以用于经由总线将网络适配器等连接到处理系统。网络适配器

可以用于实施PHY层的信号处理功能。在无线节点(参见图1)的情况下,用户接口(例如键盘、显示器、鼠标、操纵杆等)也可以连接到总线。总线还可以链接诸如定时源、外围设备、电压调节器、电源管理电路等的各种其它电路,这些电路在本领域中是公知的,因此将不再进一步说明。处理器可以用一个或多个通用和/或专用处理器实施。示例包括微处理器、微控制器、DSP处理器以及可以执行软件的其他电路。本领域技术人员将认识到,根据特定应用和施加在整个系统上的整体设计约束,如何最好地实现针对处理系统的所描述功能。

[0141] 如果以软件实施,则可以作为计算机可读介质上的一个或多个指令或代码来存储或发送功能。不论被称为软件、固件、中间件、微代码、硬件描述语言或其他术语,软件应被广义地解释为表示指令、数据或其任何组合。计算机可读介质包括计算机存储介质和通信介质,通信介质包括有助于将计算机程序从一个地方发送到另一个地方的任何介质。处理器可以负责管理总线和一般处理,包括执行存储在机器可读介质上的软件。计算机可读存储介质可以耦合到处理器,使得处理器可以从存储介质读取信息和向存储介质写入信息。在替代方案中,存储介质可以集成到处理器。作为示例,机器可读介质可以包括传输线、由数据调制的载波和/或与无线节点分离的其上存储有指令的计算机可读存储介质,所有这些都可由处理器通过总线接口访问。可替换地或另外地,机器可读介质或其任何部分可以集成到处理器中,例如可以是使用高速缓存和/或通用寄存器文件的情况。作为示例,机器可读存储介质的示例可以包括RAM(随机存取存储器)、闪存、ROM(只读存储器)、PROM(可编程只读存储器)、EPROM(可擦除可编程只读存储器)、EEPROM(电可擦除可编程只读存储器)、寄存器、磁盘、光盘、硬盘驱动器或任何其它合适的存储介质或其任何组合。机器可读介质可以体现在计算机程序产品中。

[0142] 软件模块可以包括单个指令或许多指令,并且可以分布在几个不同代码段上、不同程序中,以及多个存储介质上。计算机可读介质可以包括多个软件模块。软件模块包括当由诸如处理器的装置执行时使处理系统执行各种功能的指令。软件模块可以包括传输模块和接收模块。每个软件模块可以驻留在单个存储设备中或者分布在多个存储设备上。作为示例,当触发事件发生时,软件模块可以从硬盘驱动器加载到RAM中。在执行软件模块期间,处理器可以将一些指令加载到高速缓存中以增加访问速度。然后将一个或多个高速缓存行加载到通用寄存器文件中以供处理器执行。当下面提及软件模块的功能时,应当理解,当从该软件模块执行指令时,这种功能由处理器来实施。

[0143] 此外,任何连接被适当地称为计算机可读介质。例如,如果使用同轴电缆、光纤电缆、双绞线、数字用户线(DSL)或诸如红外(IR)、无线和微波的无线技术从网站、服务器或其他远程源发送软件,则同轴电缆、光纤电缆、双绞线,DSL或诸如红外、无线和微波的无线技术包括在介质的定义中。如本文所使用的磁盘和光盘包括压缩光盘(CD)、激光光盘、光盘、数字通用光盘(DVD)、软盘和蓝光®光盘,其中,磁盘通常磁性地再现数据,而光盘用激光光学地再现数据。因此,在一些方面,计算机可读介质可以包括非暂时性计算机可读介质(例如,实体介质)。此外,对于其他方面,计算机可读介质可以包括暂时性计算机可读介质(例如,信号)。上述的组合也包括在计算机可读介质的范围内。

[0144] 因此,某些方面可以包括用于执行本文呈现的操作的计算机程序产品。例如,这样的计算机程序产品可以包括其上存储(和/或编码)有指令的计算机可读介质,所述指令可由一个或多个处理器执行以执行本文所述的操作。

[0145] 此外,应当理解,用于执行本文所说明的方法和技术的模块和/或其他适当的单元可以由无线节点和/或基站适当地下载和/或以其它方式获得。例如,这样的设备可以耦合到服务器以便于发送用于执行本文说明的方法的单元。可替换地,可以经由存储单元(例如RAM、ROM、诸如压缩光盘(CD)或软盘等的物理存储介质等)来提供本文说明的各种方法,使得无线节点和/或基站在将存储单元耦合或提供给设备时可以获得各种方法。此外,可以利用用于将本文所述的方法和技术提供给设备的任何其它适合的技术。

[0146] 应当理解,权利要求书不限于上文所示的精确配置和组件。在不脱离权利要求书的范围的情况下,可以对上述方法和装置的布置、操作和细节进行各种修改、改变和变化。

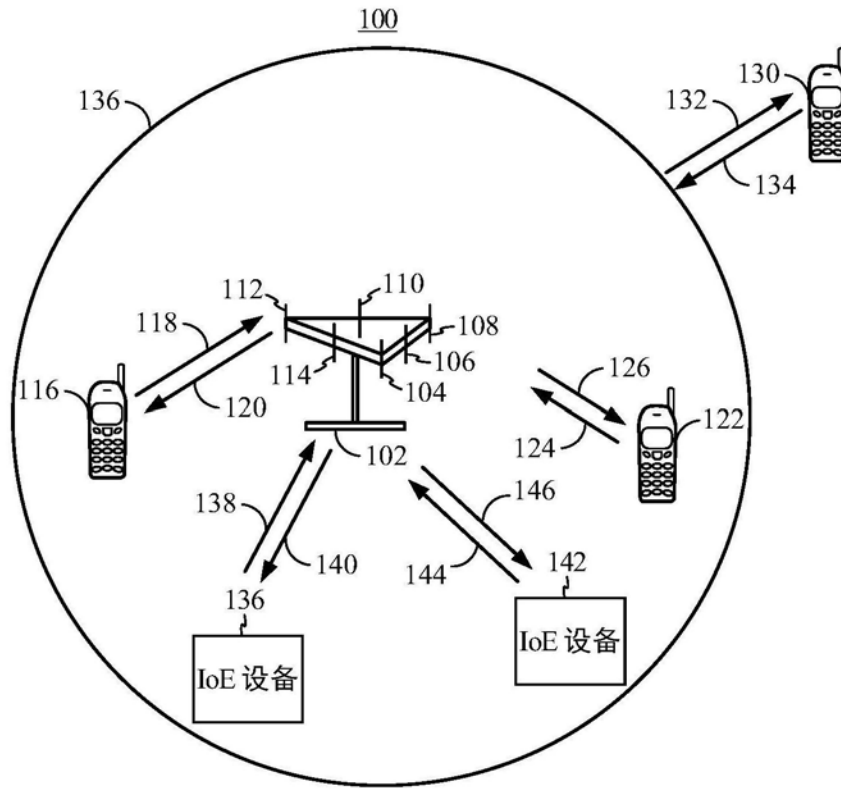


图1

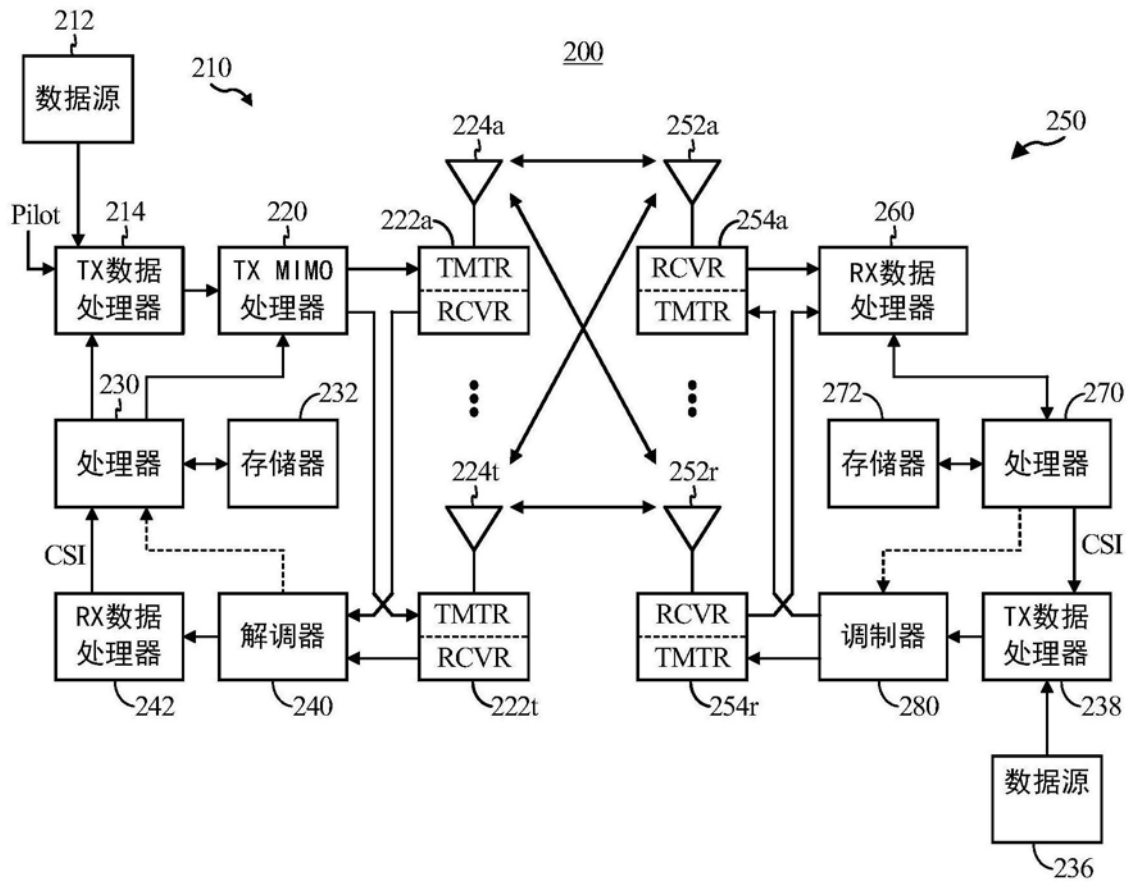


图2

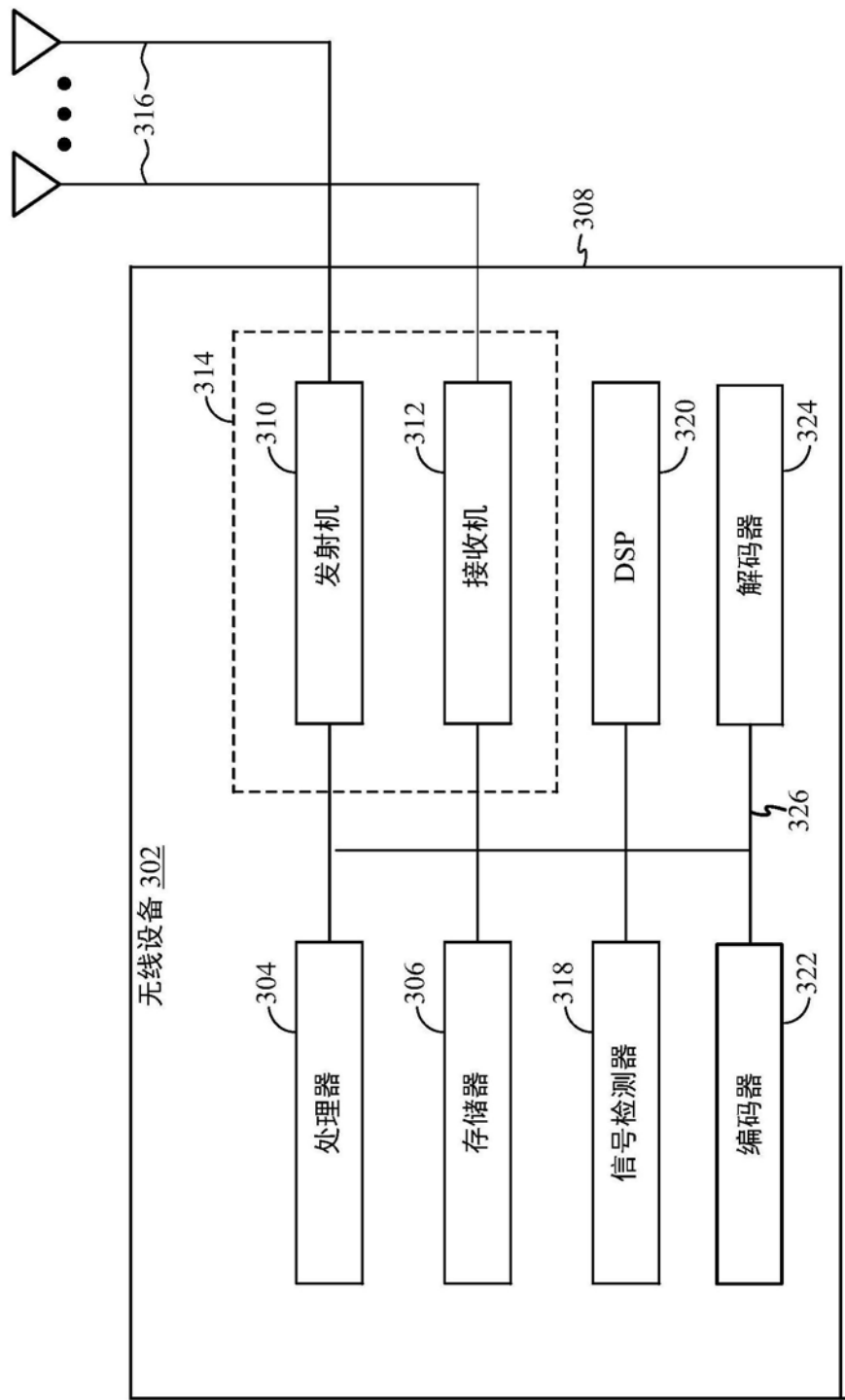


图3

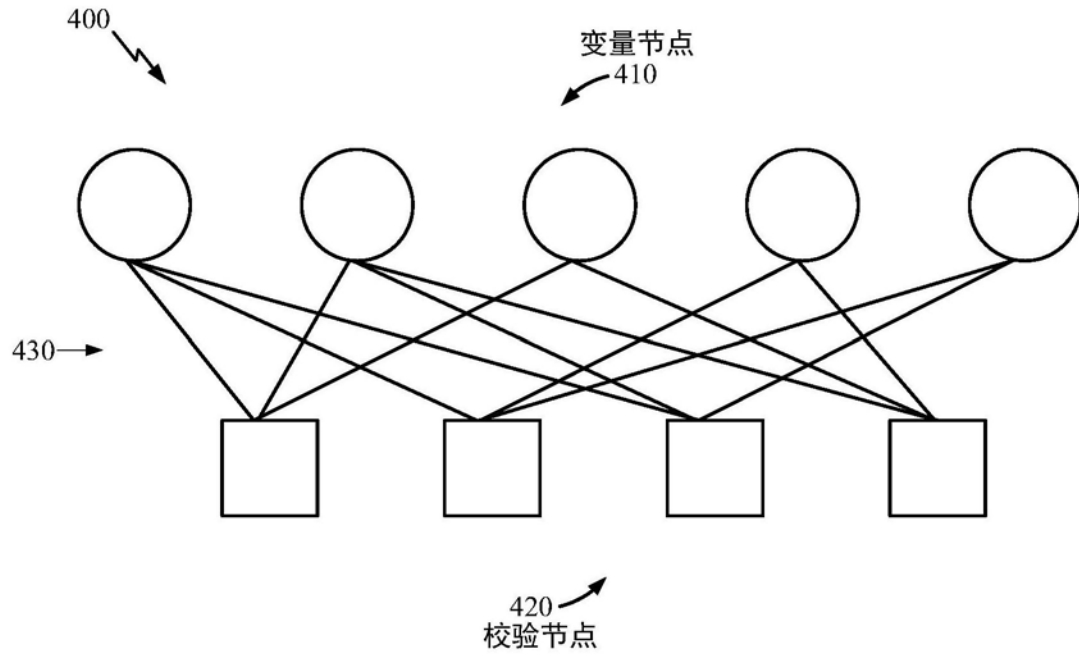


图4A

450 ↘

$$H = \begin{bmatrix} 1 & 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 1 & 1 \\ 1 & 1 & 0 & 0 & 1 \\ 0 & 1 & 1 & 1 & 0 \end{bmatrix} \quad x = \begin{bmatrix} x_1 \\ x_2 \\ x_3 \\ x_4 \\ x_5 \end{bmatrix}$$

图4B

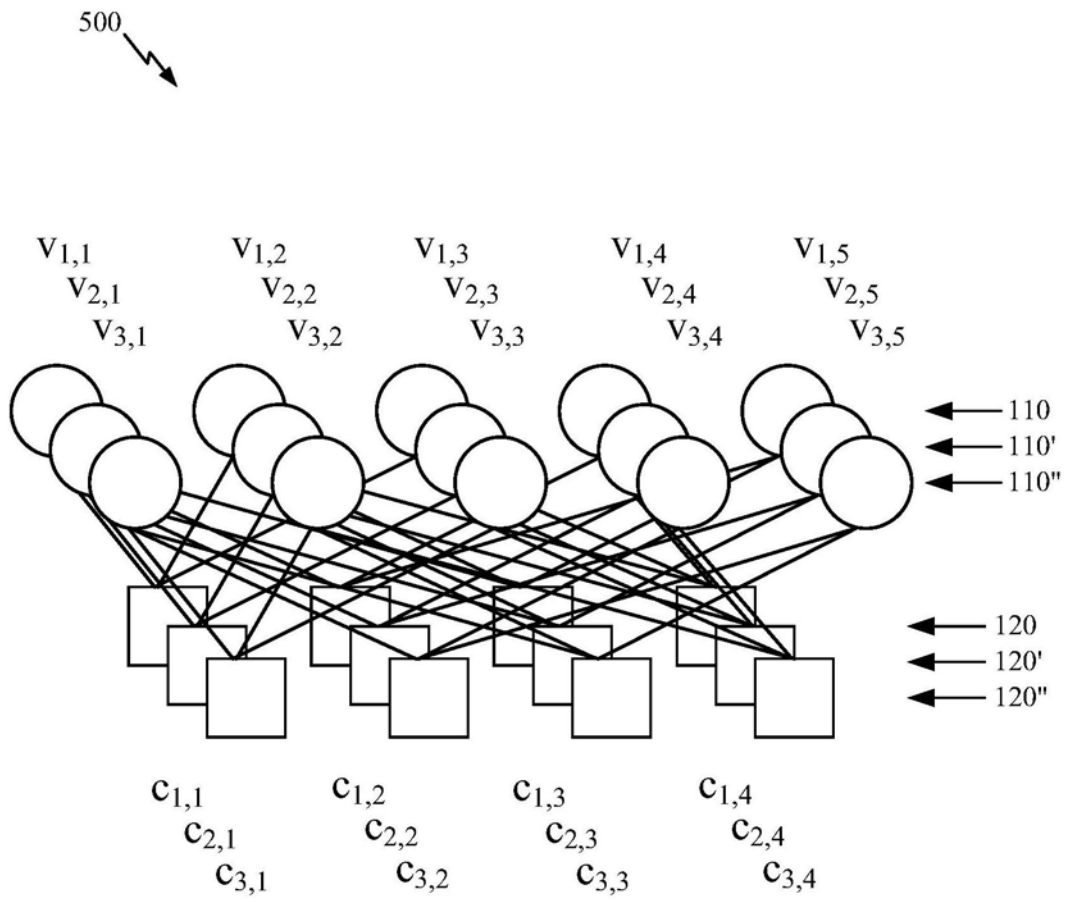


图5

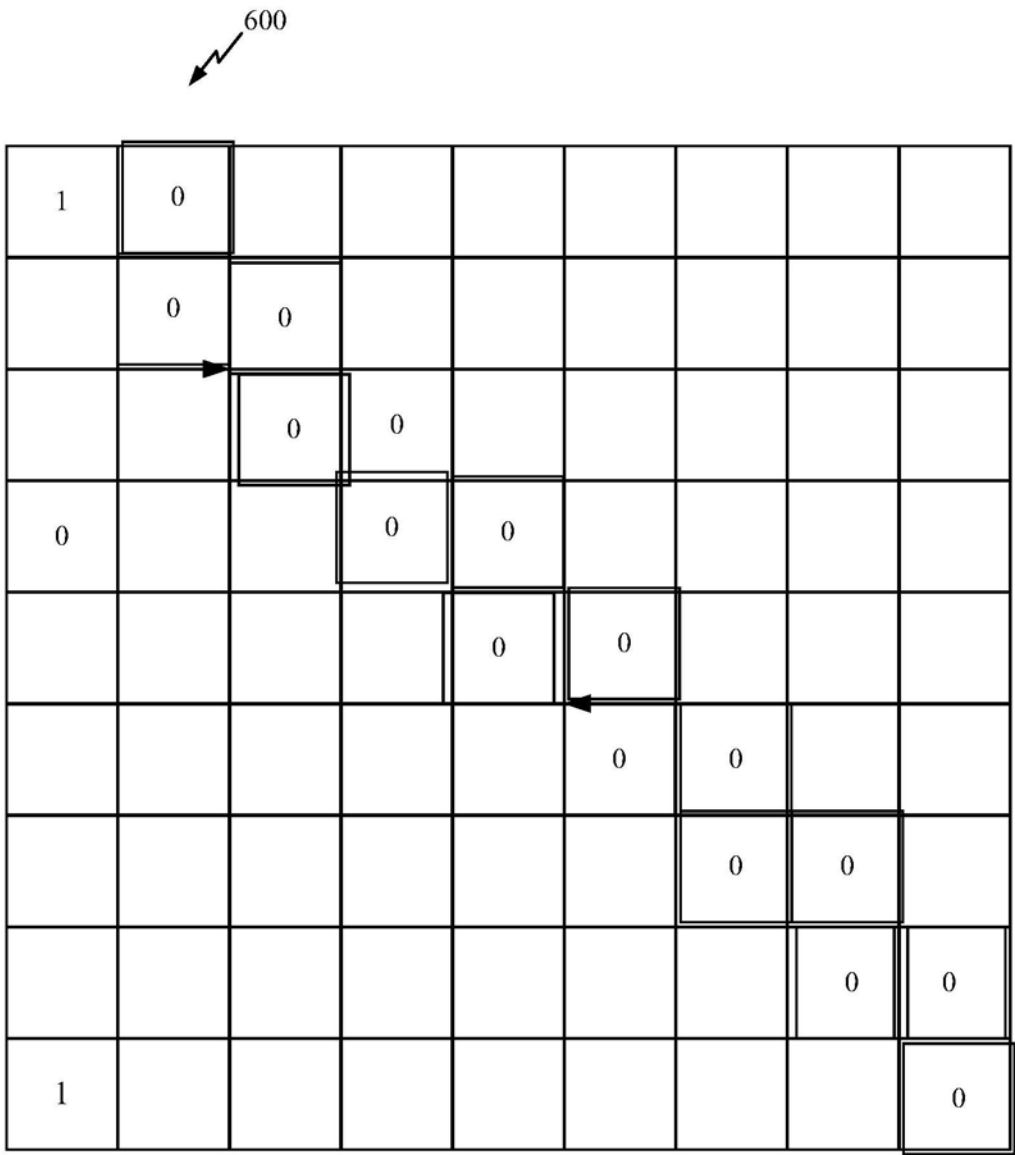


图6

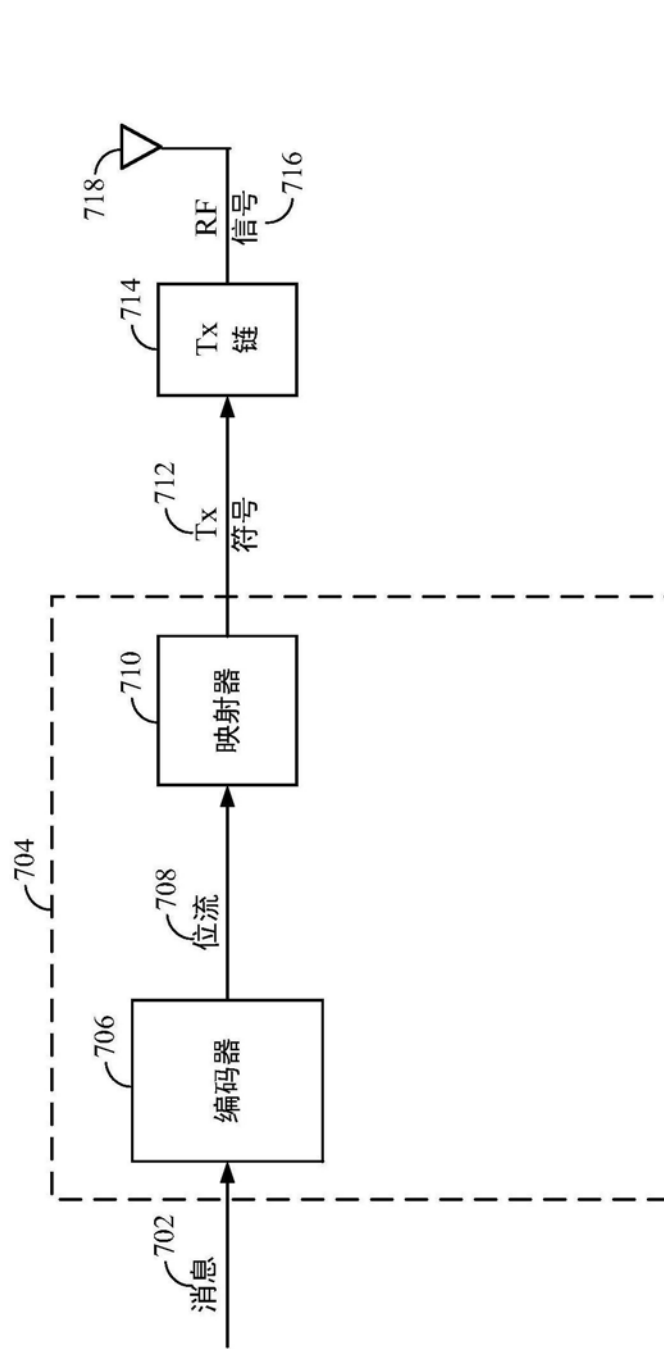


图7

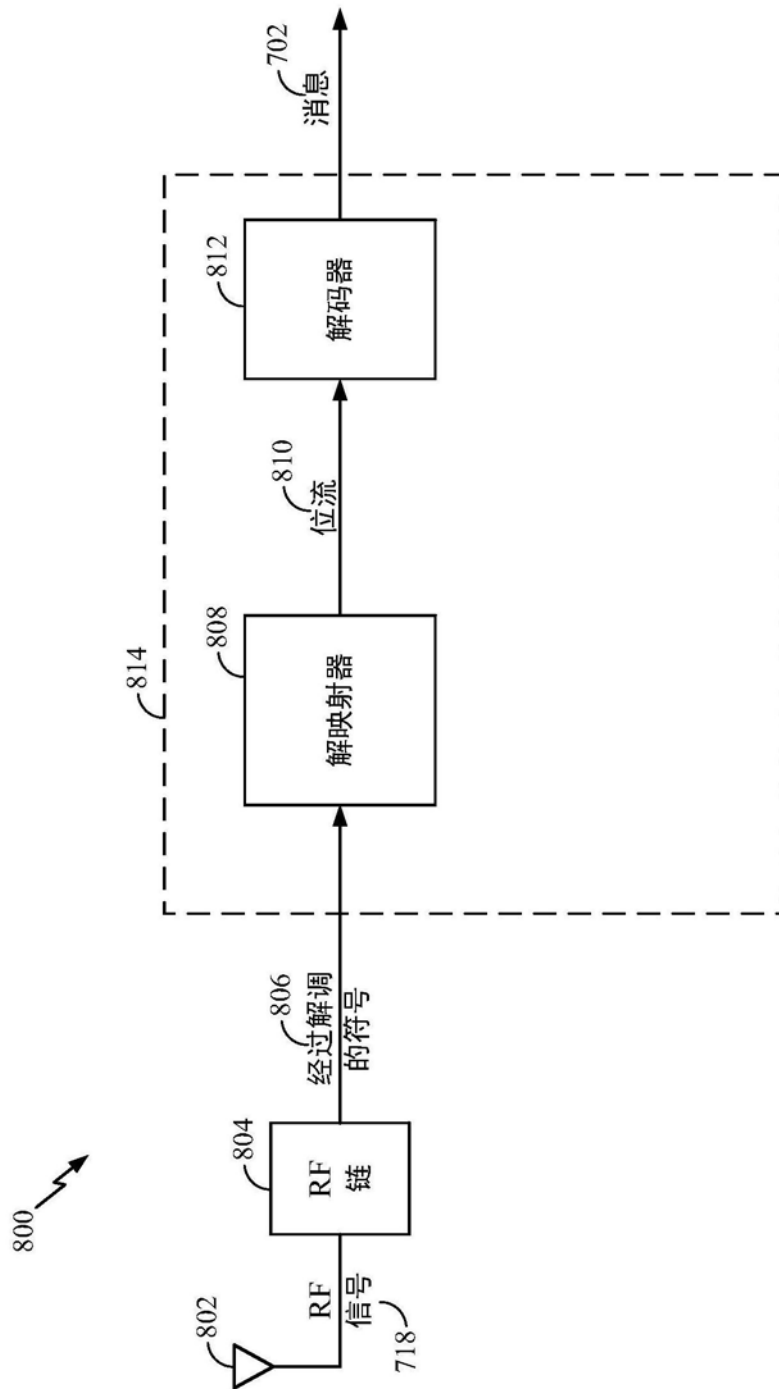


图8

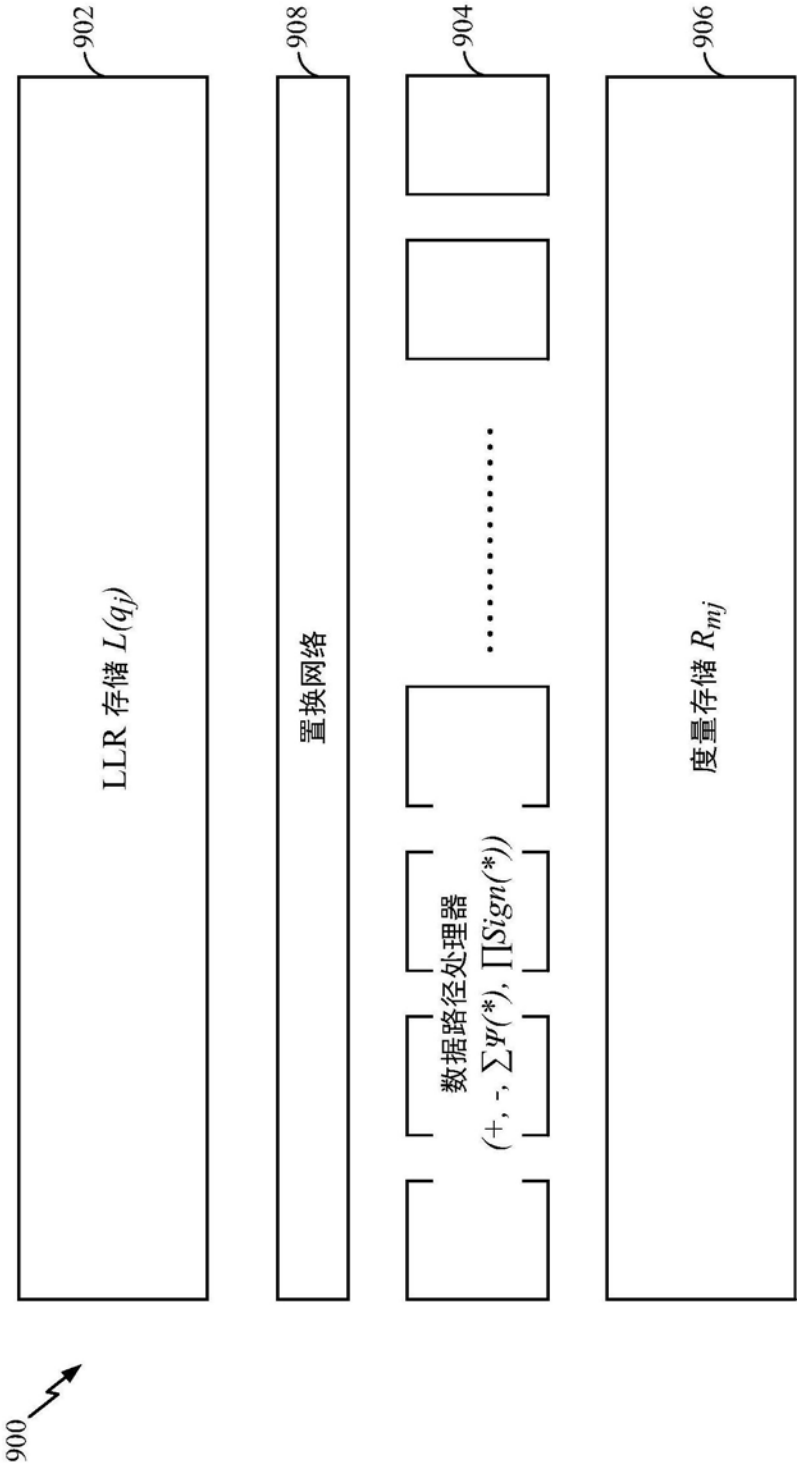


图9

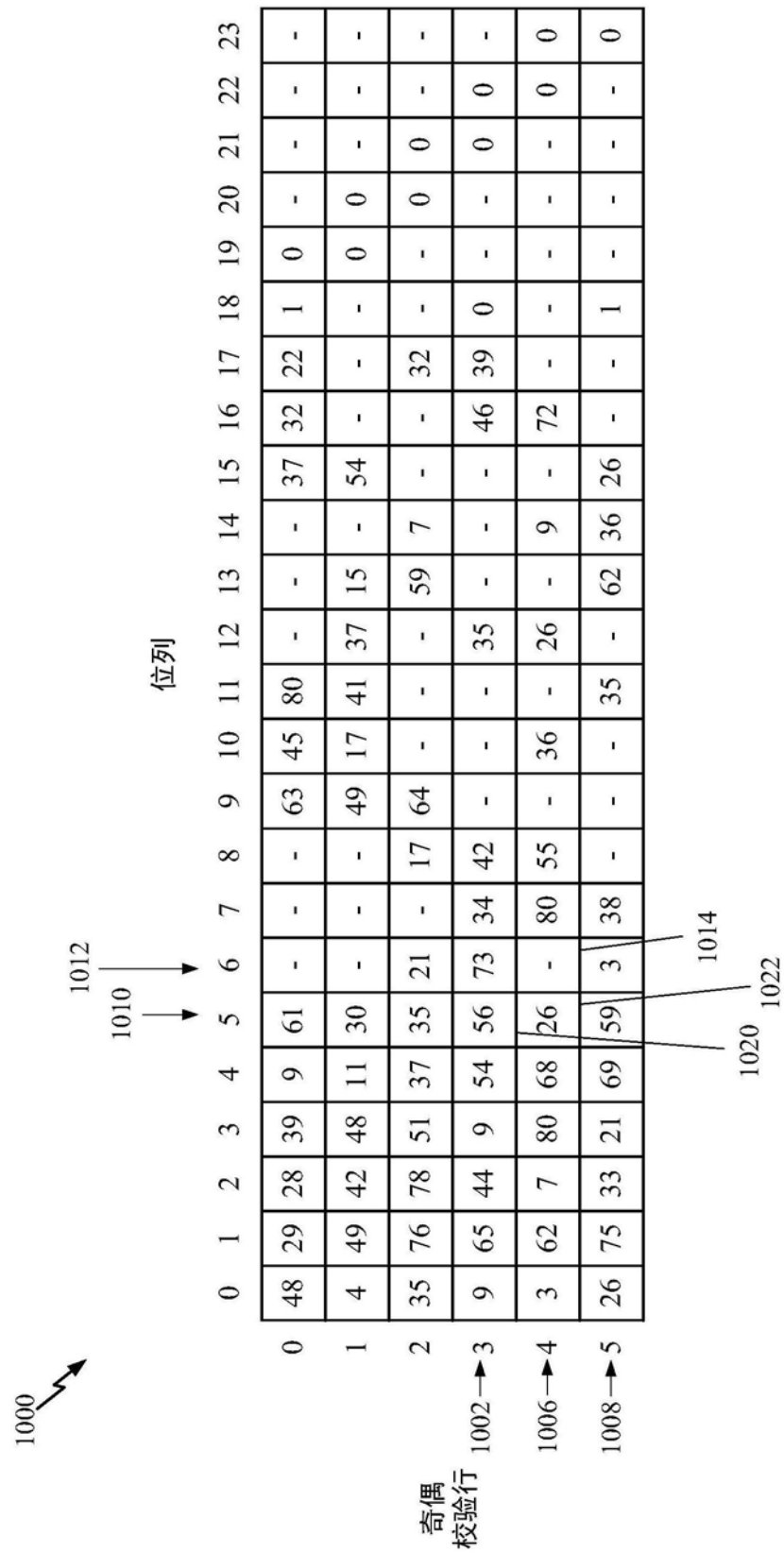


图10

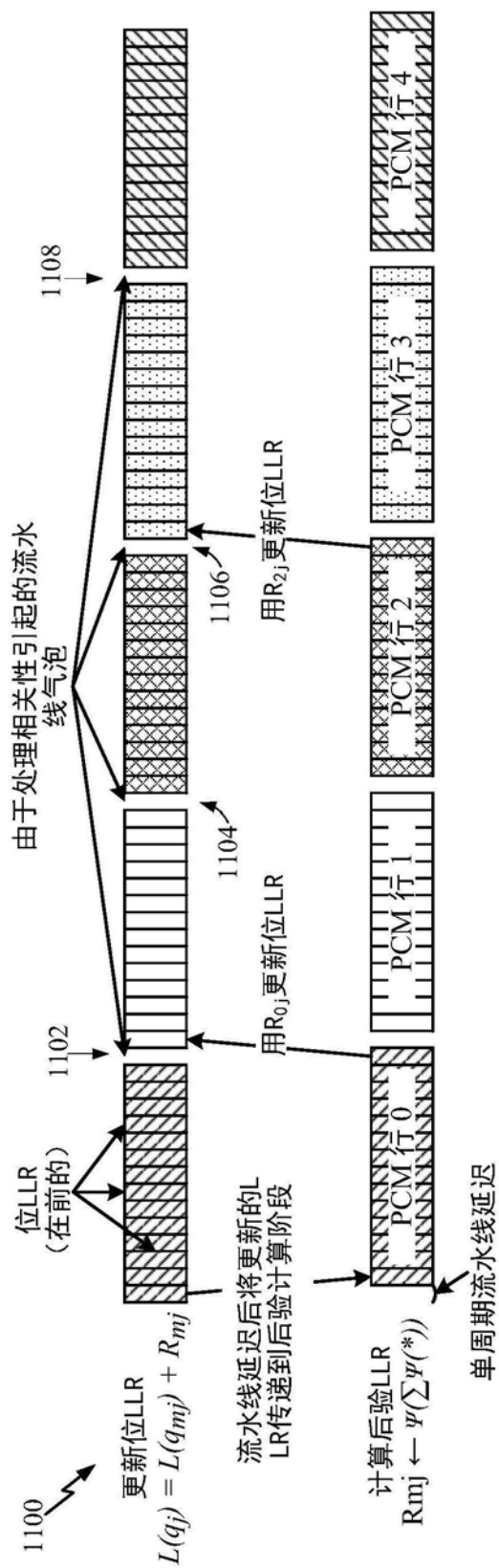


图11A

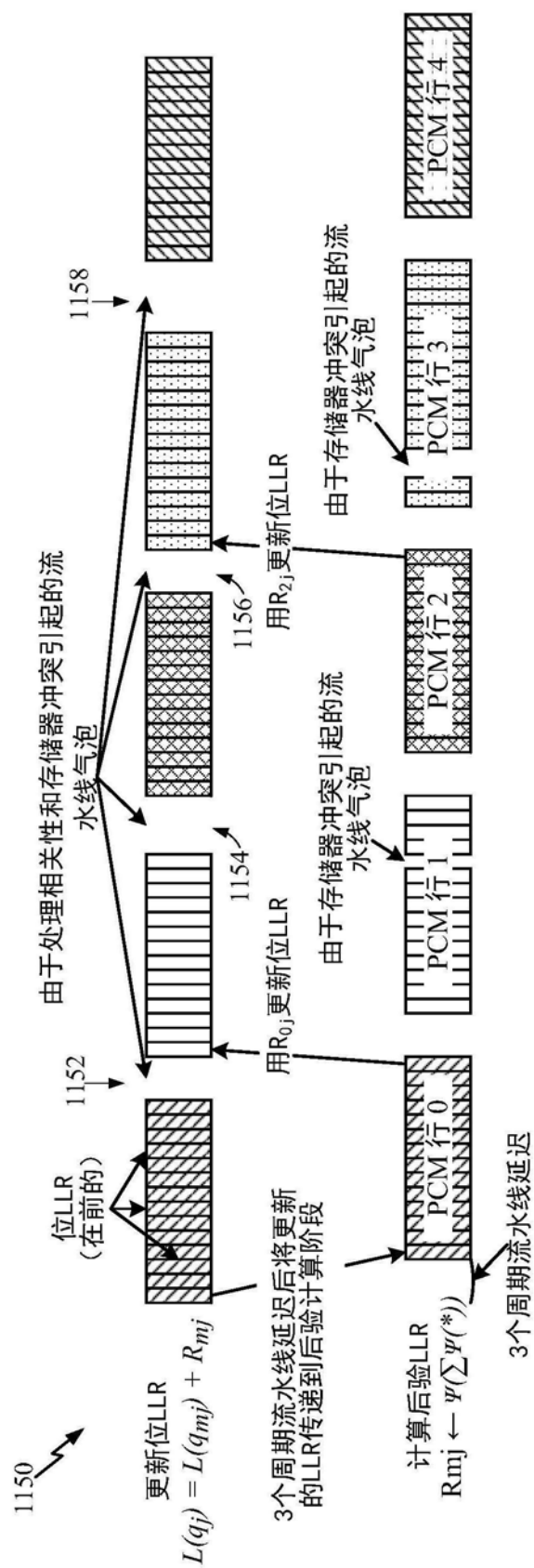


图11B

图 12A	图 12B	图 12C	图 12D
图 12E	图 12F	图 12G	图 12H

图12

1200																		
1202	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1204	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1206	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1220	13	13	13	4	5	4	13	4	10	2	0	9	13	.	5	12	.	.
	.	4	10	3	9	14	2	7	.	.	.	.	.	.	.	.	3	.
	9	5	.	13	.	.	.	.	7	8	7	3	15	3	.	.	.	2
	3	.	.	.	6	7	.	.	.	.	.	14	5	6	3	0	8	7
	13	2	9	.	.	.	13	14	9	4	6	.	.	10	0	5	9	0
	1	1	.	.	.	.	.	.	.	1	.	.	.	.	.	.	.	.
	11	13	2	14	.	.	.	.	.	12	6	.	.	12	7	.	13	.
	6	.	.	.	.	.	.	0	5	.	9	.	.	.	.	9	.	.
	11	2	.	.	.	8	13	.	3	7	1	.	9	.	.	.	.	.
	.	3	.	.	11	.	.	.	.	.	.	7	.	.	8	.	.	8
	2	6	.	.	.	.	7	.	8	.	.	.	.	.	.	.	10	.
	.	11	.	15	.	.	.	4	.	.	.	.	14	.	15	1	.	.
	13	.	7	.	.	.	6	.	.	.	.	.	8	0	.	.	.	.
	.	0	.	.	.	.	.	.	.	10	5	.	.	.	.	9	.	.
	8	.	.	.	.	10	.	.	.	.	.	.	.	.	.	.	.	4
	.	13	.	.	.	.	.	.	.	14	.	8	.	.	.	.	14	.
	5	10	.	.	.	.	.	.	.	.	7	.	.	.	13	.	.	.
	5	.	7	.	.	.	.	15	6	.	.	.	.	.	.	.	.	.
	.	3	.	.	.	.	1	.	.	.	.	.	.	6	.	7	.	.
	9	.	.	.	.	.	.	.	.	.	.	.	0	0	.	.	.	.
1210	1210	1212	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.

图12A

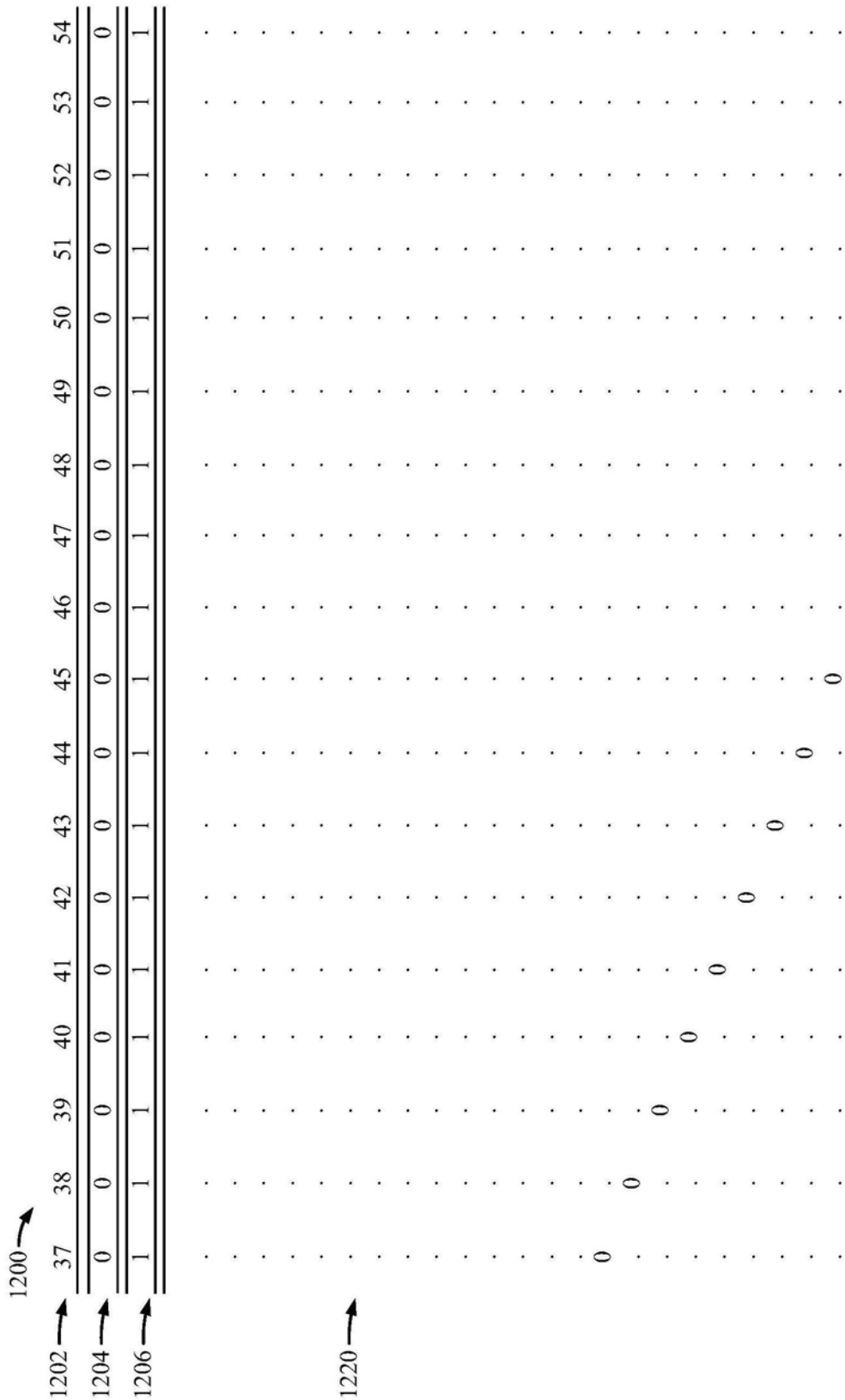


图12C

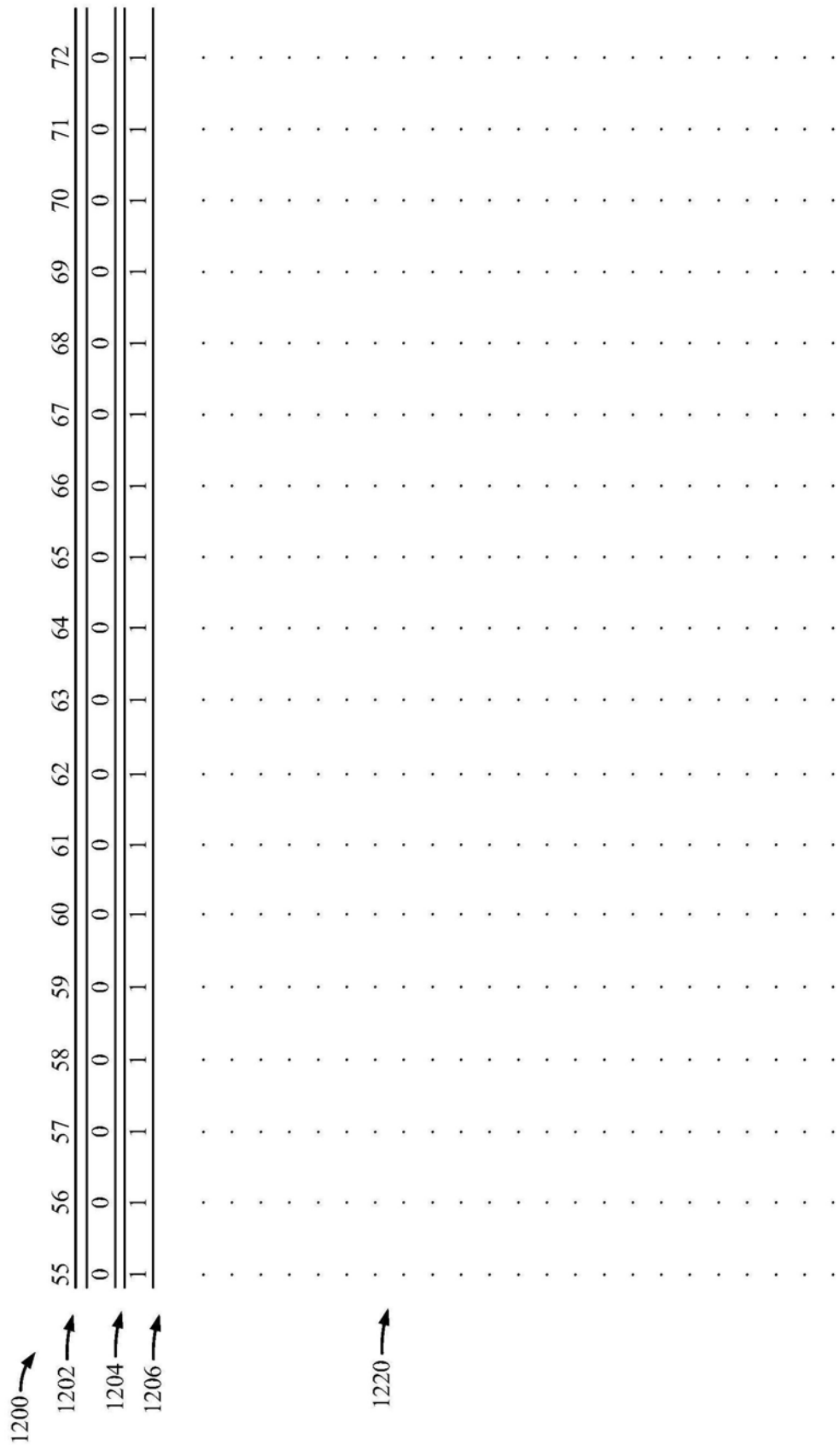


图12D

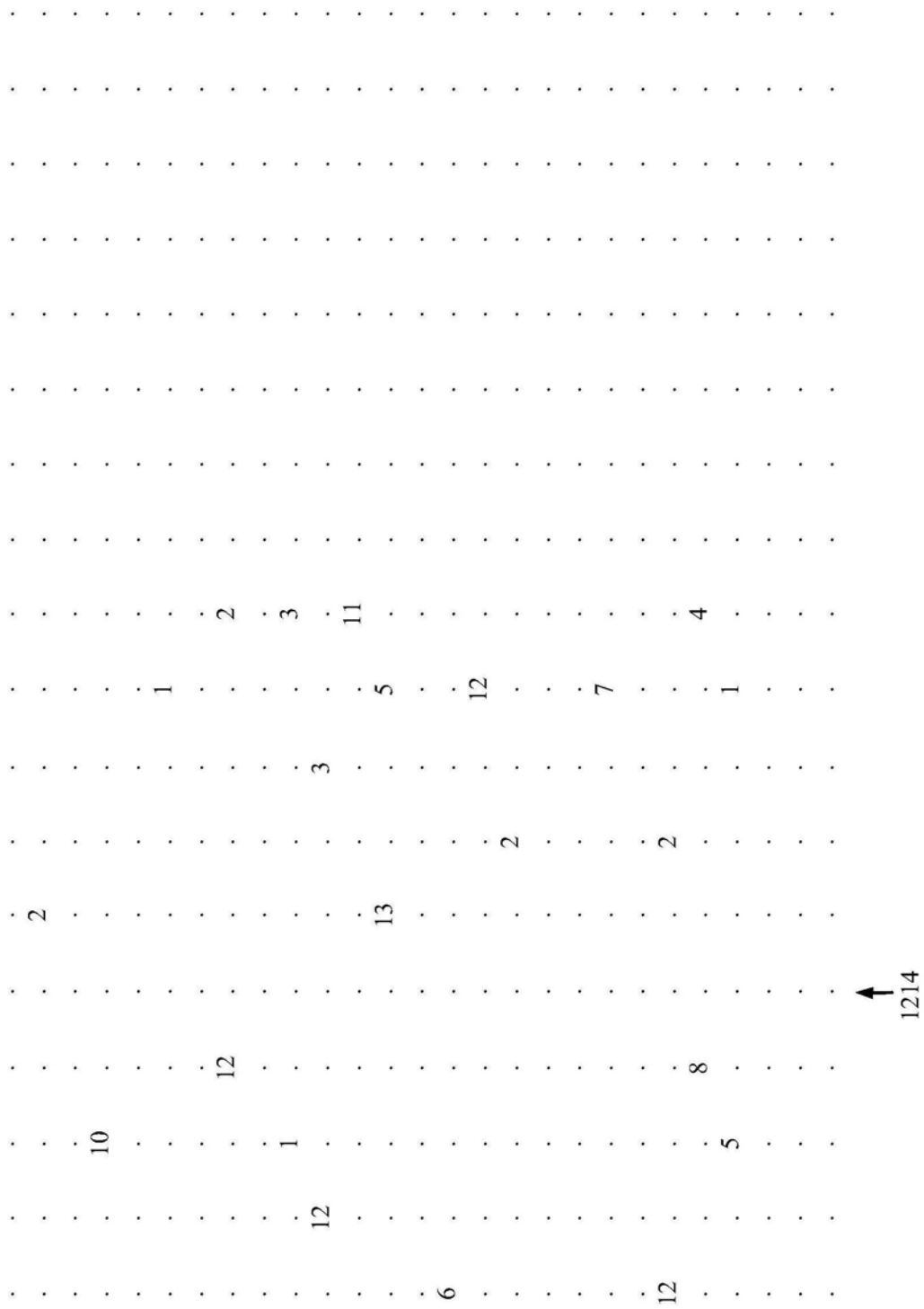


图12F

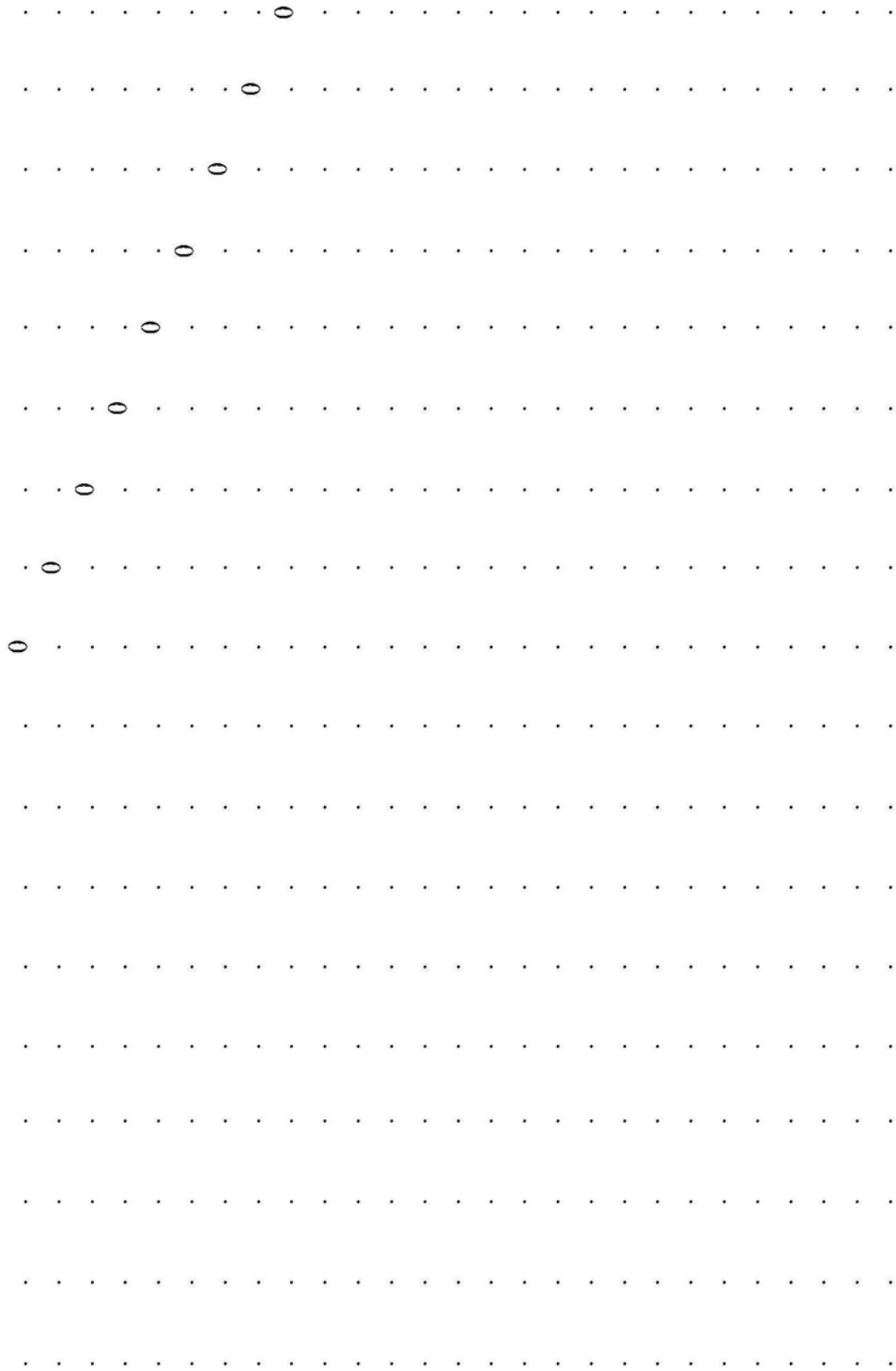


图12G

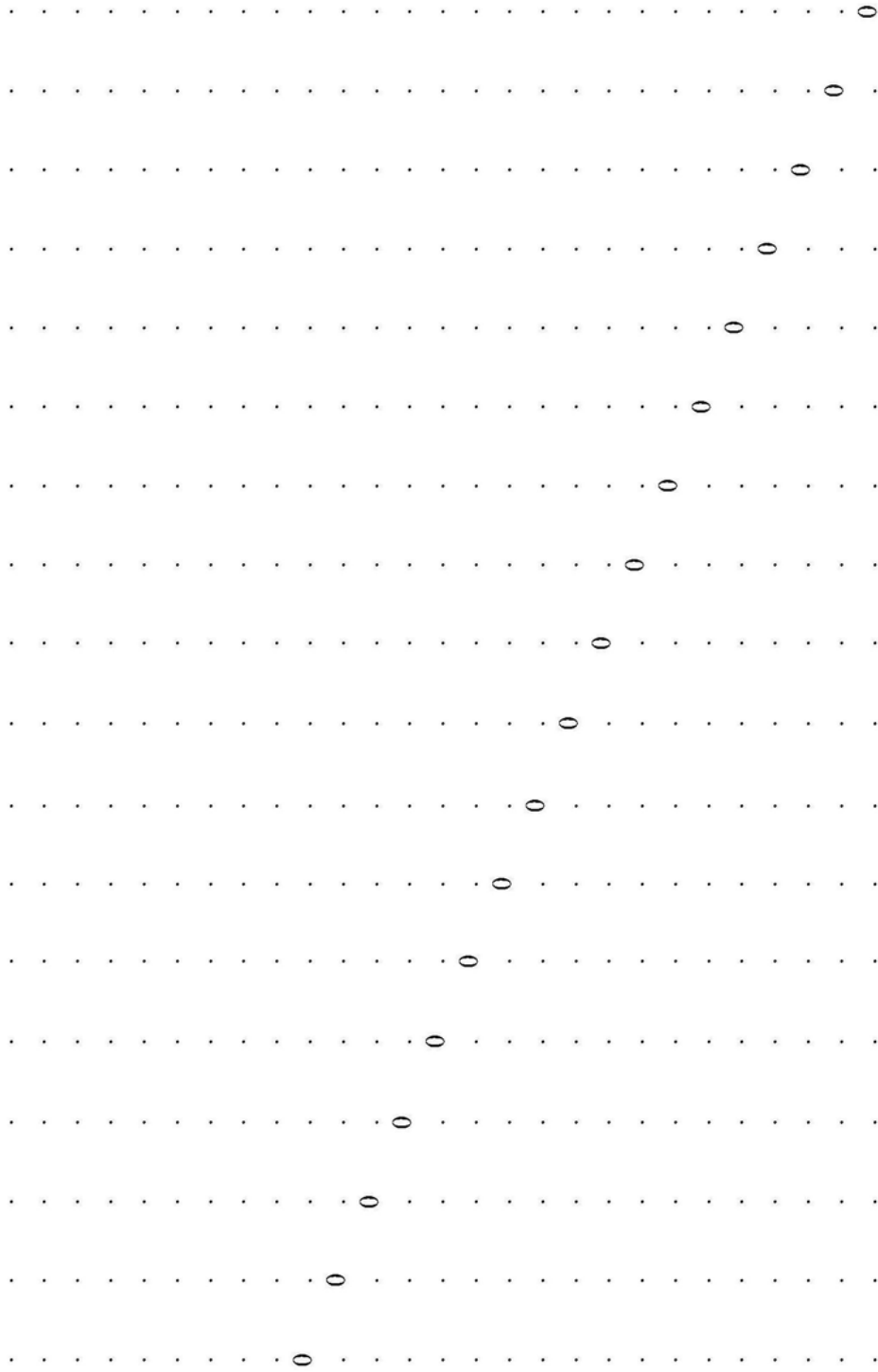


图12H

图 13A	图 13B	图 13C	图 13D
图 13E	图 13F	图 13G	图 13H

图13

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
1300	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1302	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1304	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1306	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1320	18	24	5	0	25	27	31	26	22	15	29	1	8	14	29	30	23	12	19
1322	21	7	1	2	8	2	19	2	17	10	10	7	23	23	3	20	8	15	20
	18	11	7	2	0	21	19	2	2	10	2	4	27	3	3	20	8	24	20
	24	5	0	17	25	10	25	5	24	15	20	21	31	6	28	8	5	24	6
	27	31	14	2	27	7	4	24	16	16	16	16	11	2	26	21	6	27	12
	31	26	27	2	7	7	4	24	16	18	15	16	11	1	18	22	6	24	24
	15	5	22	2	29	2	2	2	2	20	16	16	11	1	26	22	7	4	2
	29	1	27	12	16	16	16	20	11	20	26	16	16	3	19	13	13	8	17
	4	4	12	16	12	12	12	20	11	16	26	26	11	3	19	13	13	8	17
	14	26	12	17	12	12	12	11	11	24	27	31	20	22	1	1	27	18	1
	29	30	29	11	11	11	11	21	19	19	19	19	20	22	11	11	11	18	6
	23	12	11	11	11	11	11	21	19	19	19	19	20	22	11	11	11	18	6
	19	19	19	11	11	11	11	21	19	19	19	19	20	22	11	11	11	18	6
	1310	1312	1310	1312	1310	1312	1310	1312	1310	1312	1310	1312	1310	1312	1310	1312	1310	1312	1310

图13A

20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
27	5	9	.	0	0	.	.	0	.	.	.	.	.	.	.	.	.	.
18	10	.	.	30	0	0	0	.	.	.	.	.	.	.	.	.	.	.
.	0	13	.	.	.	.	0	0	.	.	.	.	.	.	.	.	.	.
7	.	31	.	14	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	0	26	.	.	.	.	0	.	.	.	.	.	.	.	.	.
.	.	.	9	.	.	.	.	.	.	0	.	.	.	.	.	.	.	.
.	0	.	.	.	.	.	.	.	.	.	0	.	.	.	.	.	.	.
16	.	.	13	.	.	.	.	.	.	.	.	0	.	.	.	.	.	.
.	5	.	.	7	.	.	.	.	.	.	.	.	0	.	.	.	.	.
.	.	.	17	.	4	.	.	.	.	.	.	.	.	0	.	.	.	.
19	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	0	.	.
.	.	.	.	25	.	.	.	28	.	.	.	.	.	.	.	.	.	0
23	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	15	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.
.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.	.

图13B

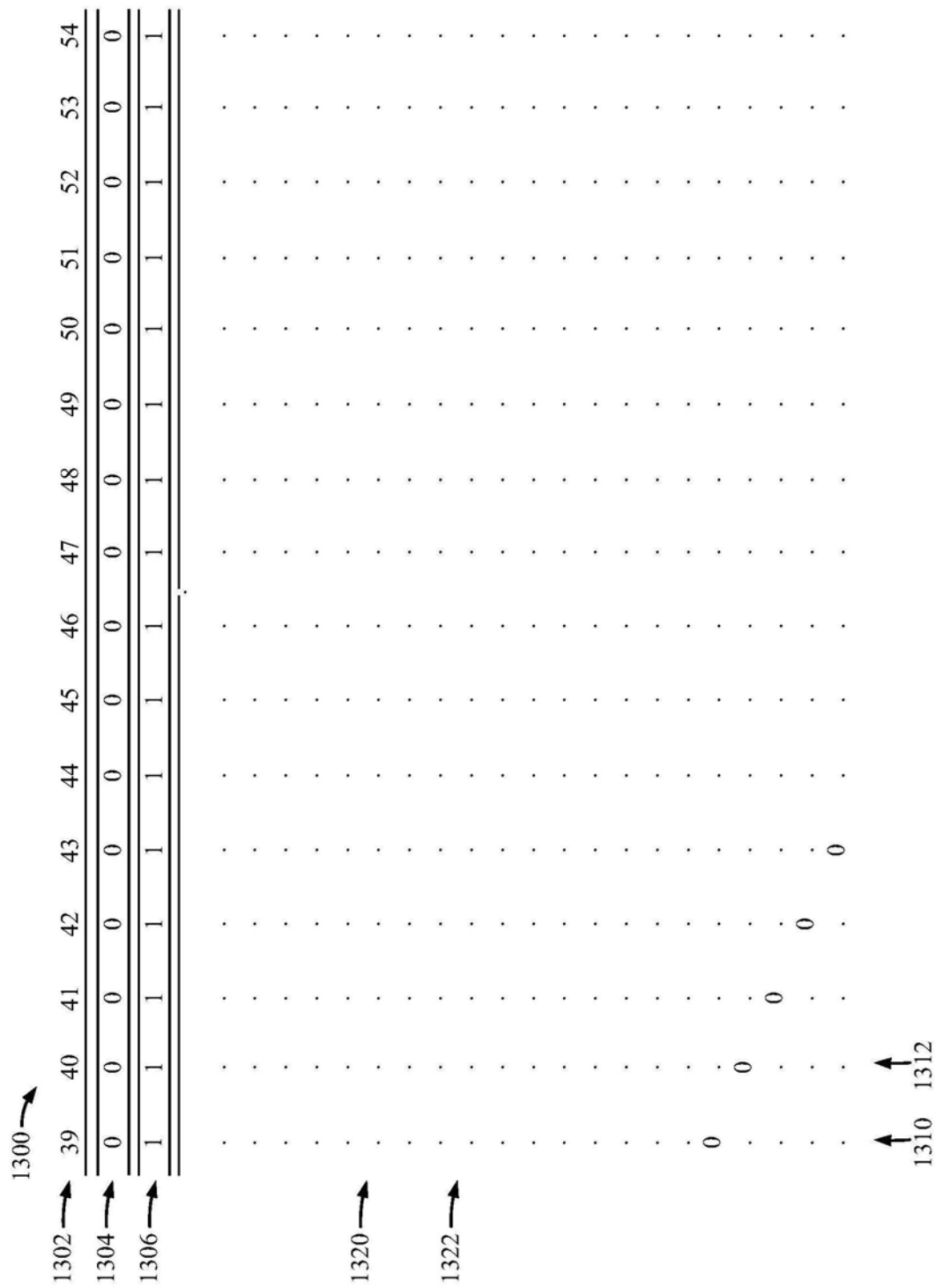


图13C

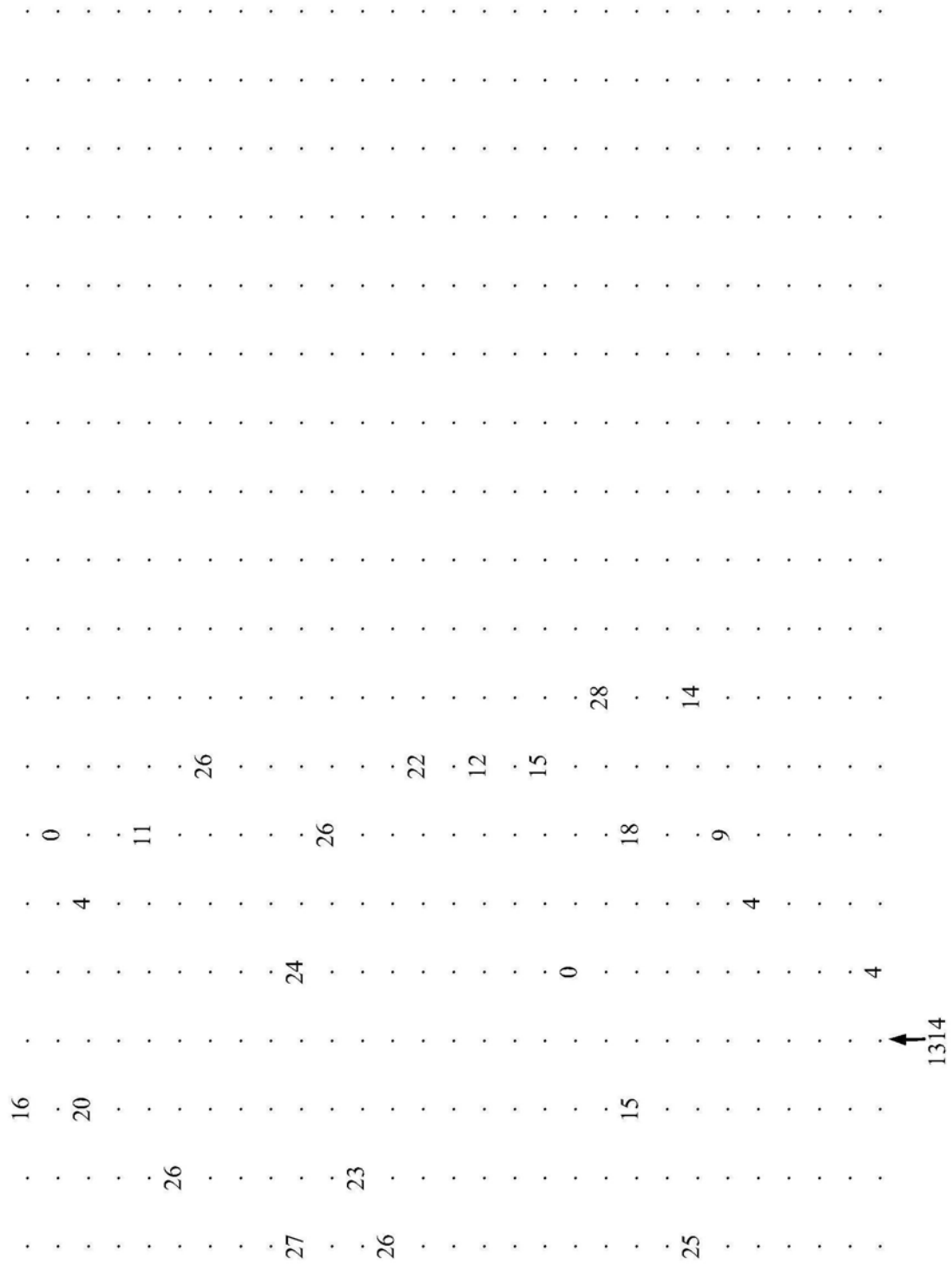


图13F

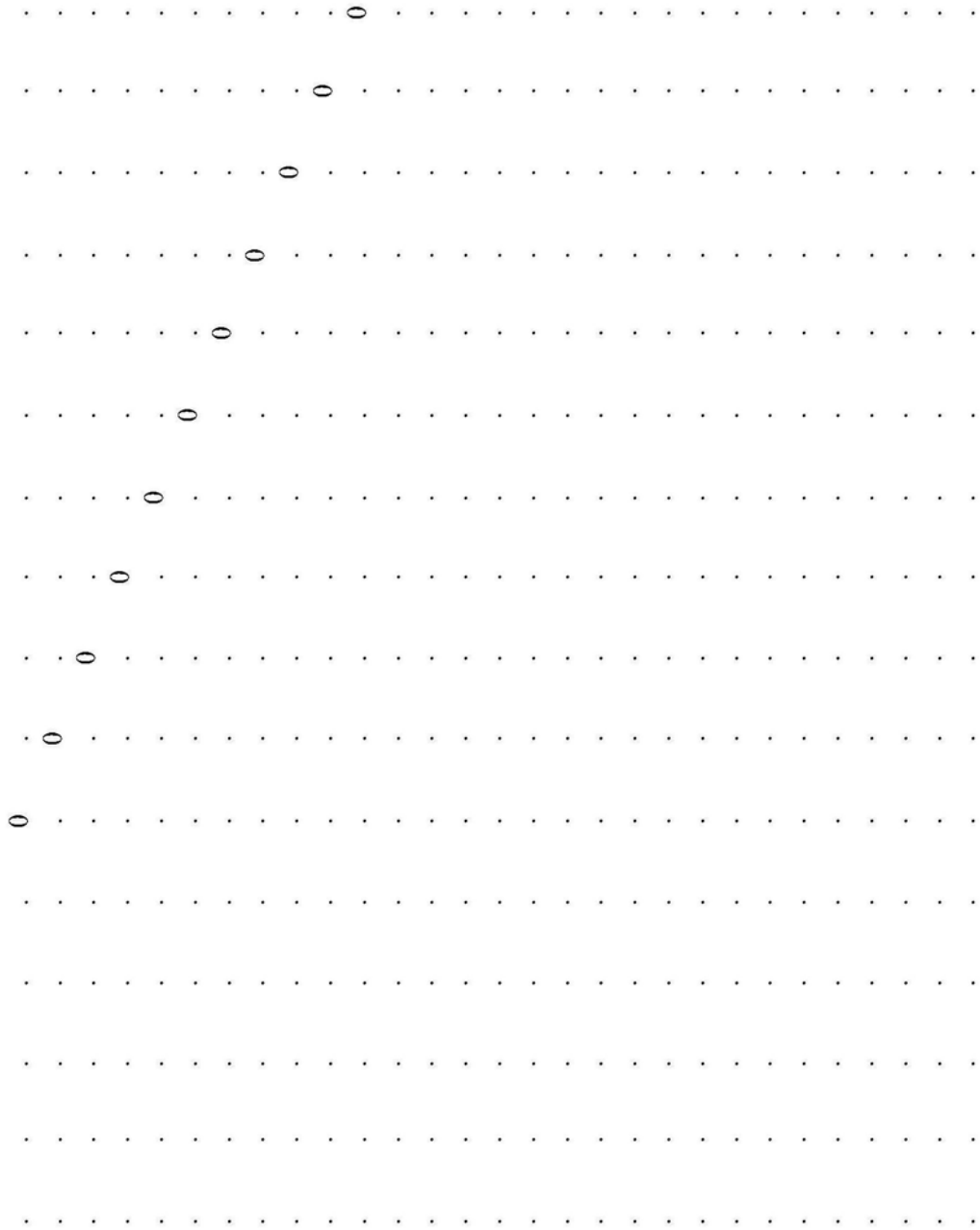


图13G

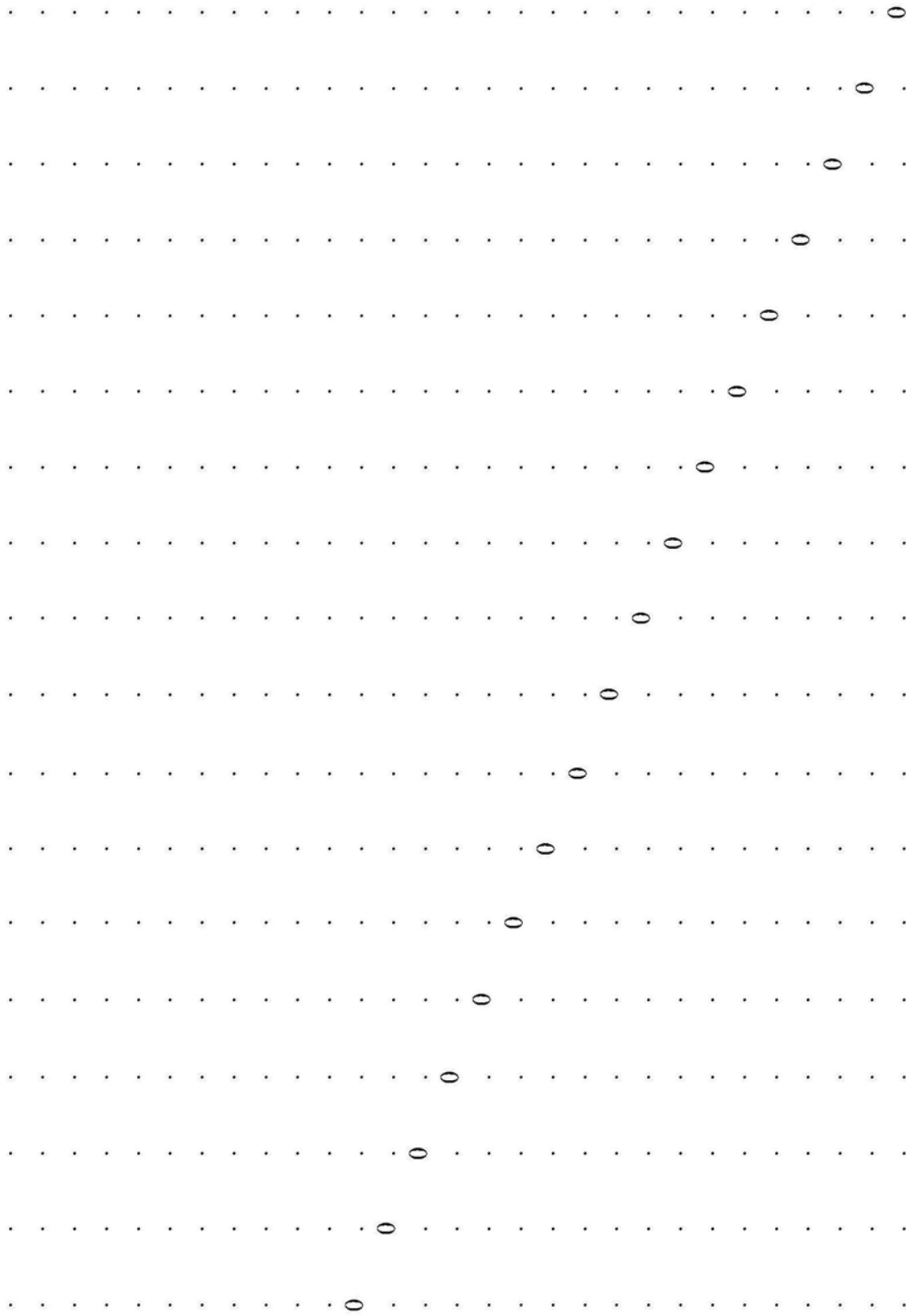


图13H

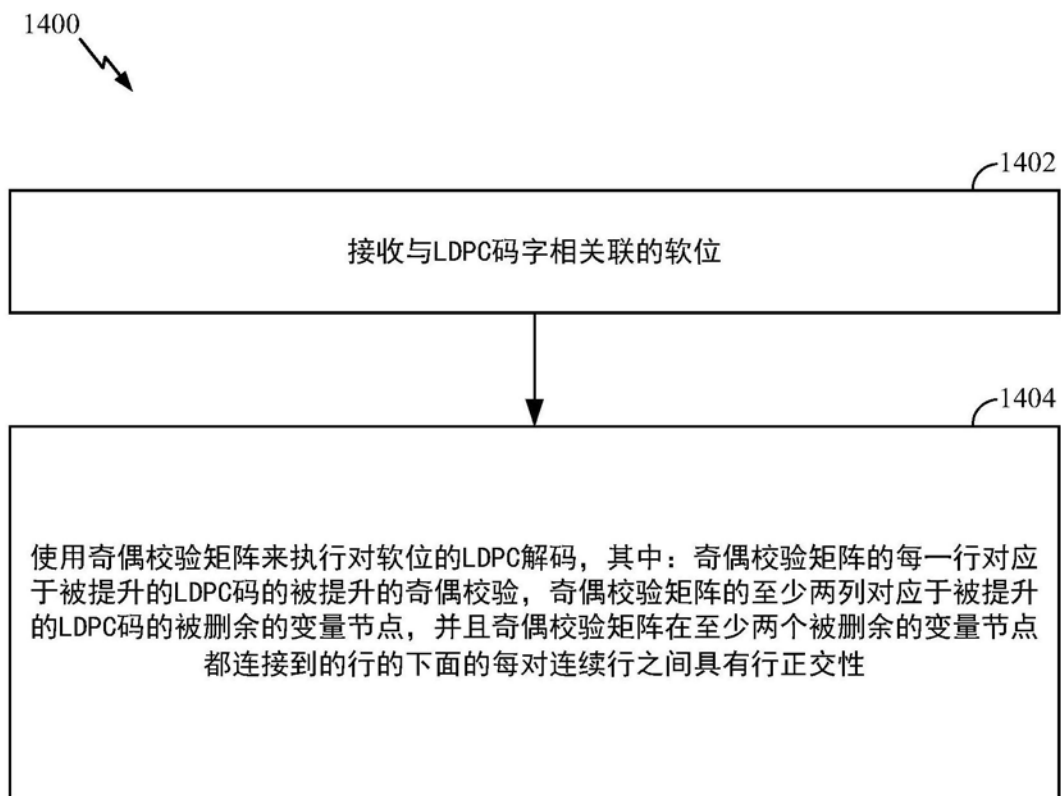


图14

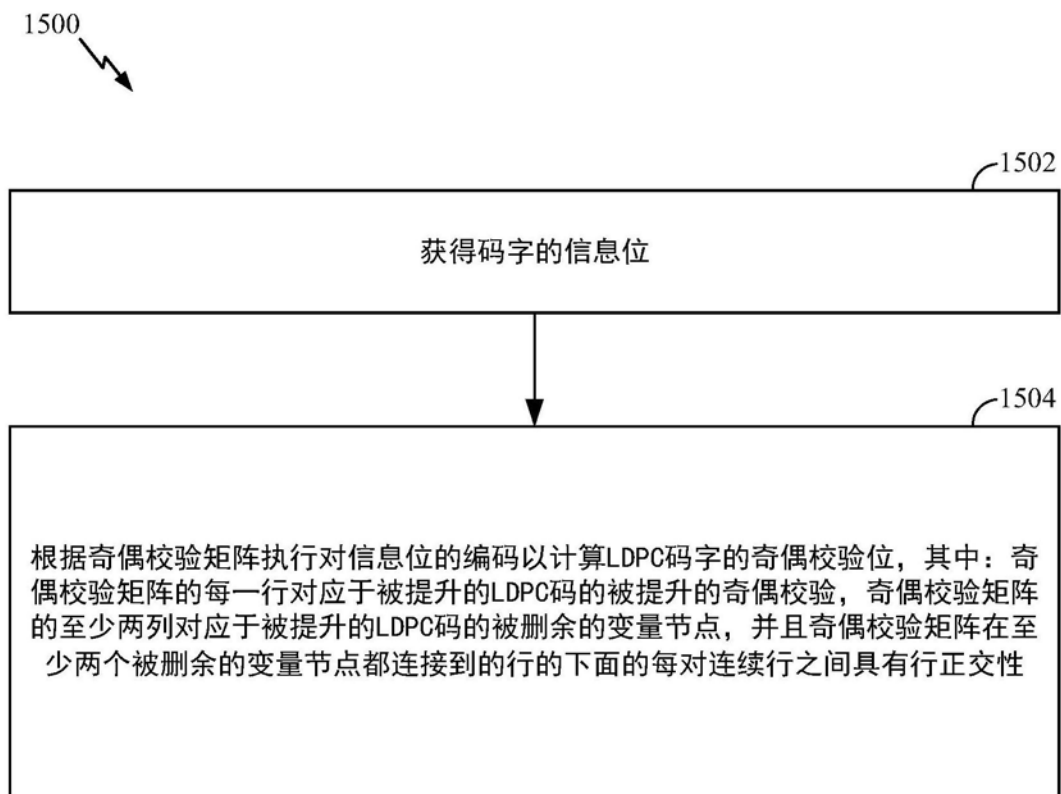


图15