



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

|                                           |                                     |                                          |
|-------------------------------------------|-------------------------------------|------------------------------------------|
| (51) 。 Int. Cl.<br>H03K 19/0175 (2006.01) | (45) 공고일자<br>(11) 등록번호<br>(24) 등록일자 | 2007년06월04일<br>10-0724559<br>2007년05월28일 |
|-------------------------------------------|-------------------------------------|------------------------------------------|

|                                  |                                               |                        |                                |
|----------------------------------|-----------------------------------------------|------------------------|--------------------------------|
| (21) 출원번호<br>(22) 출원일자<br>심사청구일자 | 10-2004-0106680<br>2004년12월15일<br>2004년12월15일 | (65) 공개번호<br>(43) 공개일자 | 10-2006-0067772<br>2006년06월20일 |
|----------------------------------|-----------------------------------------------|------------------------|--------------------------------|

(73) 특허권자                      삼성전자주식회사  
                                         경기도 수원시 영통구 매탄동 416

(72) 발명자                        김양기  
                                         서울 관악구 봉천2동 1719 관악동부센트레빌 102-304

(74) 대리인                        박상수

|                                                                                          |                                                     |
|------------------------------------------------------------------------------------------|-----------------------------------------------------|
| (56) 선행기술조사문헌<br>JP09172367 A<br>KR1000703360000 B1<br>JP11041084 A<br>KR1020040058661 A | KR1019990057843 A<br>JP07170167 A<br>JP2001085990 A |
|------------------------------------------------------------------------------------------|-----------------------------------------------------|

심사관 : 강윤석

전체 청구항 수 : 총 4 항

## (54) 레벨 쉬프터

### (57) 요약

본 발명은 레벨 쉬프터를 공개한다. 이 레벨 쉬프터는 입력신호에 응답하여 상기 입력신호와 동상의 풀업신호를 출력하는 펌핑 수단, 출력신호에 응답하여, 상기 출력신호가 레벨 쉬프트된 레벨에서 접지전압 레벨로 변화할 때, 소정의 폭을 가지는 펄스 신호를 출력하는 펄스 발생 수단, 및 상기 펄스 신호에 응답하여 상기 풀업신호의 기준 레벨을 상기 레벨 쉬프트된 상기 출력신호의 레벨로 만들어주는 레벨 변환 수단을 구비하는 유지수단, 상기 풀업신호에 응답하여 출력신호를 풀업하여 레벨 쉬프트된 상기 출력신호를 발생하는 풀업 수단, 및 상기 입력신호에 응답하여 상기 출력신호를 풀다운 하는 풀다운 수단을 구비하는 것을 특징으로 한다. 따라서, 동작 속도가 빠르고, 전력소비가 적으며, 원하는 듀티비(duty ratio)를 일정하게 유지하도록 구현하는 것이 쉬워진다.

### 대표도

도 3

### 특허청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

입력신호에 응답하여 상기 입력신호와 동상의 풀업신호를 출력하는 펌핑 수단;

출력신호에 응답하여, 상기 출력신호가 레벨 쉬프트된 레벨에서 접지전압 레벨로 변화할 때, 소정의 폭을 가지는 펄스 신호를 출력하는 펄스 발생 수단, 및 상기 펄스 신호에 응답하여 상기 풀업신호의 기준 레벨을 상기 레벨 쉬프트된 상기 출력신호의 레벨로 만들어주는 레벨 변환 수단을 구비하는 유지수단;

상기 풀업신호에 응답하여 출력신호를 풀업 하여 레벨 쉬프트된 상기 출력신호를 발생하는 풀업 수단; 및

상기 입력신호에 응답하여 상기 출력신호를 풀다운 하는 풀다운 수단을 구비하는 것을 특징으로 하는 레벨 쉬프터.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

제9항에 있어서, 상기 레벨 변환 수단은

전원전압과 상기 펌핑수단의 출력단 사이에 연결되고, 상기 펄스신호가 인가되는 게이트를 가지는 PMOS 트랜지스터를 구비하고,

상기 전원전압의 레벨은 상기 입력신호의 전원전압의 레벨보다 높은 것을 특징으로 하는 레벨 쉬프터.

## 청구항 15.

제9항에 있어서, 상기 펄스 발생 수단은

상기 출력신호를 소정시간 지연시키는 지연수단;

상기 출력신호와 상기 지연회로의 출력신호를 NOR 연산하는 NOR 게이트; 및

상기 NOR 게이트의 출력신호를 반전시켜 상기 펄스 신호를 출력하는 인버터를 구비하는 것을 특징으로 하는 레벨 쉬프터.

## 청구항 16.

제15항에 있어서, 상기 지연수단은

상기 NOR 게이트와 상기 출력신호가 출력되는 출력단자 사이에 직렬로 연결된 홀수개의 인버터들을 구비하는 것을 특징으로 하는 레벨 쉬프터.

## 청구항 17.

삭제

## 청구항 18.

삭제

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 레벨 쉬프터에 관한 것으로서, 특히 고속 동작에 적합하고, 소비전력을 감소시킬 수 있는 레벨 쉬프터에 관한 것이다.

공정 기술이 발전함에 따라 반도체 장치 및 회로의 동작 전압은 지속적으로 낮아지고 있다. 이와 더불어, 반도체 장치의 동작 속도를 높이고, 소비전력을 감소시키기 위해 반도체 장치 내부의 동작 전압은 지속적으로 낮아지고 있다. 그러나, 일부의 반도체 장치 또는 반도체 장치 내부의 일부의 회로들의 경우에는 그 동작 특성상 높은 전압을 필요로 하는 것들이 존재한다. 따라서, 높은 동작 전압을 필요로 하는 반도체 장치와 같이 사용하거나, 또는 반도체 장치 내부에 높은 동작 전압을 필요로 하는 회로들이 존재하는 경우에는 이들과의 전압 인터페이스가 필요하다.

그런데, 고속으로 동작하는 반도체 장치에서, 낮은 전압 레벨을 높은 전압 레벨로 변환하는 레벨 쉬프터는 높은 전압을 낮은 전압으로 변환하는 레벨 쉬프터보다 구현하기도 어려울 뿐만 아니라, 그 동작 속도, 듀티비(duty ratio), 및 누설 전류(short circuit current)에 의한 소비전력의 증가 등의 문제가 있다.

도 1은 종래의 레벨 쉬프터의 회로도를 나타낸 것으로서, 두 개의 인버터(IV1, IV2), 두 개의 NMOS 트랜지스터(N1, N2), 및 두 개의 PMOS 트랜지스터(P1, P2)로 구성되어 있으며, 도 1에서 Vin은 입력 신호를, Vout은 출력 신호를, V1은 제1 전원전압을, V2는 상기 제1 전원전압(V1)보다 높은 레벨을 가지는 제2 전원전압을, Vss는 접지전압을 각각 나타낸다.

도 1에 나타난 종래의 레벨 쉬프터의 기본적인 동작을 설명하면 다음과 같다.

입력 신호(Vin)가 접지전압(Vss) 레벨일 경우에는, 제1 NMOS 트랜지스터(N1)는 온 상태이고, 제2 NMOS 트랜지스터(N2)는 오프 상태이다. 따라서, 노드(T1)의 전압은 접지전압(Vss) 레벨이므로, 제2 PMOS 트랜지스터(P2)는 온 상태이다. 따라서, 노드(T2)의 전압은 제2 전원전압(V2) 레벨이 되므로, 제1 PMOS 트랜지스터(P1)는 오프 상태이다. 또한, 노드(T2)의 전압이 제2 전원전압(V2) 레벨이므로, 출력 신호(Vout)는 접지전압(Vss) 레벨이 된다.

입력 신호(Vin)가 제1 전원전압(V1) 레벨일 경우에는, 제1 NMOS 트랜지스터(N1)는 오프 상태이고, 제2 NMOS 트랜지스터(N2)는 온 상태이다. 따라서, 노드(T2)의 전압은 접지전압(Vss) 레벨이므로, 제1 PMOS 트랜지스터(P1)는 오프 상태이다. 따라서, 노드(T1)의 전압은 제2 전원전압(V2)레벨이 되므로, 제2 PMOS 트랜지스터(P2)는 오프 상태이다. 또한, 노드(T2)의 전압이 접지전압(Vss) 레벨이므로, 출력 신호(Vout)는 제2 전원전압(V2) 레벨이 된다.

도 2는 도 1에 나타난 종래의 레벨 쉬프터의 동작을 상세히 설명하기 위한 동작 타이밍도로서, 도 2에서 Vin은 입력 신호를, Vout은 출력 신호를, T1은 노드(T1)에서의 전압을, T2는 노드(T2)에서의 전압을 각각 나타낸다.

도 2를 참고하여 도 1에 나타난 종래의 레벨 쉬프터의 동작을 설명하면 다음과 같다.

입력 신호(Vin)가 접지전압(Vss) 레벨에서 제1 전원전압(V1) 레벨로 변화하면, 제1 NMOS 트랜지스터(N1)는 오프 상태가 되고, 제2 NMOS 트랜지스터(N2)는 온 상태가 된다. 따라서, 노드(T2)의 전압은 제2 NMOS 트랜지스터(N2)에 의해 방전되는 전류에 의해 감소한다. 노드(T2)의 전압이 소정 전압( $V2 - V_{th}$ , 단,  $V_{th}$ 는 PMOS 트랜지스터의 문턱전압) 이하가 되면 제1 PMOS 트랜지스터(P1)는 온 되고, 따라서, 노드(T1)의 전압은 상승한다. 노드(T1)의 전압이 소정 전압( $V2 - V_{th}$ )보다 높아지게 되면 제2 PMOS 트랜지스터(P2)는 오프 된다. 또한, 노드(T2)의 전압이 소정의 전압보다 낮아지게 되면 출력 신호(Vout)는 인버터(IV2)에 의해 제2 전원전압(V2) 레벨로 상승하게 된다.

또한, 입력 신호(Vin)가 제1 전원전압(V1) 레벨에서 접지전압(Vss) 레벨로 변화하면 제1 NMOS 트랜지스터(N1)는 온 되고, 제2 NMOS 트랜지스터(N2)는 오프 된다. 따라서, 노드(T1)의 전압은 감소하며, 노드(T1)의 전압이 ( $V2 - V_{th}$ )보다 낮아지게 되면 제2 PMOS 트랜지스터(P2)가 온 되고, 따라서, 노드(T2)의 전압이 상승하게 된다. 결과적으로 출력 신호(Vout)는 접지전압 레벨로 변하게 된다.

그런데, 도 1에 나타난 종래의 레벨 쉬프터의 경우에는 누설 전류(short circuit current) 및 2단의 게이트 지연시간을 가짐으로 인해 동작 속도가 느려지고, 전력 소비가 증가하는 단점이 있었다.

즉, 입력 신호(Vin)가 접지전압(Vss) 레벨에서 제1 전원전압(V1) 레벨로 변했을 때, 상기 입력 신호(Vin)가 변한 시점부터 노드(T1)의 전압이 증가하여 제2 PMOS 트랜지스터(P2)가 오프 될 때까지 제2 PMOS 트랜지스터(P2)와 제2 NMOS 트랜지스터(N2)가 모두 온 상태가 되므로, 제2 PMOS 트랜지스터(P2) 및 제2 NMOS 트랜지스터(N2)를 통해 흐르는 누설전류가 발생한다. 또한, 입력 신호(Vin)가 제1 전원전압(V1) 레벨에서 접지전압(Vss) 레벨로 변했을 때, 마찬가지로, 노드(T2)의 전압이 증가하여 제1 PMOS 트랜지스터(P1)가 오프 될 때까지 제1 PMOS 트랜지스터(P1)와 제1 NMOS 트랜지스터(N1)가 모두 온 상태가 되므로, 제1 PMOS 트랜지스터(P1) 및 제1 NMOS 트랜지스터(N1)를 통해 흐르는 누설전류가 발생한다. 이러한 누설전류는 레벨 쉬프터의 동작 속도를 감소시키는 요인이 됨과 동시에 전력 소비를 증가시키는 요인이 된다.

또한, 도 1에 나타난 종래의 레벨 쉬프터는 입력 신호(Vin)가 접지전압(Vss) 레벨에서 제1 전원전압(V1) 레벨로 변화할 때, 먼저 노드(T2)의 전압이 감소하여 제1 PMOS 트랜지스터(P1)를 온 시키고, 이로 인해 노드(T1)의 전압이 상승하여 제2 PMOS 트랜지스터(P2)를 오프 시켜야 하므로 2단의 게이트 지연시간을 가지게 된다. 마찬가지로, 입력 신호(Vin)가 제1

전원전압(V1) 레벨에서 접지전압(Vss) 레벨로 변화할 때도, 먼저 노드(T1)의 전압이 감소하여 제2 PMOS 트랜지스터(P2)를 온 시키고, 이로 인해 노드(T2)의 전압이 상승하여 제1 PMOS 트랜지스터(P1)를 오프 시켜야 하므로 역시 2단의 게이트 지연시간을 가지게 된다. 따라서, 레벨 쉬프터의 동작 속도가 느려지는 요인이 된다.

또한, 도 1에 나타난 종래의 레벨 쉬프터의 경우에는 상술한 바와 같은 이유로 인해 동작 속도가 늦기 때문에 일반적으로 500MHz 이상에서는 듀티비(duty ratio)가 상당히 나빠지며, 1GHz 이상이 되면 정상적으로 동작하는데 어려움이 있다. 즉, 노드(T2)에서 전압이 접지전압(Vss)으로 떨어지기 시작하는 시점은 제2 NMOS 트랜지스터(N2)에 의해서만 결정되지만, 상기 노드(T2)에서 전압이 제2 전원전압(V2) 레벨로 상승하기 시작하는 시점은 제1 NMOS 트랜지스터(N1)에 의해 노드(T1)의 전압이 떨어지고, 이로 인해 제2 PMOS 트랜지스터(P2)가 온 되어야 하므로 상기 두 가지 시점에는 약간의 시간차이가 발생된다. 이로 인해, 종래의 레벨 쉬프터의 경우에는 고속으로 동작할 때 듀티비(duty ratio)가 상당히 나빠지게 된다.

또한, 트랜지스터의 특성을 고려하여 PMOS 트랜지스터를 NMOS 트랜지스터보다 더 크게 설계하는 것이 일반적이다. 그런데, 도 1에 나타난 종래의 레벨 쉬프터의 경우에는 PMOS 트랜지스터들(P1, P2)에 의해 각 노드(T1, T2)에 충전되는 전하량보다 NMOS 트랜지스터들(N1, N2)에 의해 각 노드(T1, T2)에서 방전되는 전하량이 더 크게 하여야 동작이 가능하다. 그러므로, NMOS 트랜지스터를 PMOS 트랜지스터보다 더 크게 설계하게 되는데, 이는 전원전압의 레벨이 낮아지는 등 특성의 조건 하에서는 동작을 보장하지 못하는 구조가 된다. 또한 듀티비(duty ratio)를 일정하게 유지시키기 어려운 또 다른 요인이 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 전력소비가 적고, 동작 속도가 빠르며, 듀티비를 일정하게 유지할 수 있는 레벨 쉬프터를 제공하는데 있다.

삭제

삭제

삭제

삭제

삭제

삭제

삭제

상기 목적을 달성하기 위한 본 발명의 레벨 쉬프터는 입력신호에 응답하여 상기 입력신호와 동상의 풀업신호를 출력하는 펌핑 수단, 출력신호에 응답하여, 상기 출력신호가 레벨 쉬프트된 레벨에서 접지전압 레벨로 변화할 때, 소정의 폭을 가지는 펄스 신호를 출력하는 펄스 발생 수단, 및 상기 펄스 신호에 응답하여 상기 풀업신호의 기준 레벨을 상기 레벨 쉬프트된 상기 출력신호의 레벨로 만들어주는 레벨 변환 수단을 구비하는 유지수단, 상기 풀업신호에 응답하여 출력신호를 풀업 하여 레벨 쉬프트된 상기 출력신호를 발생하는 풀업 수단, 및 상기 입력신호에 응답하여 상기 출력신호를 풀다운 하는 풀다운 수단을 구비하는 것을 특징으로 한다.

삭제

삭제

삭제

삭제

상기 목적을 달성하기 위한 본 발명의 레벨 쉬프터의 상기 유지수단의 상기 레벨 변환 수단은 전원전압과 상기 펌핑수단의 출력단 사이에 연결되고, 상기 펄스신호가 인가되는 게이트를 가지는 PMOS 트랜지스터를 구비하고, 상기 전원전압의 레벨은 상기 입력신호의 전원전압의 레벨보다 높은 것을 특징으로 한다.

상기 목적을 달성하기 위한 본 발명의 레벨 쉬프터의 상기 유지수단의 상기 펄스 발생 수단은 상기 출력신호를 소정시간 지연시키는 지연수단, 상기 출력신호와 상기 지연회로의 출력신호를 NOR 연산하는 NOR 게이트, 및 상기 NOR 게이트의 출력신호를 반전시켜 상기 펄스 신호를 출력하는 인버터를 구비하는 것을 특징으로 한다.

삭제

삭제

## 발명의 구성

이하, 첨부한 도면을 참고로 하여 본 발명의 레벨 쉬프터를 설명하면 다음과 같다.

도 3은 본 발명의 레벨 쉬프터의 회로도를 나타낸 것으로서, 인버터(IV), 풀업신호 발생수단(10), PMOS 트랜지스터(MP), 및 NMOS 트랜지스터(MN)로 구성되어 있으며, 풀업신호 발생수단(10)은 커패시터(C) 및 유지수단(12)으로 구성되어 있다. 도 3에서  $V_{in}$ 은 입력 신호를,  $V_{out}$ 은 출력 신호를 각각 나타내며,  $V_1$ 은 제1 전원전압을,  $V_2$ 는 상기 제1 전원전압( $V_1$ )보다 높은 제2 전원전압을 각각 나타낸다.

도 3에 나타낸 본 발명의 레벨 쉬프터의 동작을 설명하면 다음과 같다.

풀업신호 발생수단(10)은 인버터(IV)의 출력신호의 레벨을 소정 레벨만큼 상승시킨 풀업 신호를 출력한다. 즉, 풀업신호는 인버터(IV)의 출력신호와 동상이고, 기준 레벨은 상기 인버터(IV)의 출력신호의 기준레벨보다 소정 레벨 높은 신호이다.

커패시터(C)는 상기 풀업신호가 인버터(IV)의 출력신호와 동상이 되도록 하는 펌핑수단으로서 동작한다. 유지수단(12)은 상기 풀업신호의 기준 레벨을 소정의 전압 레벨로 만들어준다.

즉, 노드(T4)의 전압이 변하게 되면 풀업신호(즉, 노드(T3)의 신호)의 기준 레벨, 즉, DC 전압 레벨은 유지수단(12)에 의해 일정하게 유지되지만, 커패시터(C)에 의해 노드(T4)에서의 AC 성분은 노드(T3)로 전달된다. 결과적으로, PMOS 트랜지스터(MP)의 게이트에 인가되는 풀업신호는 인버터(IV)의 출력신호가 소정 레벨 상승한 신호가 된다.

따라서, 유지수단(12)에 의해 유지되는 풀업 신호의 기준 레벨, 즉, 펌핑 신호의 DC 전압 레벨을 적절하게 선택하면 상기 인버터의 출력신호의 AC 성분의 변화, 즉, 입력신호( $V_{in}$ )의 변화를 이용하여 PMOS 트랜지스터(MP)를 온 오프 시킬 수 있다. 또한, PMOS 트랜지스터(MP)와 NMOS 트랜지스터(MN)이 동시에 온 되는 것을 방지할 수 있다.

즉, 입력 신호( $V_{in}$ )가 접지전압( $V_{ss}$ ) 레벨에서 제1 전원전압( $V_1$ ) 레벨로 변하게 되면 노드(T4)의 전압은 제1 전원전압( $V_1$ ) 레벨에서 접지전압( $V_{ss}$ ) 레벨로 변하게 된다. 따라서, NMOS 트랜지스터(MN)는 오프 된다. 또한, 노드(T4)의 전압이 제1 전원전압( $V_1$ ) 레벨에서 접지전압( $V_{ss}$ ) 레벨로 변하게 됨에 따라 풀업신호(즉, 노드(T3)에서의 전압)는 유지수단(12)에 의해 유지되고 있던 소정의 전압 레벨에서 제1 전원전압( $V_1$ ) 레벨만큼 감소하게 된다. 따라서, PMOS 트랜지스터(MP)는 온 된다. 결과적으로, 출력 신호( $V_{out}$ )는 제2 전원전압( $V_2$ ) 레벨까지 상승하게 되고, 이 때 걸리는 시간은 PMOS 트랜지스터(MP) 하나에 의해 결정되므로, 1단의 게이트 지연시간을 가지게 된다.

또한, 입력 신호( $V_{in}$ )가 제1 전원전압( $V_1$ ) 레벨에서 접지전압( $V_{ss}$ ) 레벨로 변하게 되면, 노드(T4)의 전압은 접지전압( $V_{ss}$ ) 레벨에서 제1 전원전압( $V_1$ ) 레벨로 변하게 된다. 따라서, NMOS 트랜지스터(MN)는 온 된다. 또한, 노드(T4)의 전압이 접지전압( $V_{ss}$ ) 레벨에서 제1 전원전압( $V_1$ ) 레벨로 변함에 따라 풀업신호(즉, 노드(T3)의 전압)는 제1 전원전압( $V_1$ ) 레벨만큼 상승하게 된다. 따라서, PMOS 트랜지스터(MP)는 오프 된다. 결과적으로, 출력 신호( $V_{out}$ )는 접지전압( $V_{ss}$ ) 레벨로 변하게 되고, 이 때 걸리는 시간은 NMOS 트랜지스터(MN) 하나에 의해 결정되므로, 1단의 게이트 지연시간을 가지게 된다.

즉, 도 3에 나타낸 본 발명의 레벨 쉬프터의 경우에는 입력 신호( $V_{in}$ )가 변하고 난 후, 출력 신호( $V_{out}$ )가 변할 때까지 1단의 게이트 지연시간을 가지므로 동작 속도가 향상된다.

또한, 상술한 바와 같이, 본 발명의 레벨 쉬프터는 풀업신호(즉, 노드(T3)의 전압)가 유지수단(12)에 의해 적절한 DC 레벨을 유지하도록 함으로써 PMOS 트랜지스터(MP)와 NMOS 트랜지스터(MN)가 동시에 온 되는 것을 방지할 수 있다. 즉, 누설 전류가 흐르는 것을 방지할 수 있다. 따라서, 동작 속도가 향상되고, 소비 전력도 감소시킬 수 있다.

또한, 본 발명의 레벨 쉬프터는 출력 신호가 상승할 때에는 PMOS 트랜지스터(MP)만 동작하고, 감소할 때에는 NMOS 트랜지스터(MN)만 동작하므로, 종래의 레벨 쉬프터와는 달리 PMOS 트랜지스터 및 NMOS 트랜지스터의 크기를 자유롭게 선택할 수 있다. 따라서, 레벨 쉬프터가 원하는 듀티비(duty ratio)를 일정하게 유지하도록 구현하는 것이 쉬워진다.

도 4는 본 발명의 레벨 쉬프터의 제1 실시예의 회로도로서, 유지수단(12)은 제2 전원전압(V2)과 노드(T3) 사이에 연결된 제1 저항(R1) 및 상기 노드(T3)와 접지전압(Vss) 사이에 연결된 제2 저항(R2)으로 구성되어 있으며, 그 외에 나머지 구성은 도 3에 나타난 것과 동일하다.

도 4에 나타난 본 발명의 레벨 쉬프터의 제1 실시예의 동작은 기본적으로 도 3에서 설명한 것과 동일하며, 도 4에 나타난 본 발명의 레벨 쉬프터의 유지수단(12)의 동작을 설명하면 다음과 같다.

유지수단(12)은 풀업신호(즉, 노드(T3)의 전압)의 DC 전압을 두 개의 저항들(R1, R2)을 이용하여 소정의 전압레벨로 만들어준다. 즉, 두 개의 저항(R1, R2)을 이용하여 제2 전원전압(V2) 레벨을 소정 값으로 나눈 값으로 풀업신호(즉, 노드(T3)의 전압)의 DC 전압을 유지한다.

도 5는 도 4에 나타난 본 발명의 레벨 쉬프터의 제1 실시예의 동작을 설명하기 위한 도면으로써, 도 5에서 Vin은 입력 신호를, Vout은 출력 신호를, T3 및 T4는 각각 노드(T3) 및 노드(T4)에서의 전압을 각각 나타낸다. 노드(T3)에서의 전압이 상기 풀업신호가 된다.

도 5를 참고하여 도 4에 나타난 본 발명의 레벨 쉬프터의 동작을 설명하면 다음과 같다.

상술한 바와 같이, 입력 신호(Vin)가 접지전압(Vss) 레벨에서 제1 전원전압(V1) 레벨로 변할 경우에는 풀업신호(노드(T3)의 전압)는 상기 유지수단(12)에 의해 유지되던 값에서 제1 전원전압(V1)만큼 감소하게 되며, 따라서, PMOS 트랜지스터(MP)는 온 되어 출력 신호(Vout)가 증가하게 된다. 다시 입력 신호(Vin)가 제1 전원전압(V1) 레벨에서 접지전압(Vss) 레벨로 변할 경우에는 풀업신호(노드(T3)의 전압)는 다시 제1 전원전압(V1) 레벨만큼 상승하게 되므로, PMOS 트랜지스터(MP)는 오프 되고, 노드(T4)의 전압이 제1 전원전압(V1) 레벨이 되므로 NMOS 트랜지스터(MN)는 온 되어 출력 신호(Vout)는 접지전압(Vss) 레벨로 감소하게 된다.

도시하지는 않았으나, 초기조건을 만족시키기 위해, 동작 초기에 노드(T4)의 전압을 제1 전원전압(V1)으로 만들어주는 회로가 추가될 수도 있다.

도 5를 도 2와 비교해볼 때, 레벨 쉬프터의 동작속도가 향상됨을 알 수 있다. 즉, 입력 신호(Vin)가 제1 전원전압(V1) 레벨로 변한 후 출력 신호(Vout)가 제2 전원전압(V2) 레벨로 변할 때까지 걸리는 천이 시간은 하나의 트랜지스터(MP 또는 MN)에 의해 결정되므로, 상기 천이 시간이 감소한다. 또한, PMOS 트랜지스터(MP)와 NMOS 트랜지스터(MN)가 동시에 온 되지 않으므로 누설전류가 발생하지 않아 전력 소비도 감소한다.

도 6은 본 발명의 레벨 쉬프터의 제2 실시예의 회로도로서, 유지수단(12)은 PMOS 트랜지스터(P), 및 4개의 인버터(I1, I2, I3, I4), 및 NOR 게이트(NOR)로 구성된 펄스 발생부(12)로 구성되어 있으며, 그 외의 나머지 구성은 도 3에서 나타난 것과 동일하다.

도 6에 나타난 본 발명의 레벨 쉬프터의 제2 실시예의 동작을 설명하면 다음과 같다.

도 6에 나타난 본 발명의 제2 실시예의 동작은 기본적으로 도 3에서 설명한 것과 동일하다.

펄스 발생부(12)는 출력 신호(Vout)의 하이 레벨(즉, 제2 전원전압(V2) 레벨)에서 로우 레벨(즉, 접지전압(Vss) 레벨)로 변화할 때마다 소정의 폭을 가지는 펄스 신호를 출력한다. 즉, 상기 출력 신호(Vout)와 상기 출력 신호(Vout)가 세 개의 인버터(I1, I2, I3)를 통하여 소정 시간 지연된 신호를 NOR 연산함으로써 상기 펄스 신호를 출력한다. PMOS 트랜지스터(P)는 상기 펄스 신호에 응답하여 노드(T3)의 전압을 제2 전원전압(V2) 레벨로 만들어준다.

따라서, 도 6에 나타난 유지수단(12)은 출력 신호(Vout)가 제2 전원전압(V2) 레벨에서 접지전압(Vss) 레벨로 변할 때마다 상기 노드(T3)의 전압을 제2 전원전압(V2) 레벨로 만들어준다.

도시하지는 않았으나, 입력 신호(Vin)가 소정 시간 이상 로우 레벨(즉, 접지전압 레벨)을 유지할 경우에 상기 노드(T3)의 전압을 다시 제2 전원전압(V2) 레벨로 만들어주는 회로가 추가되어 구성될 수도 있다.

도 7은 도 6에 나타난 본 발명의 레벨 쉬프터의 제2 실시예의 동작을 설명하기 위한 타이밍도로서, 도 7에서 Vin은 입력 신호를, Vout은 출력 신호를, T3 및 T4는 각각 노드(T3) 및 노드(T4)에서의 전압을, Pulse는 펄스 발생부(12)로부터 출력되는 펄스 신호를 각각 나타낸다. 노드(T3)에서의 전압이 상기 폴업신호가 된다.

도 7을 참고하여 본 발명의 레벨 쉬프터의 제2 실시예의 동작을 설명하면 다음과 같다.

입력 신호(Vin)가 접지전압(Vss) 레벨에서 제1 전원전압(V1) 레벨로 변하게 되면 노드(T4)의 전압은 제1 전원전압(V1) 레벨에서 접지전압(Vss) 레벨로 변하게 되고, 따라서, NMOS 트랜지스터(MN)는 오프 된다. 반면에, 노드(T3)의 전압은 제2 전원전압(V2) 레벨에서 제1 전원전압(V1)의 크기만큼 감소하므로, PMOS 트랜지스터(MP)는 온 된다. 그러므로, 출력 신호(Vout)는 접지전압(Vss) 레벨에서 제2 전원전압(V2) 레벨로 변하게 된다.

입력 신호(Vin)가 제1 전원전압(V1) 레벨에서 접지전압(Vss) 레벨로 변하게 되면 노드(T3)의 전압은 다시 제1 전원전압(V1)의 크기만큼 상승하므로 PMOS 트랜지스터(MP)는 오프 된다. 반면에, 노드(T4)의 전압은 접지전압(Vss) 레벨에서 제1 전원전압(V1)으로 변하게 되므로, NMOS 트랜지스터(MN)는 온 된다. 그러므로, 출력 신호(Vout)는 제2 전원전압(V2) 레벨에서 접지전압(Vss) 레벨로 변하게 된다.

출력 신호(Vout)가 제2 전원전압(V2) 레벨에서 접지전압(Vss) 레벨로 변하게 되면 소정의 폭을 가지는 펄스 신호(Pulse)가 출력되고, 상기 펄스 신호(Pulse)에 의해 PMOS 트랜지스터(P)가 소정 시간동안 온 되므로, 노드(T3)의 전압은 제2 전원전압(V2) 레벨로 변화하게 되고, 입력 신호(Vin)의 변화가 없으면 제2 전원전압(V2) 레벨을 유지하게 된다.

도 8은 본 발명의 레벨 쉬프터에 대하여 입력 신호(Vin)의 주파수는 1GHz이고, 제1 전원전압(V1) 레벨은 1.3V, 제2 전원전압(V2) 레벨은 1.8V인 경우에 대한 모의실험 결과를 나타낸 도면으로서, 도 8a는 노드(T3)의 전압, 노드(T4)의 전압, 및 출력 신호(Vout)의 변화를 나타낸 것이고, 도 8b는 PMOS 트랜지스터(MP) 및 NMOS 트랜지스터(MN)를 통하여 흐르는 전류의 변화를 나타낸 것이다. 노드(T3)의 전압이 상기 폴업신호가 된다.

상술한 바와 같이, 도 1에 나타난 종래의 레벨 쉬프터의 경우에는 입력 신호(Vin)의 주파수가 1GHz 이상일 경우에는 정상적으로 동작하기 어렵다고 알려져 있으나, 도 8a에 나타난 바와 같이 본 발명의 레벨 쉬프터의 경우에는 입력 신호(Vin)가 1GHz인 경우에도 정상적으로 동작함을 알 수 있다.

또한, 도 8b에서 살펴보면, PMOS 트랜지스터(MP)와 NMOS 트랜지스터(MN)를 통하여 동시에 전류가 흐르는 경우가 없음을 알 수 있다. 즉, 누설전류가 발생하지 않는다.

즉, 본 발명의 레벨 쉬프터는 입력 신호(Vin)가 접지전압(Vss)에서 제1 전원전압(V1) 레벨로 변한 후 출력 신호(Vout)가 접지전압(Vss)에서 제2 전원전압(V2) 레벨로 변할 때까지 걸리는 시간이 하나의 트랜지스터에 의해 결정되므로 1단의 게이트 딜레이를 가지게 된다. 따라서, 동작속도가 향상된다.

또한, PMOS 트랜지스터(MP)와 NMOS 트랜지스터(MN)가 동시에 온 되지 않으므로, 누설전류가 발생하지 않는다. 따라서, 동작속도가 향상되고, 전력소비를 감소시킬 수 있다.

또한, 출력 신호(Vout)의 레벨이 변할 때 PMOS 트랜지스터(MP)와 NMOS 트랜지스터(MN) 중 하나의 트랜지스터만 동작하므로, PMOS 트랜지스터(MP)와 NMOS 트랜지스터(MN)의 크기를 자유롭게 설계할 수 있다. 따라서, 레벨 쉬프터가 원하는 듀티비(duty ratio)를 일정하게 유지하도록 구현하는 것이 쉬워진다.

상기에서는 인버터(IV)를 이용하여 입력 신호(Vin)를 반전시킴으로써, 출력 신호(Vout)가 상기 입력 신호(Vin)와 동상이 되는 경우를 예시하였지만, 만일 입력 신호(Vin)와 위상이 반대인 출력 신호(Vout)가 필요한 경우에는 상기 인버터(IV)는 불필요해진다. 즉, 상기 인버터(IV) 없이 본 발명을 실시하는 것도 가능하다.



또한, 상기에서는 출력 신호(Vout)를 입력 신호(Vin)와 동상이 되도록 하기 위해 입력 신호(Vin)가 입력되는 입력단에 상기 인버터(IV)를 구비하는 경우를 예시하였으나, 상기 인버터(IV)는 상기 출력 신호(Vout)가 출력되는 출력단에 구비하는 것도 가능하다. 즉, 인버터를 이용하여 상기 출력 신호(Vout)를 반전시켜 출력하는 것도 가능하다. 이 경우, 인버터에 공급되는 전원전압의 레벨은 제2 전원전압(V2) 레벨이 된다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 발명의 효과

따라서, 본 발명의 레벨 쉬프터는 동작 속도가 빠르고, 전력소비가 적으며, 원하는 듀티비(duty ratio)를 일정하게 유지하도록 구현하는 것이 쉬워진다.

### 도면의 간단한 설명

도 1은 종래의 레벨 쉬프터의 회로도를 나타낸 것이다

도 2는 도 1에 나타낸 종래의 레벨 쉬프터의 동작을 설명하기 위한 타이밍도이다.

도 3은 본 발명의 레벨 쉬프터의 블록도를 나타낸 것이다.

도 4는 본 발명의 레벨 쉬프터의 제1 실시예의 회로도를 나타낸 것이다.

도 5는 도 4에 나타낸 본 발명의 레벨 쉬프터의 제1 실시예의 동작을 설명하기 위한 타이밍도이다.

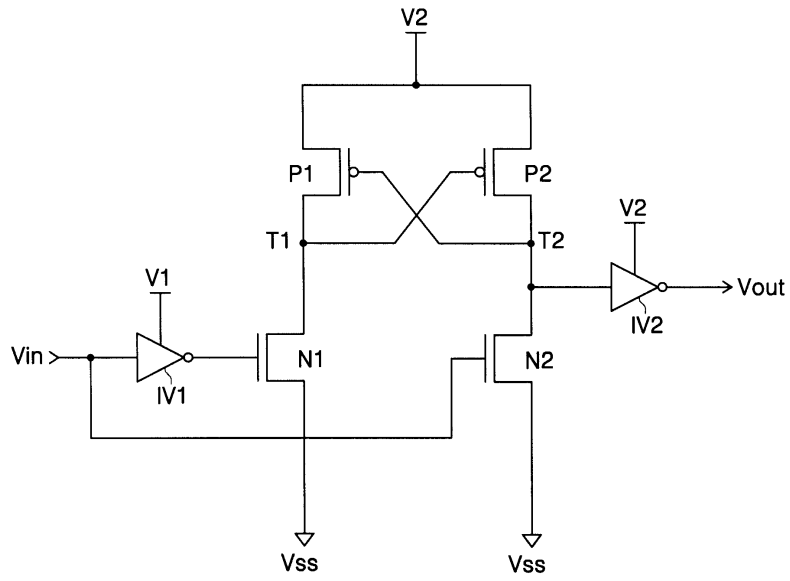
도 6은 본 발명의 레벨 쉬프터의 제2 실시예의 회로도를 나타낸 것이다.

도 7은 도 6에 나타낸 본 발명의 레벨 쉬프터의 제2 실시예의 동작을 설명하기 위한 타이밍도이다.

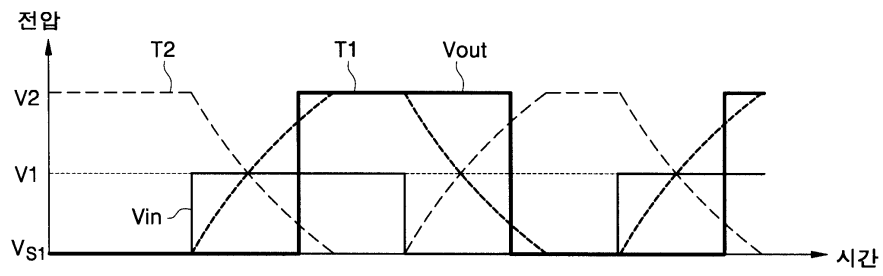
도 8은 본 발명의 레벨 쉬프터의 모의실험 결과를 나타낸 도면이다.

### 도면

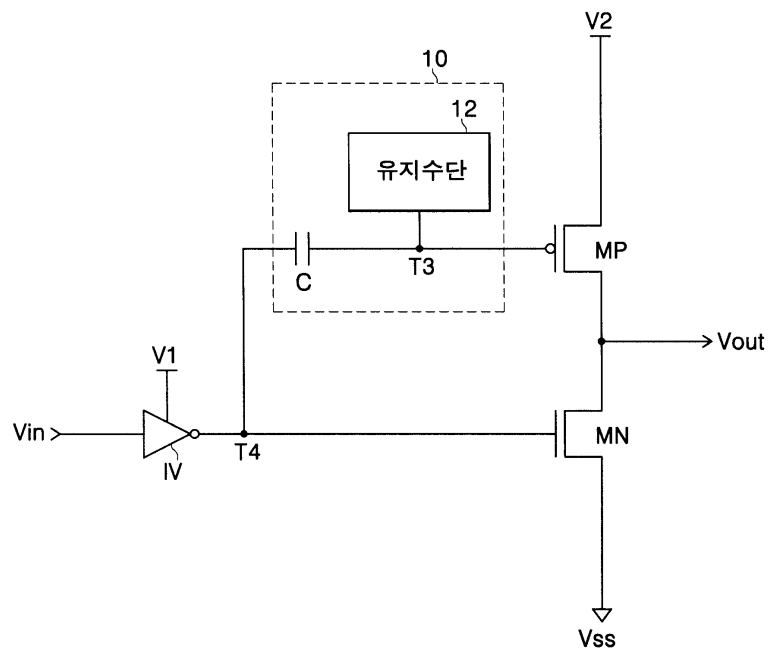
도면1



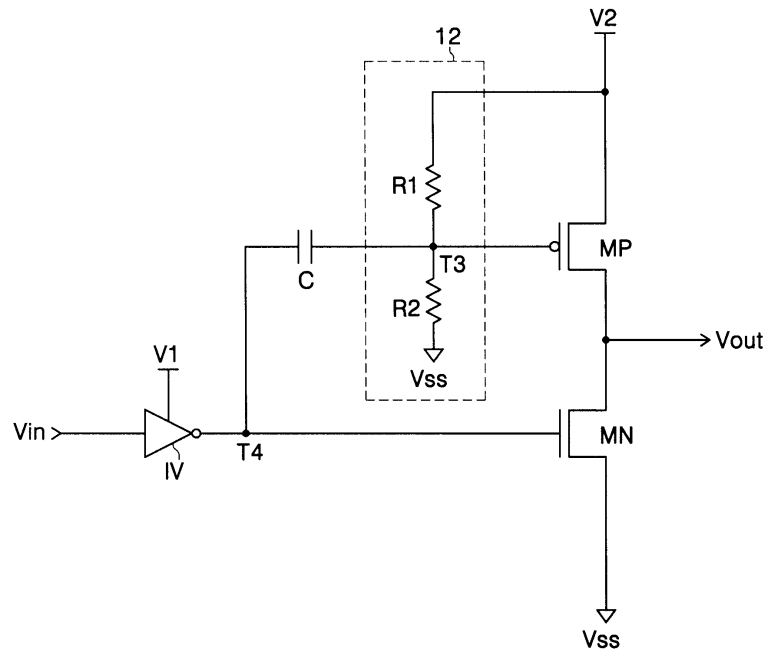
도면2



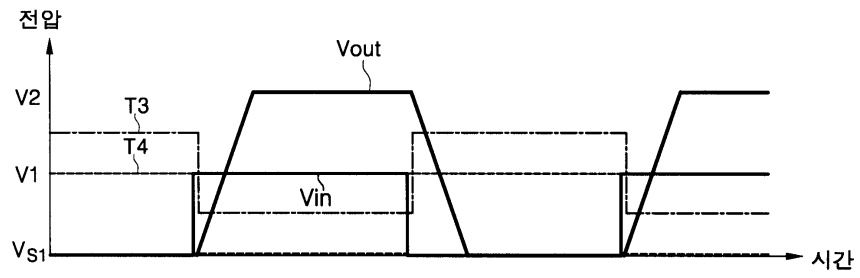
도면3



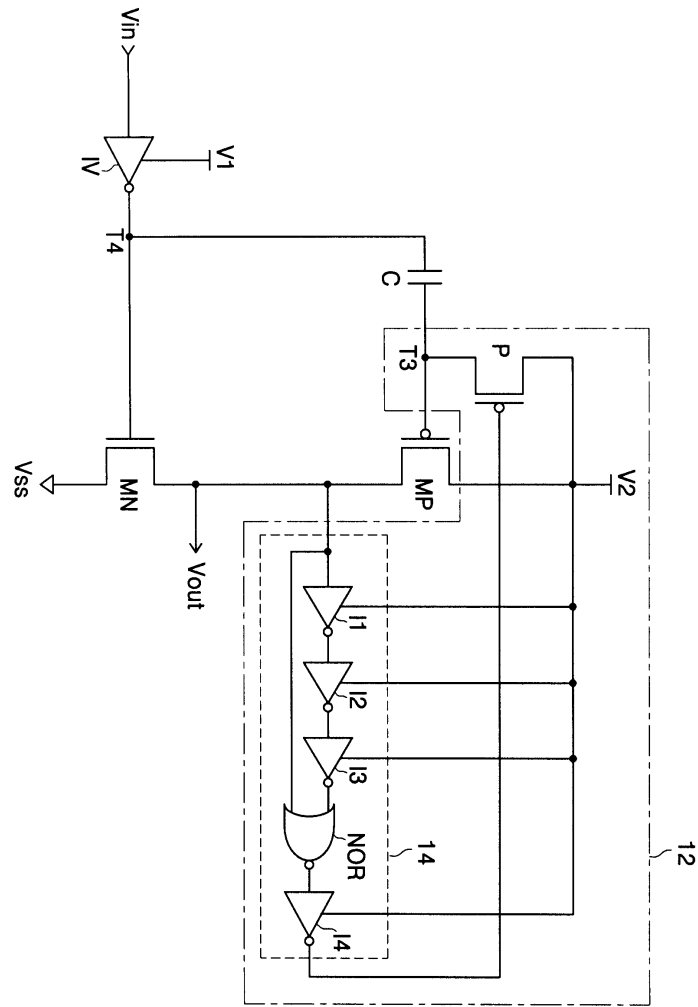
도면4



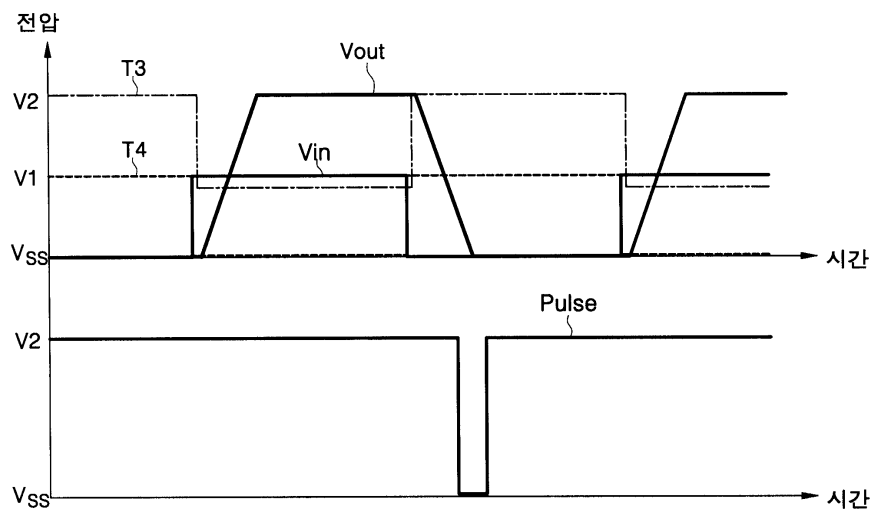
도면5



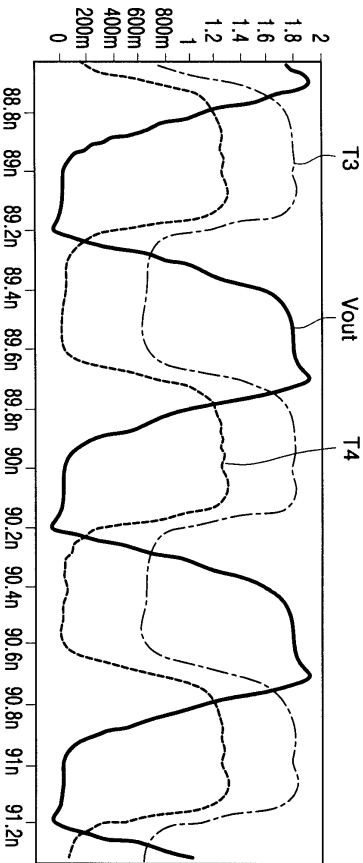
도면6



도면7



도면8a



도면8b

