

DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 半導体素子を備えた半導体装置は、様々な構成が提案されている。特許文献1には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、ダイパッドおよび半導体素子を備えている。半導体素子は、ダイパッドに搭載されている。ダイパッドは、パッド主面を有する。半導体素子は、導電接合層を用いたダイボンディングによりパッド主面に搭載されている。ダイパッドの構成材料は、Cu（銅）または銅合金である。パッド主面には、接合性等を考慮してAg（銀）めっきが形成されている。このようにパッド主面にAgめっきを形成する構成では、製造コストの上昇を招く。

先行技術文献

特許文献

[0003] 特許文献1：特開2019-121745号公報

[0004] [概要]

本開示は、従来より改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、製造コストの上昇を抑制しつつ、半導体素子のリードへの接合性を向上させるのに適した半導体装置を提供することをその一の課題とする。

[0005] 本開示の一の側面によって提供される半導体装置は、第1リードと、前記第1リードの厚さ方向の一方側に搭載され、半導体層を有する半導体素子と、前記第1リードと前記半導体層との間に介在し、前記第1リードおよび前記半導体素子を接合する接合層と、を備える。前記接合層は、SnおよびCuを含む。

[0006] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0007] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図2]図2は、本開示の第1実施形態に係る半導体装置を示す斜視図である。

[図3]図3は、本開示の第1実施形態に係る半導体装置を示す要部斜視図である。

[図4]図4は、本開示の第1実施形態に係る半導体装置を示す要部斜視図である。

[図5]図5は、本開示の第1実施形態に係る半導体装置を示す平面図である。

[図6]図6は、本開示の第1実施形態に係る半導体装置を示す底面図である。

[図7]図7は、本開示の第1実施形態に係る半導体装置を示す正面図である。

[図8]図8は、本開示の第1実施形態に係る半導体装置を示す側面図である。

[図9]図9は、本開示の第1実施形態に係る半導体装置を示す要部平面図である。

[図10]図10は、本開示の第1実施形態に係る半導体装置を示す要部底面図である。

[図11]図11は、図10のXⅠーXⅠ線に沿う断面図である。

[図12]図12は、図10のXⅠⅠーXⅠⅠ線に沿う断面図である。

[図13]図13は、図10のXⅠⅠⅠーXⅠⅠⅠ線に沿う断面図である。

[図14]図14は、図11の部分拡大断面図である。

[図15]図15は、本開示の第1実施形態に係る半導体装置の製造時の一工程を示す部分拡大断面図である。

[図16]図16は、本開示の第2実施形態に係る半導体装置を示す部分拡大断面図である。

[図17]図17は、本開示の第2実施形態に係る半導体装置の製造時の一工程を示す部分拡大断面図である。

[図18]図18は、本開示の第3実施形態に係る半導体装置を示す部分拡大断

面図である。

[図19]図19は、本開示の第3実施形態に係る半導体装置の製造時の一工程を示す部分拡大断面図である。

[0008] [詳細な説明]

以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0009] 本開示における「第1」、「第2」、「第3」等の用語は、単にラベルとして用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0010] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が90°である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

[0011] 第1実施形態：

図１～図１４は、本開示の第１実施形態に係る半導体装置を示している。本実施形態の半導体装置Ａ１は、半導体素子１、第１リード２、第２リード３、第３リード４、第１ボンディングワイヤ５、第２ボンディングワイヤ６、接合層７および封止樹脂８を備えている。半導体装置Ａ１の用途は何ら限定されず、たとえばＤＣ－ＤＣコンバータといった、電力変換回路を備える電子機器などに使用される。

[0012] 図１および図２は、半導体装置Ａ１を示す斜視図である。図３および図４は、半導体装置Ａ１を示す要部斜視図である。図３および図４において、封止樹脂８の外形を想像線（二点鎖線）で示している。図５は、半導体装置Ａ１を示す平面図である。図６は、半導体装置Ａ１を示す底面図である。図７は、半導体装置Ａ１を示す正面図である。図８は、半導体装置Ａ１を示す側面図である。図９は、半導体装置Ａ１を示す要部平面図である。図１０は、半導体装置Ａ１を示す要部底面図である。図９および図１０において、封止樹脂８の外形を想像線（二点鎖線）で示している。図１１は、図１０のＸⅠ－ＸⅠ線に沿う断面図である。図１２は、図１０のＸⅠⅠ－ＸⅠⅠ線に沿う断面図である。図１３は、図１０のＸⅠⅠⅠ－ＸⅠⅠⅠ線に沿う断面図である。図１４は、図１１の部分拡大断面図である。

[0013] これらの図において、例えば本開示の厚さ方向の一例を「厚さ方向ｚ」とする。厚さ方向ｚに対して直交する方向の一例を、「第１方向ｘ」と呼ぶ。厚さ方向ｚおよび第１方向に対して直交する方向の一例を、「第２方向ｙ」と呼ぶ。また、厚さ方向ｚの一方側は本開示の「厚さ方向の一方側」の一例であり、「厚さ方向ｚのｚ１側」と呼び、厚さ方向ｚの他方側は本開示の「厚さ方向の他方側」の一例であり、「厚さ方向ｚのｚ２側」と呼ぶ。第１方向ｘの一方側は本開示の「第１方向の一方側」の一例であり、「第１方向ｘのｘ１側」と呼び、第１方向ｘの他方側は本開示の「第１方向の他方側」の一例であり、「第１方向ｘのｘ２側」と呼ぶ。第２方向ｙの一方側の一例を「第２方向ｙのｙ１側」と呼び、第２方向ｙの他方側の一例を「第２方向ｙのｙ２側」と呼ぶ。

[0014] 半導体素子 1 は、半導体装置 A 1 の電氣的機能を発揮する要素である。本実施形態においては、半導体素子 1 は、3 つの電極を有する 3 端子素子であり、たとえば MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) である。この他、半導体素子 1 は、IGBT (Insulated Gate Bipolar Transistor) などのスイッチング素子や、ダイオードでもよい。半導体装置 A 1 の説明においては、半導体素子 1 は、n チャネル型であり、かつ縦型構造の MOSFET を対象とする。半導体素子 1 は、厚さ方向 z に見て矩形状である。図 4 および図 10 ~ 図 14 に示すように、半導体層 10、第 1 電極 11、第 2 電極 12 および第 3 電極 13 を有する。

[0015] 半導体層 10 は、半導体を含む層である。当該半導体の組成は、たとえば Si (ケイ素)、SiC (炭化ケイ素) 等を含む。また、本実施形態と異なり、半導体素子 1 が横型構造のスイッチング素子である場合、半導体層 10 は、たとえば GaN (窒化ガリウム) を含む。

[0016] 図 11 ~ 図 13 に示すように、第 1 電極 11 は、半導体層 10 の厚さ方向 z の z2 側に配置されている。第 1 電極 11 には、半導体素子 1 により変換される前の電力に対応する電流が流れる。すなわち、第 1 電極 11 は、半導体素子 1 のドレイン電極に相当する。

[0017] 第 2 電極 12 は、半導体層 10 の厚さ方向 z の z1 側に配置されている。第 2 電極 12 には、半導体素子 1 により変換された後の電力に対応する電流が流れる。すなわち、第 2 電極 12 は、半導体素子 1 のソース電極に相当する。

[0018] 第 3 電極 13 は、半導体層 10 の厚さ方向 z の z1 側に配置されている。第 3 電極 13 には、半導体素子 1 を駆動するためのゲート電圧が印加される。すなわち、第 3 電極 13 は、半導体素子 1 のゲート電極に相当する。厚さ方向 z に見て、第 3 電極 13 の面積は、第 2 電極 12 の面積よりも小さい。

[0019] 図 14 に示すように、第 1 電極 11 は、第 1 中間金属層 111 および第 2 金属層 112 を含む。

[0020] 第 1 中間金属層 111 は、半導体層 10 と第 2 金属層 112 との間に介在

しており、半導体層 10 に接する。第 1 中間金属層 111 は、たとえば Ti (チタン)、Ni (ニッケル) 等を含む。第 1 中間金属層 111 は、単一の層であってもよいし、複数の層が積層された構成でもよい。第 1 中間金属層 111 の厚さ (厚さ方向 z の寸法) は、たとえば $0.05\text{ }\mu\text{m}$ 以上 $2.0\text{ }\mu\text{m}$ 以下である。第 1 中間金属層 111 は、第 2 金属層 112 を形成する際に半導体層 10 が損傷を受けること等を抑制するための層である。

[0021] 第 2 金属層 112 は、第 1 中間金属層 111 に接する。第 2 金属層 112 は、たとえば Ag (銀) または Cu (銅) を含む。以降の説明においては、第 2 金属層 112 が、Ag (銀) を主成分とする場合を例に説明する。Ag (銀) を主成分とする第 2 金属層 112 の具体例としては、たとえば Ag (銀) めっき層、スパッタ等の成膜技術によって形成された Ag (銀) 層等が挙げられる。第 2 金属層 112 の厚さは、たとえば $0.50\text{ }\mu\text{m}$ 以上 $5.0\text{ }\mu\text{m}$ 以下である。図示された例においては、第 2 金属層 112 は、第 1 電極 11 の表層をなしている。

[0022] 第 1 リード 2、第 2 リード 3 および第 3 リード 4 は、たとえば金属板 (リードフレーム) に打ち抜き加工や折り曲げ加工等を施すことにより形成されている。第 1 リード 2、第 2 リード 3 および第 3 リード 4 は、たとえば Cu (銅) または Ni (ニッケル) を含む。本実施形態においては、第 1 リード 2、第 2 リード 3 および第 3 リード 4 の各々の構成材料は、Fe (鉄) および Ni (ニッケル) を含み、たとえば 42 アロイである。

[0023] 第 1 リード 2 は、半導体素子 1 に対して厚さ方向 z の z1 側に配置されている部分を含む。第 1 リード 2 は、図 2～図 13 に示すように、第 1 パッド部 21 および第 1 端子部 22 を含む。

[0024] 第 1 パッド部 21 は、半導体素子 1 が搭載される部位である。第 1 パッド部 21 は、第 1 主面 201 および第 2 主面 202 を有する。第 1 主面 201 は、厚さ方向 z の z1 側を向く面である。第 2 主面 202 は、厚さ方向 z の z2 側を向く面である。

[0025] 図 4、図 10～図 14 に示すように、第 1 パッド部 21 の第 1 主面 201

には、接合層 7 を介して半導体素子 1 が接合されている。本実施形態において、接合層 7 は、導電性材料により構成されている。半導体素子 1 の第 1 電極 11 は、第 1 主面 201 に対向している。第 1 電極 11 と第 1 主面 201 とが、接合層 7 を介して導通接合されている。半導体素子 1 は、ダイボンディングにより第 1 パッド部 21 の第 1 主面 201 に搭載されている。

[0026] 図 14 に示すように、本実施形態において、第 1 パッド部 21（第 1 リード 2）は、基材 20A および第 1 めっき層 20B を有する。基材 20A は、Fe（鉄）およびNi（ニッケル）を含み、たとえば 42 アロイである。第 1 めっき層 20B は、基材 20A の一部を覆っている。第 1 めっき層 20B は、第 1 めっき層 20B は、少なくとも第 1 パッド部 21 における半導体素子 1 が搭載される部分を覆っている。第 1 めっき層 20B の構成材料は、Cu（銅）を含む。本実施形態では、第 1 めっき層 20B のうち厚さ方向 z の z1 側を向く面は、第 1 主面 201 の少なくとも一部を構成する。

[0027] 図 14 に示すように、接合層 7 は、第 1 金属間化合物層 71、第 1 金属層 72 および第 2 金属間化合物層 73 を含む。第 1 金属間化合物層 71 は、第 1 パッド部 21（第 1 リード 2）に接している。より具体的には、第 1 金属間化合物層 71 は、第 1 パッド部 21 の第 1 めっき層 20B に接する。第 1 パッド部 21 において当該第 1 金属間化合物層 71 に接する第 1 めっき層 20B は、上述のように Cu（銅）を含む。

[0028] 第 1 金属層 72 は、第 1 金属間化合物層 71 と半導体層 10 との間に介在し、第 1 金属間化合物層 71 に接する。第 1 金属層 72 は、Sn（錫）を含む。

[0029] 第 2 金属間化合物層 73 は、第 1 金属間化合物層 71 と半導体層 10 との間に介在する。図示した例では、第 2 金属間化合物層 73 は、第 1 金属層 72 と第 2 金属層 112 との間に介在し、第 1 金属層 72 および第 2 金属層 112 に接する。

[0030] 第 1 金属間化合物層 71 は、Sn（錫）および Cu（銅）を含む。第 1 金属間化合物層 71 は、第 1 金属層 72 を構成する Sn（錫）と第 1 めっき層

20Bを構成するCu（銅）とが結合して形成される。第1金属間化合物層71の厚さ t_1 は、第1金属層72の厚さ t_2 よりも大である。第1金属間化合物層71の厚さ t_1 は、たとえば $0.50\mu\text{m}$ 以上 $5.0\mu\text{m}$ 以下である。第1金属層72の厚さ t_2 は、たとえば $0\mu\text{m}$ 以上 $3.0\mu\text{m}$ 以下である。なお、添付図面では、第1金属間化合物層71において厚さ方向 z の両側に隣接する他の層との境界面を平坦状に記載しているが、当該境界面は凸凹形状を含み得る。

[0031] 第2金属間化合物層73は、Sn（錫）およびAg（銀）を含む。第2金属間化合物層73は、第1金属層72を構成するSn（錫）と第2金属層112を構成するAg（銀）とが結合して形成される。第2金属間化合物層73の厚さは、たとえば $0.05\mu\text{m}$ 以上 $3.0\mu\text{m}$ 以下である。なお、添付図面では、第2金属間化合物層73において厚さ方向 z の両側に隣接する他の層との境界面を平坦状に記載しているが、当該境界面は凸凹形状を含み得る。

[0032] 第1端子部22は、第1パッド部21に対して第2方向 y の y_1 側につながっている。第1端子部22は、厚さ方向 z に見て第2方向 y に延びている。図2、図4～図6、図8～図10および図13に示すように、第1端子部22は、封止樹脂8から露出しており、封止樹脂8から第2方向 y の y_1 側に突出する部分、厚さ方向 z の z_1 側に折り返された部分、および厚さ方向 z の z_1 側に位置する部分を有する。第1端子部22は、半導体装置A1を実装する際の端子として用いられる。第1端子部22は、半導体素子1の第1電極11に導通している。第1端子部22は、半導体装置A1のドレイン端子である。

[0033] 第1リード2のうち封止樹脂8から露出した部分（第1端子部22）には、たとえばSn（錫）を主成分とする合金からなるめっき層が形成されてもよい。図示した例では、第1端子部22にはめっき層203が形成されている。

[0034] 第2リード3は、第1リード2に対して第1方向 x の x_1 側に配置されて

いる。第2リード3は、図1～図12に示すように、第2パッド部31および第2端子部32を含む。

[0035] 第2パッド部31は、第1パッド部21に対して第1方向xのx1側に位置する。詳細な図示は省略するが、第2パッド部31の厚さ方向zのz1側を向く面には、めっき層が形成されている。第2パッド部31は、第1パッド部21と同様に、42アロイからなる基材と、当該基材の厚さ方向zのz1側の面を覆うめっき層と、を有する。当該めっき層の構成材料は、Cu（銅）を含む。第2パッド部31の厚さ方向zのz1側を向く面には、第1ボンディングワイヤ5が接続されている。

[0036] 第2端子部32は、第2パッド部31に対して第2方向yのy2側につながっている。第2端子部32は、厚さ方向zに見て第2方向yに延びている。図1および図3～図10に示すように、第2端子部32は、封止樹脂8から露出しており、封止樹脂8から第2方向yのy2側に突出する部分、厚さ方向zのz1側に折り返された部分、および厚さ方向zのz1側に位置する部分を有する。第2端子部32は、半導体装置A1を実装する際の端子として用いられる。

[0037] 第2リード3のうち封止樹脂8から露出した部分（第2端子部32）には、たとえばSn（錫）を主成分とする合金からなるめっき層が形成されてもよい。詳細な図示は省略するが、第2端子部32には、上述の第1端子部22と同様にめっき層が形成されている。

[0038] 第3リード4は、第1リード2に対して第1方向xのx2側に配置されている。第3リード4は、図1～図7、および図9～図13に示すように、第3パッド部41および第3端子部42を含む。

[0039] 第3パッド部41は、第1パッド部21に対して第1方向xのx2側に位置する。詳細な図示は省略するが、第3パッド部41の厚さ方向zのz1側を向く面には、めっき層が形成されている。第3パッド部41は、第1パッド部21と同様に、42アロイからなる基材と、当該基材の厚さ方向zのz1側の面を覆うめっき層と、を有する。当該めっき層の構成材料は、Cu（

銅)を含む。第3パッド部41の厚さ方向 z の z 1側を向く面には、第2ボンディングワイヤ6が接続されている。

[0040] 第3端子部42は、第3パッド部41に対して第2方向 y の y 2側につながっている。第3端子部42は、厚さ方向 z に見て第2方向 y に延びている。図1、図3～図7、図9、図10および図13に示すように、第3端子部42は、封止樹脂8から露出しており、封止樹脂8から第2方向 y の y 2側に突出する部分、厚さ方向 z の z 1側に折り返された部分、および厚さ方向 z の z 1側に位置する部分を有する。第1方向 x に見て、第3端子部42は、第2端子部32と概ね重なる形状および大きさである。第3端子部42は、半導体装置A1を実装する際の端子として用いられる。

[0041] 第3リード4のうち封止樹脂8から露出した部分(第3端子部42)には、たとえばSn(錫)を主成分とする合金からなるめっき層が形成されてもよい。詳細な図示は省略するが、第3端子部42には、上述の第1端子部22と同様にめっき層が形成されている。

[0042] 第1ボンディングワイヤ5は、半導体素子1の第2電極12と第2リード3の第2パッド部31とに接合されている。第1ボンディングワイヤ5の構成材料は何ら限定されず、たとえばAl(アルミニウム)、Cu(銅)、Au(金)等の金属を含む。また、第1ボンディングワイヤ5の本数は何ら限定されず、複数の第1ボンディングワイヤ5を備えていてもよい。図示された例においては、第1ボンディングワイヤ5は、Au(金)を含む。第2リード3の第2端子部32は、第1ボンディングワイヤ5を介して半導体素子1の第2電極12に導通している。第2端子部32は、半導体装置A1のソース端子である。

[0043] 第2ボンディングワイヤ6は、半導体素子1の第3電極13と第3リード4の第3パッド部41とに接合されている。第1ボンディングワイヤ5の構成材料は何ら限定されず、たとえばAl(アルミニウム)、Cu(銅)、Au(金)等の金属を含む。図示された例においては、第1ボンディングワイヤ5は、Au(金)を含む。第3リード4の第3端子部42は、第2ボンデ

ィングワイヤ6を介して半導体素子1の第3電極13に導通している。第3端子部42は、半導体装置A1のゲート端子である。

[0044] 封止樹脂8は、図1～図15に示すように、半導体素子1、第1ボンディングワイヤ5および第2ボンディングワイヤ6と、第1リード2、第2リード3および第3リード4各々の一部とを覆っている。より具体的には、封止樹脂8は、第1リード2、第2リード3および第3リード4のうち、第1パッド部21、第2パッド部31および第3パッド部41を覆っている。封止樹脂8は、電気絶縁性を有する。封止樹脂8は、たとえば黒色のエポキシ樹脂を含む材料からなる。封止樹脂8の形状は何ら限定されない。本実施形態の封止樹脂8は、図1～図13に示すように、第1樹脂面81、第2樹脂面82、第3樹脂面83、第4樹脂面84、第5樹脂面85および第6樹脂面86を有する。

[0045] 第1樹脂面81は、厚さ方向zのz1側を向く面である。第2樹脂面82は、厚さ方向zのz2側を向く面である。図示された例においては、第1樹脂面81および第2樹脂面82は、平坦な面であるが、これに限定されずたとえば曲面や屈曲した面等であってもよい。

[0046] 第3樹脂面83は、第1方向xのx1側を向く面である。第4樹脂面84は、第1方向xのx2側を向く面である。図示された例においては、第3樹脂面83および第4樹脂面84は、僅かに屈曲した面であるが、これに限定されず、たとえば曲面や平坦面等であってもよい。

[0047] 第5樹脂面85は、第2方向yのy1側を向く面である。第6樹脂面86は、第2方向yのy2側を向く面である。図示された例においては、第5樹脂面85および第6樹脂面86は、僅かに屈曲した面であるが、これに限定されず、たとえば曲面や平坦面等であってもよい。本実施形態においては、第5樹脂面85から第1端子部22が突出しており、第6樹脂面86から第2端子部32および第3端子部42が突出している。

[0048] 次に、接合層7の形成方法の一例について、図15を参照しつつ、以下に説明する。図15は、半導体装置A1の製造時の一工程を示す部分拡大図で

ある。図15は、図14と同様の断面を表す。

[0049] 図15は、ダイボンディング工程により半導体素子1を第1パッド部21上に搭載する前の状態を示している。半導体素子1の第1電極11の厚さ方向zのz1側には、接合材料部70が形成されている。接合材料部70は、Sn（錫）を含む。半導体素子1のダイボンディング工程においては、所定温度および所定のガス雰囲気下で、接合材料部70を第1パッド部21の第1めっき層20Bに所定荷重で加圧する。ここでの雰囲気温度は、たとえばSn（錫）の融点（約232℃）以上とされる。当該ダイボンディング工程により、第1めっき層20Bの構成材料であるCu（銅）が、接合材料部70に拡散する。これにより、第1金属間化合物層71が形成される。また、ダイボンディング工程により、第2金属層112の構成材料であるAg（銀）が、接合材料部70に拡散する。これにより、第2金属間化合物層73が形成される。そして、第1金属間化合物層71と第2金属間化合物層73との間には、Sn（錫）を含む第1金属層72が形成される。

[0050] 次に、半導体装置A1の作用について説明する。

[0051] 本実施形態によれば、接合層7は、Sn（錫）およびCu（銅）を含む。具体的には、接合層7は第1金属間化合物層71を含み、当該第1金属間化合物層71は、Sn（錫）およびCu（銅）を含む。このような構成によれば、第1パッド部21（第1リード2）上にAg（銀）めっきを形成することなく、半導体素子1の第1パッド部21への接合性を向上させることができる。半導体装置A1においては、Ag（銀）めっきの形成が不要であるため、製造コストの上昇を抑制することができる。

[0052] 第1金属間化合物層71は、第1パッド部21（第1リード2）に接している。第1パッド部21（第1リード2）において第1金属間化合物層71に接する部分である第1めっき層20Bは、Cu（銅）を含む。このような構成によれば、第1金属間化合物層71を容易に形成することが可能である。

[0053] 図16～図19は、本開示の他の実施形態を示している。なお、これらの

図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付しており、重複する説明を省略する。また、各実施形態における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0054] 第2実施形態：

図16は、本開示の第2実施形態に係る半導体装置を示している。図16は、本実施形態の半導体装置A2を示す部分拡大断面図であり、図14と同様の断面を表す。

[0055] 半導体装置A2においては、第1電極11および接合層7の構成が上記の半導体装置A1と異なる。半導体装置A2において、半導体装置A1と異なり、第1電極11は、第2金属層112を含まない。また、接合層7は、第2金属間化合物層73を含まない。第1金属層72は、第1金属間化合物層71と第1中間金属層111との間に介在し、第1金属間化合物層71および第1中間金属層111に接する。

[0056] 接合層7の形成方法の一例について、図17を参照して説明する。図17は、半導体装置A2の製造時の一工程を示す部分拡大図である。図17は、図16と同様の断面を表す。

[0057] 図17は、ダイボンディング工程により半導体素子1を第1パッド部21上に搭載する前の状態を示している。半導体素子1の第1電極11の厚さ方向zのz1側には、接合材料部70が形成されている。接合材料部70は、Sn（錫）を含む。半導体素子1のダイボンディング工程においては、所定温度および所定のガス雰囲気下で、接合材料部70を第1パッド部21の第1めっき層20Bに所定荷重で加圧する。ここでの雰囲気温度は、たとえばSn（錫）の融点（約232℃）以上とされる。当該ダイボンディング工程により、第1めっき層20Bの構成材料であるCu（銅）が、接合材料部70に拡散する。これにより、第1金属間化合物層71が形成される。第1金属間化合物層71と第1中間金属層111の間には、Sn（錫）を含む第1金属層72が形成される。

[0058] 本実施形態によれば、接合層 7 は、S n（錫）およびC u（銅）を含む。
具体的には、接合層 7 は第 1 金属間化合物層 7 1 を含み、当該第 1 金属間化合物層 7 1 は、S n（錫）およびC u（銅）を含む。このような構成によれば、第 1 パッド部 2 1（第 1 リード 2）上にA g（銀）めっきを形成することなく、半導体素子 1 の第 1 パッド部 2 1 への接合性を向上させることができる。半導体装置 A 2 においては、A g（銀）めっきの形成が不要であるため、製造コストの上昇を抑制することができる。

[0059] 第 1 金属間化合物層 7 1 は、第 1 パッド部 2 1（第 1 リード 2）に接している。第 1 パッド部 2 1（第 1 リード 2）において第 1 金属間化合物層 7 1 に接する部分である第 1 めっき層 2 0 B は、C u（銅）を含む。このような構成によれば、第 1 金属間化合物層 7 1 を容易に形成することが可能である。

[0060] 第 3 実施形態：

図 1 8 は、本開示の第 3 実施形態に係る半導体装置を示している。図 1 8 は、本実施形態の半導体装置 A 3 を示す部分拡大断面図であり、図 1 4 と同様の断面を表す。

[0061] 半導体装置 A 3 においては、第 1 パッド部 2 1 の構成が上記の半導体装置 A 1 と異なる。上記実施形態の半導体装置 A 1 においては、第 1 パッド部 2 1 は基材 2 0 A および第 1 めっき層 2 0 B を含んで構成されていたが、本実施形態においては、第 1 パッド部 2 1 は、母材 2 0 C により構成される。母材 2 0 C の構成材料は、C u（銅）を含む。

[0062] 接合層 7 の第 1 金属間化合物層 7 1 は、第 1 パッド部 2 1（第 1 リード 2）の母材 2 0 C に接している。第 1 パッド部 2 1 において当該第 1 金属間化合物層 7 1 に接する母材 2 0 C は、C u（銅）を含む。

[0063] 接合層 7 の形成方法の一例について、図 1 9 を参照して説明する。図 1 9 は、半導体装置 A 3 の製造時の一工程を示す部分拡大図である。図 1 9 は、図 1 8 と同様の断面を表す。

[0064] 図 1 9 は、ダイボンディング工程により半導体素子 1 を第 1 パッド部 2 1

上に搭載する前の状態を示している。半導体素子 1 の第 1 電極 1 1 の厚さ方向 z の z 1 側には、接合材料部 7 0 が形成されている。接合材料部 7 0 は、S n（錫）を含む。半導体素子 1 のダイボンディング工程においては、所定温度および所定のガス雰囲気下で、接合材料部 7 0 を第 1 パッド部 2 1（母材 2 0 C）に所定荷重で加圧する。ここでの雰囲気温度は、たとえば S n（錫）の融点（約 2 3 2℃）以上とされる。当該ダイボンディング工程により、母材 2 0 C の構成材料である C u（銅）が、接合材料部 7 0 に拡散する。これにより、第 1 金属間化合物層 7 1 が形成される。また、ダイボンディング工程により、第 2 金属層 1 1 2 の構成材料である A g（銀）が、接合材料部 7 0 に拡散する。これにより、第 2 金属間化合物層 7 3 が形成される。そして、第 1 金属間化合物層 7 1 と第 2 金属間化合物層 7 3 との間には、S n（錫）を含む第 1 金属層 7 2 が形成される。

[0065] 本実施形態によれば、接合層 7 は、S n（錫）および C u（銅）を含む。具体的には、接合層 7 は第 1 金属間化合物層 7 1 を含み、当該第 1 金属間化合物層 7 1 は、S n（錫）および C u（銅）を含む。このような構成によれば、第 1 パッド部 2 1（第 1 リード 2）上に A g（銀）めっきを形成することなく、半導体素子 1 の第 1 パッド部 2 1 への接合性を向上させることができる。半導体装置 A 3 においては、A g（銀）めっきの形成が不要であるため、製造コストの上昇を抑制することができる。

[0066] 第 1 金属間化合物層 7 1 は、第 1 パッド部 2 1（第 1 リード 2）に接している。第 1 パッド部 2 1（第 1 リード 2）において第 1 金属間化合物層 7 1 に接する部分である母材 2 0 C は、C u（銅）を含む。このような構成によれば、第 1 金属間化合物層 7 1 を容易に形成することが可能である。

[0067] 本開示に係る半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0068] 本開示は、以下の付記に関する構成を含む。

付記 1.

第1リードと、

前記第1リードの厚さ方向の一方側に搭載され、半導体層を有する半導体素子と、

前記第1リードと前記半導体層との間に介在し、前記第1リードおよび前記半導体素子を接合する接合層と、を備え、

前記接合層は、S nおよびC uを含む、半導体装置。

付記2.

前記接合層は、S nおよびC uを含有する第1金属間化合物層を含む、付記1に記載の半導体装置。

付記3.

前記第1金属間化合物層は、前記第1リードに接しており、

前記第1リードの前記第1金属間化合物層に接する部分は、C uを含む、付記2に記載の半導体装置。

付記4.

前記接合層は、前記第1金属間化合物層と前記半導体層との間に介在する第2金属間化合物層を含む、付記2または3に記載の半導体装置。

付記5.

前記第2金属間化合物層は、S nおよびA gを含む、付記4に記載の半導体装置。

付記6.

前記接合層は、前記第1金属間化合物層と前記半導体層との間に介在し、且つ前記第1金属間化合物層に接する第1金属層を含み、

前記第1金属層は、S nを含む、付記2ないし5のいずれかに記載の半導体装置。

付記7.

前記第1金属間化合物層の厚さは、前記第1金属層の厚さよりも大である、付記6に記載の半導体装置。

付記8.

前記接合層と前記半導体層との間に介在し、且つ前記半導体層に接する第1中間金属層をさらに備える、付記1ないし7のいずれかに記載の半導体装置。

付記9.

前記接合層と前記第1中間金属層との間に介在し、且つ前記第1中間金属層に接する第2金属層をさらに備える、付記8に記載の半導体装置。

付記10.

前記第2金属層は、Agを含む、付記9に記載の半導体装置。

付記11.

前記第1リードは、基材と、前記基材に対して前記厚さ方向の一方側に形成され、且つ前記第1金属間化合物層に接する第1めっき層と、を有し、

前記第1めっき層は、Cuを含む、付記2ないし7のいずれかに記載の半導体装置。

付記12.

前記基材は、FeおよびNiを含む、付記11に記載の半導体装置。

付記13.

前記半導体素子は、前記半導体層の前記厚さ方向の他方側に配置された第1電極を有し、

前記第1リードは、前記半導体素子が搭載された第1パッド部を含み、

前記第1電極は、前記第2金属層および前記第1中間金属層を含んで構成される、付記9または10に記載の半導体装置。

付記14.

前記第1リードに対して離隔して配置された第2リードと、第1ボンディングワイヤと、をさらに備え、

前記第2リードは、前記第1パッド部に対して前記厚さ方向と直交する第1方向の一方側に位置する第2パッド部を含み、

前記半導体素子は、前記半導体層の前記厚さ方向の一方側に配置された第2電極を有し、

前記第1ボンディングワイヤは、前記第2電極と前記第2パッド部とに導通接合される、付記13に記載の半導体装置。

付記15.

前記第1リードおよび前記第2リードに対して離隔して配置された第3リードと、第2ボンディングワイヤと、をさらに備え、

前記第3リードは、前記第1パッド部に対して前記第1方向の他方側に位置する第3パッド部を含み、

前記半導体素子は、前記半導体層の前記厚さ方向の一方側に配置された第3電極を有し、

前記第2ボンディングワイヤは、前記第3電極と前記第3パッド部とに導通接合される、付記14に記載の半導体装置。

付記16.

前記半導体素子、前記第1パッド部、前記第2パッド部、前記第3パッド部、前記第1ボンディングワイヤおよび前記第2ボンディングワイヤを覆う封止樹脂をさらに備える、付記15に記載の半導体装置。

符号の説明

[0069] A1, A2, A3 : 半導体装置 1 : 半導体素子

10 : 半導体層 11 : 第1電極

111 : 第1中間金属層 112 : 第2金属層

12 : 第2電極 13 : 第3電極

2 : 第1リード 20A : 基材

20B : 第1めっき層 20C : 母材

201 : 第1主面 202 : 第2主面

203 : めっき層 21 : 第1パッド部

22 : 第1端子部 3 : 第2リード

31 : 第2パッド部 32 : 第2端子部

4 : 第3リード 41 : 第3パッド部

42 : 第3端子部 5 : 第1ボンディングワイヤ

6 : 第2ボンディングワイヤ 7 : 接合層
70 : 接合材料部 71 : 第1金属間化合物層
72 : 第1金属層 73 : 第2金属間化合物層
8 : 封止樹脂 81 : 第1樹脂面
82 : 第2樹脂面 83 : 第3樹脂面
84 : 第4樹脂面 85 : 第5樹脂面
t1, t2 : 厚さ

請求の範囲

- [請求項1] 第1リードと、
前記第1リードの厚さ方向の一方側に搭載され、半導体層を有する半導体素子と、
前記第1リードと前記半導体層との間に介在し、前記第1リードおよび前記半導体素子を接合する接合層と、を備え、
前記接合層は、SnおよびCuを含む、半導体装置。
- [請求項2] 前記接合層は、SnおよびCuを含有する第1金属間化合物層を含む、請求項1に記載の半導体装置。
- [請求項3] 前記第1金属間化合物層は、前記第1リードに接しており、
前記第1リードの前記第1金属間化合物層に接する部分は、Cuを含む、請求項2に記載の半導体装置。
- [請求項4] 前記接合層は、前記第1金属間化合物層と前記半導体層との間に介在する第2金属間化合物層を含む、請求項2または3に記載の半導体装置。
- [請求項5] 前記第2金属間化合物層は、SnおよびAgを含む、請求項4に記載の半導体装置。
- [請求項6] 前記接合層は、前記第1金属間化合物層と前記半導体層との間に介在し、且つ前記第1金属間化合物層に接する第1金属層を含み、
前記第1金属層は、Snを含む、請求項2ないし5のいずれかに記載の半導体装置。
- [請求項7] 前記第1金属間化合物層の厚さは、前記第1金属層の厚さよりも大である、請求項6に記載の半導体装置。
- [請求項8] 前記接合層と前記半導体層との間に介在し、且つ前記半導体層に接する第1中間金属層をさらに備える、請求項1ないし7のいずれかに記載の半導体装置。
- [請求項9] 前記接合層と前記第1中間金属層との間に介在し、且つ前記第1中間金属層に接する第2金属層をさらに備える、請求項8に記載の半導

体装置。

[請求項10] 前記第2金属層は、A gを含む、請求項9に記載の半導体装置。

[請求項11] 前記第1リードは、基材と、前記基材に対して前記厚さ方向の一方側に形成され、且つ前記第1金属間化合物層に接する第1めっき層と、を有し、

前記第1めっき層は、C uを含む、請求項2ないし7のいずれかに記載の半導体装置。

[請求項12] 前記基材は、F eおよびN iを含む、請求項11に記載の半導体装置。

[請求項13] 前記半導体素子は、前記半導体層の前記厚さ方向の他方側に配置された第1電極を有し、

前記第1リードは、前記半導体素子が搭載された第1パッド部を含み、

前記第1電極は、前記第2金属層および前記第1中間金属層を含んで構成される、請求項9または10に記載の半導体装置。

[請求項14] 前記第1リードに対して離隔して配置された第2リードと、第1ボンディングワイヤと、をさらに備え、

前記第2リードは、前記第1パッド部に対して前記厚さ方向と直交する第1方向の一方側に位置する第2パッド部を含み、

前記半導体素子は、前記半導体層の前記厚さ方向の一方側に配置された第2電極を有し、

前記第1ボンディングワイヤは、前記第2電極と前記第2パッド部とに導通接合される、請求項13に記載の半導体装置。

[請求項15] 前記第1リードおよび前記第2リードに対して離隔して配置された第3リードと、第2ボンディングワイヤと、をさらに備え、

前記第3リードは、前記第1パッド部に対して前記第1方向の他方側に位置する第3パッド部を含み、

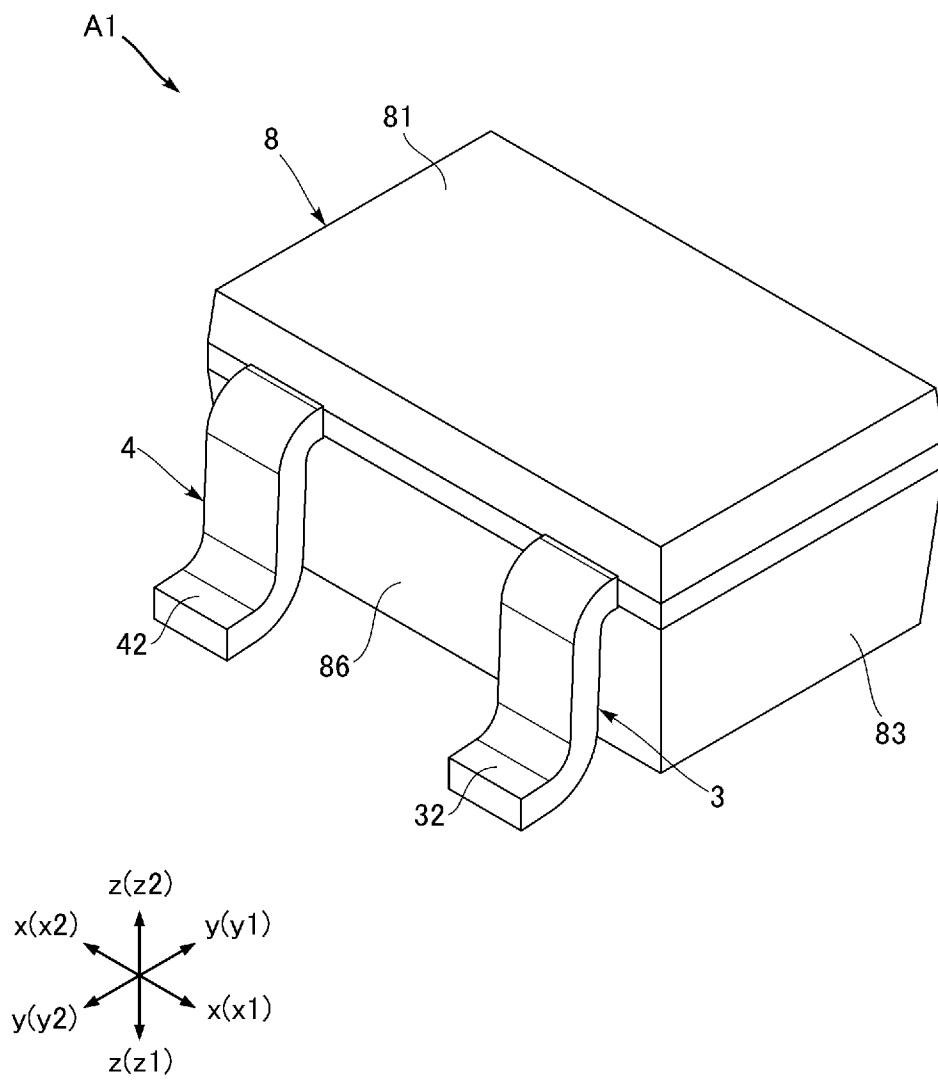
前記半導体素子は、前記半導体層の前記厚さ方向の一方側に配置さ

れた第3電極を有し、

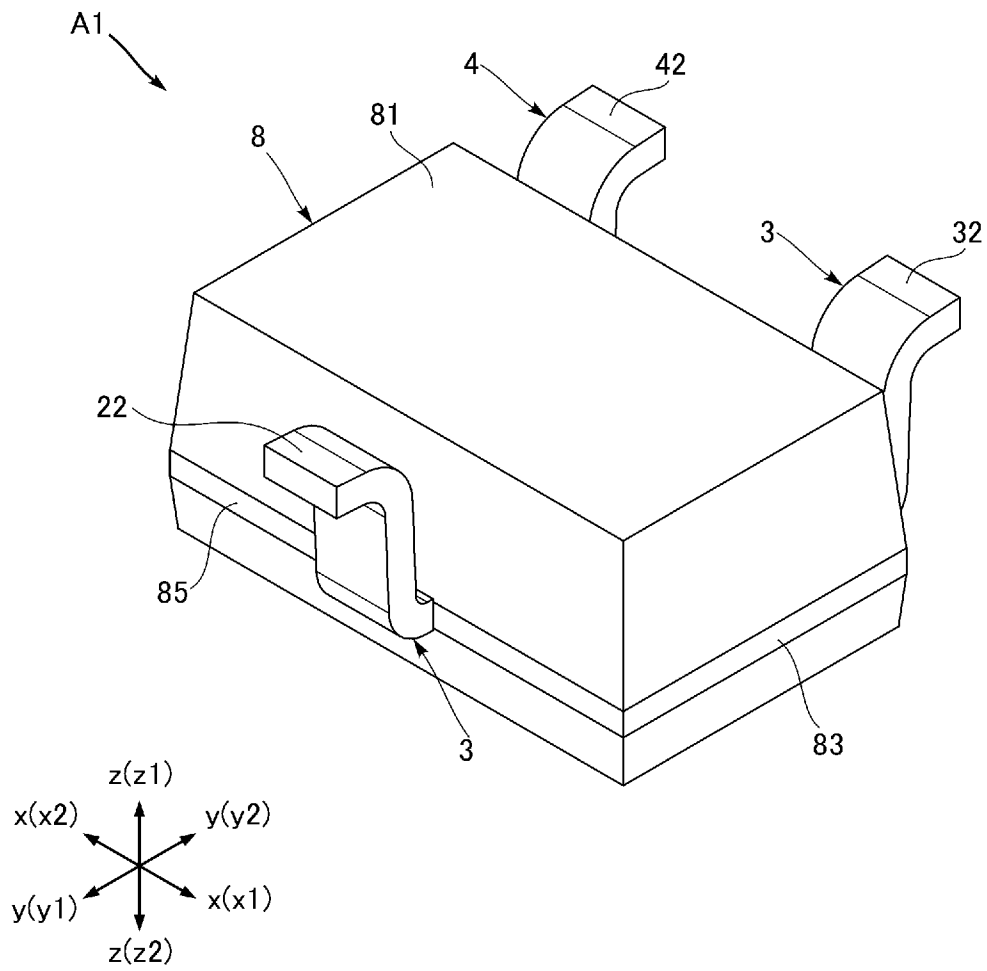
前記第2ボンディングワイヤは、前記第3電極と前記第3パッド部とに導通接合される、請求項14に記載の半導体装置。

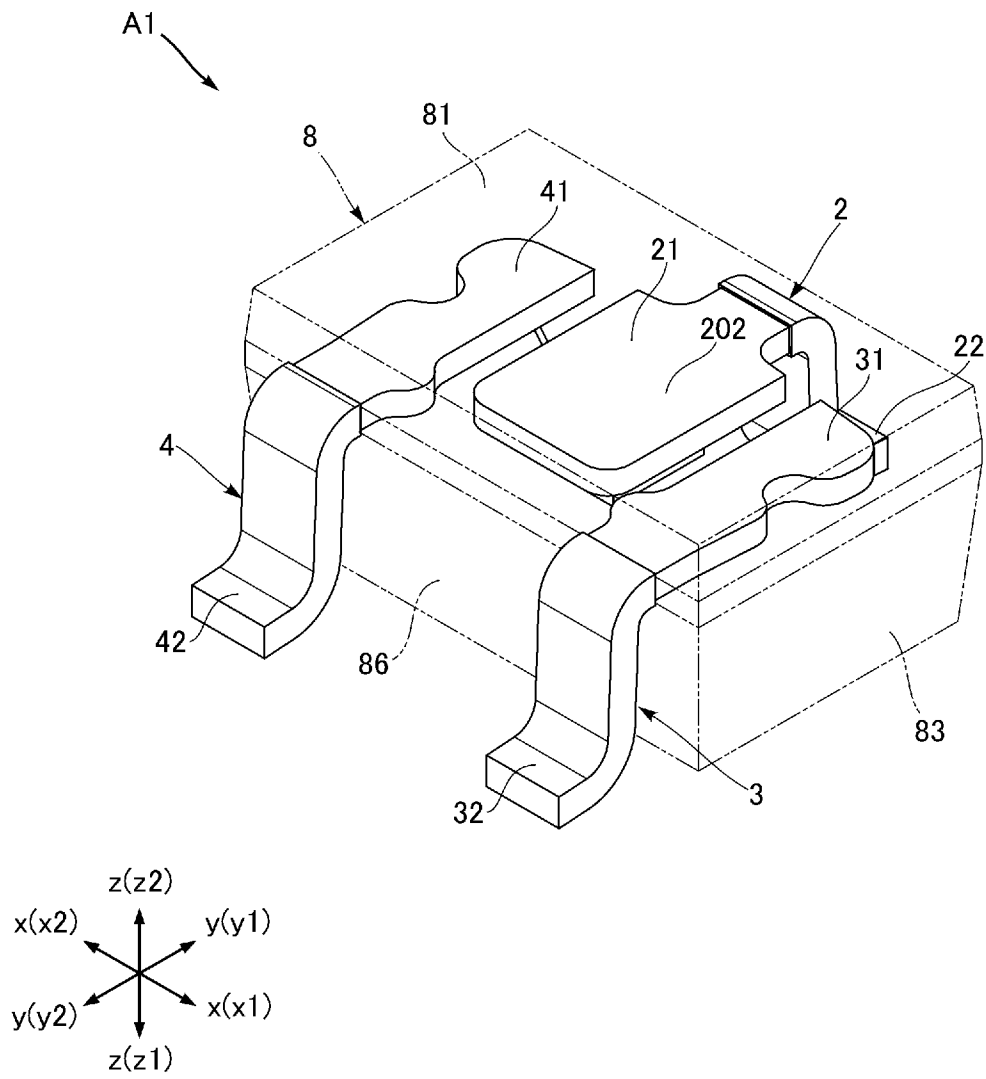
[請求項16] 前記半導体素子、前記第1パッド部、前記第2パッド部、前記第3パッド部、前記第1ボンディングワイヤおよび前記第2ボンディングワイヤを覆う封止樹脂をさらに備える、請求項15に記載の半導体装置。

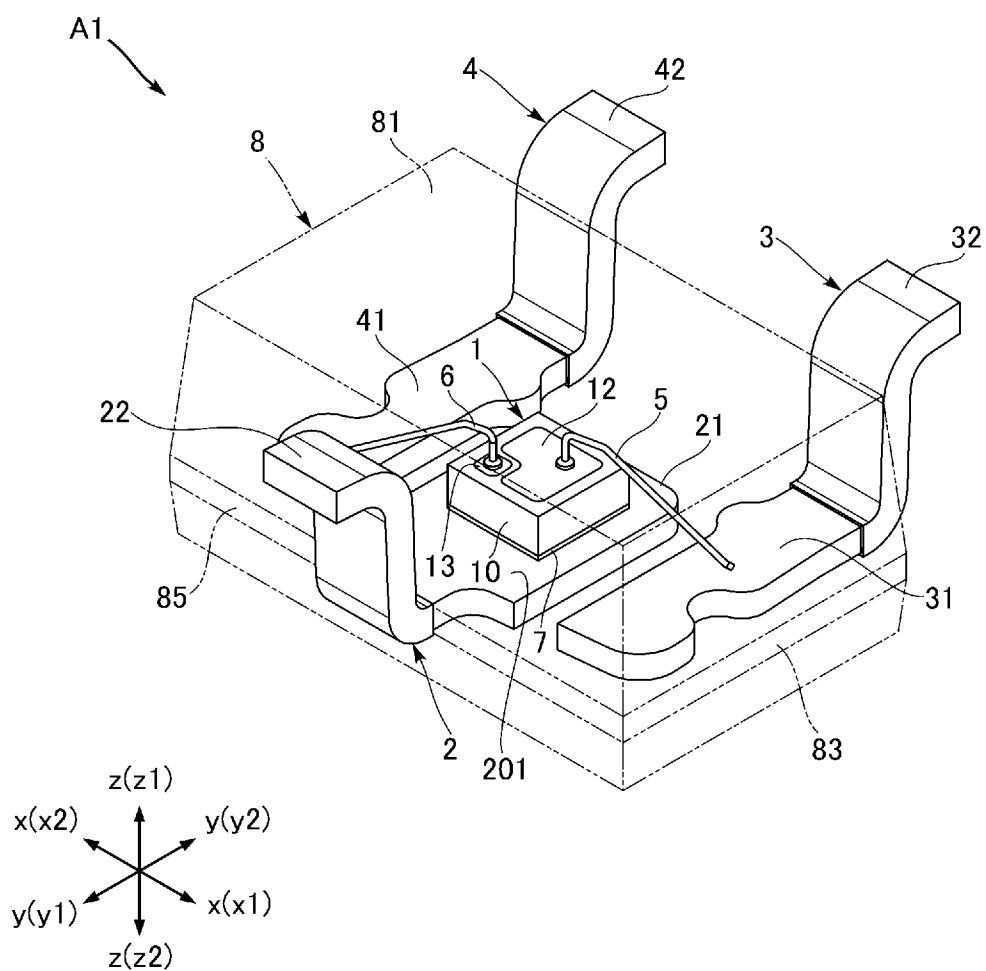
[図1]
FIG.1



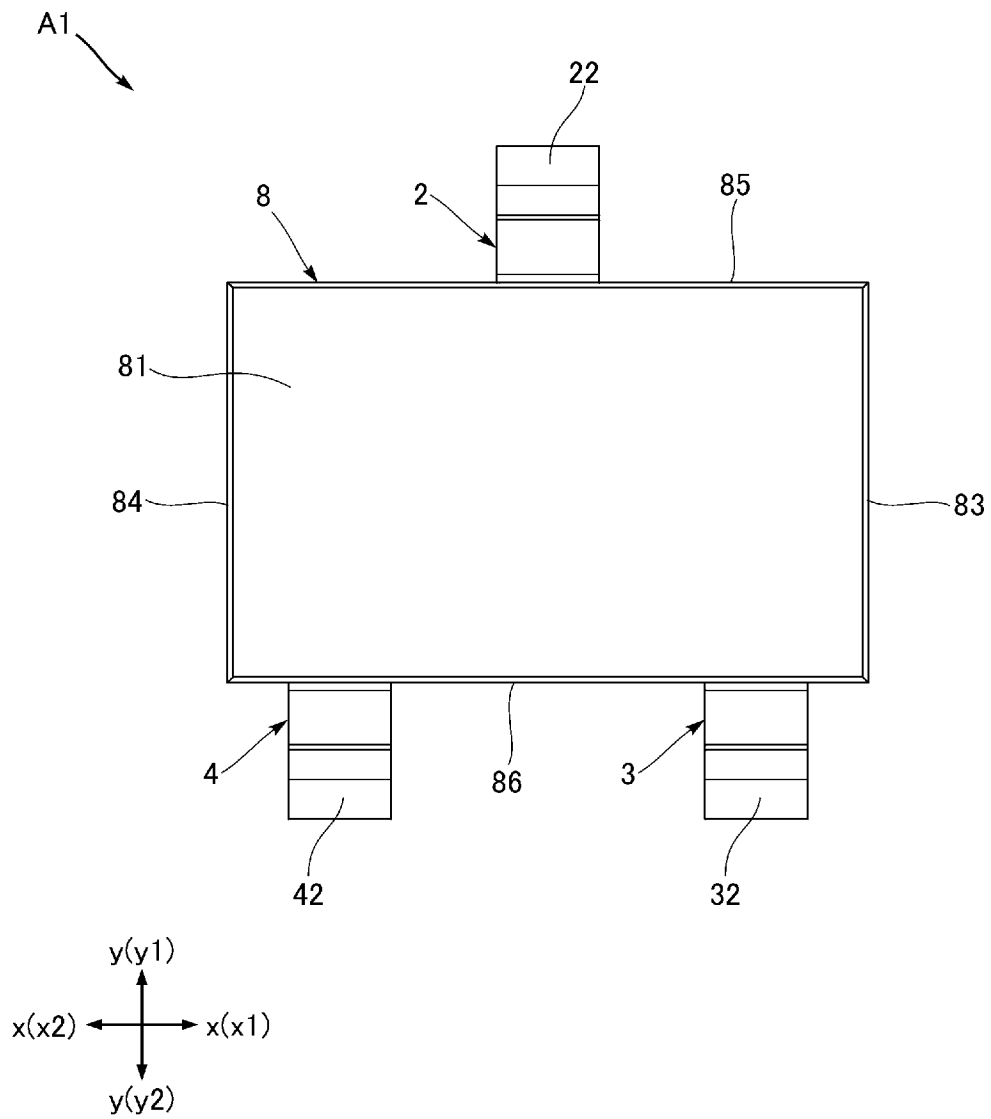
[図2]
FIG.2



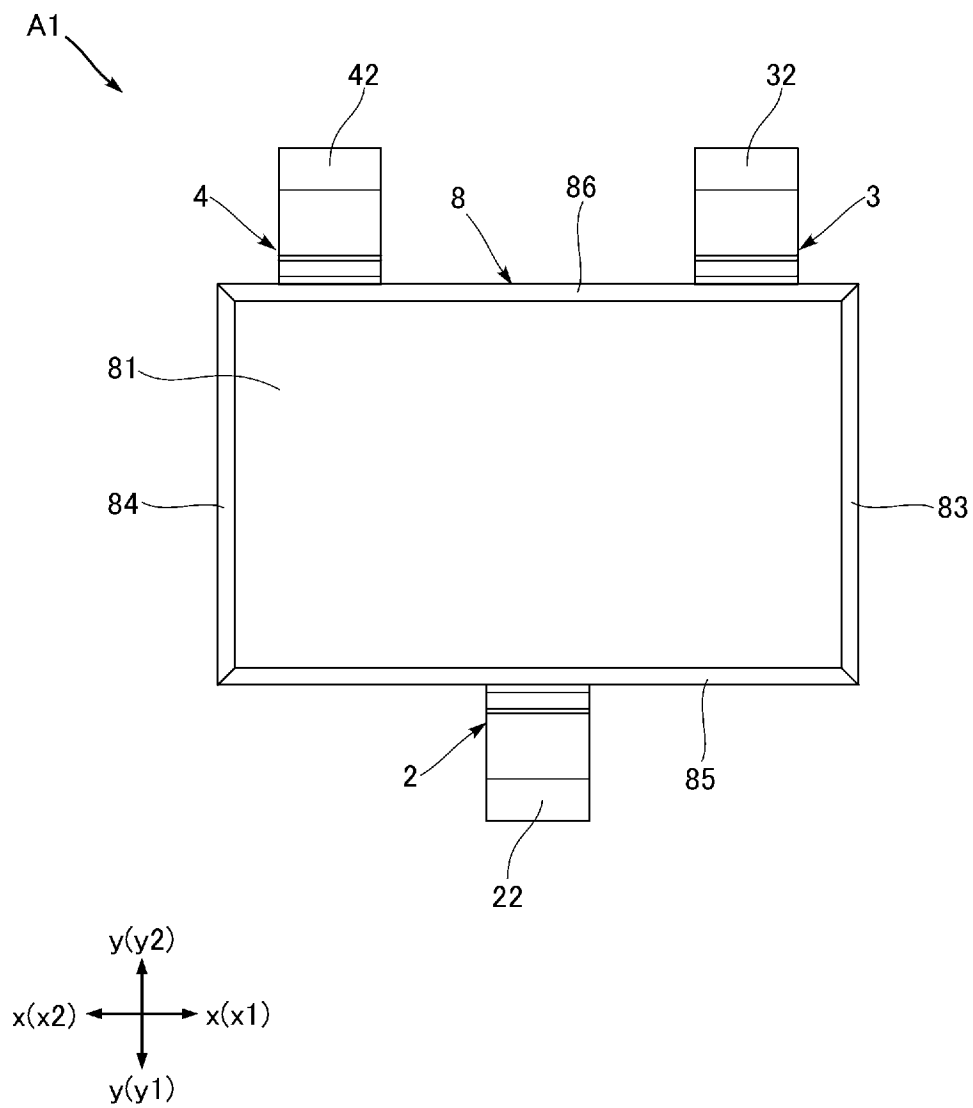
[図3]
FIG.3

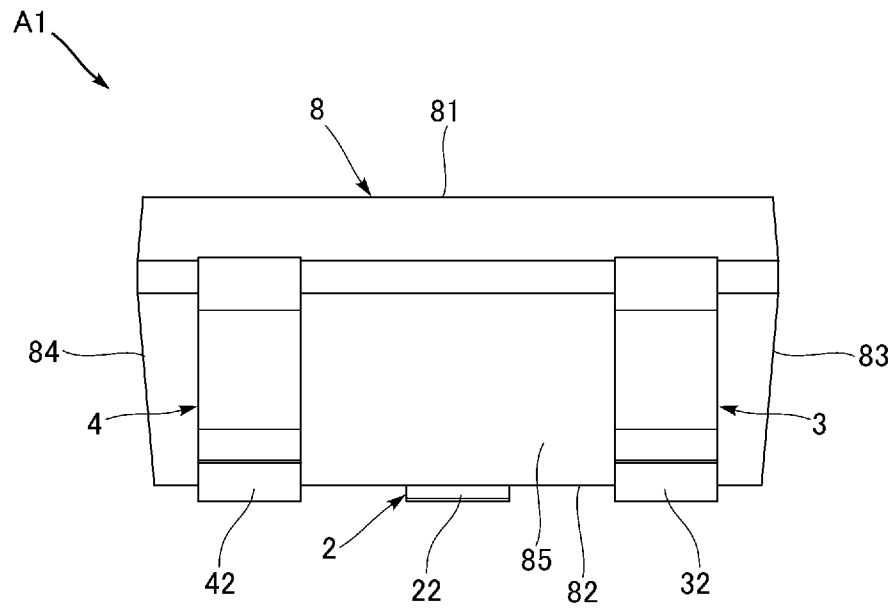
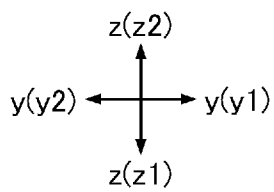
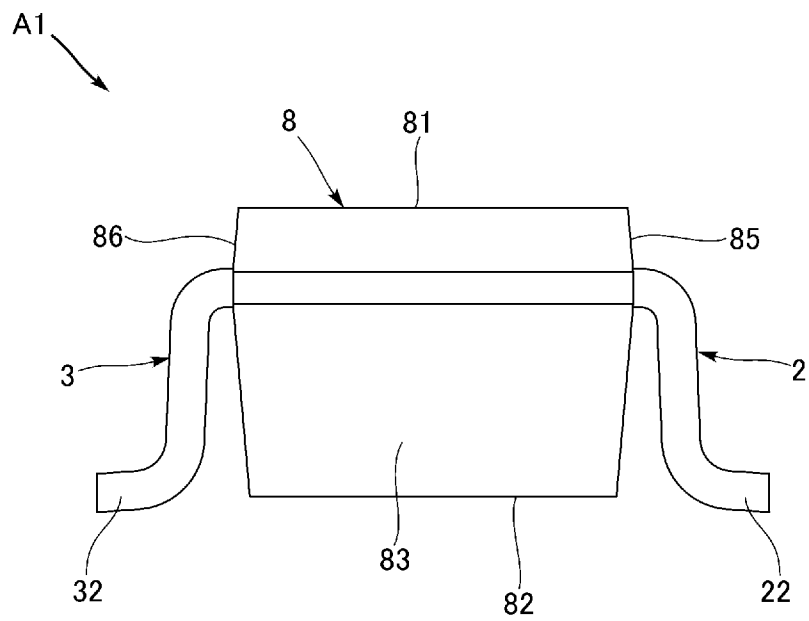
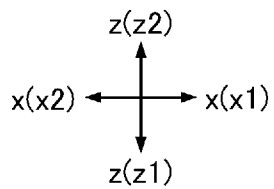
[図4]
FIG.4

[図5]
FIG.5

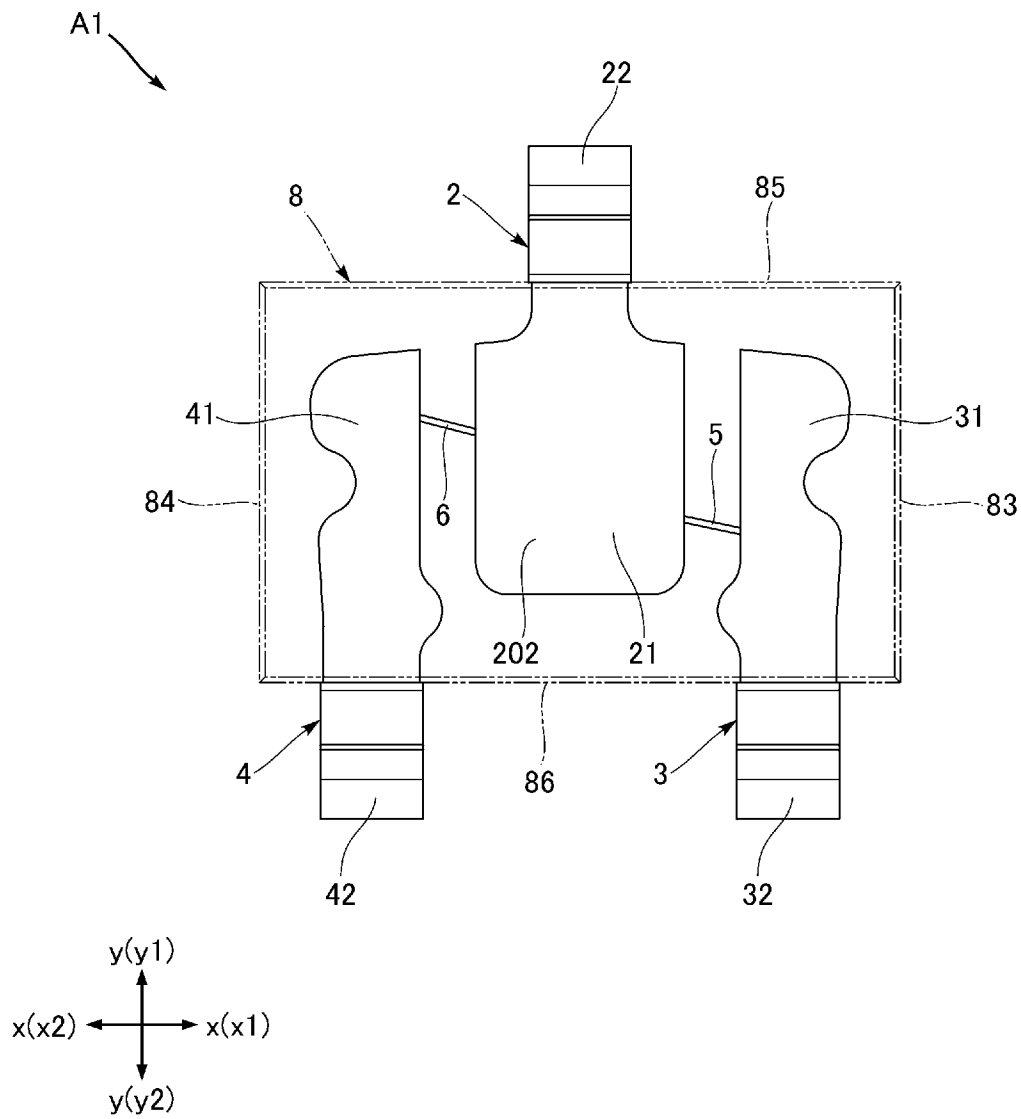


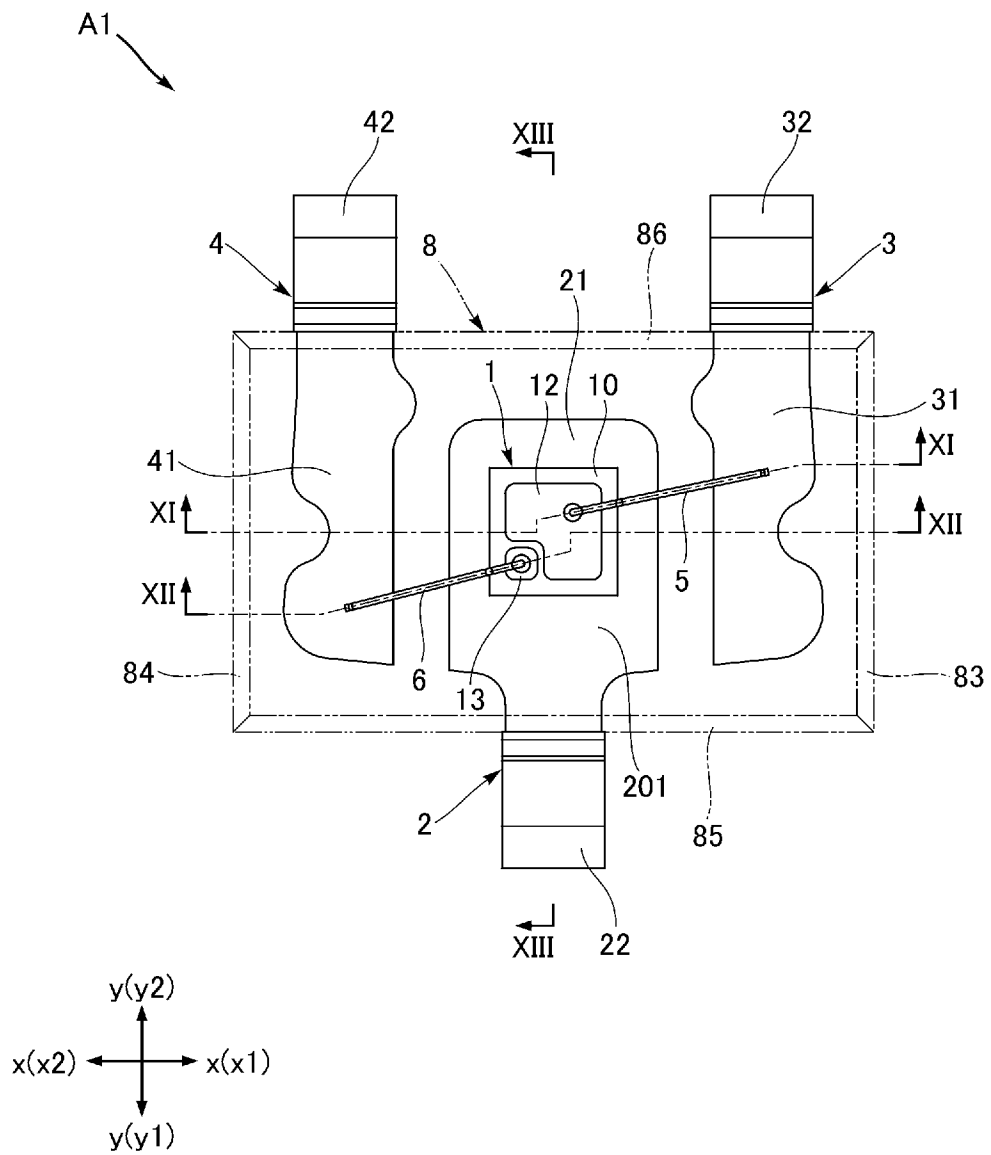
[図6]
FIG.6



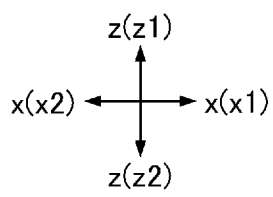
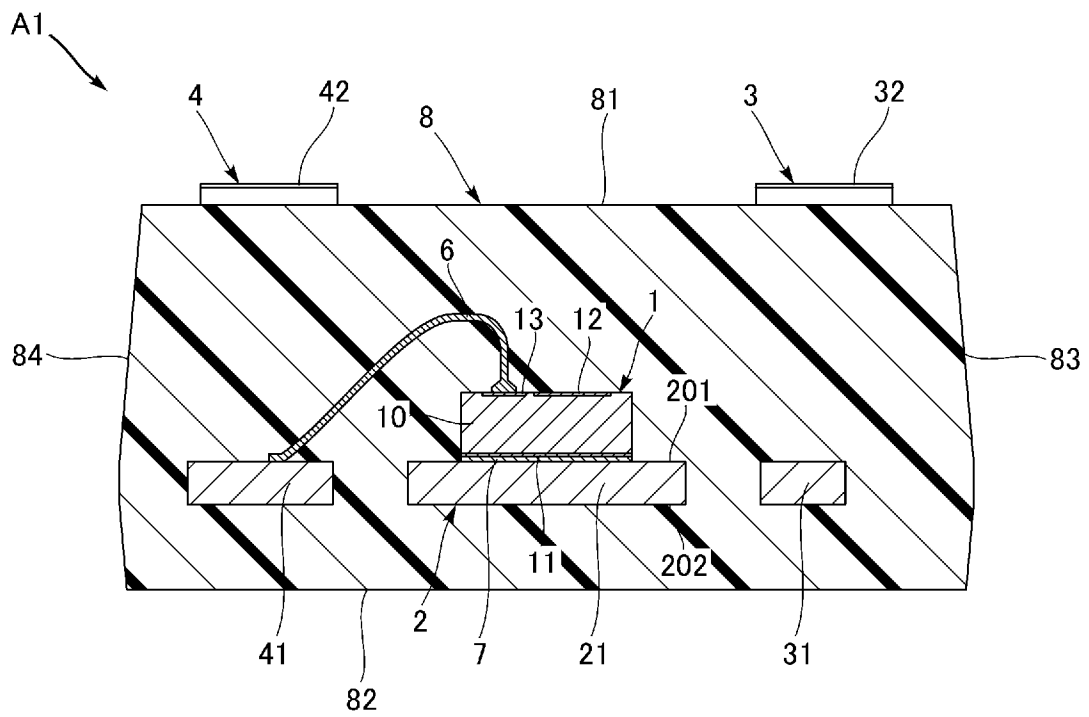
[図7]
FIG.7[図8]
FIG.8

[図9]
FIG.9

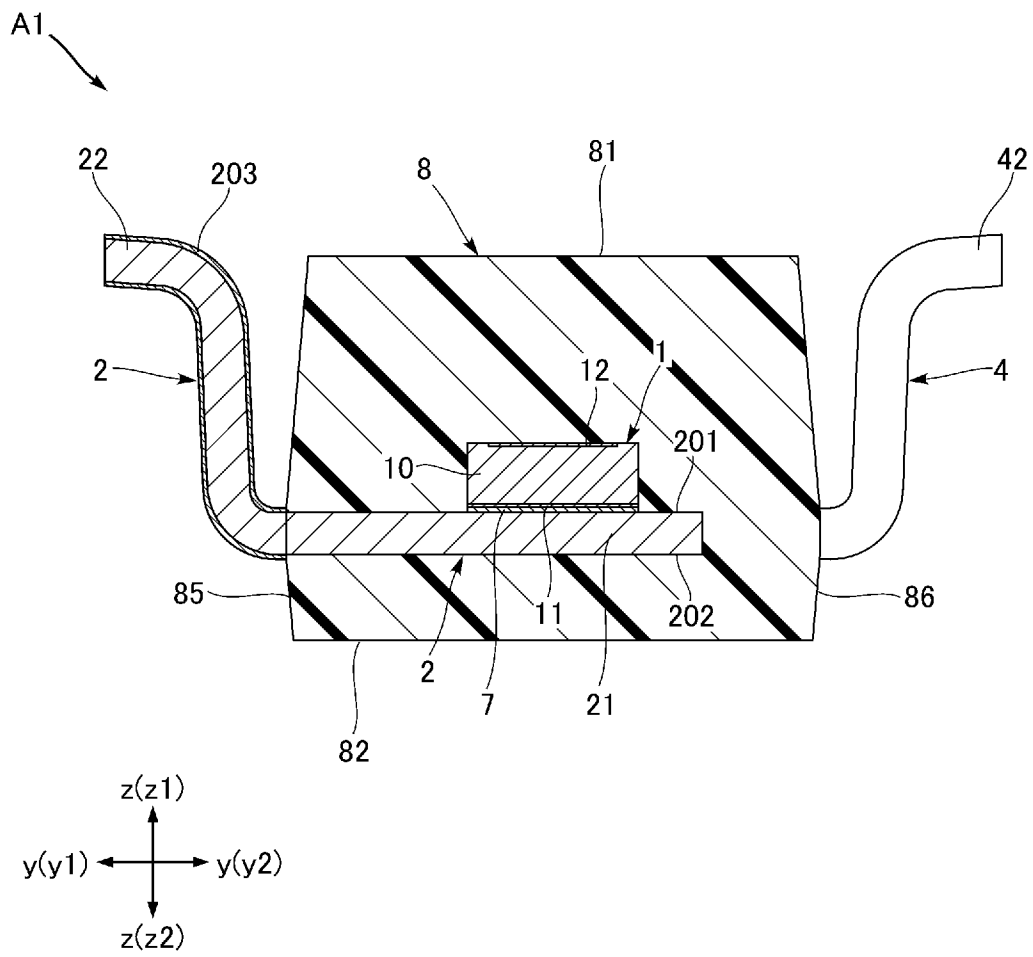


[図10]
FIG.10

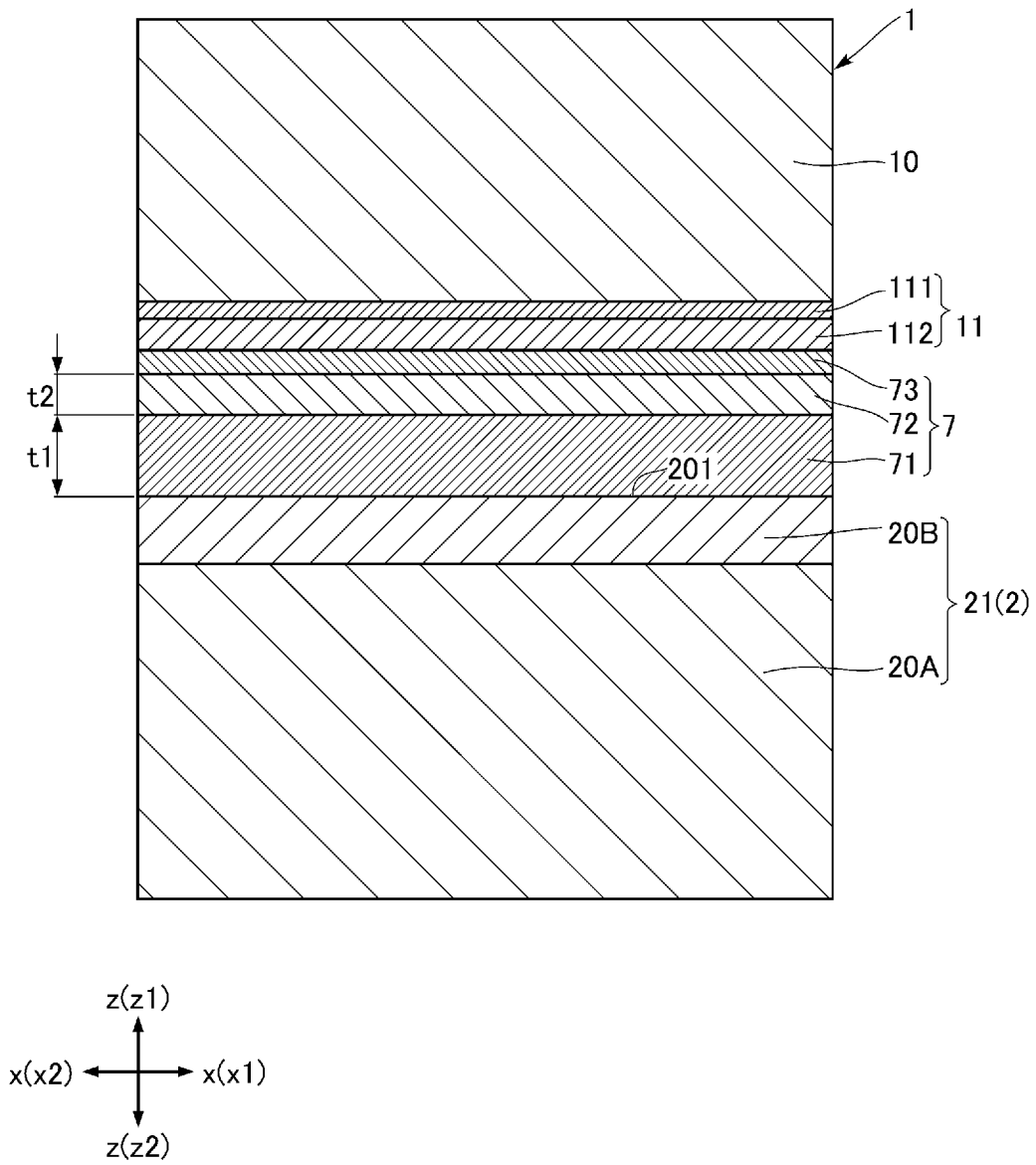
[図12]
FIG.12



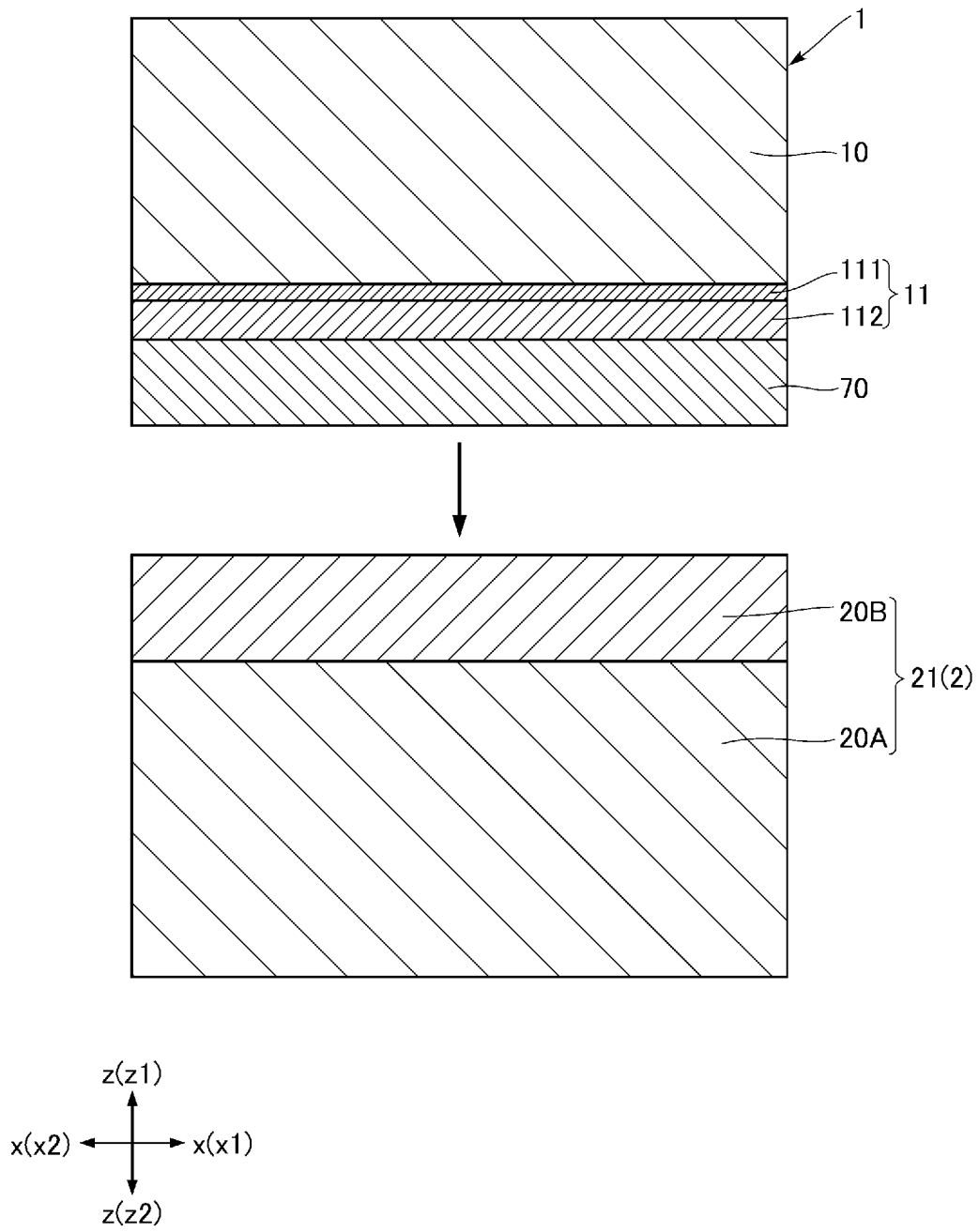
[図13]
FIG.13



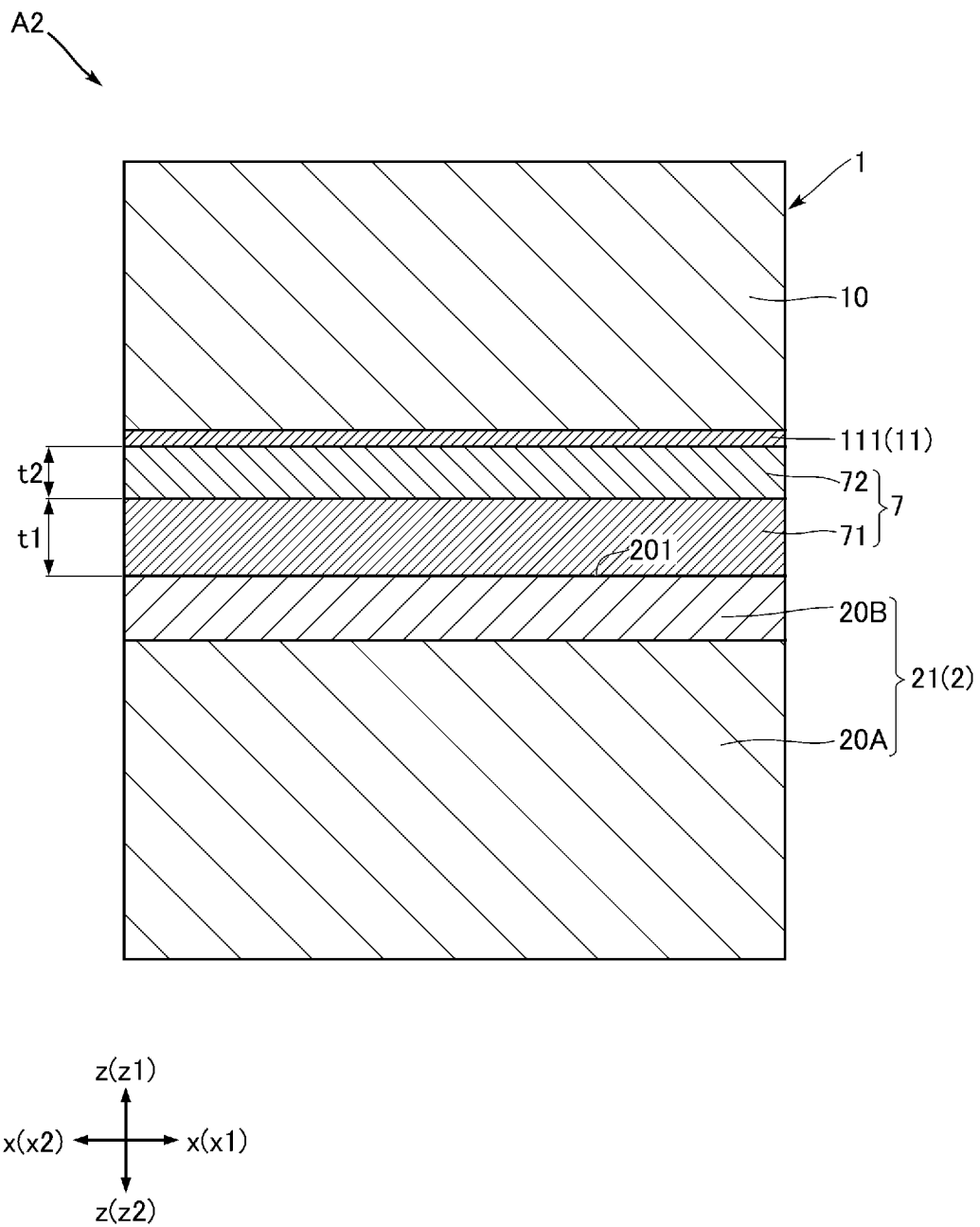
[図14]
FIG.14



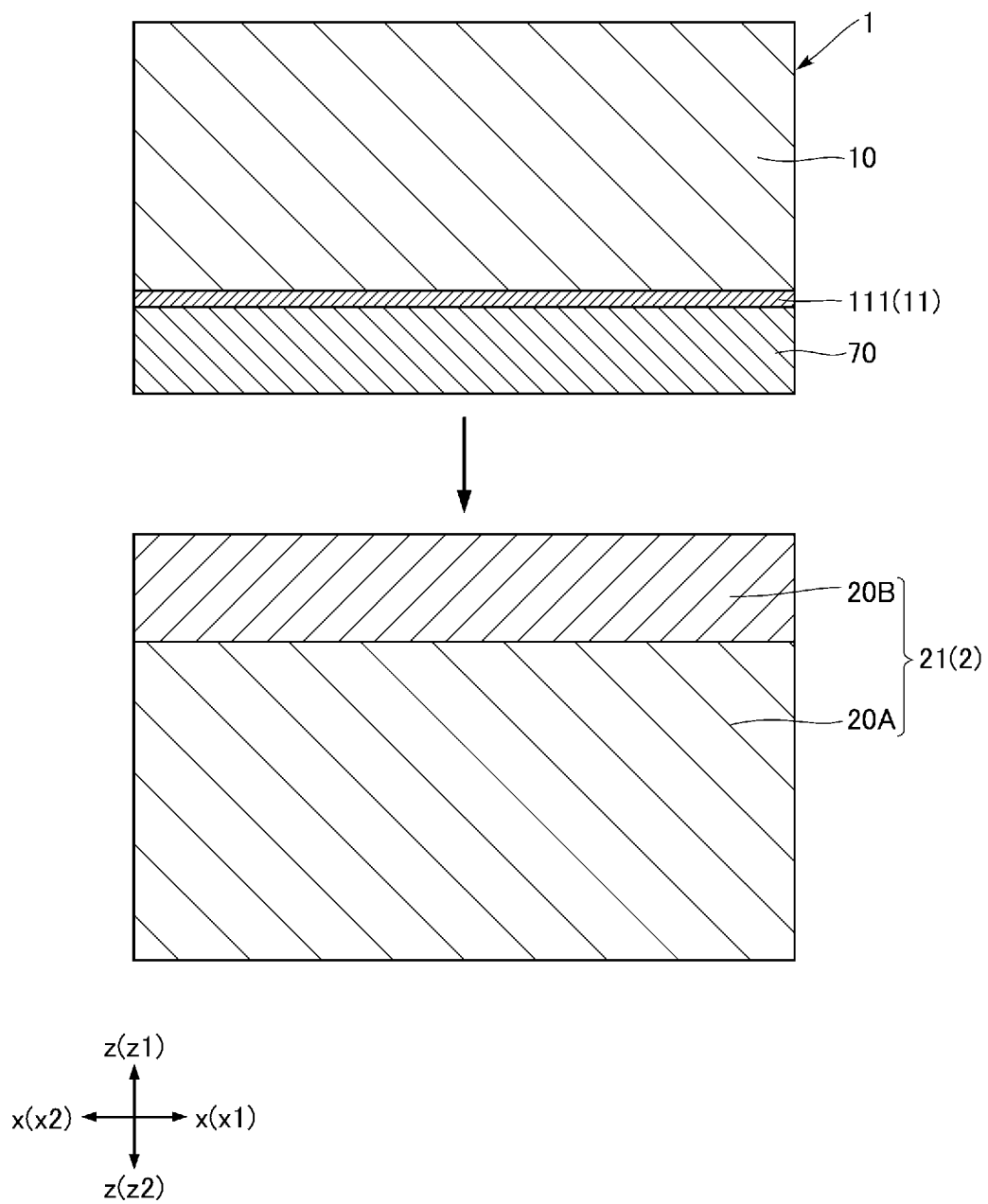
[図15]
FIG.15



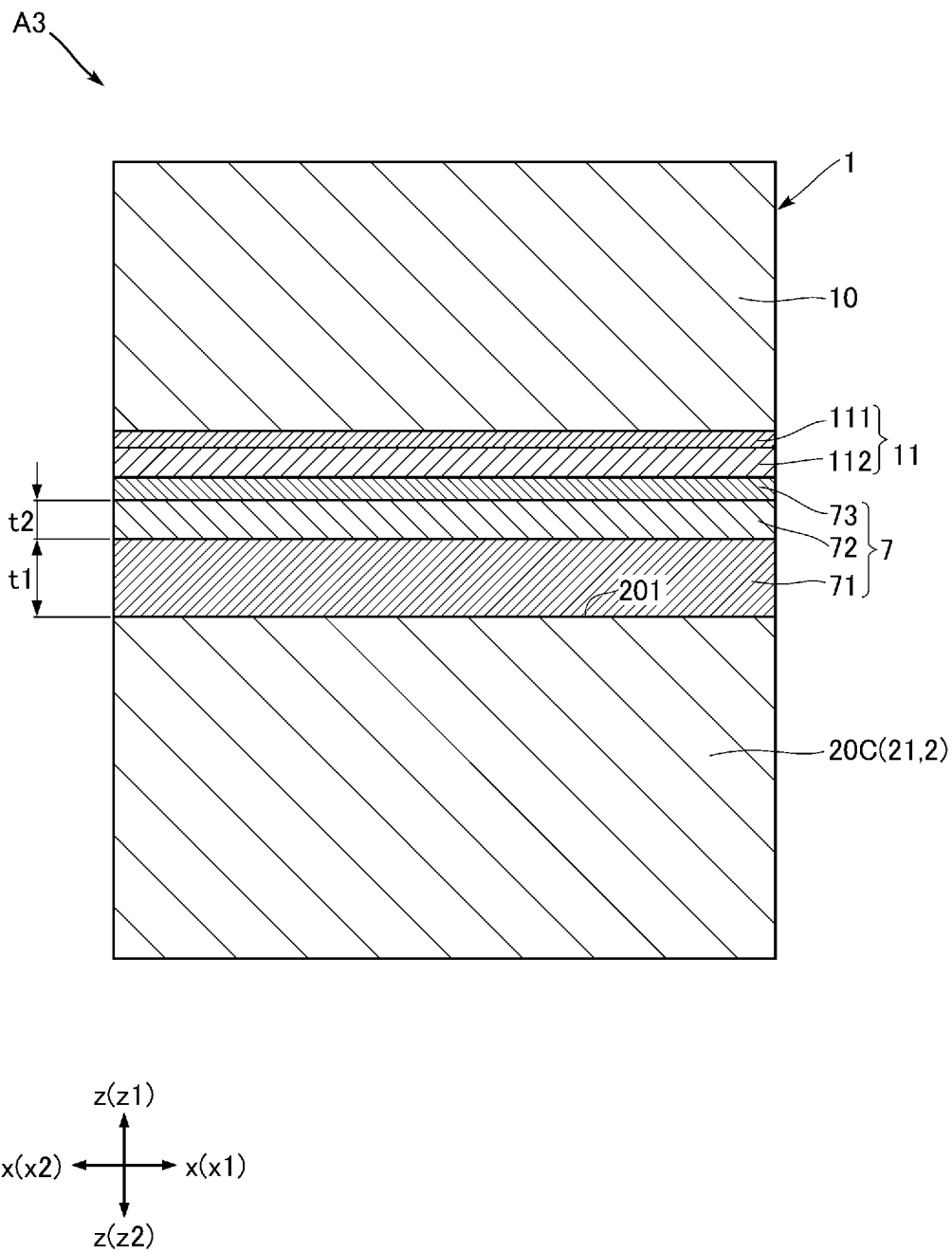
[図16]
FIG.16



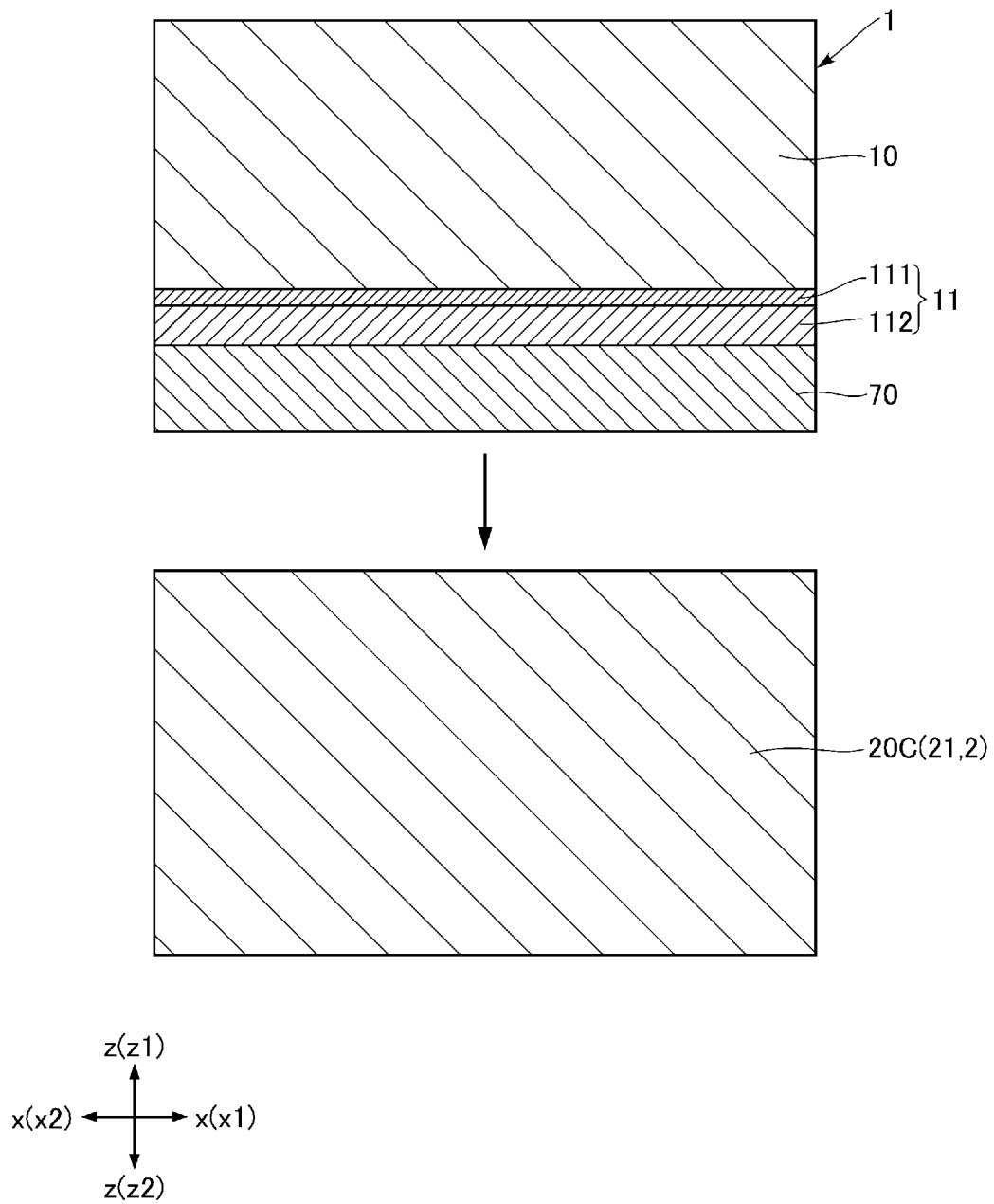
[図17]
FIG.17



[図18]
FIG.18



[図19]
FIG.19



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/023093

A. CLASSIFICATION OF SUBJECT MATTER H01L 21/52 (2006.01)i FI: H01L21/52 B According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L21/52 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2013/099243 A1 (PANASONIC CORPORATION) 04 July 2013 (2013-07-04) paragraphs [0027]-[0047], fig. 1-4	1-4, 8-16 5
Y A	JP 2018-187670 A (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 29 November 2018 (2018-11-29) paragraphs [0013]-[0025], fig. 1, 2	1-4, 6-16 5
Y A	JP 2017-103434 A (TOYOTA JIDOSHA KABUSHIKI KAISHA) 08 June 2017 (2017-06-08) paragraphs [0009]-[0022], fig. 3	1-4, 6-9 5
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 29 August 2024		Date of mailing of the international search report 10 September 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/023093

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2013/099243	A1	04 July 2013	US	2014/0048942	A1	
				paragraphs [0068]-[0103], fig. 1-4			
				EP	2800129	A1	
				CN	103493190	A	

JP	2018-187670	A	29 November 2018	US	2018/0326542	A1	
				paragraphs [0016]-[0028], fig. 1, 2			
				EP	3401053	A1	
				CN	108857136	A	

JP	2017-103434	A	08 June 2017	US	2017/0162482	A1	
				paragraphs [0026]-[0040], fig. 3			
				EP	3176821	A1	
				CN	106887421	A	
				KR	10-2017-0066252	A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 21/52(2006.01)i
FI: H01L21/52 B

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H01L21/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2013/099243 A1（パナソニック株式会社）04.07.2013（2013 - 07 - 04） 段落[0027]-[0047]、図1-4	1-4, 8-16 5
Y A	JP 2018-187670 A（パナソニックIPマネジメント株式会社）29.11.2018（2018 - 11 - 29） 段落[0013]-[0025]、図1,2	1-4, 6-16 5
Y A	JP 2017-103434 A（トヨタ自動車株式会社）08.06.2017（2017 - 06 - 08） 段落[0009]-[0022]、図3	1-4, 6-9 5

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

29.08.2024

国際調査報告の発送日

10.09.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

豊島 洋介 5F 9850

電話番号 03-3581-1101 内線 3514

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/023093

引用文献			公表日	パテントファミリー文献			公表日
WO	2013/099243	A1	04.07.2013	US	2014/0048942	A1	
				段落[0068]-[0103]、図1-4			
				EP	2800129	A1	
				CN	103493190	A	

JP	2018-187670	A	29.11.2018	US	2018/0326542	A1	
				段落[0016]-[0028]、図1,2			
				EP	3401053	A1	
				CN	108857136	A	

JP	2017-103434	A	08.06.2017	US	2017/0162482	A1	
				段落[0026]-[0040]、図3			
				EP	3176821	A1	
				CN	106887421	A	
				KR	10-2017-0066252	A	
