



(12) 发明专利

(10) 授权公告号 CN 1912721 B

(45) 授权公告日 2010.08.25

(21) 申请号 200610115722.7

(22) 申请日 2006.08.11

(30) 优先权数据

234352/2005 2005.08.12 JP

(73) 专利权人 株式会社日立显示器

地址 日本千叶县

(72) 发明人 桶隆太郎 鸭志田健太 盛育子

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 季向冈

(51) Int. Cl.

G02F 1/136 (2006.01)

G02F 1/133 (2006.01)

G09F 9/00 (2006.01)

(56) 对比文件

WO 2004/097786 A1, 2004.11.11, 说明书第5页第2-3段, 第6页第2段, 第8页第2-4段,

第10页第3-4段, 第12页第2-3段, 第13页第1段、图1-4, 6.

WO 2004/017128 A1, 2004.02.26, 全文.

CN 1366284 A, 2002.08.28, 全文.

WO 2004/097787 A1, 2004.11.11, 全文.

审查员 刘亚利

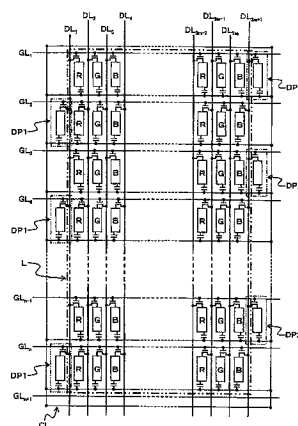
权利要求书 1 页 说明书 10 页 附图 29 页

(54) 发明名称

显示装置

(57) 摘要

本发明提供一种显示装置,能实现用于高频的液晶显示装置。上述显示装置,呈矩阵状配置有多根漏极电极线和多根栅极电极线,具有由2根相邻的漏极电极线和2根相邻的栅极电极线包围而形成的像素区域,各像素区域具有TFT元件,将像素区域的集合设定为显示区域,其中,在上述栅极电极线的一侧的连接在上述漏极电极线上的TFT元件、和在该栅极电极线的另一侧的连接在该漏极电极线上的TFT元件,配置在相对于该漏极电极线彼此相反的两侧,而且在上述显示区域的外侧,具有每隔2根上述栅极线配置有TFT元件的虚拟区域。



1. 一种显示装置,具有在每个由漏极电极线和栅极电极线定义的像素区域配置了 TFT 元件和像素电极的显示面板,其特征在于:

上述显示面板,在位于有效显示区域的端部的栅极电极线的延伸方向的一个端部外侧的漏极电极线上,设置有第 1 虚拟像素,上述第 1 虚拟像素具有连接在从上述漏极电极线的延伸方向的一个端部数第偶数根栅极电极线上的 TFT 元件,在位于有效显示区域的端部的上述栅极电极线的延伸方向的另一个端部外侧的漏极电极线上,配置有第 2 虚拟像素,上述第 2 虚拟像素具有连接在从上述漏极电极线的延伸方向的上述一个端部数第奇数根栅极电极线上的 TFT 元件,

连接在一条上述漏极电极线上的多个像素的 TFT 元件,沿着延伸方向交替地配置在该漏极电极线的两侧,

上述栅极电极线的延伸方向的端部的各漏极电极线,与配置在有效显示区域内的多个 TFT 元件、和配置在上述有效显示区域外的多个第 1 虚拟像素或第 2 虚拟像素连接,连接在上述各漏极电极线上的上述多个 TFT 元件与上述多个第 1 虚拟像素或第 2 虚拟像素,沿着上述各漏极电极线的延伸方向交替地配置在其两侧,

在上述多个第 1 虚拟像素之间或上述多个第 2 虚拟像素之间,配置有第 3 虚拟像素,上述第 3 虚拟像素,在与上述有效显示区域内的像素的像素电极相同的导电层具有虚拟的电极层。。

2. 根据权利要求 1 所述的显示装置,其特征在于:

配置有上述第 1 虚拟像素的端部是上述栅极电极线的输入端侧。

3. 根据权利要求 1 或 2 所述的显示装置,其特征在于:

上述第 1 虚拟像素和第 2 虚拟像素的结构与有效显示区域内的像素相同。

4. 根据权利要求 1 或 2 所述的显示装置,其特征在于:

上述第 1 虚拟像素和第 2 虚拟像素只包括 TFT 元件。

5. 根据权利要求 1 所述的显示装置,其特征在于:

在上述第 1 虚拟像素或第 2 虚拟像素的外侧具有虚拟的漏极电极线。

6. 根据权利要求 5 所述的显示装置,其特征在于:

上述第 3 虚拟像素,具有与虚拟的漏极电极线和上述虚拟的电极层连接的 TFT 元件。

7. 根据权利要求 1 所述的显示装置,其特征在于:

上述虚拟像素的形成区域被遮光。

8. 根据权利要求 1 所述的显示装置,其特征在于:

在没有形成上述虚拟像素的像素区域形成公共电极,

上述公共电极是具有沿着包围像素区域的上述漏极电极线和上述栅极电极线的边的平面状的电极,且与公共信号线连接,

上述像素电极与上述公共电极重叠,且具有在两个方向上形成的狭缝。

9. 根据权利要求 8 所述的显示装置,其特征在于:

上述第 3 虚拟像素中仅设置与上述公共信号线连接的虚拟电极。

显示装置

技术领域

[0001] 本发明涉及一种显示装置,尤其涉及应用于具有以像素单位配置了 TFT 元件的显示面板的显示装置有效的技术。

背景技术

[0002] 一直以来,在电视等显示装置中,包含使用了液晶显示面板的液晶显示装置。

[0003] 上述液晶显示面板,是在一对基板之间封入了液晶材料的显示面板。此时,在一侧的基板上,例如,以像素单位配置有 TFT 元件和像素电极。另外,在另一侧的基板上,例如,在与上述像素电极相对的位置配置有滤色片。

[0004] 此时,配置了上述 TFT 元件等的基板上的电路结构,例如,如图 31 示出的那样,在有效显示区域 L 的点数为横向 m 点 × 纵向 n 点的显示装置的情况下,配置有 $3m+1$ 根漏极电极线 DL 和 $n+1$ 根栅极电极线 GL。另外,图 31 示出了一个点由 R 像素、G 像素、B 像素这三个像素组成的情况。另外,图 31 中,纸面右端的漏极电极线 DL_{3m+1} 和纸面下端的栅极电极线 GL_{n+1} 是虚拟的。

[0005] 在该液晶显示面板中,例如,如图 31 所示的那样,沿着漏极电极线 DL 的延伸方向排列的各像素的 TFT 元件,全部连接在相同的漏极电极线上。例如,沿着漏极电极线 DL_1 排列的 R 像素的 TFT 元件,全部连接在漏极电极线 DL_1 上。

[0006] 另一方面,将 TFT 交替配置在相邻的漏极电极线上的例子,记载于专利文献 1 中。

[0007] [专利文献 1] 日本特开平 10-90712 号公报

发明内容

[0008] 在上述电视等的液晶显示装置中,为了抑制画面的闪烁、提升动画的显示性能,不断地提高刷新率。

[0009] 但是,在显示面板上的电路结构是图 31 所示那样的结构的情况下,随着刷新率的不断提高,发生 TFT 元件的写入不足,从而存在着像质变差的问题。

[0010] 本发明的目的在于,例如,提供一种能减少液晶显示装置的高频动作造成的像质变差的技术。

[0011] 本发明的上述以及其它的目的和新的特征,参照本说明书的记述和附图会更加明了。

[0012] 说明本申请所公开的发明的概要如下。

[0013] (1) 一种显示装置,具有以像素单位配置了 TFT 元件和像素电极的显示面板,其中,上述显示面板,在位于有效显示区域的端部的栅极电极线的延伸方向的一个端部外侧的漏极电极线上,设置有第 1 虚拟像素,上述第 1 虚拟像素具有连接在从上述漏极电极线的延伸方向的一个端部数第偶数根栅极电极线上的 TFT 元件,在位于有效显示区域的端部的上述栅极电极线的延伸方向的另一个端部外侧的漏极电极线上,配置有第 2 虚拟像素,上述第 2 虚拟像素具有连接在从上述漏极电极线的延伸方向的上述一个端部数第奇数根栅

极电极线上的 TFT 元件,连接在一条上述漏极电极线上的多个像素的 TFT 元件,沿着延伸方向交替地配置在该漏极电极线的两侧,上述栅极电极线的延伸方向的端部的各漏极电极线,与配置在有效显示区域内的多个 TFT 元件、和配置在上述有效显示区域外的多个第 1 虚拟像素或第 2 虚拟像素连接,连接在上述各漏极电极线上的上述多个 TFT 元件与上述多个第 1 虚拟像素或第 2 虚拟像素,沿着上述各漏极电极线的延伸方向交替地配置在其两侧。

[0014] (2) 在上述 (1) 中,配置有上述第 1 虚拟像素的端部是栅极电极线的输入端侧。

[0015] (3) 在上述 (1) 或 (2) 中,上述第 1 虚拟像素和第 2 虚拟像素的结构与有效显示区域内的像素相同。

[0016] (4) 在上述 (1) 或 (2) 中,上述第 1 虚拟像素和第 2 虚拟像素只包括 TFT 元件。

[0017] (5) 在上述 (1) 中,在上述第 1 虚拟像素或第 2 虚拟像素的外侧具有虚拟的漏极电极线。

[0018] (6) 在上述 (1) 中,在上述多个第 1 虚拟像素之间或上述多个第 2 虚拟像素之间,配置有第 3 虚拟像素。

[0019] (7) 在上述 (6) 中,上述第 3 虚拟像素,在与上述有效显示区域内的像素的像素电极相同的导电层具有虚拟的电极层。

[0020] (8) 在上述 (7) 中,上述第 3 虚拟像素,具有与上述虚拟的漏极电极线和上述虚拟的电极层连接的 TFT 元件。

[0021] (9) 一种显示装置,呈矩阵状配置有多根漏极电极线和多根栅极电极线,具有由 2 根相邻的上述漏极电极线和 2 根相邻的上述栅极电极线包围而形成的像素区域,各像素区域具有 TFT 元件,将上述像素区域的集合设定为显示区域,其中,在上述栅极电极线的一侧的连接在上述漏极电极线上的 TFT 元件、和在该栅极电极线的另一侧的连接在该漏极电极线上的 TFT 元件,配置在相对于该漏极电极线彼此相反的两侧,而且在上述显示区域的外侧,具有每隔 2 根上述栅极线配置有 TFT 元件的虚拟区域。

[0022] (10) 在上述 (9) 中,上述虚拟区域被遮光。

[0023] (11) 在上述 (9) 或 (10) 中,配置在上述显示区域的左外侧的上述虚拟区域的 TFT 元件、和配置在上述显示区域的右外侧的上述虚拟区域的 TFT 元件,在上述漏极电极线的延伸方向,错开上述像素区域的上述漏极电极线延伸方向的长度。

[0024] (12) 在上述 (9) ~ (11) 的任意一项中,在上述漏极电极线上施加在 1 帧期间中相同的极性的信号。

[0025] (13) 在上述 (12) 中,在相邻的 2 根漏极电极线上施加彼此相反的极性的信号。

[0026] (14) 一种显示装置,呈矩阵状配置有多根漏极电极线和多根栅极电极线,具有由 2 根相邻的上述漏极电极线和 2 根相邻的上述栅极电极线包围而形成的像素区域,各像素区域具有 TFT 元件,将上述像素区域的集合设定为显示区域,其中,在上述栅极电极线的一侧的连接在上述漏极电极线上的 TFT 元件、和在该栅极电极线的另一侧的连接在该漏极电极线上的 TFT 元件,配置在相对于该漏极电极线彼此相反的两侧,在上述漏极电极线上施加 1 帧期间中相同的极性的信号,且在相邻的 2 根上施加彼此相反的极性的信号。

[0027] 本发明的显示装置可以在相邻的漏极电极线上,在 1 帧期间中,施加相对于公共电位分别相反的极性的信号来驱动。此时,TFT 元件交替配置于漏极电极线的两侧,由此能实现点反转,即、1 帧期间使图像信号线的极性相同,并使写入到矩阵状像素的像素电极上

的信号在相邻的像素中极性彼此反转。由此,能够消除作为现有的帧反转的缺点的闪烁。另外,作为帧反转的特征,切换极性的间隔很长,因此,与点反转相比,向漏极信号线的充放电次数急剧减少,从而能够以高刷新率、例如 100Hz 以上、具体的说是 120Hz 下的帧速率驱动。

[0028] 另一方面,可以明确:这样的配置中,如果不特别考虑在显示中使用的漏极电极线的最外面的列,则最外面的列的电容与其它的列大不相同,在最外面的显示像素中,产生与其它列的亮度差。

[0029] 本发明,在这样的作为漏极电极线的电位是帧反转的、但显示时能够实现点反转的显示装置中,能够实现如下特有且显著的效果,即、能够避免发生与栅线正交的方向的显示列的最外围的显示列的亮度不均。

[0030] 因此,例如,如上述方案(1),在有效显示区域外侧配置第 1 和第 2 虚拟像素。在各漏极电极线上,例如,面向漏极电极线配置在右侧的像素的 TFT 元件、和面向漏极电极线配置在左侧的像素的 TFT 元件交替配置在其两侧。此时,第 1 和第 2 虚拟像素,例如,如上述方案(2)那样,在栅极电极线的输入端侧,配置具有与第偶数根栅极电极线连接的 TFT 元件的第 1 虚拟像素。另外,此时,第 1 和第 2 虚拟像素,如上述方案(3)所示,既可以与是有效显示区域内的像素相同的结构,也可以如上述方案(4)那样仅设置 TFT 元件。

[0031] 另外,配置了第 1 和第 2 虚拟像素的情况下,各虚拟像素的 TFT 元件所连接的漏极电极线,在向各虚拟像素施加写入信号的时段,施加例如黑色显示用的信号。另外,也可以对于第 1 虚拟像素,施加与前一个显示区域内的像素上所施加的信号相同的信号,对于第 2 虚拟像素,施加与后一个显示区域内的像素上所施加的信号相同的信号。

[0032] 此时,例如,也可以如上述方案(5)那样追加虚拟的漏极电极线。此时,在上述虚拟的漏极电极线上,例如施加公共信号。另外,此时,虚拟的漏极电极线,可以仅追加在第 1 虚拟像素的外侧,或者仅追加在第 2 虚拟像素的外侧,也可以追加在第 1 虚拟像素的外侧和第 2 虚拟像素的外侧这两侧。

[0033] 另外,配置了上述第 1 和第 2 虚拟像素的情况下,各虚拟像素间隔 1 个像素配置。因此,在虚拟像素之间产生台阶,例如,在设置取向膜的摩擦工序中,有可能发生由上述台阶造成的摩擦强度的不均匀。因此,例如,优选如上述方案(6)那样设置第 3 虚拟像素来减少台阶。此时,第 3 虚拟像素,例如,可以如上述方案(7)那样仅设置虚拟的电极层,也可以如上述方案(8)那样设置虚拟的电极层和 TFT 元件。

[0034] 上述方案(1)的结构,表现为其它的形式时,例如,可以如上述方案(9)或方案(11)那样。另外,在方案(9)中的每隔 2 根上述栅极电极线配置有 TFT 元件的虚拟区域,相当于配置了上述第 1 虚拟像素和第 2 虚拟像素的区域。因此,优选如上述方案(10)那样对虚拟区域进行遮光。

[0035] 在从方案(9)到方案(11)那样的结构的显示装置中,在漏极电极线上,例如,如方案(12)或方案(13)、或方案(14)那样施加信号。

附图说明

[0036] 图 1 是表示应用本发明的显示装置具有的显示面板的大致结构的一个例子的示意图,是表示液晶显示面板的结构例的主视图。

[0037] 图 2 是图 1 的 A-A' 线剖视图。

[0038] 图 3 是表示本发明的一个实施例的 TFT 基板的电路结构的示意图。

[0039] 图 4 是表示在本发明实施例的显示面板的漏极电极线 DL_1 上施加的信号时序的一个例子的图。

[0040] 图 5 是表示在本发明实施例的显示面板的漏极电极线 DL_{3m+1} 上施加的信号时序的一个例子的图。

[0041] 图 6 是表示在本发明实施例的显示面板的漏极电极线 DL_1 上施加的信号时序的另一个例子的图。

[0042] 图 7 是表示在本发明实施例的显示面板的漏极电极线 DL_{3m+1} 上施加的信号时序的另一个例子的图。

[0043] 图 8 是表示应用了本实施例的电路结构的 TFT 基板的结构例的示意图,是有效显示区域的端部的放大俯视图。

[0044] 图 9 是图 8 的 B-B' 线剖视图。

[0045] 图 10 是用于说明上述实施例的第 1 变形例的示意图,是表示 TFT 基板的电路结构的图。

[0046] 图 11 是用于说明上述实施例的第 2 变形例的示意图,是表示 TFT 基板的电路结构的图。

[0047] 图 12 是表示应用了图 11 的电路结构的 TFT 基板的结构例的放大俯视图。

[0048] 图 13 是图 12 的 C-C' 线剖视图。

[0049] 图 14 是用于说明上述实施例的第 3 变形例的示意图,是表示 TFT 基板的电路结构的图。

[0050] 图 15 是用于说明上述实施例的第 3 变形例的示意图,是表示 TFT 基板的另一个电路结构的图。

[0051] 图 16 是用于说明上述实施例的第 3 变形例的示意图,是表示 TFT 基板的另一个电路结构的图。

[0052] 图 17 是表示应用了图 15 的电路结构的 TFT 基板的结构例的放大俯视图。

[0053] 图 18 是图 17 的 D-D' 线剖视图。

[0054] 图 19 是用于说明上述实施例的第 4 变形例的示意图,是表示 TFT 基板的电路结构的图。

[0055] 图 20 是用于说明上述实施例的第 4 变形例的示意图,是表示 TFT 基板的另一个电路结构的图。

[0056] 图 21 是用于说明上述实施例的第 4 变形例的示意图,是表示 TFT 基板的另一个电路结构的图。

[0057] 图 22 是表示应用了图 20 的电路结构的 TFT 基板的结构例的放大俯视图。

[0058] 图 23 是图 22 的 E-E' 线剖视图。

[0059] 图 24 是表示应用了图 20 的电路结构的 TFT 基板的另一个结构例的放大俯视图。

[0060] 图 25 是图 24 的 F-F' 线剖视图。

[0061] 图 26 是用于说明上述实施例的第 5 变形例的示意图,是表示 TFT 基板的电路结构的图。

[0062] 图 27 是用于说明上述实施例的第 5 变形例的示意图,是表示 TFT 基板电路结构的

另一个例子的图。

[0063] 图 28 是用于说明上述实施例的第 5 变形例的示意图,是表示 TFT 基板电路结构的另一个例子的图。

[0064] 图 29 是表示应用了图 27 的电路结构的 TFT 基板的结构例的放大俯视图。

[0065] 图 30 是图 29 的 G-G' 线剖视图。

[0066] 图 31 是表示现有的 TFT 基板的电路结构的图。

具体实施方式

[0067] 以下,参照附图与实施方式(实施例)一起详细地说明本发明。

[0068] 另外,在用于说明实施例的全部附图中,具有相同功能的部件,标记相同的符号,省略其重复的说明。

[0069] 图 1 和图 2 是表示应用本发明的显示装置具有的显示面板的大致结构的一个例子的示意图,图 1 是表示液晶显示面板的结构例的正视图,图 2 是图 1 的 A-A' 线剖视图。

[0070] 应用于本发明的显示装置,例如是具有以像素单位配置了 TFT 元件的液晶显示面板的液晶显示装置。上述液晶显示面板,例如如图 1 和图 2 所示,用环状密封材料 3 接合一对基板 1、2,并在由各基板 1、2 和密封材料 3 所包围的空间内封入了液晶材料 4。此时。在一个基板 1 上,配置有上述 TFT 元件和像素电极,在另一个基板 2 上,在与上述像素电极相对的位置配置有滤色片。

[0071] 另外,具有图 1 和图 2 所示那样的液晶显示面板的液晶显示装置,具有夹着上述液晶显示面板地配置的一对偏振片、和配置在由偏振片夹着的液晶显示面板的后方的背光源机构等。另外,这些基本结构可以是与现有的液晶显示装置相同的结构,因此省略其详细的说明。

[0072] 以下,说明在具有图 1 和图 2 所示那样的液晶显示面板的显示装置中的、配置有上述 TFT 元件和像素电极的基板 1(以下称为 TFT 基板)的电路结构。

[0073] [实施例]

[0074] 图 3 是表示本发明的一个实施例的 TFT 基板的电路结构的示意图。

[0075] 本实施例的 TFT 基板 1,例如,如图 3 所示,具有在水平方向上延伸、在上下方向上并列配置的 $n+1$ 根栅极电极线 GL,和在上下方向上延伸、在水平方向上并列配置的 $3m+1$ 根漏极电极线 DL,以及在水平方向上延伸、在上下方向上并列配置的公共信号线 CL。另外,虽然以下的说明列举了具有公共信号线 CL 的例子,但能够同样地应用于不具有公共信号线 CL 的例子。

[0076] 另外,在各栅极电极线 GL 和各漏极电极线 DL 的交点,配置有与栅极电极线 GL 和漏极电极线 DL 连接的 TFT 元件。此时,TFT 元件的源极电极与像素电极 PX 连接。在像素电极 PX 和连接在公共信号线 CL 上的公共电极(未图示)之间形成有电容元件。作为没有连接在公共信号线 CL 上的公共电极的例子,可以举出在与 TFT 基板 1 相对的基板 2 上形成公共电极、在该公共电极与像素电极 PX 间形成电容的所谓纵电场方式的结构的例子。

[0077] 另外,图 3 所示的例子,是在彩色液晶显示面板中使用的 TFT 基板,由在水平方向上排列的 3 个像素即被记为 R 的具有像素电极 PX 的 R 像素、被记为 G 的具有像素电极 PX 的 G 像素、被记为 B 的具有像素电极 PX 的 B 像素构成了有效显示区域 L 上的 1 个点。

[0078] 在有效显示区域 L 内, TFT 元件与漏极电极线 DL 交替配置。即、由奇数号的栅极电极线 GL 控制的像素的 TFT 元件连接在构成该像素的左侧的漏极电极线 DL 上, 由偶数号的栅极电极线 GL 控制的像素的 TFT 元件连接在构成该像素的右侧的漏极电极线 DL 上。

[0079] 另外, 本实施例的 TFT 基板 1, 在有效显示区域 L 的端部的、栅极电极线 GL 的延伸方向的端部外侧配置有虚拟像素。此时, 在配置有漏极电极线 DL_1 侧的端部外侧, 配置有第 1 虚拟像素 DP1, 该第 1 虚拟像素 DP1 具有与第偶数根栅极电极线 GL 连接的 TFT 元件。而且, 在配置有漏极电极线 DL_{3m+1} 侧的端部外侧, 配置有第 2 虚拟像素 DP2, 该第 2 虚拟像素 DP2 具有与第奇数根栅极电极线 GL 连接的 TFT 元件。此时, 上述第 1 和第 2 虚拟像素 DP1、DP2 的结构与有效显示区域 L 内的各像素相同。

[0080] 另外, 在各漏极电极线 DL 上, 从右侧连接的 TFT 元件和从左侧连接的 TFT 元件, 沿着该漏极电极线 DL 的延伸方向交替地配置在其两侧。

[0081] 在从左侧起设置了漏极电极线 DL 的号码的情况下, 在与有效显示区域 L 最邻近的左侧线上配置由偶数号的栅极信号线 GL 控制的虚拟像素, 使得 TFT 的连接顺序与有效显示区域 L 内的相同。由此, 连接在有效显示区域的左边最外侧的漏极信号线 DL_1 上的 TFT 元件的数目, 与有效显示区域 L 内的其它的漏极电极线上的一致, 因此, DL_1 的负载和其它漏极电极线的负载一致, 能够避免连接在 DL_1 上的显示像素相对于与其它线连接的像素发生亮度改变。

[0082] 同样的, 在最邻近有效显示区域 L 的右侧的线上, 配置由奇数号栅极信号线控制的虚拟像素, 使得 TFT 元件的连接顺序与有效显示区域 L 内相同。由此, 连接在有效显示区域 L 的右边最外侧的漏极信号线 DL_{3m+1} 上的 TFT 元件数目, 与有效显示区域内其它的漏极信号线上的一致, 因此 DL_{3m+1} 的负载和其它的漏极电极线的负载一致, 能够避免连接在 DL_{3m+1} 上的显示像素相对于连接在其它线上的像素发生亮度改变。

[0083] 图 4 是表示施加在本实施例的显示面板的漏极电极线 DL_1 上的信号时序图的一个例子的图。图 5 是表示施加在本实施例的显示面板的漏极电极线 DL_{3m+1} 上的信号时序的一个例子的图。

[0084] 当在 TFT 基板 1 上设置有图 3 所示那样的结构的电路时, 在配置有第 1 虚拟像素 DP1 的端部一侧的漏极电极线 DL_1 上, 有效显示区域 L 内的 R 像素的 TFT 元件和第 1 虚拟像素 DP1 的 TFT 元件, 沿着延伸方向交替地配置在其两侧。此时, 如果在漏极电极线 DL_1 上从纸面上方侧施加写入信号, 则施加的信号例如如图 4 所示, 在向第奇数根栅极电极线 GL_1 、 GL_3 、 GL_5 施加栅极信号的时段, 向 R 像素施加写入信号, 在向第偶数根栅极电极线 GL_2 、 GL_4 施加栅极信号的时段, 施加使虚拟像素 DP1 显示黑色的信号。

[0085] 另一方面, 在配置有第 2 虚拟像素 DP2 的端部一侧的漏极电极线 DL_{3m+1} 上, 第 2 虚拟像素 DP2 的 TFT 元件和有效显示区域 L 内的 B 像素的 TFT 元件沿着延伸方向交替地配置在其两侧。此时, 如果在漏极电极线 DL_{3m+1} 上从图纸上方侧施加写入信号, 则施加的信号例如如图 5 所示, 在向第奇数根栅极电极线 GL_1 、 GL_3 、 GL_5 施加栅极信号的时段, 施加使虚拟像素 DP2 显示黑色的信号, 在向第偶数根栅极电极线 GL_2 、 GL_4 施加栅极信号的时段, 向 B 像素施加写入信号。

[0086] 另外, 例如, 在漏极电极线 DL_2 上施加的信号, 在向第奇数根栅极电极线 GL_1 、 GL_3 、 GL_5 施加栅极信号的时段, 向 G 像素施加写入信号, 在向第偶数根栅极电极线 GL_2 、 GL_4 施加栅

极信号的时段,向 R 像素施加写入信号。

[0087] 在有效显示区域 L 之外的虚拟像素,通常被遮光层遮光。因此,加在虚拟像素上的电位没有特别的限定。但是,通过写入黑数据,能可靠地呈黑状态,因此,从能使电位时常稳定的方面来看是优选的。

[0088] 图 6 是表示在本实施例的显示面板的漏极电极线 DL_1 上施加的信号时序的另一个例子的图。图 7 是表示本实施例的显示面板的漏极电极线 DL_{3m+1} 上施加的信号时序的另一个例子的图。

[0089] 在本实施例中,当在漏极电极线 DL_1 上施加信号时,不仅是如图 4 所示使第 1 虚拟像素 DP1 显示黑色,也考虑了各种方法。即、例如可以如图 5 所示施加与写入到前一个 R 像素的信号相同的信号。同样,当在漏极电极线 DL_{3m+1} 上施加信号时,例如可以如图 6 所示施加与写入到后一个 B 像素的信号相同的信号。

[0090] 而且,图 6 和图 7,也能用于说明施加在有效显示区域的其它漏极电极线上的一般的信号的例子。其特征在于:在 1 帧期间中极性是恒定的。而且,通过在漏极电极线延伸方向上相邻的任意两个像素间,使像素中的 TFT 元件连接的漏极信号线不同,即、将一个像素的 TFT 元件连接在右侧的漏极电极线上,将另一个像素的 TFT 元件连接在左侧的漏极电极线上,从而在显示时实现点反转。这样,信号本身的极性反转次数为每 1 帧一次,因此,与按行反转的现有的点反转相比,信号的极性反转的次数能急剧减小为百分之一,例如在 XGA 中是 1/768。当漏极电极线的信号极性反转时,随着漏极电极线的充放电,在漏极电极线的电位稳定之前需要时间,因此有效的写入时间减少上述时间的量。因此,对现有的点反转来说,在 100Hz 以上的高频下的写入是较困难的。对此,本申请中,在 1 帧中无极性反转,因此充放电时间依然能对写入有贡献,因此,能实现 100Hz 以上的高频、例如 120Hz 那樣的相对于输入信号 60Hz 为倍速的驱动。此时,显示图像时维持点反转,因此不会发生闪烁这样的弊端。

[0091] 图 8 和图 9 是表示应用了本实施例的电路结构的 TFT 基板的结构例的示意图,图 8 是有效显示区域端部的放大俯视图,图 9 是图 8 的 B-B' 线剖视图。另外,图 8 是栅极电极线的根数 n 为偶数的例子。

[0092] 本实施例的电路结构即图 3 所示那样的电路结构的 TFT 基板 1,例如是图 8 和图 9 所示那样的结构。另外,在图 8 中以双点划线所围的区域是左侧的虚拟像素 DP1。在图 8 中的矩形中以 $\times$ 记号标记的部分表示接触孔。

[0093] 此时,TFT 基板 1,例如,在玻璃基板 101 上设置有栅极电极线 GL 和公共信号线 CL、以及与所述公共信号线 CL 连接的公共电极 CT。而且,在栅极电极线 GL 的上层,隔着第 1 层间绝缘膜 102 设置有半导体层 103 和漏极电极线 DL 以及源极电极 SL。此时,各漏极电极线 DL 如图 8 所示地分支,以交替地连接在配置于像素右侧的半导体层 103 上、和配置于像素左侧的半导体层 103 上。

[0094] 另外,在漏极电极线 DL_1 的左侧区域中,在栅极电极线 GL_{n-1} 和 GL_n 之间没有 TFT 元件,形成有公共电位的公共信号线 CL 的平面状电极。由此成为黑色显示,实现该区域电位稳定。而且,在栅极电极线 GL_n 和 GL_{n+1} 之间,形成有通过连接在漏极电极线 DL_1 上的 TFT 元件来提供信号的虚拟像素电极。例如,在如图 4 和图 5 所示地施加黑数据时,该像素成为黑色显示。

[0095] 另外,在上述漏极电极线 DL 等的上层,隔着第 2 层绝缘膜 104,在显示区域内配置有连接像素电极 PX 和在上下邻接的像素的公共电极 CT 的桥线 BR。另外,在虚拟区域设置有连接公共电位的电极 UC、以及在上下邻接的像素的公共电极 CT 的桥线 BR 等。此时,像素电极 PX,通过通孔与上述源极电极 SL 连接。而且,在像素电极 PX 中,例如设有狭缝。公共电位的电极 UC,通过通孔与上述公共信号线 CL 连接。由此起到公共信号线的总线的作用。上述桥线 BR 通过通孔与上述各像素的公共电极 CT 连接。

[0096] 图 8 和图 9 是表示 TFT 基板 1 的结构的一个例子的图,显然, TFT 元件、像素电极 PX、公共电极 CT 等的结构可以适当变更。

[0097] 如上所述,根据本实施例的液晶显示面板,能够减小由提高刷新率引起的像质变差。

[0098] 图 10 是用于说明上述实施例的第 1 变形例的示意图,是表示 TFT 基板的电路结构的图。

[0099] 在上述实施例中,虽然如图 3 所示,漏极电极线 DL 是 $3m+1$ 根,但并不限于此,例如,也可以如图 10 所示,在第 2 虚拟像素 DP2 的外侧设置虚拟的漏极电极线 DL_{3m+2} 。

[0100] 图 11 ~ 图 13 是用于说明上述实施例的第 2 变形例的示意图,图 11 是表示 TFT 基板的电路结构的图,图 12 是表示应用了图 11 的电路结构的 TFT 基板的结构例的放大俯视图,图 13 是图 12 的 C-C' 线剖视图。

[0101] 在上述实施例中,虽然如图 3 所示,作为第 1 和第 2 虚拟像素 DP1、DP2,配置了与有效显示区域 L 内的像素结构相同的虚拟像素,但并不限于此,例如,也可以如图 11 所示仅配置 TFT 元件。这是因为,漏极电极线的主要负载电容是 TFT 元件的电容。另外,如图 11 所示的电路结构,除了第 1 和第 2 虚拟像素 DP1、DP2 仅包括 TFT 元件这一点外,与图 3 所示的电路结构相同。

[0102] 应用了图 11 所示那样的电路结构的 TFT 基板 1,例如是图 12 和图 13 所示那样的结构。另外,在图 12 中由双点划线包围的区域为第 1 虚拟像素 DP1 的 TFT 元件。图 12 和图 13 所示的 TFT 基板 1 的结构,除了在图 8 中由双点划线包围的第 1 虚拟像素 DP1 仅包括 TFT 元件以外,其它的结构与图 8 和图 9 中所示的结构相同。而且,图 12 和图 13 也是表示 TFT 基板 1 结构的一个例子的图,显然, TFT 元件、像素电极 PX、公共电极 CT 等的结构也可以适当变更。

[0103] 图 14 ~ 图 18 是用于说明上述实施例的第 3 变形例的示意图,图 14 ~ 图 16 是分别表示 TFT 基板的电路结构的图,图 17 是表示应用了图 15 的电路结构的 TFT 基板的结构例的放大俯视图,图 18 是图 17 的 D-D' 线剖视图。

[0104] 以上的说明,例如,如图 3 所示,在第偶数根或第奇数根线上配置有虚拟像素 DP1、DP2。但是,本发明的显示装置,例如,也可以如图 14 所示地,在第 2 虚拟像素 DP2 之间配置第 3 虚拟像素 DP3。此时,第 3 虚拟像素 DP3 与第 2 虚拟像素 DP2 不同,例如,仅设置与公共信号线 CL 连接的虚拟电极。另外,此时,第 3 虚拟像素 DP3 例如也可以如图 15 所示地配置在第 1 虚拟像素 DP1 之间,也可以如图 16 所示地配置在第 1 虚拟像素 DP1 之间和第 2 虚拟像素 DP2 之间这两边。

[0105] 采用这样的结构、例如如图 15 所示那样的电路结构的情况的一个例子,在图 17 和图 18 中示出。第 3 虚拟像素 DP3,例如,可以如图 17 和图 18 所示,与公共电位的电极 UC 一体

地,在与有效显示区域内的像素的像素电极 PX 相同的层上设置像素电极。由此,各虚拟像素的最上层的电极被轮流配置像素电极和公共电极。而且成为最上层的像素电极和最上层的公共电极双方具有狭缝的结构。

[0106] 当采用这样的结构时,例如,能够在间隔一个像素配置的第 1 虚拟像素 DP1 和其间的第 3 虚拟像素 DP3 之间减小台阶结构的差。因此,例如,在 TFT 基板 1 上设置取向膜时的摩擦(rubbing)工序中,能够避免发生由上述台阶造成的摩擦强度的不均匀。

[0107] 图 19 ~ 图 25 是用于说明上述实施例的第 4 变形例的示意图,图 19 ~ 图 21 是分别表示 TFT 基板的电路结构的图,图 22 是表示应用了图 20 的电路结构的 TFT 基板的结构例的放大俯视图,图 23 是图 22 的 E-E' 线剖视图,图 24 是表示应用图 20 的电路结构的 TFT 基板的另一个结构例的放大俯视图,图 25 是图 24 的 F-F' 线剖视图。

[0108] 图 14 ~ 图 18 表示,以图 3 所示的电路结构为基本结构,在第 1 虚拟像素 DP1 之间或第 2 虚拟像素 DP2 之间,或在第 1 虚拟像素 DP1 之间和第 2 虚拟像素 DP2 之间这两边配置了第 3 虚拟像素 DP3 的电路结构。但是,在配置第 3 虚拟像素 DP3 的情况下,例如,也可以如图 19 所示,只在第 2 虚拟像素 DP2 之间配置第 3 虚拟像素 DP3,并在其外侧配置虚拟的漏极电极线 DL_{3m+2} 。另外,例如,也可以如图 20 所示,只在第 1 虚拟像素 DP1 之间配置第 3 虚拟像素 DP3,并在其外侧配置虚拟的漏极电极线 DL_0 。另外,也可以将其组合,例如,如图 21 所示,在第 1 虚拟像素 DP1 之间和第 2 虚拟像素 DP2 之间这两边配置,并在其外侧分别配置漏极电极线 DL_0 、 DL_{3m+2} 。

[0109] 采用这样的结构、例如图 20 所示那样的电路结构的情况的一个例子,在图 22 和图 23 中示出。第 3 虚拟像素 DP3,例如,如图 22 和图 23 所示,与公共电位的电极 UC 一体地,在与有效区域内像素的像素电极 PX 相同的层上设置虚拟像素电极 PXd。当采用这样的结构时,能够减少间隔一个像素配置的第 1 虚拟像素和其间的第 3 虚拟像素之间的台阶结构的差。因此,例如在 TFT 基板 1 上设置取向膜时的摩擦工序中,能够避免由上述的台阶造成的摩擦强度的不均匀。

[0110] 另外,在如图 20 所示那样的电路结构的情况下,设置在第 3 虚拟像素 DP3 中的虚拟像素电极 PXd,例如,可以如图 24 所示,与桥线 BR 成为一体,通过与第 1 虚拟像素 DP1 的公共电极 CT 连接设为公共电位。

[0111] 图 26 ~ 图 30 是用于说明上述实施例的第 5 变形例的示意图,图 26 ~ 图 28 是分别表示 TFT 基板电路结构的图,图 29 是表示应用了图 27 的电路结构的 TFT 基板的结构例的放大俯视图,图 30 是图 29 的 G-G' 线剖视图。

[0112] 在上述第 3 和第 4 变形例中,作为第 3 虚拟像素 DP3,举出了设置公共电位的像素电极 PXd 的例子。但是,对于第 3 虚拟像素 DP3,不仅限于此,例如,也可以如图 26 所示地在第 2 虚拟像素 DP2 之间只配置 TFT 元件和像素电极。此时,在第 2 虚拟像素 DP2 的外侧,配置虚拟的漏极电极线 DL_{3m+2} ,连接第 3 虚拟像素 DP3 的 TFT 元件。另外,例如,也可以如图 27 所示,只在第 1 虚拟像素 DP1 之间配置第 3 虚拟像素 DP3,并在其外侧配置虚拟的漏极电极线 DL_0 。此外,也可以将其组合,例如,如图 28 所示,分别在第 1 虚拟像素 DP1 之间和第 2 虚拟像素 DP2 之间这两边配置,并在其外侧分别配置漏极电极线 DL_0 、 DL_{3m+2} 。

[0113] 采用这样的结构、例如图 27 所示那样的电路结构的情况的一个例子,在图 29 和图 30 中示出。第 3 虚拟像素 DP3,例如,如图 29 和图 30 所示,在与有效显示区域内的像素的

像素电极 PX 相同的层上设置虚拟像素电极 PXd。而且此时不设置与虚拟像素电极重叠的公共电极 CT。当采用这样的结构时,能够减小间隔一个像素配置的第 1 虚拟像素 DP1 和其间的第 3 虚拟像素电极 DP3 之间的台阶结构的差。因此,例如,在 TFT 基板 1 上设置取向膜时的摩擦工序中,能够避免由上述台阶造成的摩擦强度的不均匀。

[0114] 以上,基于上述实施例具体地说明了本发明,但本发明不仅限于上述实施例,显然,在不脱离其主旨的范围内,可以进行各种变更。

[0115] 例如,在上述实施例和变形例中,列举了图 1 和图 2 中所示的液晶显示面板的 TFT 基板 1 的例子。但是,本发明并不限于上述的液晶显示面板,显然也可以应用于以像素单位配置了 TFT 元件的各种显示面板。

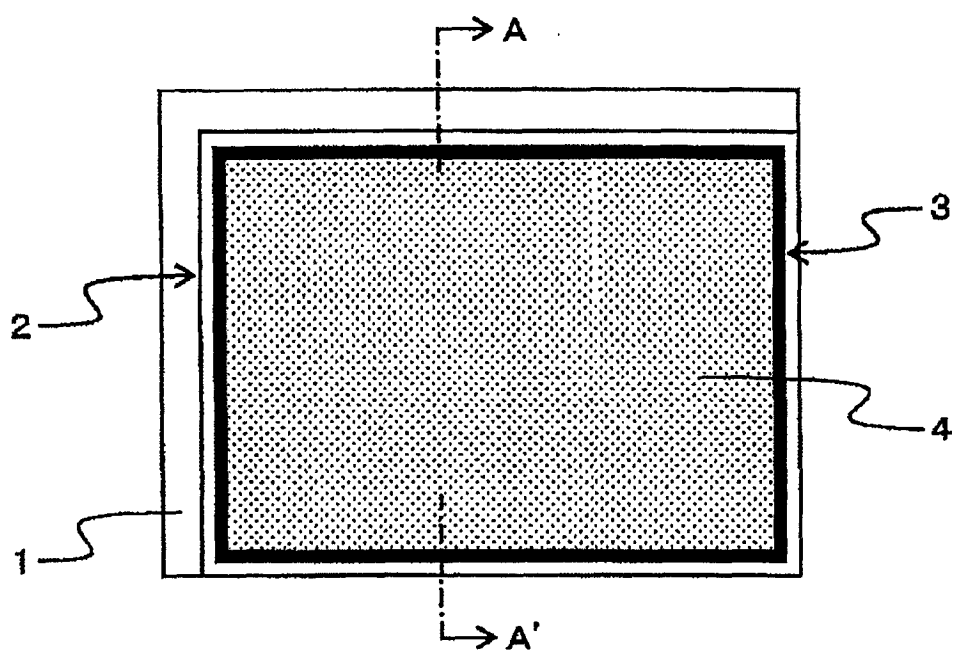


图 1

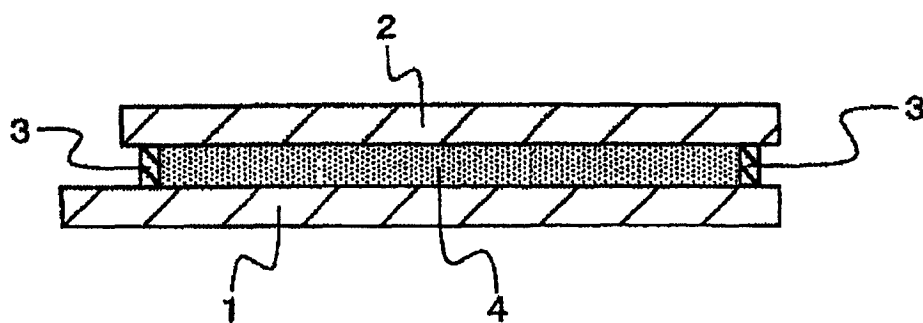


图 2

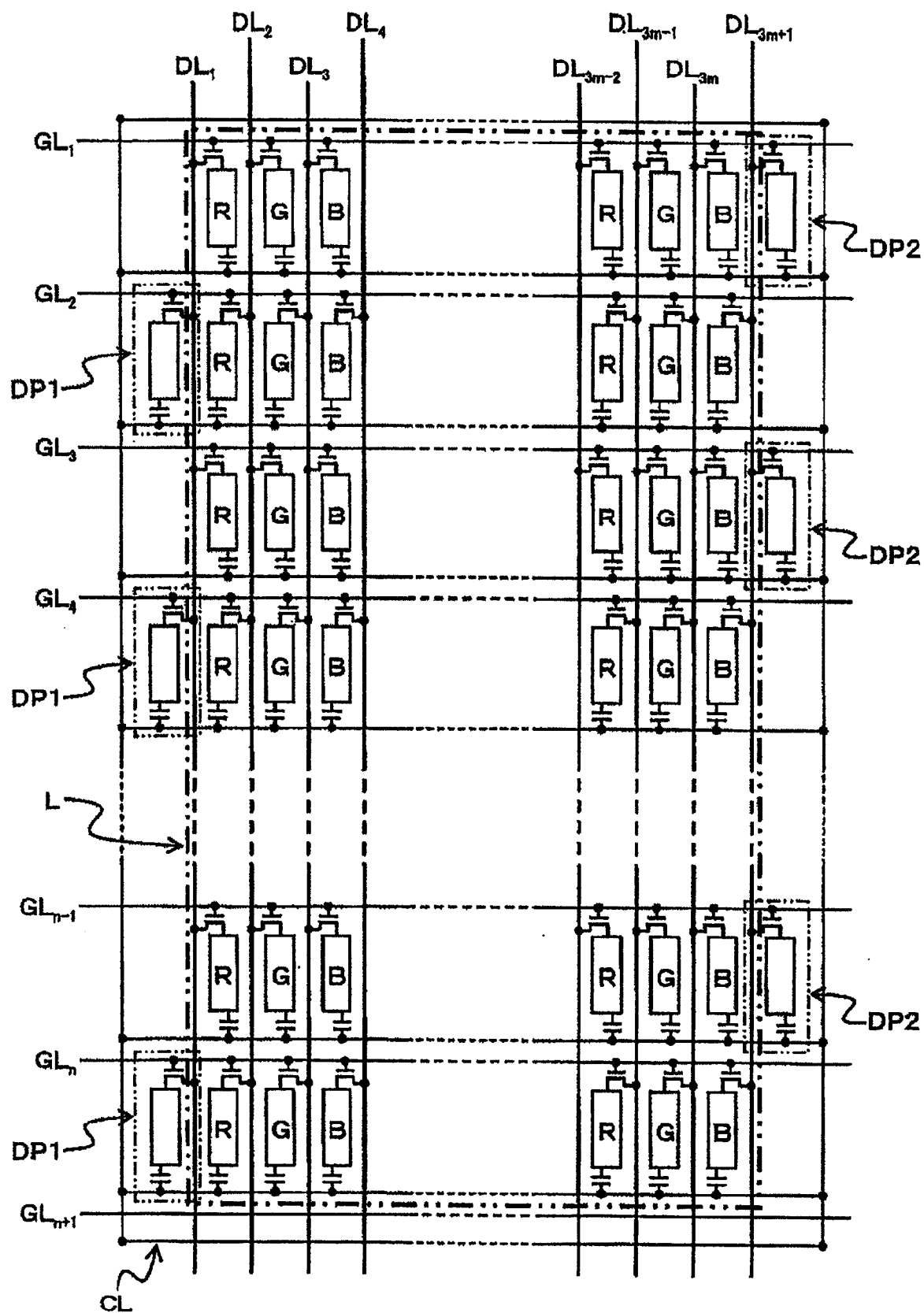


图 3

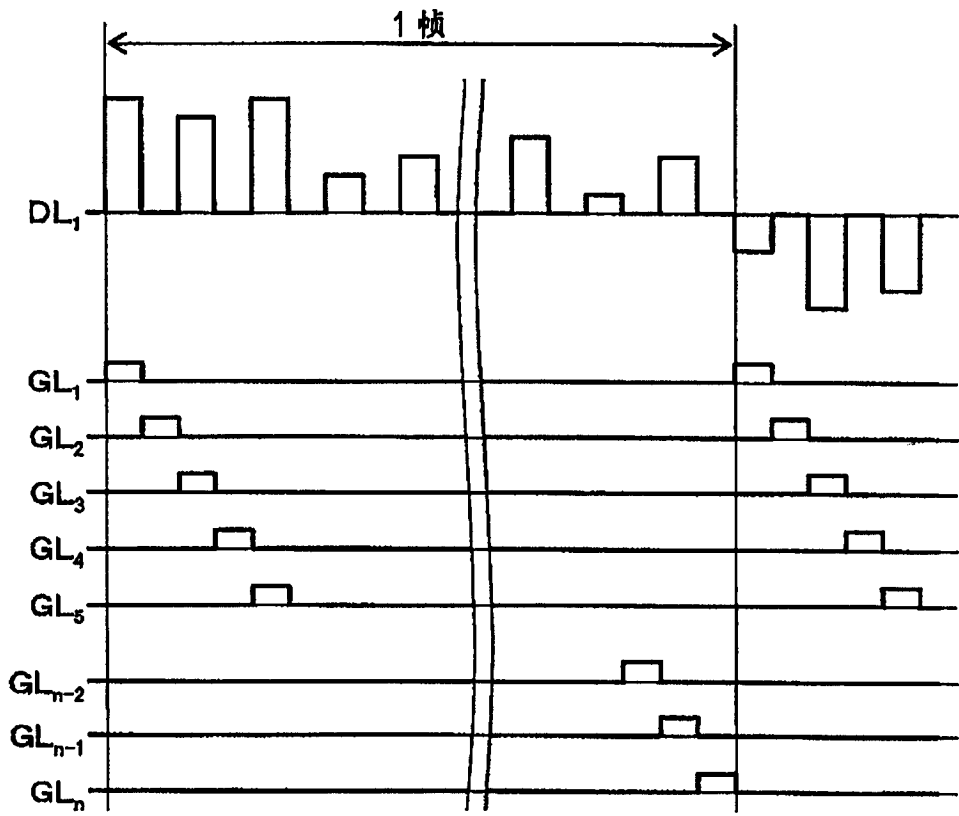


图 4

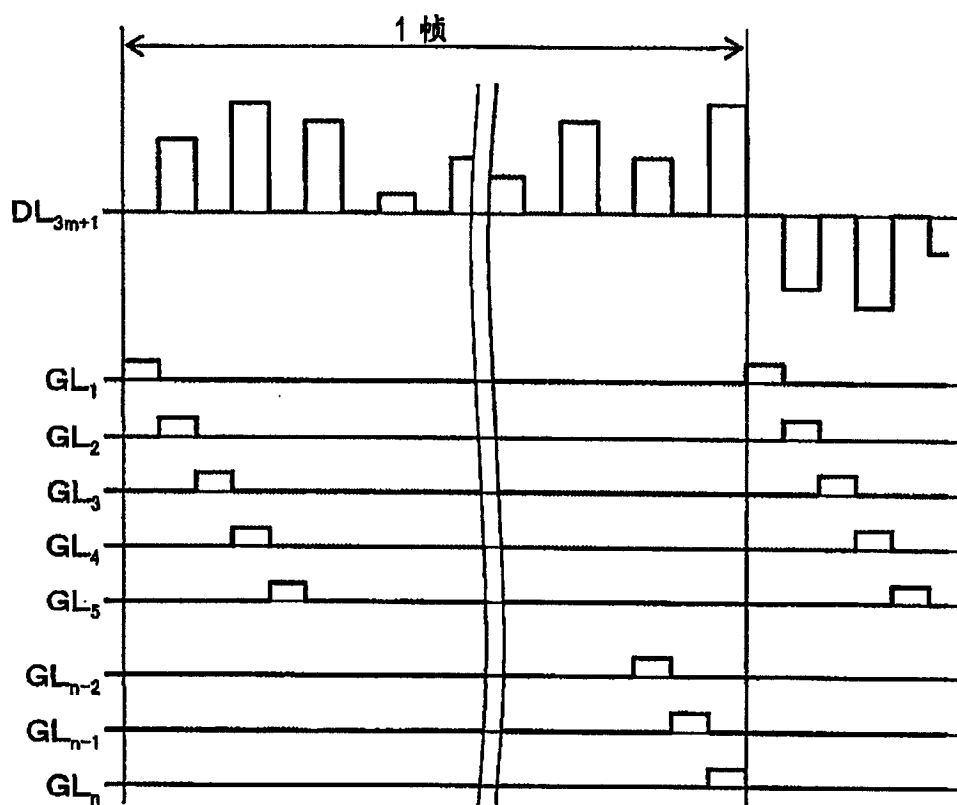


图 5

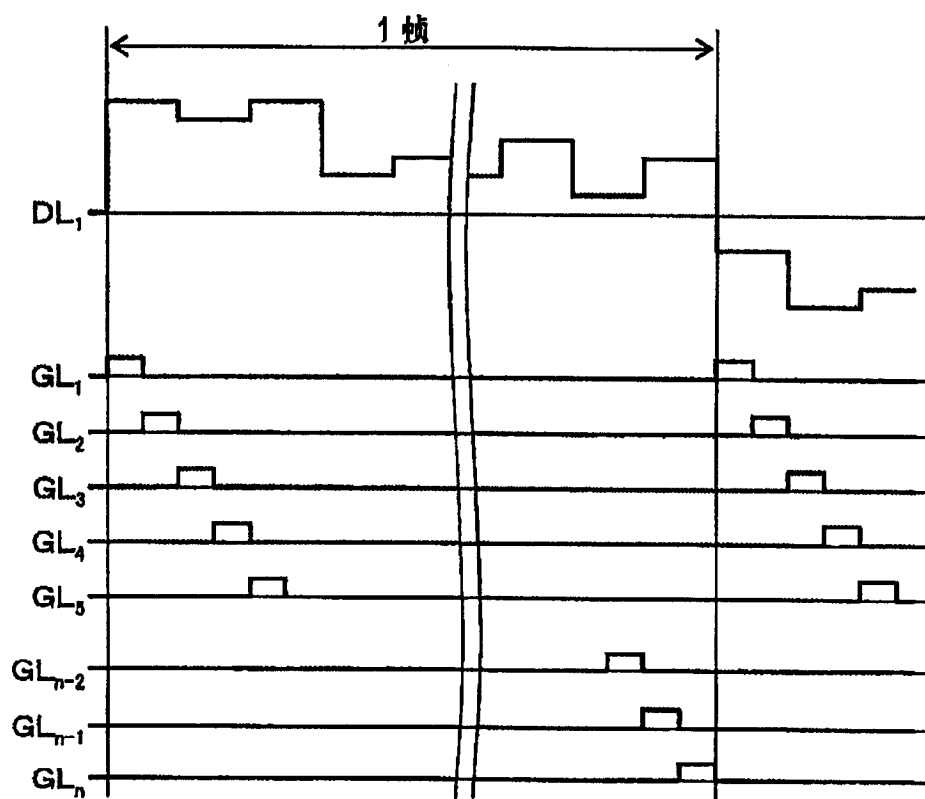


图 6

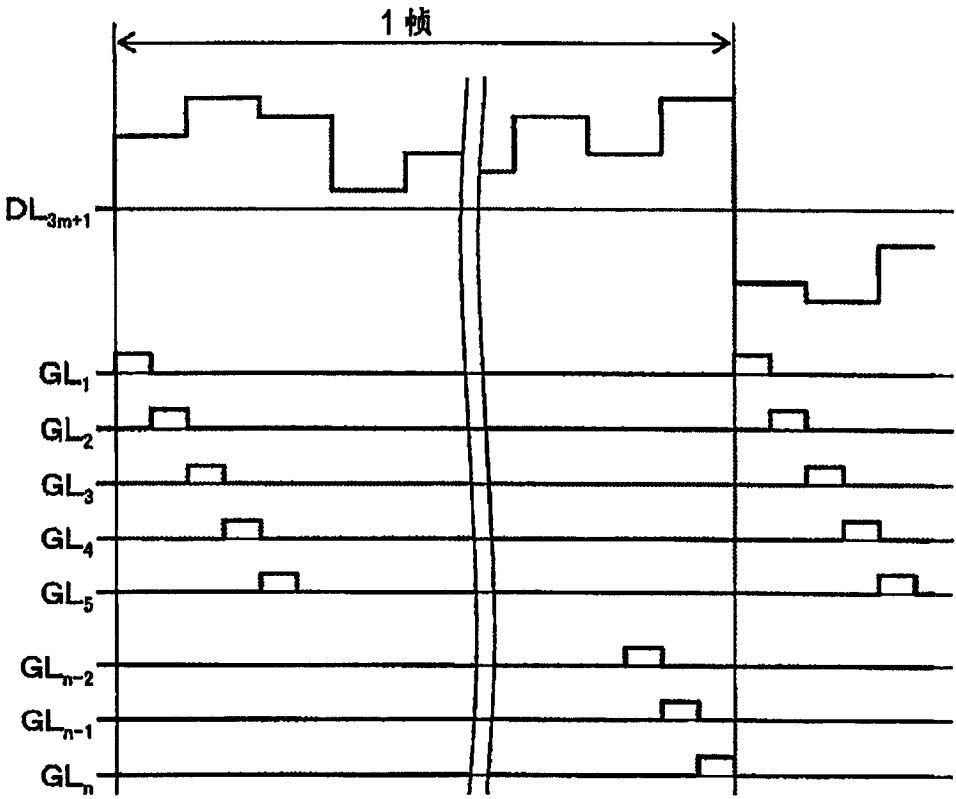


图 7

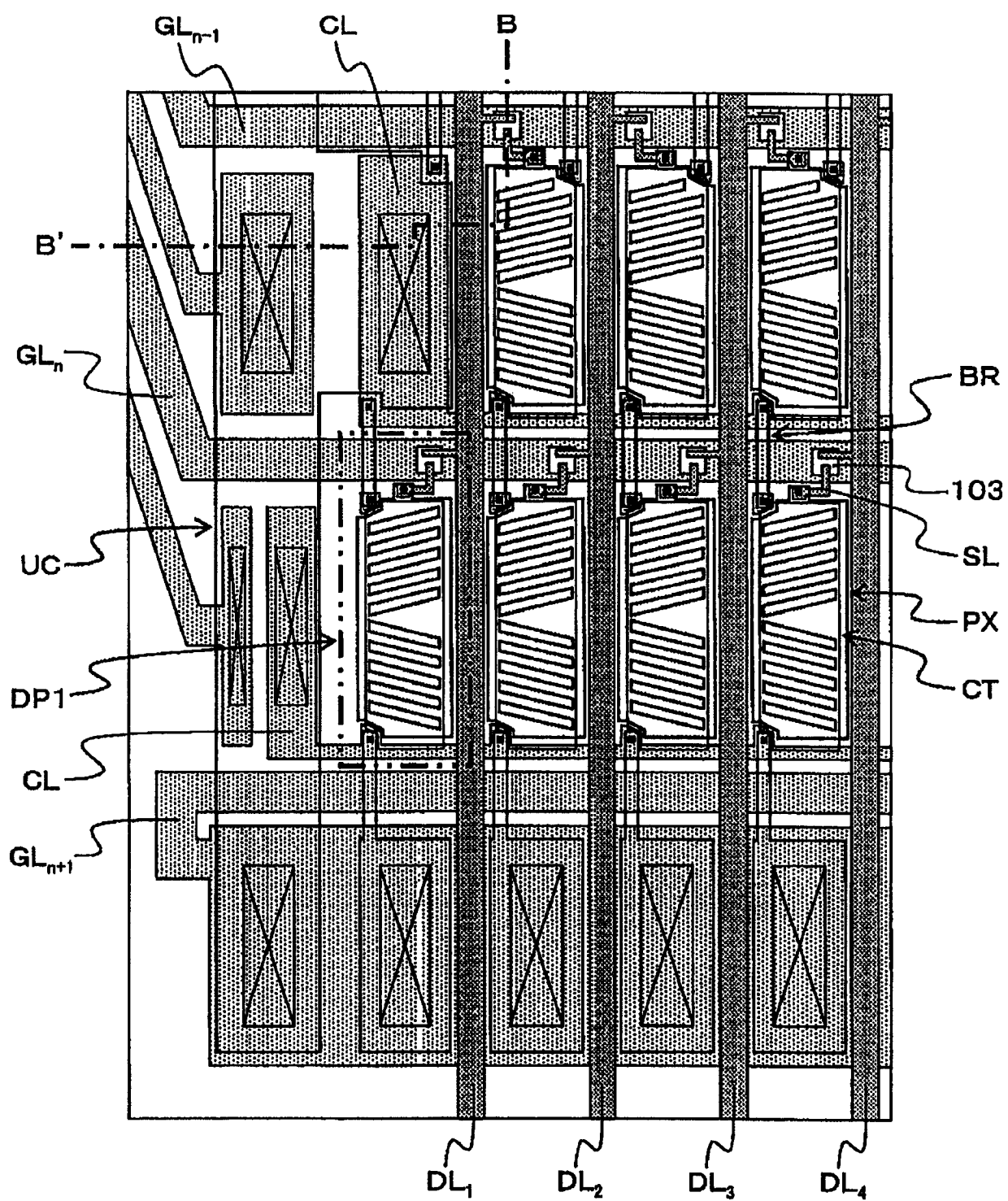


图 8

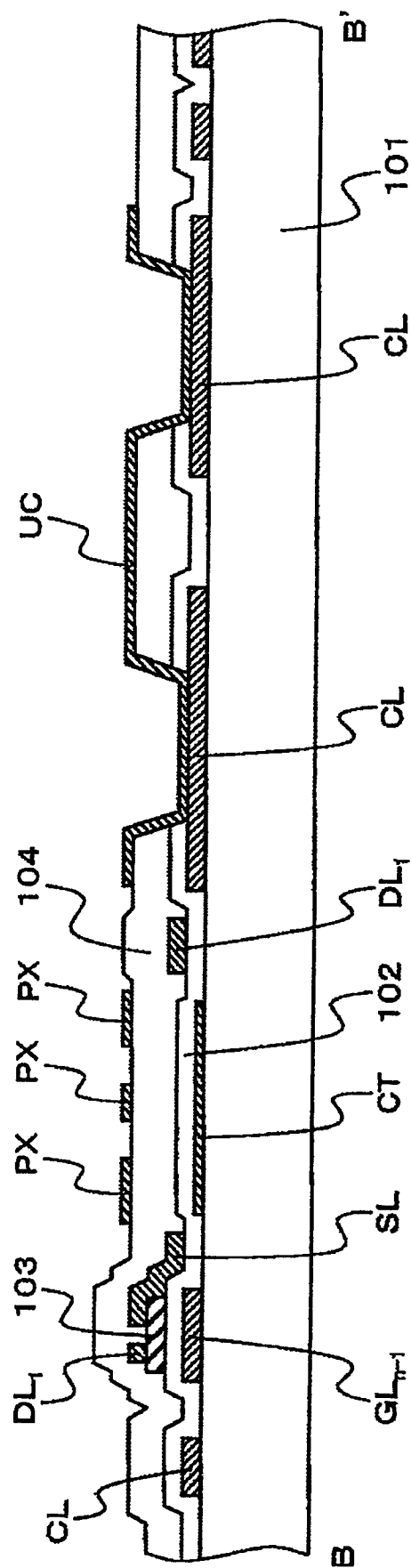


图 9

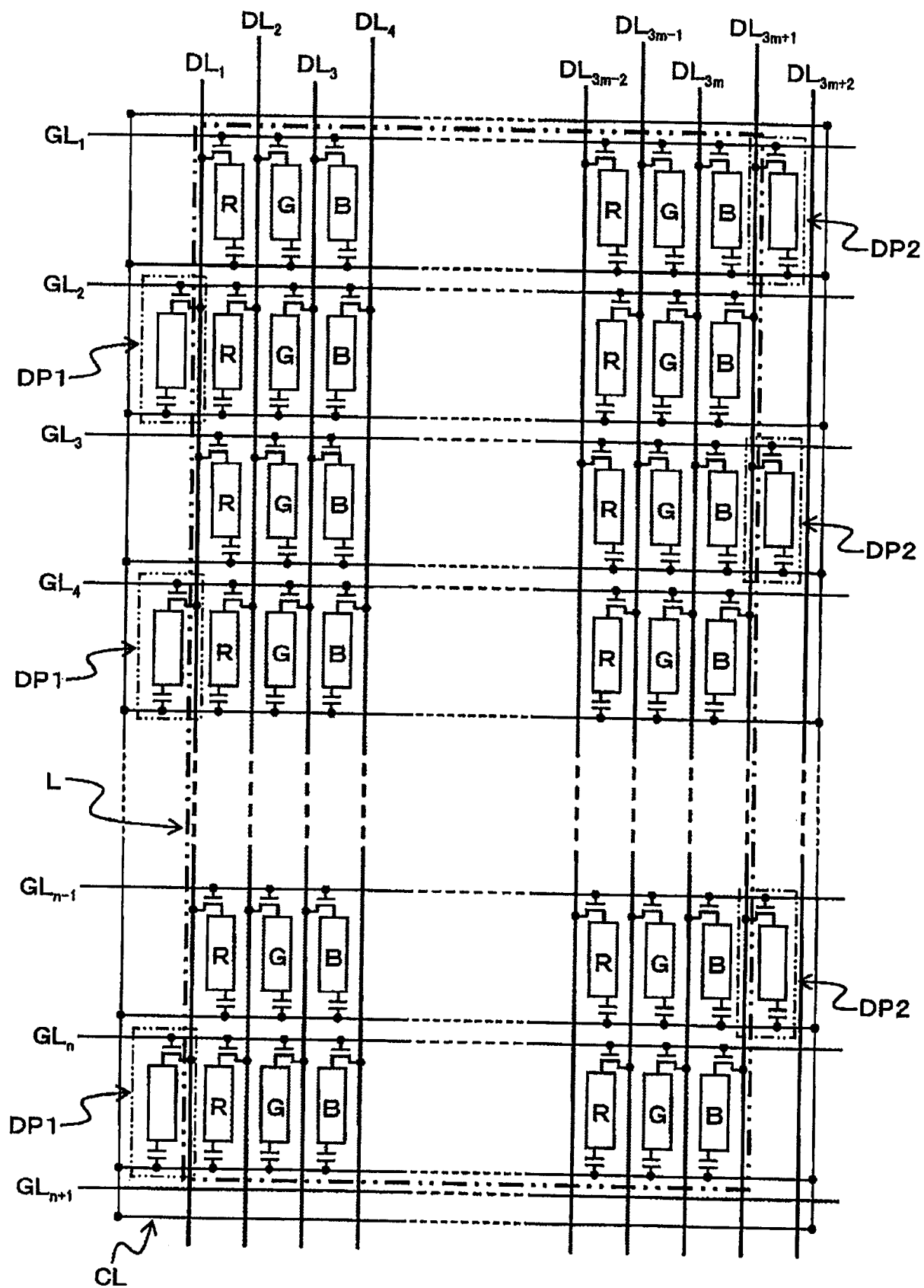


图 10

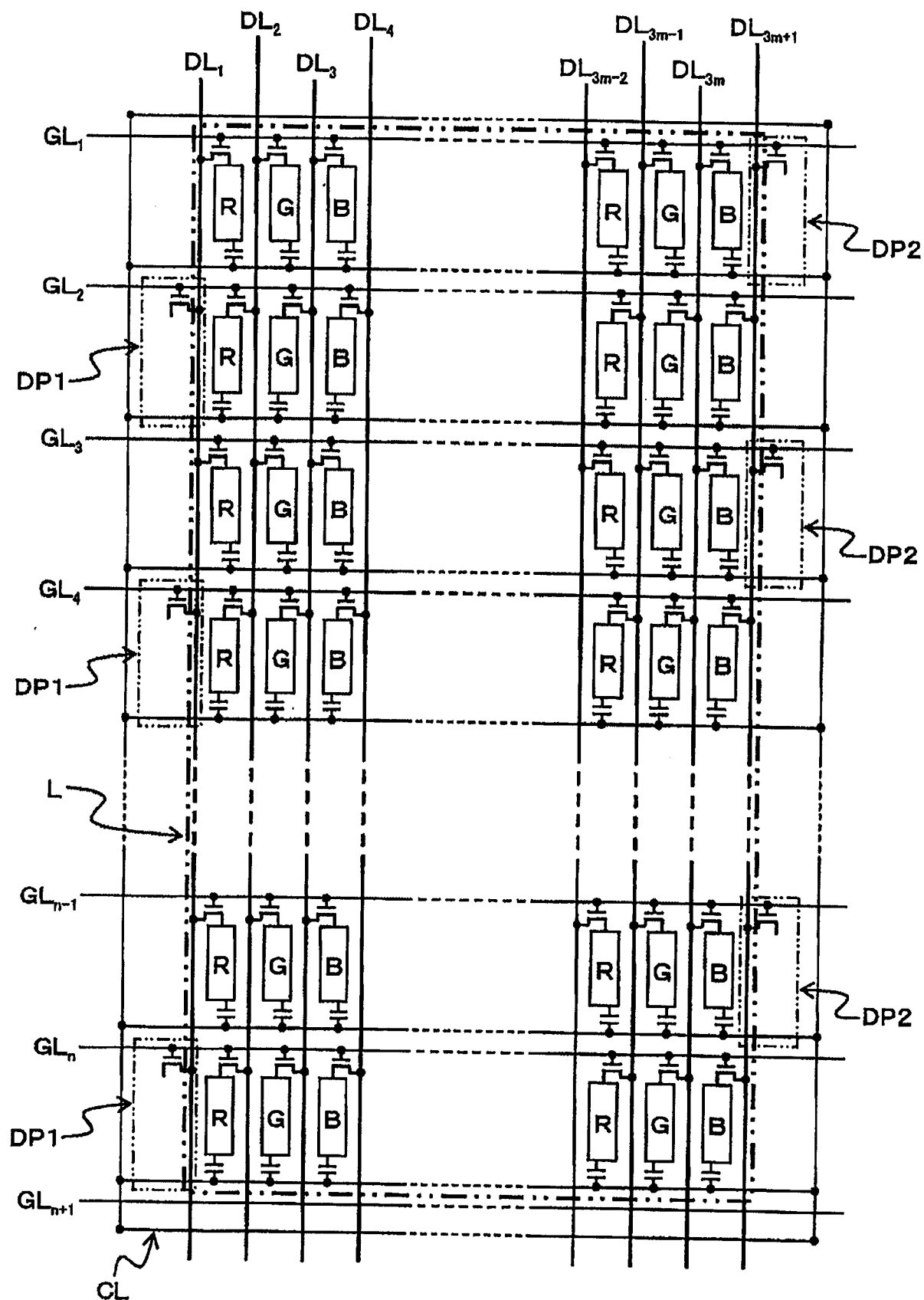


图 11

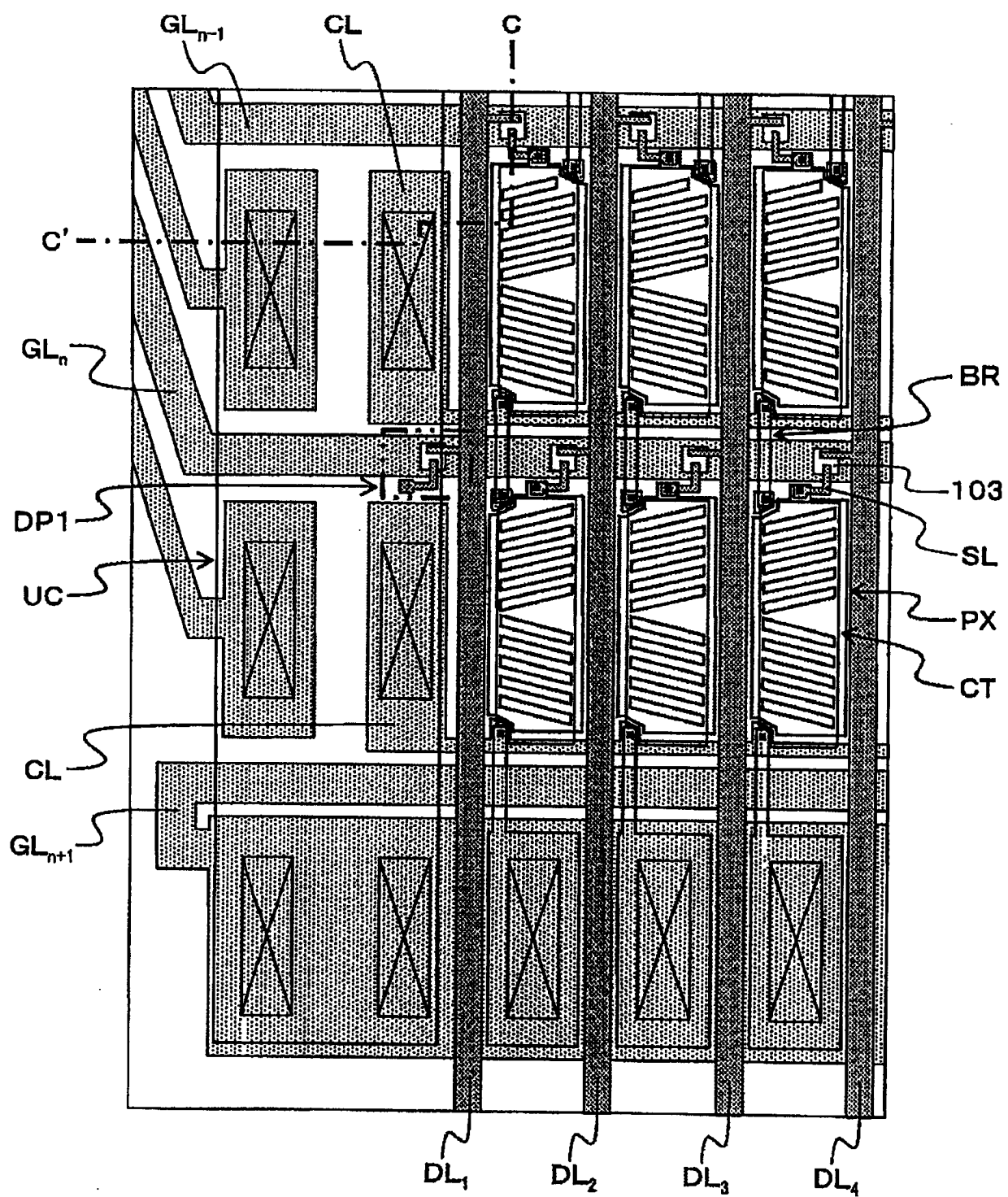


图 12

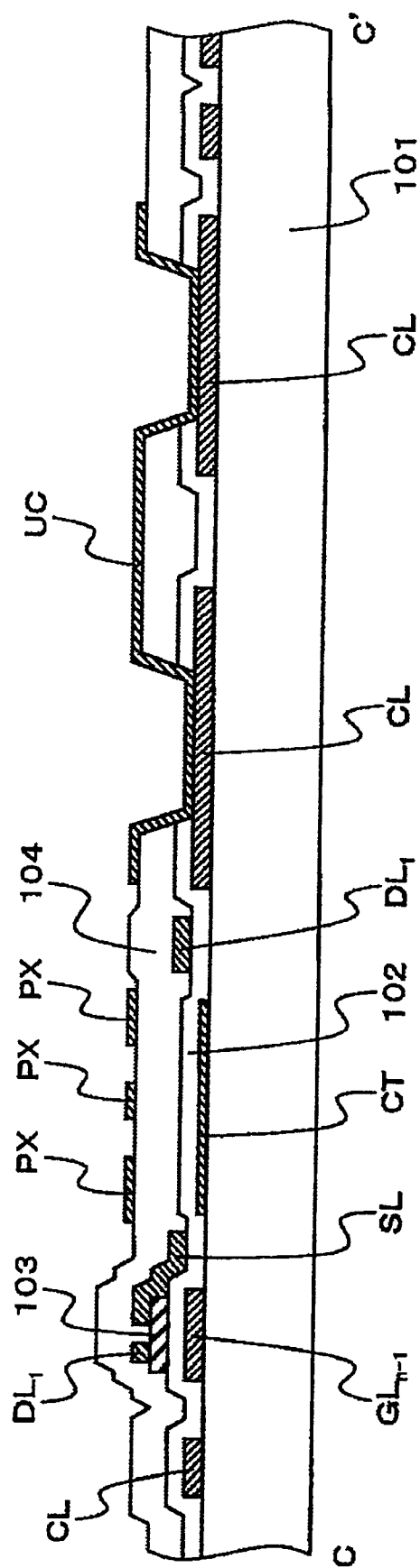


图 13

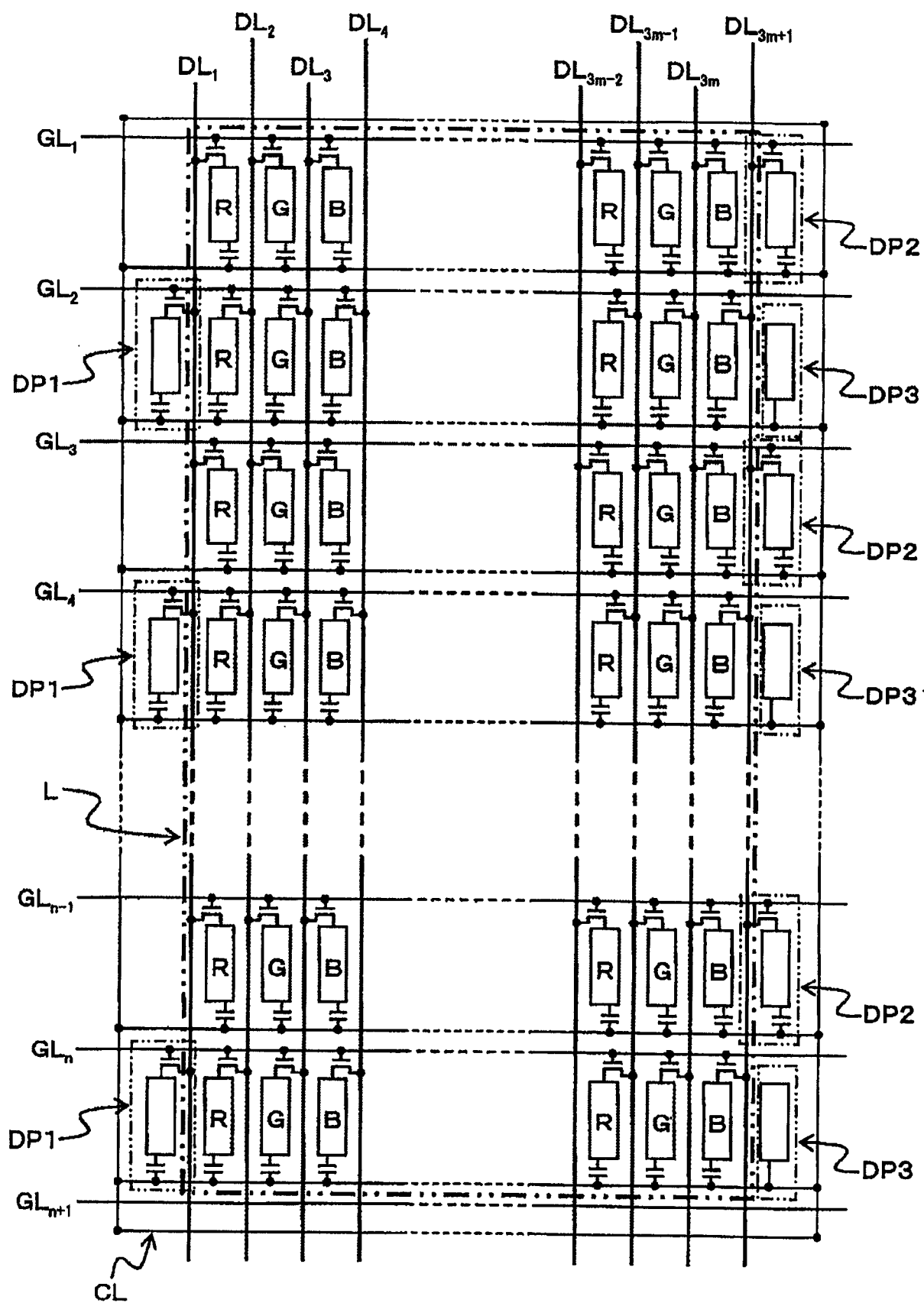


图 14

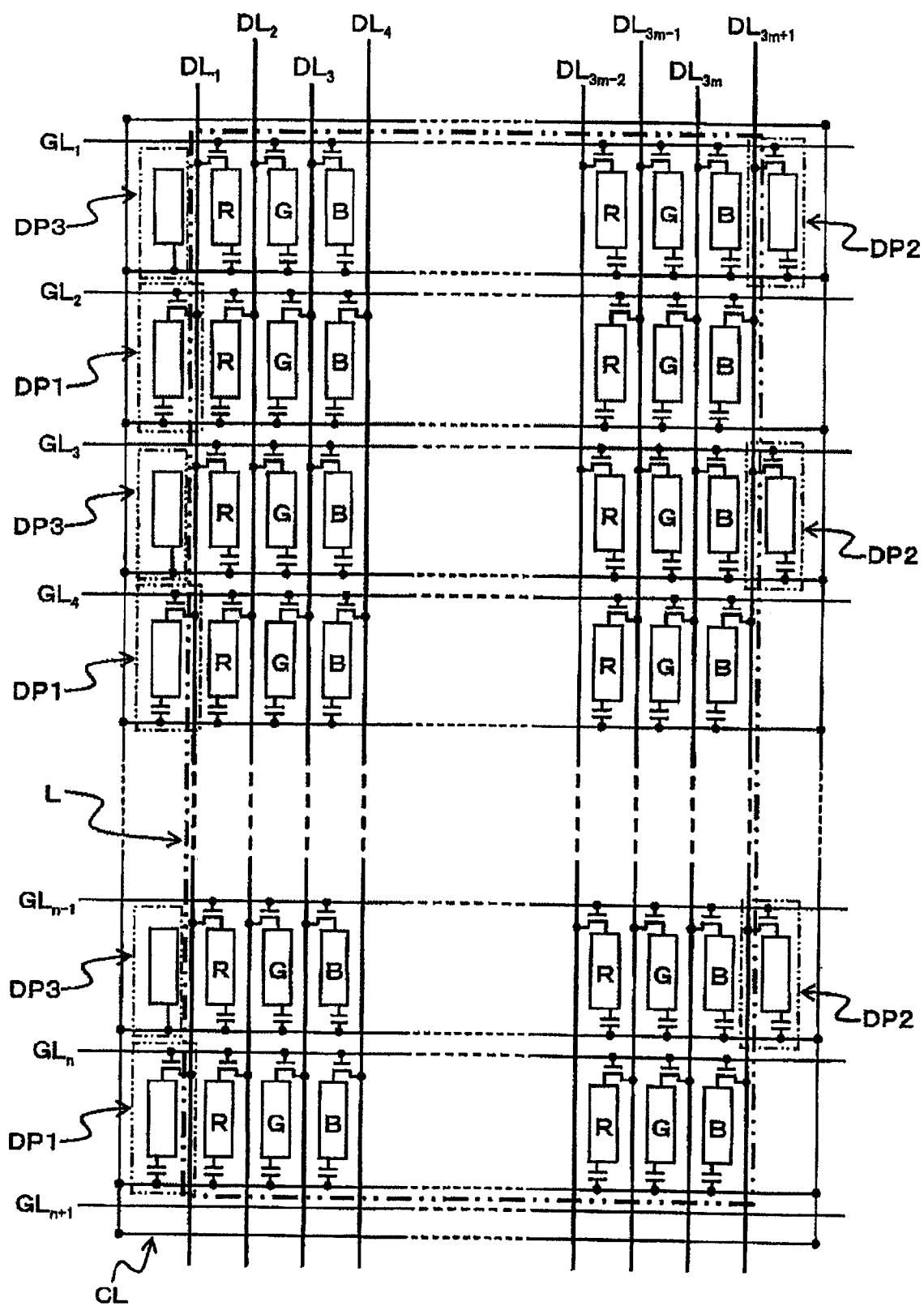


图 15

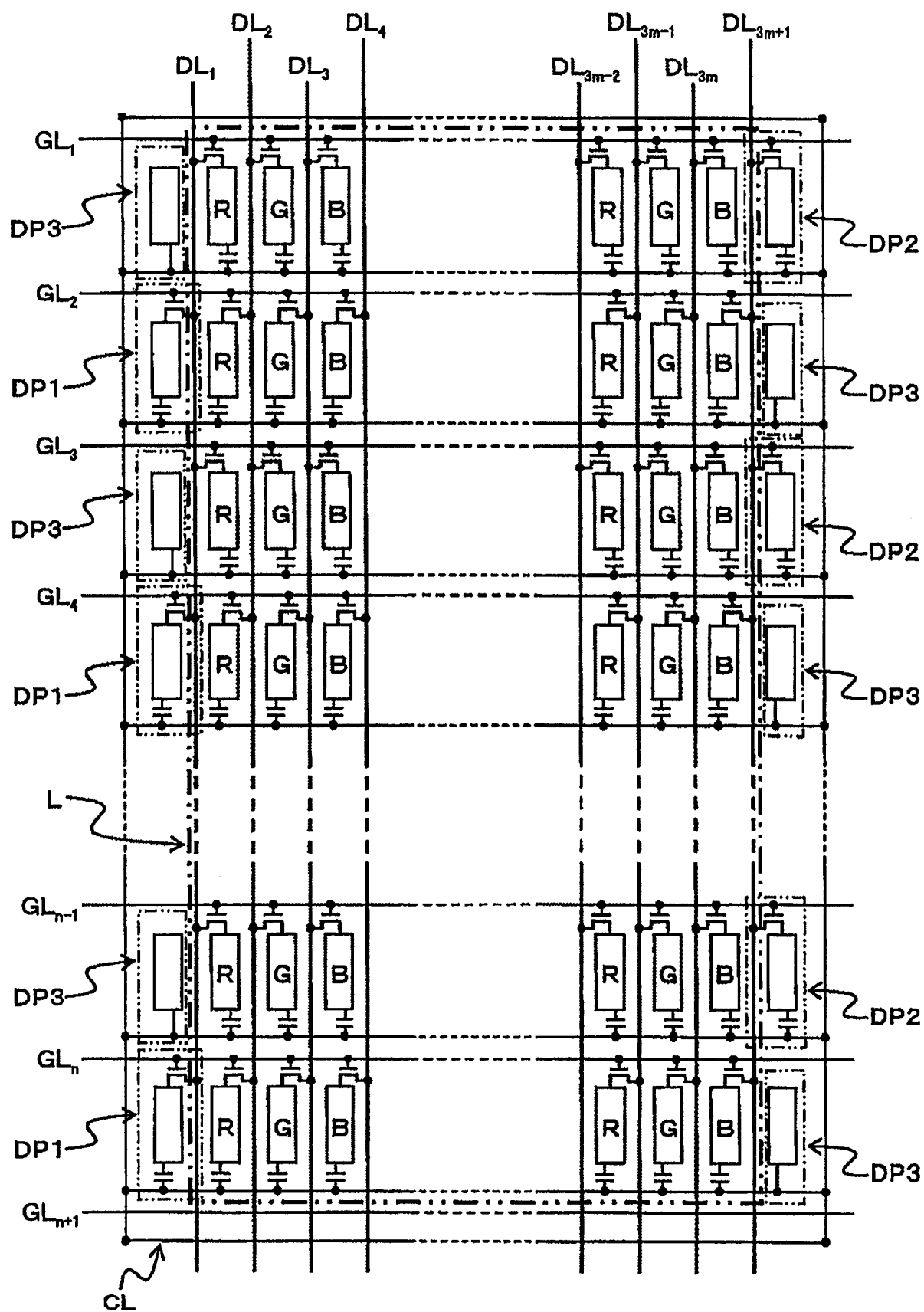


图 16

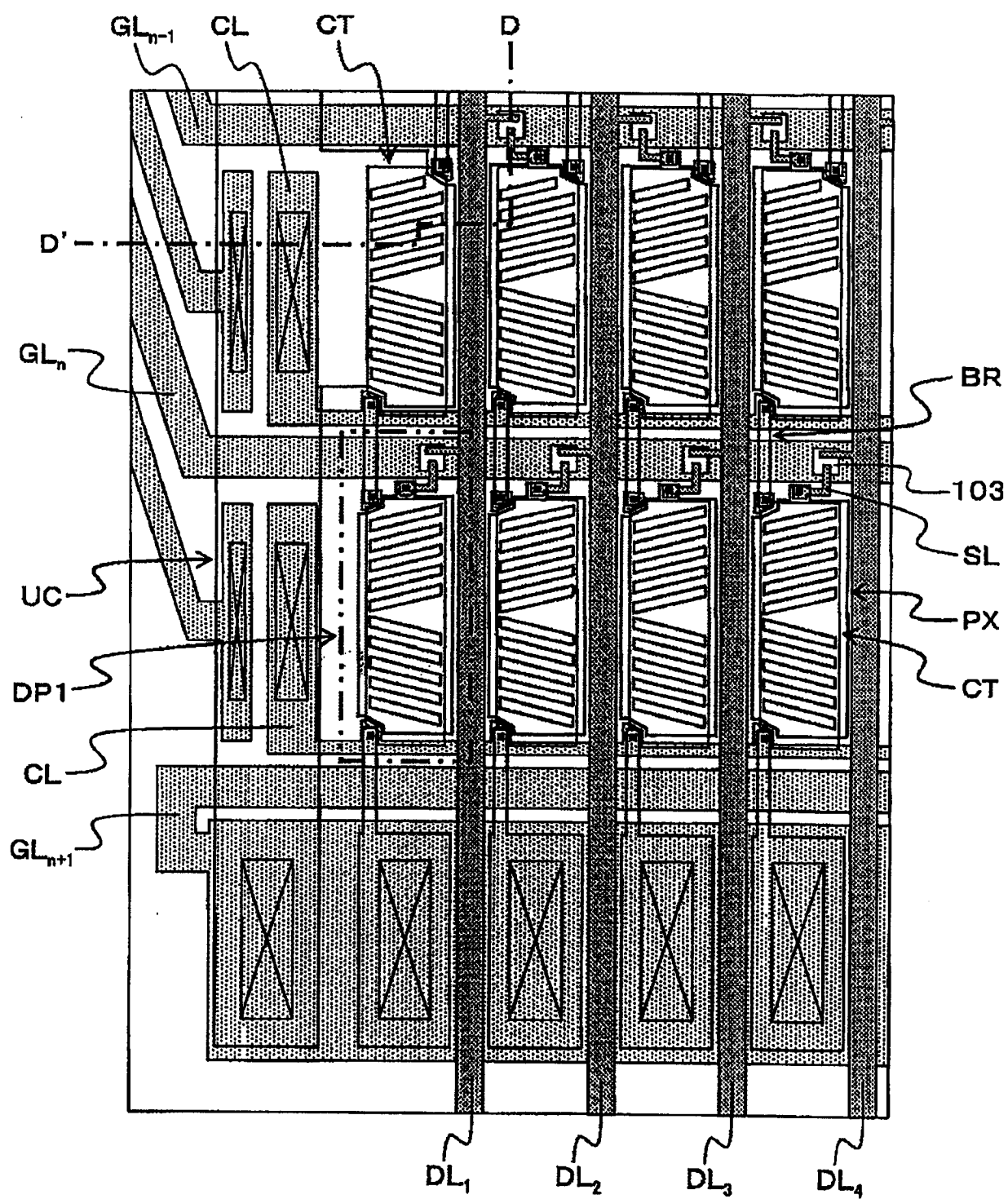


图 17

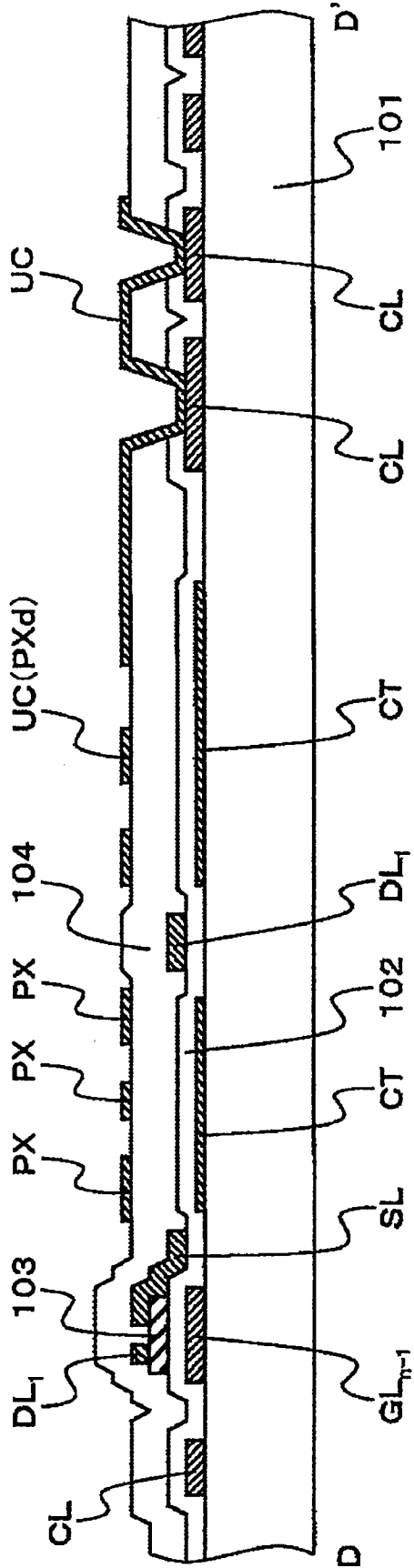


图 18

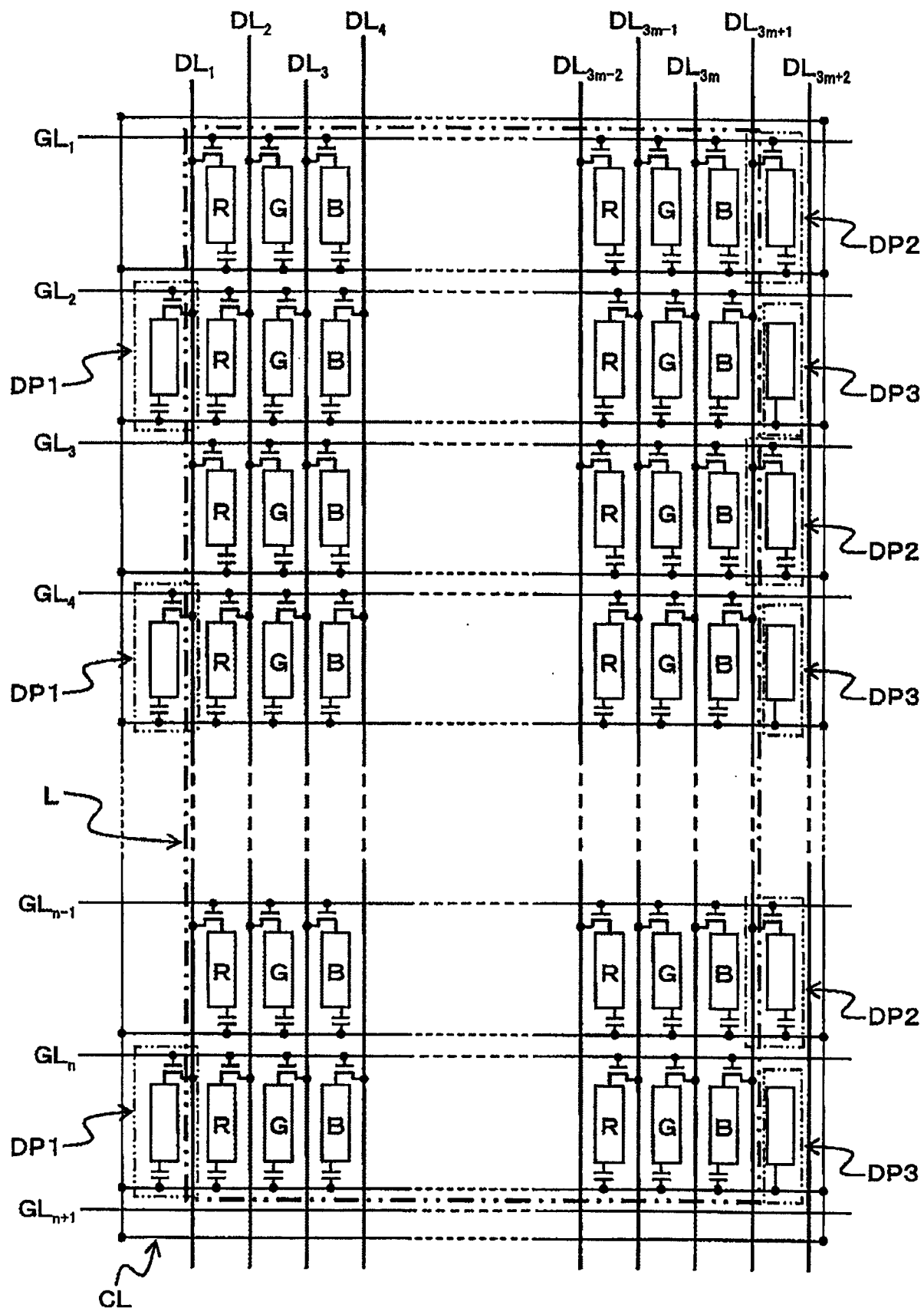


图 19

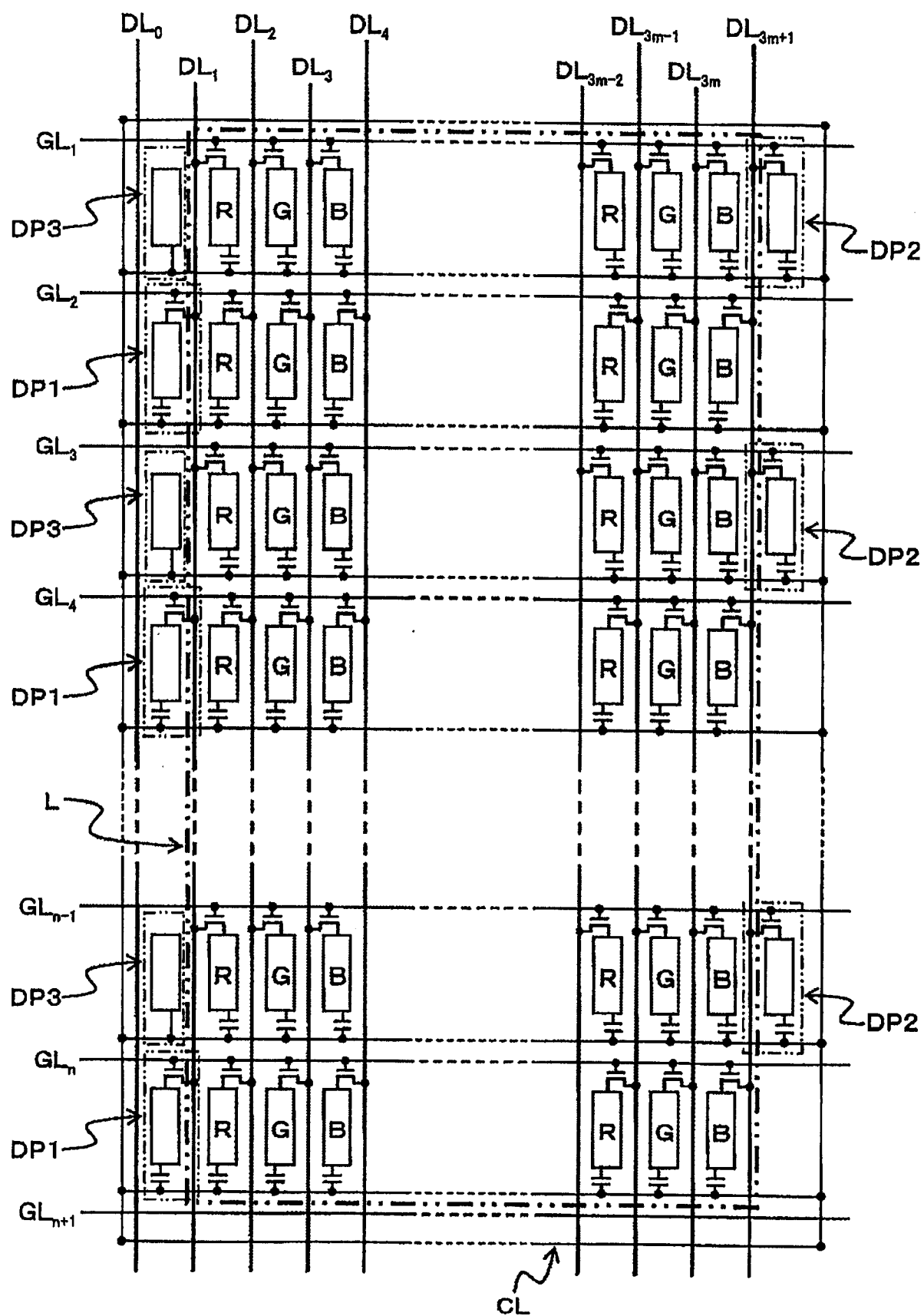


图 20

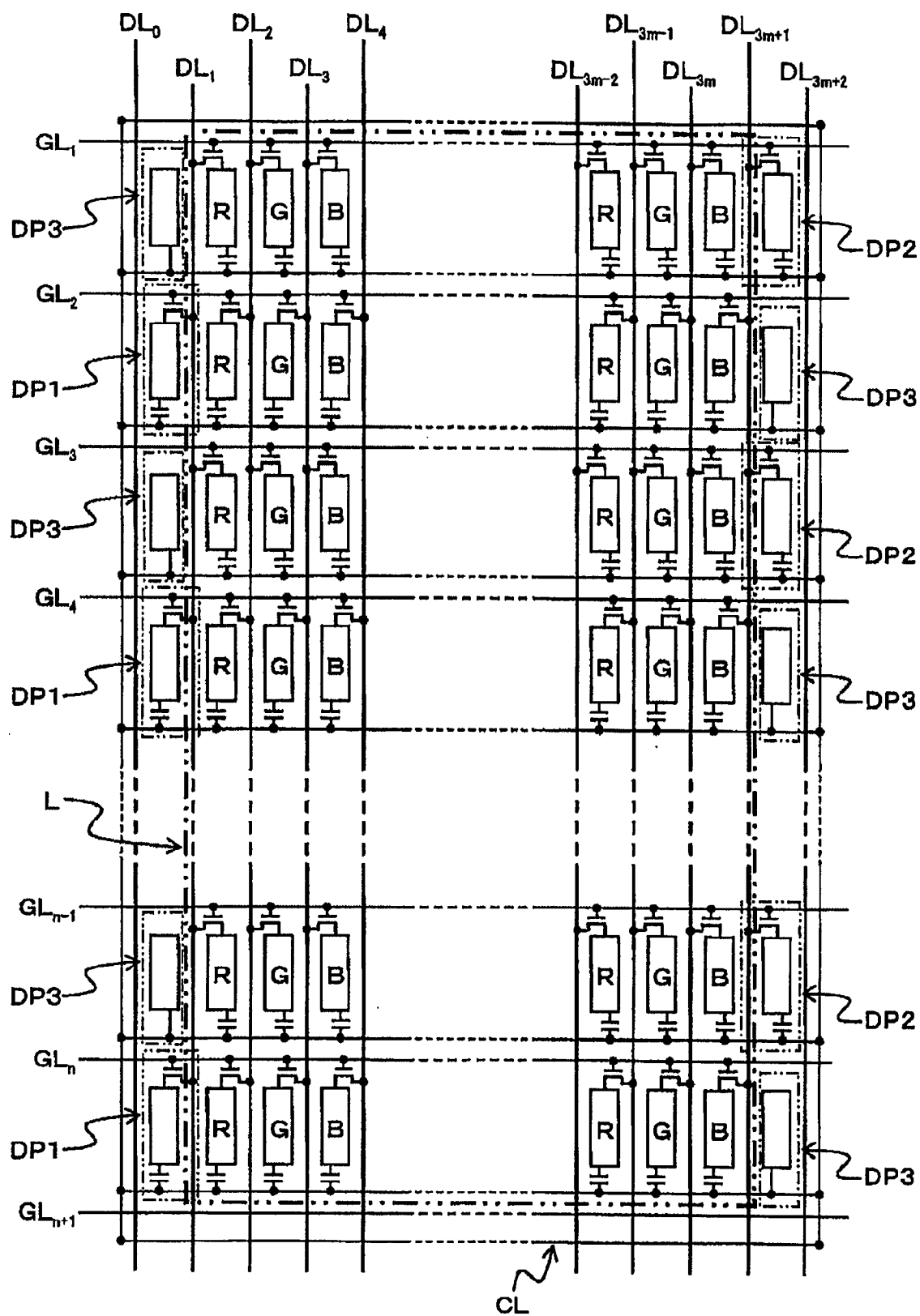


图 21

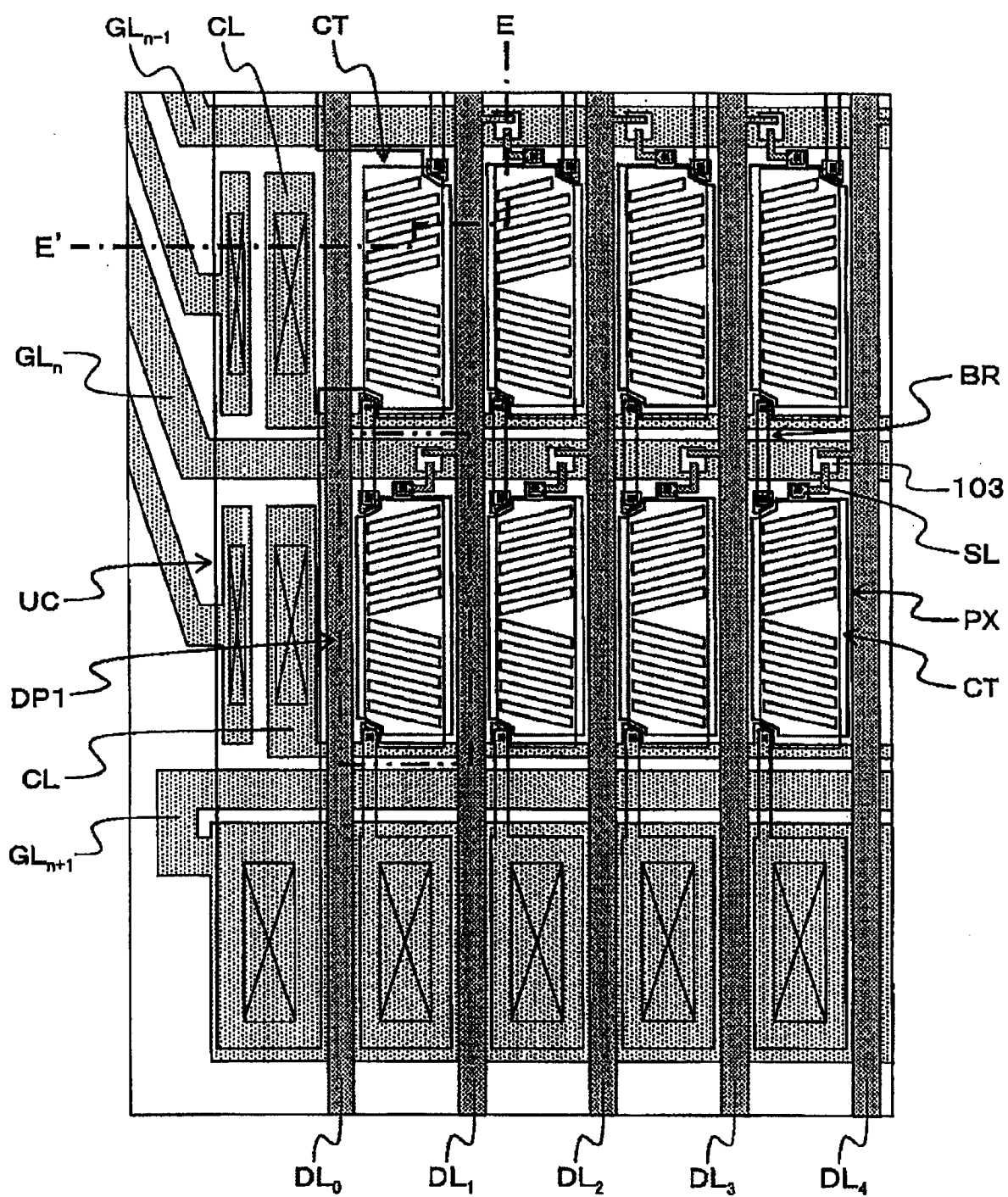


图 22

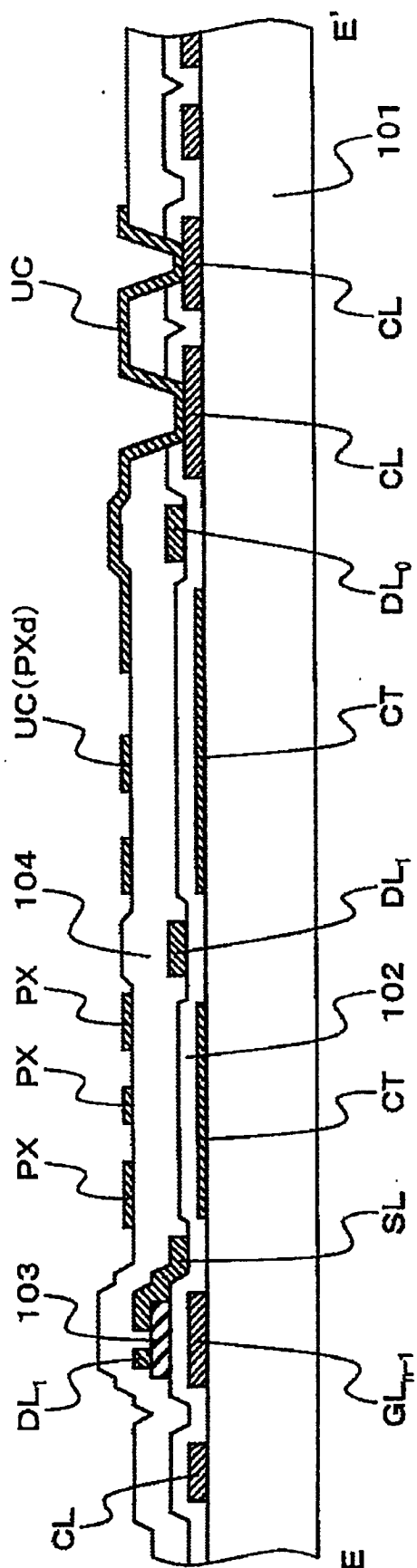


图 23

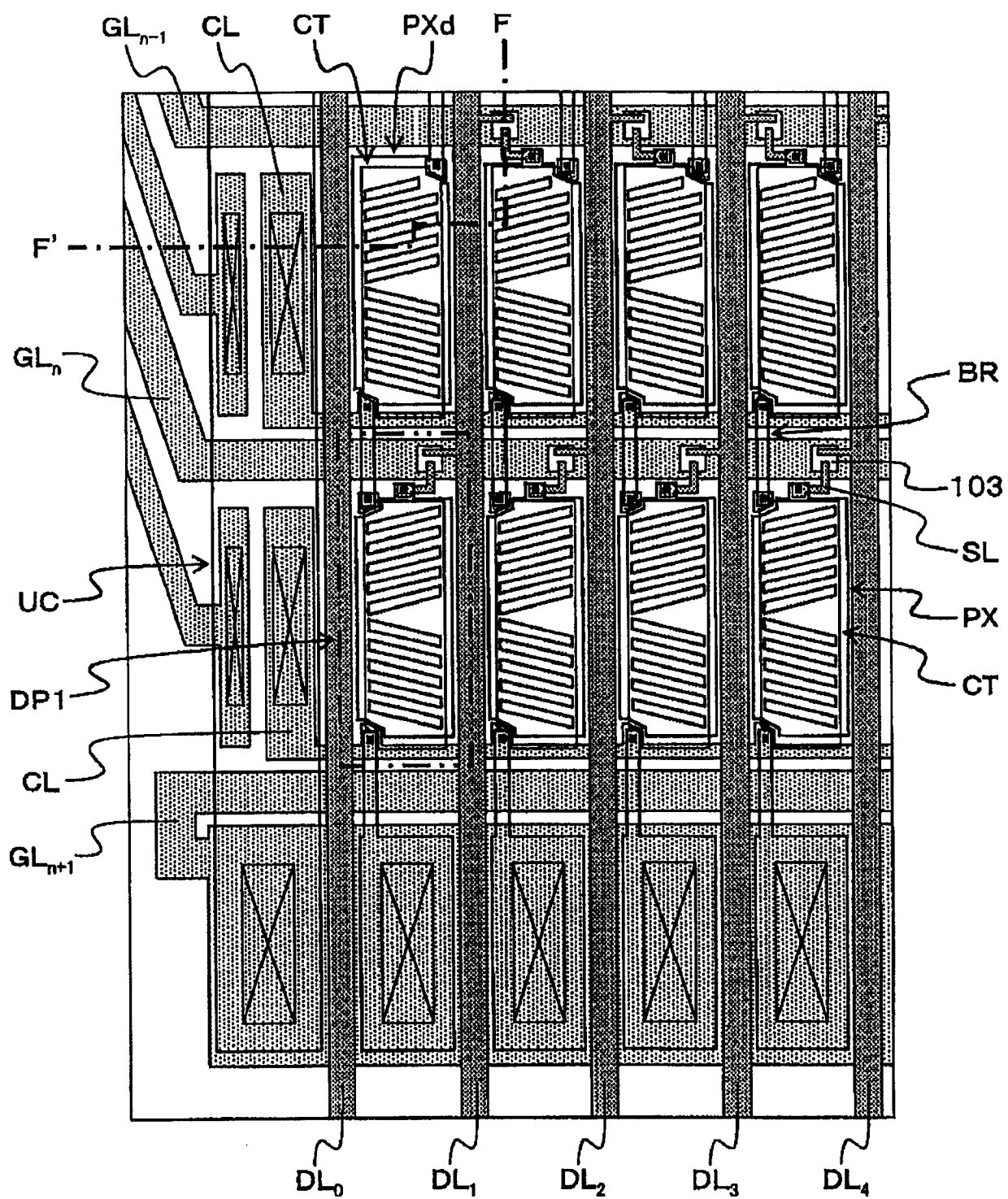


图 24

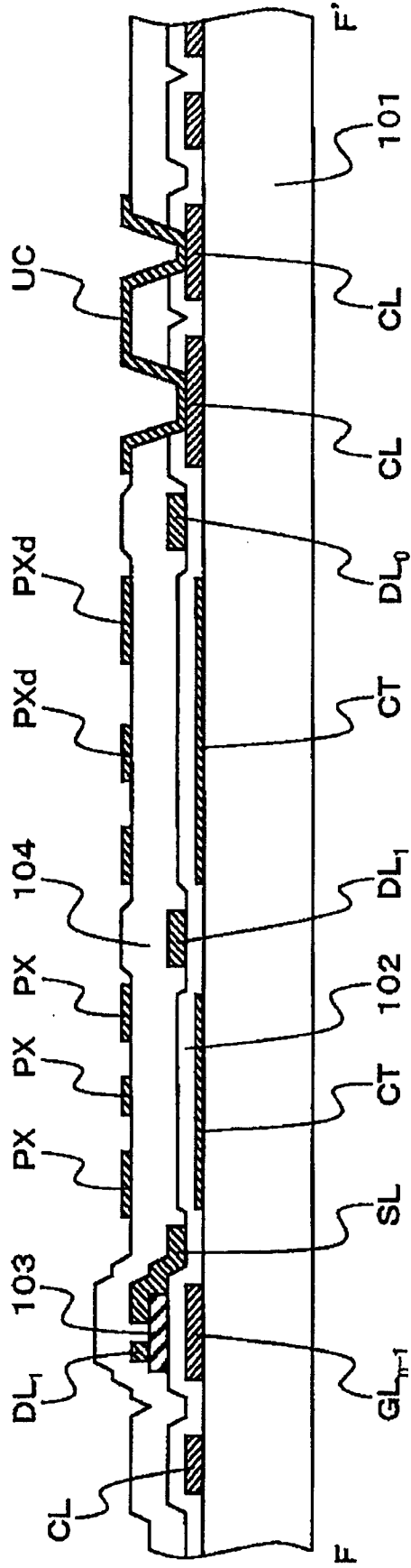


图 25

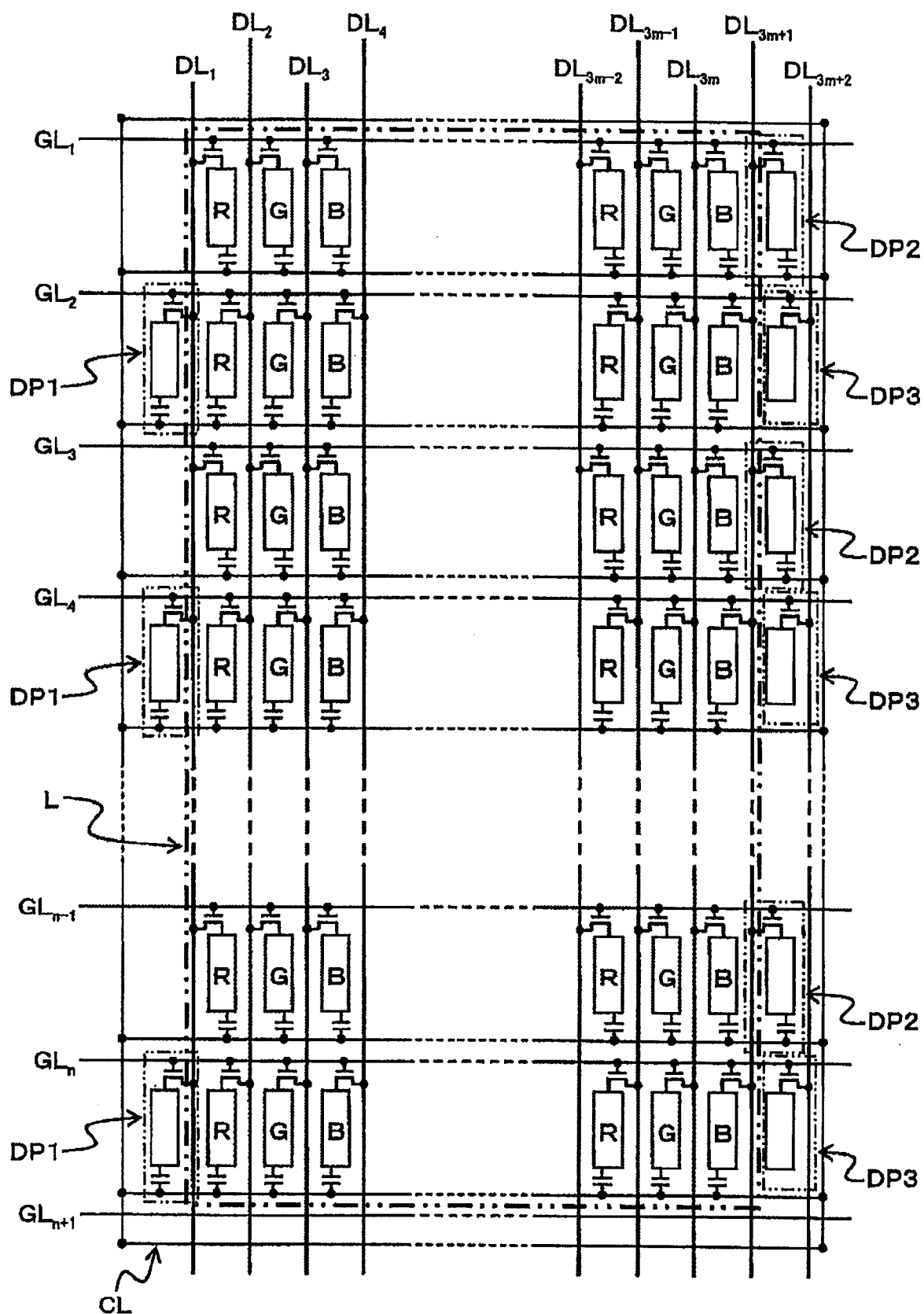


图 26

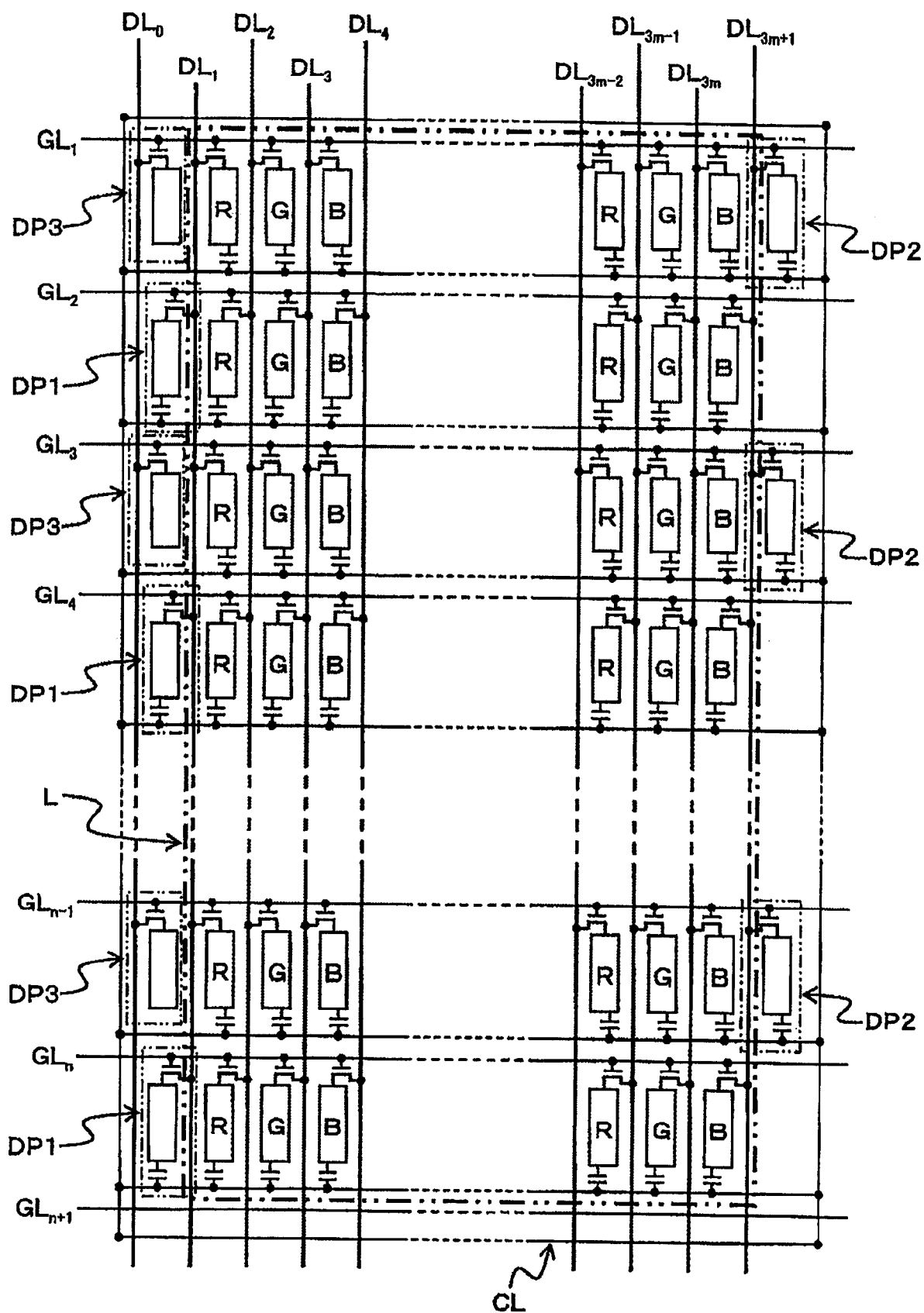


图 27

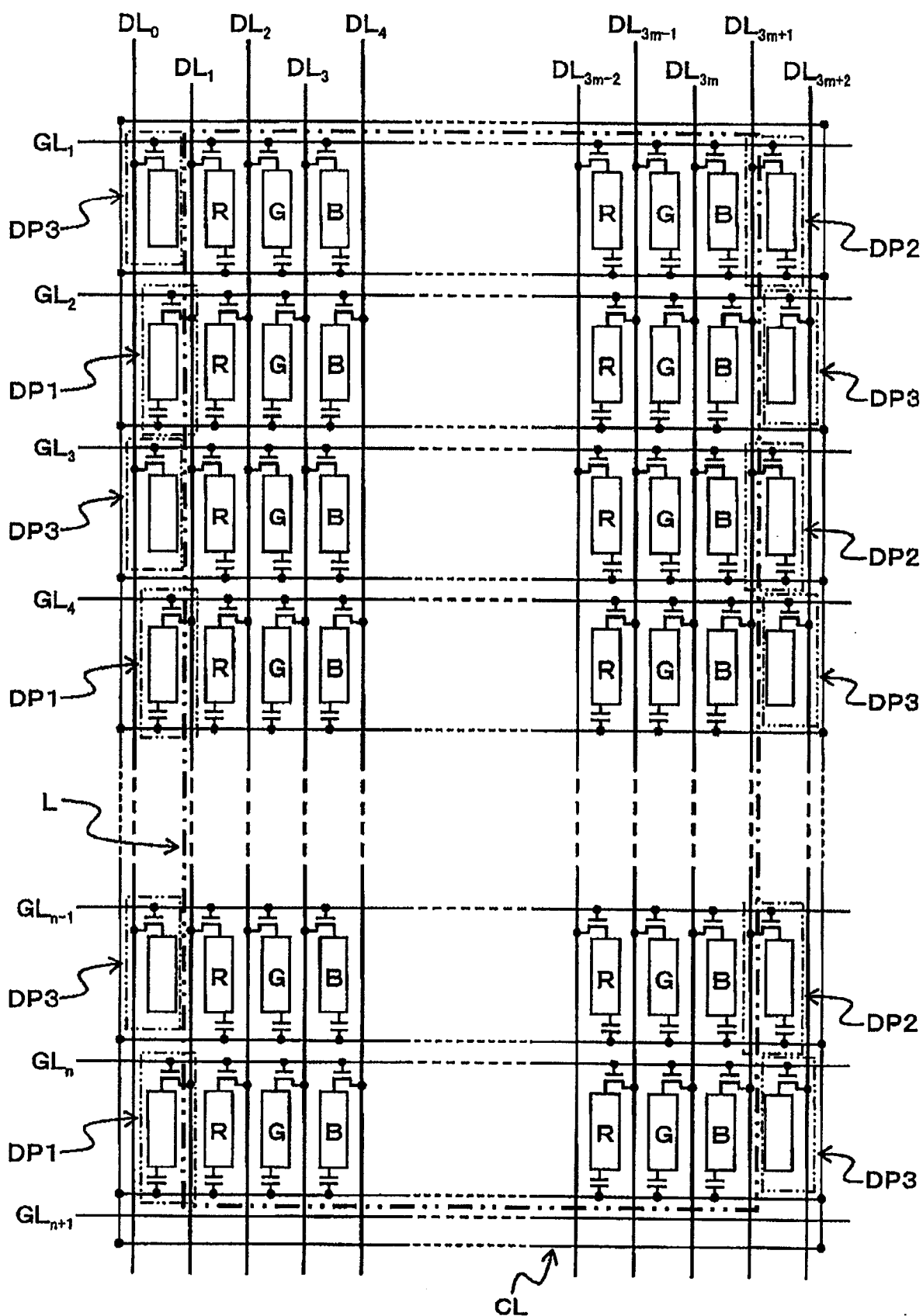


图 28

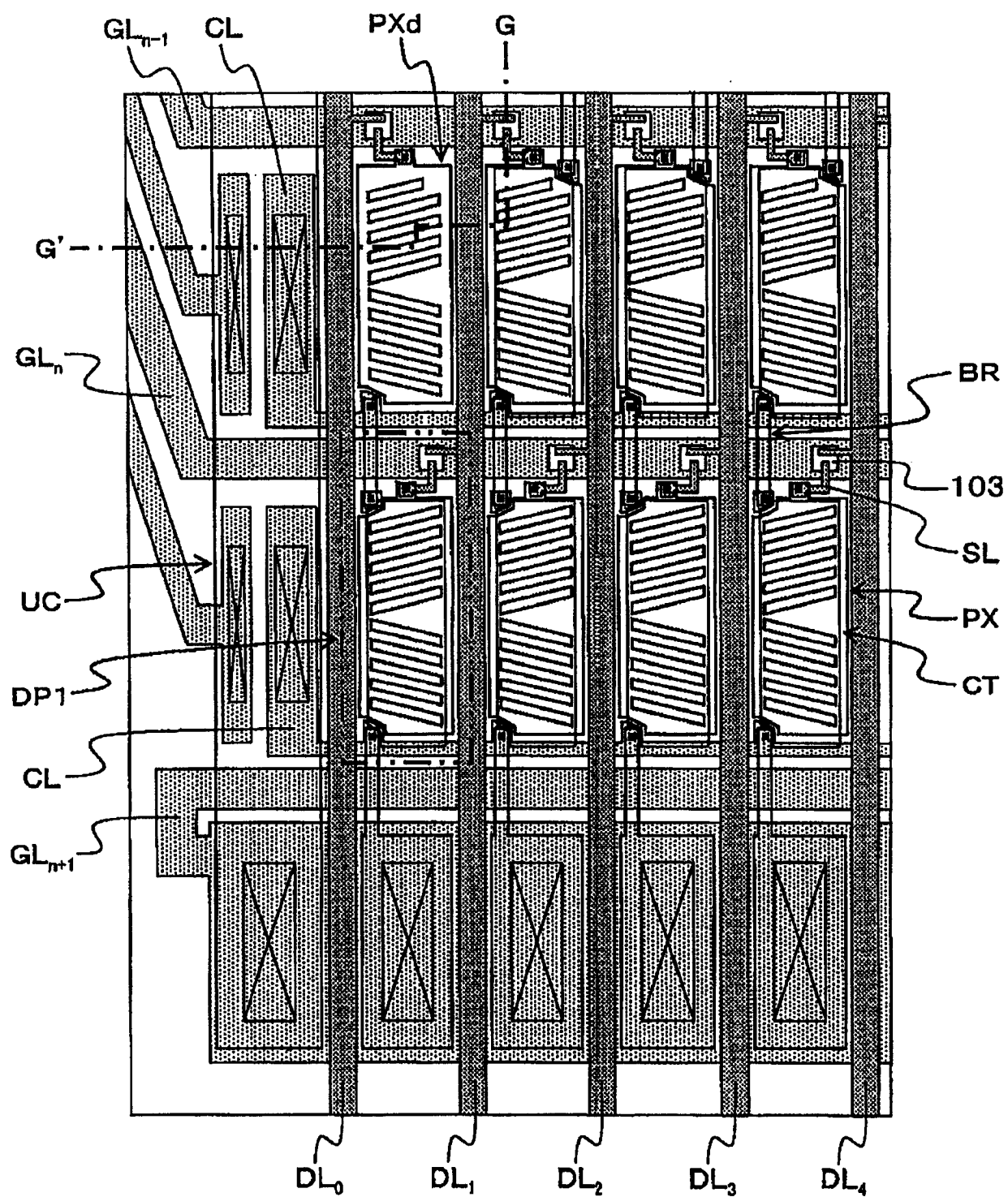


图 29

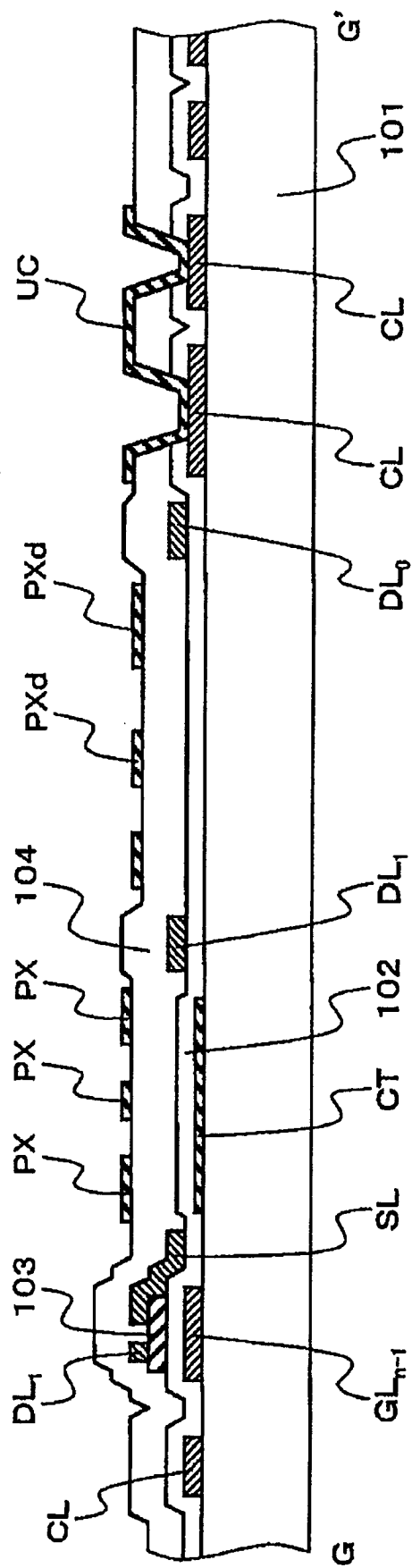


图 30

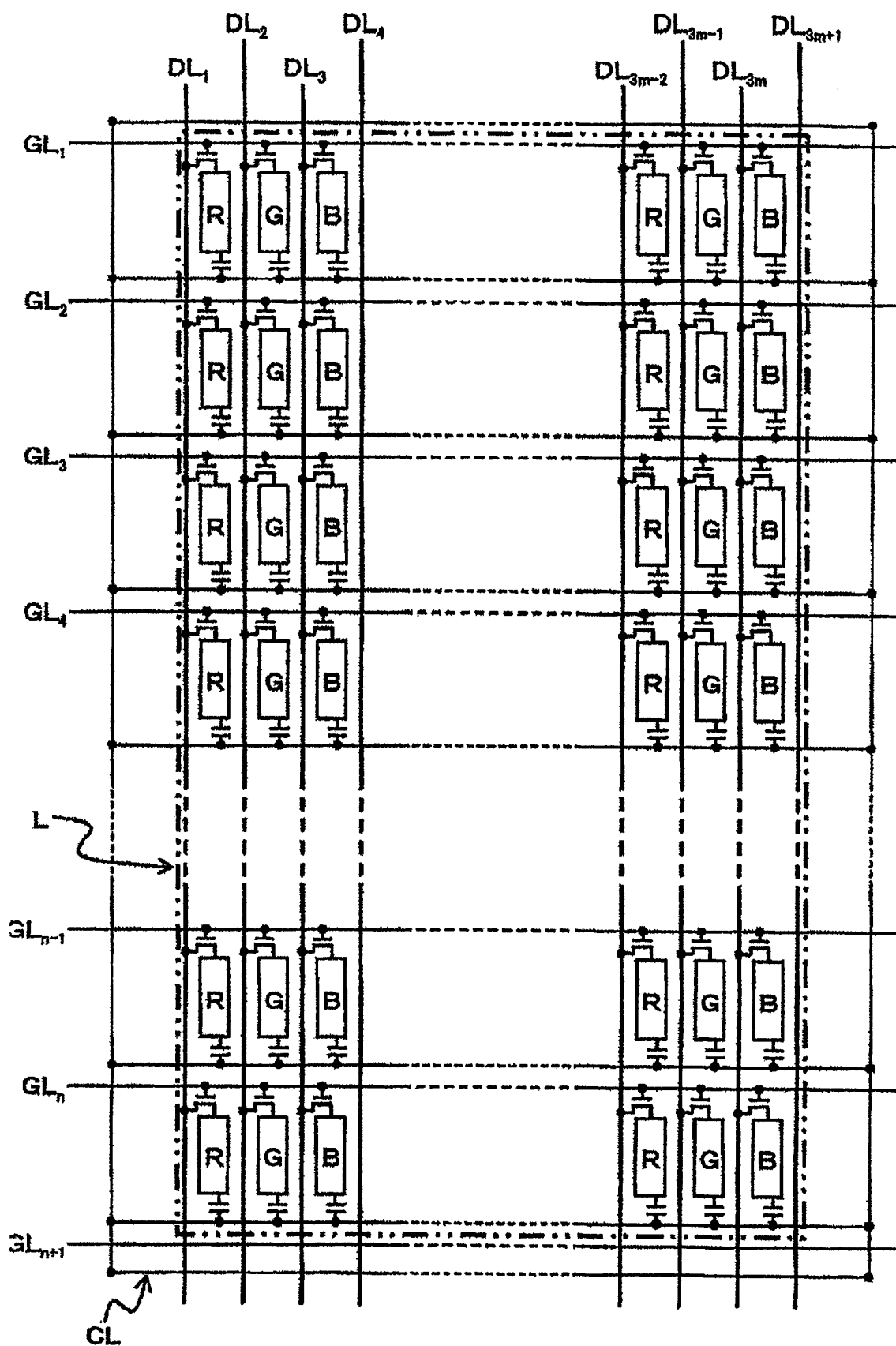


图 31