

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 21/324	(11) 공개번호 특2001-0021004
	(43) 공개일자 2001년03월 15일
(21) 출원번호	10-2000-0033465
(22) 출원일자	2000년06월 17일
(30) 우선권주장	1999-172704 1999년06월 18일 일본(JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무
(72) 발명자	일본 도쿄도 치요다쿠 간다스루가다이 4쵸메 6반치 다나베요시카즈
	일본도쿄도치요다꾸마루노우찌1쵸메5-1오브뉴마루노우찌빌딩가부시키가이샤 히타치세이사쿠쇼지적소유권본부내
	나카쓰카야스히코
	일본도쿄도치요다꾸마루노우찌1쵸메5-1오브뉴마루노우찌빌딩가부시키가이샤 히타치세이사쿠쇼지적소유권본부내
	스즈끼다다시
	일본도쿄도치요다꾸마루노우찌1쵸메5-1오브뉴마루노우찌빌딩가부시키가이샤 히타치세이사쿠쇼지적소유권본부내
(74) 대리인	장수길, 구영창

심사청구 : 없음

(54) 반도체 집적 회로 장치의 제조 방법

요약

Cu막이 형성된 웨이퍼를 단시간에 원하는 온도로 가열할 수 있는 어닐링 기술을 제공한다.

광 반사율이 높은 Cu막을 형성한 웨이퍼(1)와 램프(102) 간에 방사율의 파장 의존성이 평탄하여, 폭넓은 파장 영역의 광을 방사하는 SiC(탄화 실리콘)로 이루어지는 차광판(106)을 개재시켜서, 이 상태에서 램프(102)를 점등함으로써 우선 차광판(106)을 가열하고, 계속해서 가열된 차광판(106)으로부터의 복사광으로 웨이퍼(1)를 가열함으로써 Cu막을 어닐링한다.

대표도

도7

색인어

반도체 장치, 집적 회로, 메모리 영역, 이온 주입, 웨이퍼, 차광판, 어닐링 공정

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 2는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 3은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 4는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 5는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

도 6은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요부 단면도.

- 도 7은 본 발명의 일 실시 형태로 사용하는 웨이퍼형 어닐링 장치의 구성을 나타내는 개략도.
- 도 8은 도 7에 도시하는 어닐링 장치의 램프의 배치예를 나타내는 평면도.
- 도 9는 웨이퍼의 주요면을 나타내는 전체 평면도.
- 도 10은 도 7에 도시하는 어닐링 장치를 사용한 어닐링 시퀀스의 일례를 나타내는 도면.
- 도 11은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 12는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 13은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 14는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 15는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 16은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 17은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 18은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 19는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 20은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 21은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 22는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 23은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 24는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 25는 도전성 배리어막 및 Cu막이 형성된 웨이퍼의 전체 평면도 및 단면도.
- 도 26은 집적 회로 패턴이 형성된 웨이퍼와 패턴이 없는 평탄한 웨이퍼에 각각 Cu막을 피착하여 램프광을 조사했을 때의 웨이퍼 온도 변화를 나타내는 그래프.
- 도 27은 Cu막의 리플로우 시퀀스의 일례를 나타내는 도면.
- 도 28은 Cu막의 리플로우를 행했을 때의 웨이퍼의 온도 변화를 나타내는 그래프.
- 도 29는 Cu막의 리플로우를 행했을 때의 웨이퍼의 온도 변화를 나타내는 그래프.
- 도 30은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.
- 도 31은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기판의 주요 부 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 1 : 단결정 실리콘 기판(웨이퍼)
- 2 : 소자 분리홈
- 3 : p형 웰
- 4 : n형 웰
- 5 : 산화 실리콘막
- 6 : 게이트 산화막
- 7 : 게이트 전극

- 8 : 질화 실리콘막
- 9, 10 : 포토 레지스트막
- 10 : 포토 레지스트막
- 11 : n⁻형 반도체 영역
- 12 : p⁻형 반도체 영역
- 13 : 질화 실리콘막
- 13a : 측벽 스페이서
- 14 : n⁺형 반도체 영역(소스, 드레인)
- 15 : p⁺형 반도체 영역(소스, 드레인)
- 16 : 산화 실리콘막
- 17 : n⁺형 반도체 영역(소스, 드레인)
- 18, 19 : 콘택트홀
- 19 : 콘택트홀
- 20 : 플러그
- 21 : 산화 실리콘막
- 22, 23, 24 : 콘택트홀
- 25 : 관통 구멍
- 26 : 실리콘사이드층
- 27 : 플러그
- 30 ~ 33 : 배선
- 34 : 산화 실리콘막
- 38 : 관통 구멍
- 39 : 플러그
- 40 : 질화 실리콘막
- 41 : 산화 실리콘막
- 42 : 홈
- 43 : 다결정 실리콘막
- 44 : 산화 탄탈막
- 45 : TiN막
- 46 : 질화 실리콘막
- 50 : 산화 실리콘막
- 51, 52 : 관통 구멍
- 53 : 플러그
- 54 : 산화 실리콘막
- 55 ~ 57 : 배선홀
- 58 : 도전성 배리어막
- 59 : Cu막
- 59A ~ 59C : 매립 Cu 배선
- BL : 비트선
- 100 : 어닐링 장치
- 101 : 챔버
- 102 : 램프
- 103 : 가스 도입관

104 : 배기관
 105 : 서셉터
 106 : 차광판
 107 : 파이러미터
 C : 정보 축적용 용량 소자
 Qn : n 채널형 MISFET
 Qp : p 채널형 MISFET
 Qs : 메모리셀 선택용 MISFET
 UC : 단위 칩 영역
 WL : 워드선

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치의 제조 기술에 관한 것으로 특히, 램프를 가열원으로 하는 RTA(Rapid Thermal Annealing) 방식에 의해서 웨이퍼의 가열 처리를 행하는 반도체 제조 프로세스에 적용하기에 유효한 기술에 관한 것이다.

ULSI Technology(C.Y.Chang, S.M.Sze저, 1996 McGraw-Hill사 발행) p144-p204는 반도체 제조에서의 RTP(Rapid Thermal Process)에 대하여 상세하게 기술하고 있다.

일본 특개소 62-250633호 공보(이노우에)는 표면에 요철 모양을 갖는 복수매의 불투명 유리를 반도체 웨이퍼와 광원(할로겐 램프) 간에 설치한 할로겐 램프 어닐링 장치를 개시하고 있다. 이 장치에 따르면, 광원으로부터 웨이퍼에 달하는 광이 불투명 유리 표면의 요철에 의해서 다단층으로 산란되며, 웨이퍼면 내에서의 광의 조사 강도 분포가 균일해지는 결과로, 웨이퍼의 표면 결함이나 슬립 등의 발생을 방지할 수 있게 되어 있다. 웨이퍼와 광원 간에 설치하는 상기 불투명 유리로서는 일반적으로 시판되고 있는 그라운드 유리, 형판 유리 등이 사용된다.

일본 특개소 62-94925호 공보(오오노)는 웨이퍼를 지지하는 투명한 석영제 홀더의 주위를 커버막으로 덮은 열처리(어닐링) 장치를 개시하고 있다. 이 장치에 따르면, 광원(할로겐 램프)으로부터의 광에 의해서 우선 커버막이 가열되며 계속해서 커버막으로부터의 복사광에 의해서 웨이퍼가 가열되므로, 산화막 두께의 차 등에 따른 웨이퍼의 표면 상태에 의존하지 않고, 웨이퍼면 내에서의 온도 분포의 균일화를 도모할 수 있다고 되어 있다. 상기 커버막은 티탄(Ti)과 같은 내열 재료에 의해서 구성된다.

일본 특개평 1-110726호 공보(야부키)는 웨이퍼의 주요면 상에 웨이퍼와 약간의 간격을 두고 흡수체를 배치하는 램프 어닐링 방법을 개시하고 있다. 이 방법에 따르면, 램프에 의해서 가열된 흡수체의 열 에너지가 열대류에 의해서 웨이퍼에 주어지기 때문에, 웨이퍼면 내에서의 가열 온도의 변동이 감소한다고 되어 있다. 상기 흡수체는 웨이퍼보다도 약간 큰 직경을 가지는 탄화 실리콘(SiC)이나 카본재에 의해서 구성된다.

일본 특개평 1-117319호 공보(가나자와)는 종래의 확산로 대신에 램프 어닐링 장치를 사용함으로써, 실리콘 웨이퍼에 균일하게 재현성이 있는 얇은 불순물 확산층을 형성하는 방법을 개시하고 있다. 여기서 사용하는 램프 어닐링 장치의 챔버 내에는 고체 확산원인 붕소 플러스판이나 PBN판이 실리콘 웨이퍼와 대향하여 배치되며, 진공 중에서 고체 확산원과 웨이퍼가 동시에 급속 가열됨으로써 고체 확산원에서부터 실리콘 웨이퍼에 불순물이 확산된다.

일본 특개평 2-303121호 공보(카렌 A. 그림 등)는 블랙 박스라고 불리는 용기 내에 웨이퍼를 수납하여 단시간 열처리 어닐링(RTA)을 행하는 방법을 개시하고 있다. 이 용기는 웨이퍼를 지지하는 베이스와 웨이퍼를 포위하는 환형 가드링으로 이루어지는 캐비티를 밀봉하기 위한 리드를 구비하고 있고, 광원인 할로겐 램프로부터 입사하는 복사 에너지를 거의 흡수하고, 이 에너지를 주로 복사에 의해서 방산하는 성질이 있다. 이 때문에, 불순물 이온이 주입된 웨이퍼를 이 용기 내에서 단시간 열처리 어닐링한 경우에는 웨이퍼에 슬립 라인 등의 결함이 거의 생기지 않고 불순물을 활성화할 수 있다고 되어 있다.

일본 특개평 3-6018호 공보(이마이즈미)는 웨이퍼 장착용 서셉터가 수납된 석영 챔버의 상하 양측에 텅스텐 할로겐 램프를 배치함과 함께, 상기 석영 챔버와 상기 할로겐 램프 간에 각도를 가변으로 한 복수의 불투명 석영판을 배치한 램프 어닐링 장치를 개시하고 있다. 이 장치에 따르면, 상기 불투명 석영판의 각도를 변화시킴으로써, 중앙부보다도 방열하기 쉬운 웨이퍼 주변부의 온도를 중앙부와 동일하게 할 수 있으므로, 웨이퍼면 내에서의 온도 분포의 균일성이 향상된다고 되어 있다.

일본 특개평 5-291170호 공보(누쿠이)는 Ni(니켈) 등의 금속선을 격자형으로 엮은 메쉬형체를 할로겐 램프와 웨이퍼 간에 배치한 램프 어닐링 장치를 개시하고 있다. 웨이퍼와 램프 간에 상기 메쉬형체를 배치하여 어닐링을 행한 경우, 금속선의 교점 부분의 각각이 점 광원이 되며, 메쉬형체 전체에서 면 광원으로서 기능하기 위해서 웨이퍼면 내에서의 온도 분포의 균일성이 향상된다고 되어 있다.

일본 특개평 6-232138호 공보(히사카)는 웨이퍼 전체를 가열하는 할로겐 램프 외에 웨이퍼 주변부를 가

열하는 보조 히터를 구비한 램프 어닐링 장치를 개시하고 있다. 상기 보조 히터는 카본 히터나 할로겐 램프로 이루어지며 서셉터의 주위에 배치된다. 이 장치에 따르면, 보조 히터의 파워를 제어함으로써 웨이퍼의 주변부와 중심부와의 온도차를 조정할 수 있으므로 웨이퍼 왜곡이 생기지 않는 균일성이 높은 어닐링이 가능해지고 있다.

일본 특개평 10-321547호 공보(이시하라 등)는 웨이퍼를 수납하는 석영제 처리 용기의 상면측과 하면측에 할로겐 램프를 설치함과 함께, 상기 처리 용기 내의 웨이퍼의 상면측과 하면측에 균열판을 설치한 열처리 장치를 개시하고 있다. 상기 한쌍의 균열판은 원반형으로 형성되며, 웨이퍼와 거의 평행해지도록 배치되어 있다. 한쪽의 균열판은 그 직경이 웨이퍼의 직경보다도 크며 또한 그 중심부에 원형의 구멍이 설치되어 있다. 또한 다른 한쪽의 균열판은 그 직경이 상기 균열판과 거의 동일한 값으로 설정되어 있다(또, 이들 한쌍의 균열판의 재질에 대해서는 아무런 개시도 되어 있지 않다). 이 장치에 따르면, 웨이퍼의 양면측에 균열판을 배치함으로써 웨이퍼 표면의 온도 분포의 변동을 억제할 수 있다고 되어 있다.

발명이 이루고자하는 기술적 과제

최근, 고성능인 논리 LSI의 제조 프로세스에서는, 배선의 미세화에 따르는 Al(알루미늄) 배선의 저항 증대 및 신뢰성의 저하가 현저해지며 이것이 LSI의 고성능화를 저해하는 큰 요인이 되고 있다.

그래서, 실리콘(Si) 기판 상에 피착한 절연막에 배선홀(및 관통 구멍)을 형성하고, 계속해서 이 배선홀(및 관통 구멍)의 내부를 포함하는 절연막 상에 시막 보다도 전기 저항이 낮은 Cu막을 피착한 후, 배선홀 외부의 불필요한 Cu막을 화학 기계 연마(CMP)법에 의해서 제거하는 소위 상강(Damascene)법에 의한 매립 Cu 배선의 도입이 진행되고 있다(특개평 2-278822호 공보, 특개평 10-214834호 공보 등).

Cu는 적당한 소스 가스가 발견되어 있지 않기 때문에 현상으로는 CVD법에 의한 Cu막의 형성은 곤란하며 주로 스퍼터링법 또는 도금법이 이용된다. 그러나, 배선홀이 형성된 절연막 상에 스퍼터링법으로 Cu막을 피착한 경우, 그대로로는 배선홀의 내부에 Cu막이 충분히 매립되어 있지 않기 때문에, 어닐링에 의해서 Cu막의 유동성을 높이고, 배선홀 내부에 유입시키는 리플로우 처리가 필요해진다. 또한, 도금법으로 성막한 Cu막도 그 막질을 향상시키기 위해서는 성막 후에 어닐링 처리를 실시할 필요가 있다.

실리콘은 1 μ m 정도의 파장 영역에 피크를 갖는 광을 흡수하는 성질이 있기 때문에, 실리콘 웨이퍼의 어닐링에는 1 μ m 정도의 파장의 광을 방사하는 W(텅스텐) 할로겐 램프가 사용된다. 그런데, 램프를 가열원으로 하는 RTA에 의해서 Cu막의 어닐링을 행하는 경우, Cu는 1 μ m 정도의 파장의 광의 거의(99% 이상) 반사해 버리기 때문에, 어닐링에 필요한 웨이퍼 온도를 얻기 위해서는 매우 큰 램프 파워가 필요해지며 램프의 소비 전력이 증가한다는 문제가 있다. 또한, 웨이퍼의 면 내에 Cu막이 형성되고 있는 개소와 형성되어 있지 않은 개소가 있는 것과 같은 경우에는 램프광의 반사율의 차에 기인하여 웨이퍼면 내에 국소적인 온도차가 생기게 된다.

웨이퍼에 램프광을 조사했을 때의 웨이퍼면 내에서의 온도의 변동은 웨이퍼에 형성된 집적 회로 패턴의 조밀에 의해서도 생긴다. 예를 들면 메모리 논리 혼재 LSI와 같이, 웨이퍼의 단위 칩 영역 내에 메모리 영역과 논리 영역이 혼재하는 경우, 소자가 고밀도로 형성되는 메모리 영역쪽이 소자의 밀도가 낮은 논리 영역보다도 광을 흡수하기 쉬우므로 하나의 단위 칩 영역 내에서도 국소적인 온도차가 생기게 된다.

본 발명의 목적은, 웨이퍼면 내에서 온도 변동이 생기지 않는 어닐링 기술을 제공하는데 있다.

본 발명의 다른 목적은, 집적 회로 패턴의 소밀에 기인하는 국소적인 온도 변동이 생기지 않는 어닐링 기술을 제공하는데 있다.

본 발명의 다른 목적은, Cu막이 형성된 웨이퍼를 단시간에 원하는 온도로 가열할 수 있는 어닐링 기술을 제공하는데 있다.

본 발명의 상기 및 그 외의 목적과 신규인 특징은 본 명세서의 기술 및 첨부도면에서부터 밝혀질 것이다.

본 원에 있어서 개시되는 발명 중, 대표적인지만 개요를 간단하게 설명하면 다음과 같다.

본 발명의 반도체 집적 회로 장치의 제조 방법은 광 반사율이 높은 Cu막이 형성된 웨이퍼와 램프 간에 SiC(탄화 실리콘)로 이루어지는 차광판을 개재시켜서, 이 상태에서 램프를 점등함으로써 우선 차광판을 가열하고, 계속해서 가열된 차광판으로부터의 복사광으로 웨이퍼의 주요면을 가열함으로써 Cu막을 어닐링하는 것이다.

SiC 등의 세라믹으로 이루어지는 상기 차광판은 방사율의 파장 의존성이 평탄하며, 폭넓은 파장 영역의 광을 방사하는 것으로부터 램프의 광으로 웨이퍼를 직접 가열하는 경우에 비하여 단시간에 Cu막을 원하는 온도로 가열할 수 있다. 또한, 웨이퍼의 주요면의 Cu막이 형성된 영역과 형성되어 있지 않은 영역과의 온도차를 저감할 수 있다.

상기한 발명 이외의 본원 발명의 개요를 간단하게 항목으로 나누어서 기재하면 이하와 같다. 즉,

1. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

(a) 메모리 영역과 논리 영역에 대응하는 패턴이 형성된 단위 칩 영역(일반적으로, 메모리 영역의 시트 저항과 논리 영역의 시트 저항이 다르면 설계대로의 특성이 얻어지지 않는다)을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,

(b) 상기 웨이퍼(여기서 사용한 단결정 실리콘 웨이퍼는 직경 200mm, 두께 725 μ m이다)의 칩 형성부보다도 사이즈가 큰 판형물(섭씨 30도/초 정도 이상의 승온을 확보할 수 있는 형상이면 본 기재에 특히 한하지 않는다)이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 제1 및 제2 주요면이 광학적으로 균일한 차

광판(그 두께에 있어서 가시광 영역을 90% 이상 차폐하는 것이 일반적이지만, 특히 그에 한정할 필요는 없다. 일반적으로 비결정성의 SiC 즉 탄화 실리콘, 그래파이트, 표면 텍스처가 비교적 균일한 단결정 실리콘, 비정질 또는 다결정 실리콘, 기타 내열성의 세라믹스 등이 적합하다. 이 중 탄화 실리콘, 그래파이트는 반사율이 낮은 점에 우수하다. 단결정 실리콘, 비정질 또는 다결정 웨이퍼는 매우 고순도의 재료를 입수하기 쉬운 점에서 우수하다)의 상기 제2 주요면에 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향(거의 평행하게 근접하여 배치하면 좋지만 그 외의 이유로 약간 기울거나 만곡을 갖게 하거나 해도 좋다. 일반적으로 에너지 효율은 양면의 거리의 2승에 반비례한다)하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프(여기서는, 할로겐 램프를 이용하였지만 그것에 한정되지 않고 여기서 말하는 램프는 넓고 램프 어닐링 등으로 사용되는 각 종 발광체를 가리키는 것으로 한다)에 의해 광(여기서는 파장 0.1 μ m 내지 10 μ m 정도를 주로 나타낸다. 즉 원자외, 근자외, 가시, 근적외, 원적외의 각 영역)을 조사함으로써, 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼에 대하여 어닐링 처리(여기서는 이온 주입 후의 어닐링 처리에서, 일반적으로 이온 주입에 의한 결함을 제거하고 도입된 불순물의 활성화를 도모하는 것을 주된 목적으로 한다)를 실시하는 공정으로 이루어진다.

2. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼 두께의 3배 이하이다.

3. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼 두께의 2배 이하이다.

4. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼 두께 이하이다.

5. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1 ~ 4 중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 20배 이하이다.

6. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1 ~ 4 중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 10배 이하이다.

7. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1 ~ 4 중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 5배 이하이다.

8. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1 ~ 7 중 어느 한 항에 기재된 상기 단위 칩 영역에서의 혼재비가 15% 이상이다.

9. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1 ~ 7 중 어느 한 항에 기재된 상기 단위 칩 영역에서의 혼재비가 20% 이상이다.

10. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 1 ~ 7 중 어느 한 항에 기재된 상기 단위 칩 영역에서의 혼재비가 25% 이상이다.

11. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

(a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 크며 그 SiC 열용량 환산 두께가 상기 웨이퍼의 두께 이하인 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비하여, 그 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

12. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 11에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼의 두께의 20배 이하이다.

13. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 11에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 10배 이하이다.

14. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 11에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 5배 이하이다.

15. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 11 ~ 14 중 어느 한 항에 기재된 상기 단위 칩 영역의 혼재비가 15% 이상이다.

16. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 11 ~ 14 중 어느 한 항에 기재된 상

기 단위 칩 영역의 혼재비가 20% 이상이다.

17. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 11 ~ 14중 어느 한 항에 기재된 상기 단위 칩 영역의 혼재비가 25% 이상이다.
18. 본 발명의 반도체 집적 회로 장치의 제조 방법은,
 - (a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면 상에 고유전체막 또는 강유전체막을 형성하는 공정,
 - (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 그 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 고유전체막 또는 강유전체막이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
 - (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,
 - (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼 상의 상기 고유전체막 또는 강유전체막에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.
19. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 18에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼 두께의 3배 이하이다.
20. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 18에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼의 두께의 2배 이하이다.
21. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 18에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼의 두께 이하이다.
22. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 18 ~ 21중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 20배 이하이다.
23. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 18 ~ 22중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 10배 이하이다.
24. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 18 ~ 23중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 5배 이하이다.
25. 본 발명의 반도체 집적 회로 장치의 제조 방법은
 - (a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면 상에 구리를 주성분으로 하는 메탈층을 형성하는 공정,
 - (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 그 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 메탈층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
 - (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에 있어서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,
 - (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼 상의 상기 메탈층에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.
26. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 25에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼 두께의 3배 이하이다.
27. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 25에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼 두께의 2배 이하이다.
28. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 25에 기재된 상기 차광판의 환산 두께가 상기 웨이퍼 두께 이하이다.
29. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 25 ~ 28 중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 20배 이하이다.
30. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 25 ~ 28 중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 10배 이하이다.
31. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 25 ~ 28 중 어느 한 항에 기재된 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격이 상기 웨이퍼 두께의 5배 이하이다.
32. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 25 ~ 28 중 어느 한 항에 기재된 상기 공정 (b) ~ (d)에 있어서는 상기 웨이퍼의 상기 디바이스면의 주변부에 상기 메탈층이 형성되어 있지 않은 영역이 있다.

33. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

- (a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면 상에 제1 부재층을 형성하는 공정,
- (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 그 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 제1 부재층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
- (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,
- (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 섭씨 200도 이상 600도 미만의 온도 범위에서 가열함으로써 상기 디바이스면 상의 상기 제1 부재층에 대하여 열처리를 실시하는 공정으로 이루어진다.

34. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 33에 기재된 상기 공정 (b) ~ (d)에서는 상기 웨이퍼의 상기 디바이스면의 주변부에 상기 제1 부재층이 형성되어 있지 않은 영역이 있다.

35. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 33 또는 34에 기재된 상기 공정 (d)에서의 상기 웨이퍼의 가열 온도가 섭씨 550도 미만이다.

36. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 33 또는 34에서 상기 공정 (d)에서의 상기 웨이퍼의 가열 온도가 섭씨 500도 미만이다.

37. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

- (a) 메모리 영역과 논리 영역과 대응하는 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,
- (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 평균 반사율이 낮은 차광판의 제2 주요면에 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
- (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,
- (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

38. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

- (a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,
- (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 크며, 그 SiC 열용량 환산 두께가 상기 웨이퍼의 두께 이하인 판형물이고, 상기 웨이퍼의 상기 디바이스면에 비교하여 평균 반사율이 낮은 차광판의 제2 주요면에 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
- (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,
- (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

39. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

- (a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면에 고유전체막 또는 강유전체막을 형성하는 공정,
- (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 평균 반사율이 낮은 차광판의 제2 주요면에 상기 고유전체막 또는 강유전체막이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
- (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,
- (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼 상의 상기 고유전체막 또는 강유전체막에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

40. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

- (a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면 상에 구리를 주성분으로 하는 메탈층을 형성하는 공정,
- (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 평균 반사율이 낮은 차광판의 제2 주요면에, 상기 메탈층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
- (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차

광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼 상의 상기 메탈층에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

41. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

(a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면 상에 제1 부재층을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 평균 반사율이 낮은 차광판의 제2 주요면에 상기 제1 부재층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 섭씨 200도 이상 600도 미만의 온도 범위로 가열함으로써, 상기 디바이스면 상의 상기 제1 부재층에 대하여 열처리를 실시하는 공정으로 이루어진다.

42. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

(a) 메모리 영역과 논리 영역에 대응하는 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

43. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

(a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 크며, 그 SiC 열용량 환산 두께가 상기 웨이퍼의 두께 이하인 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

44. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

(a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면 상에 고유전체막 또는 강유전체막을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에 상기 고유전체막 또는 강유전체막이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼 상의 상기 고유전체막 또는 강유전체막에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

45. 본 발명의 반도체 집적 회로 장치의 제조 방법은,

(a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨이퍼의 디바이스면 상에 구리를 주성분으로 하는 메탈층을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에 상기 메탈층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼 상의 상기 메탈층에 대하여 어닐링 처리를 실시하는 공정으로 이루어진다.

46. 본 발명의 반도체 집적 회로 장치의 제조 방법은,
- (a) 패턴이 형성된 단위 칩 영역을 복수개 갖는 반도체 집적 회로 웨어퍼의 디바이스면 상에 제1 부재층을 형성하는 공정,
 - (b) 상기 웨어퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨어퍼의 상기 디바이스면에 비교하여 방사율의 파장 의존성이 평탄한 차광판의 상기 제2 주요면에 상기 제1 부재층이 형성된 상기 웨어퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
 - (c) 상기 웨어퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정,
 - (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨어퍼를 섭씨 200도 이상 600도 미만의 온도 범위로 가열함으로써 상기 디바이스 상의 상기 제1 부재층에 대하여 열처리를 실시하는 공정으로 이루어진다.
47. 본 발명의 반도체 집적 회로 장치의 제조 방법은,
- (a) 반도체 웨어퍼의 주요면에 불순물을 이온 주입하는 공정,
 - (b) 상기 불순물이 도입된 상기 반도체 웨어퍼의 주요면에 근접 대향하여 차광판을 배치하는 공정,
 - (c) 상기 차광판에 램프광을 조사함으로써 상기 차광판을 가열하는 공정,
 - (d) 가열된 상기 차광판으로부터의 복사광에 의해서 상기 웨어퍼를 가열함으로써, 상기 불순물을 활성화하고 상기 반도체 웨어퍼의 주요면에 MISFET의 소스, 드레인을 형성하는 공정으로 이루어진다.
48. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 47에 기재된 상기 차광판이 탄화 실리콘으로 이루어진다.
49. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 47 또는 청구항 48에 기재된 상기 램프광이 1 μ m 정도의 파장 영역에 피크를 갖는다.
50. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 49에 기재된 상기 램프가 텅스텐 할로겐 램프로 이루어진다.
51. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 47 ~ 청구항 49 중 어느 한 항에 기재된 상기 반도체 웨어퍼가 메모리 영역과 논리 영역에 대응하는 패턴이 형성된 단위 칩 영역을 복수개 갖는다.
52. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 51에 기재된 상기 메모리 영역이 DRAM을 포함한다.
53. 본 발명의 반도체 집적 회로 장치의 제조 방법은,
- (a) 반도체 웨어퍼의 주요면 상에 고유전체막 또는 강유전체막을 형성하는 공정,
 - (b) 상기 고유전체막 또는 강유전체막이 형성된 상기 반도체 웨어퍼의 주요면에 근접 대향하여 차광판을 배치하는 공정,
 - (c) 상기 차광판에 램프광을 조사함으로써 상기 차광판을 가열하는 공정,
 - (d) 가열된 상기 차광판으로부터의 복사광에 의해서 상기 웨어퍼를 가열함으로써 상기 고유전체막 또는 강유전체막을 개질·결정화하는 공정으로 이루어진다.
54. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 53에 기재된 상기 차광판이 탄화 실리콘으로 이루어진다.
55. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 53 또는 청구항 54에 기재된 상기 램프광이 1 μ m 정도의 파장 영역에 피크를 갖는다.
56. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 55에 기재된 상기 램프가 텅스텐 할로겐 램프로 이루어진다.
57. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 53 ~ 청구항 56 중 어느 한 항에 기재된 상기 고유전체막 또는 강유전체막이 용량 소자의 용량 절연막이다.
58. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 57에 기재된 상기 용량 소자가 DRAM의 메모리셀의 일부를 구성한다.
59. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 53 ~ 청구항 58 중 어느 한 항에 기재된 상기 고유전체막이 산화 탄탈로 이루어진다.
60. 본 발명의 반도체 집적 회로 장치의 제조 방법은,
- (a) 반도체 웨어퍼의 주요면 상에 형성한 절연막에 배선홀을 형성하는 공정,
 - (b) 상기 배선홀의 내부 및 상기 절연막의 상부에 Cu막을 형성하는 공정,
 - (c) 상기 Cu막이 형성된 상기 반도체 웨어퍼의 주요면에 근접 대향하여 차광판을 배치하는 공정,
 - (d) 상기 차광판에 램프광을 조사함으로써 상기 차광판을 가열하는 공정,

(e) 가열된 상기 차광판으로부터의 복사광에 의해서 상기 웨이퍼를 가열함으로써 상기 Cu막을 어닐링하는 공정,

(f) 상기 절연막의 상부의 상기 Cu막을 화학 기계 연마법으로 제거함으로써 상기 배선홀의 내부에 매립 Cu 배선을 형성하는 공정으로 이루어진다.

61. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 60에 기재된 상기 차광판이 탄화 실리콘으로 이루어진다.

62. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 60 또는 청구항 61에 기재된 상기 램프광이 1 μ m 정도의 파장 영역에 피크를 갖는다.

63. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 62에 기재된 상기 램프가 텅스텐 할로겐 램프로 이루어진다.

64. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 60 ~ 청구항 63 중 어느 한 항에 기재된 상기 반도체 웨이퍼가 메모리 영역과 논리 영역에 대응하는 패턴이 형성된 단위 칩 영역을 복수개 갖는다.

65. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 60 ~ 청구항 64 중 어느 한 항에 기재된 상기 반도체 웨이퍼의 주변부에 상기 Cu막이 형성되지 않는다.

66. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 60 ~ 청구항 65 중 어느 한 항에 기재된 상기 Cu막이 스퍼터링법으로 형성된다.

67. 본 발명의 반도체 집적 회로 장치의 제조 방법은, 상기 청구항 60 ~ 청구항 65 중 어느 한 항에 기재된 상기 Cu막이 도금법으로 형성된다.

이하, 본원에서 사용하는 용어의 일반적 의미에 대하여 설명한다.

「반도체 집적 회로 웨이퍼」, 「반도체 웨이퍼」(또는 단순히 「웨이퍼」)란, 반도체 집적 회로의 제조에 이용하는 단결정 실리콘 기판(일반적으로 거의 원형), 사파이어 기판, 유리 기판 그 외의 절연, 반절연 또는 반도체 기판 및 이들의 복합적 기판 등을 말한다. 또한, 「반도체 집적 회로 장치」(혹은 「전자 장치」, 「전자 회로 장치」 등)라고 할 때는 단결정 실리콘 기판 상에 만들어지는 것뿐만 아니라 특히 그렇지 않은 취지가 명시된 경우를 제외하여 상기한 각 종 기판 혹은 또한 SOI(Silicon On Insulator) 기판, TFT(Thin Film Transistor) 액정 제조용 기판, STN(Super Twisted Nematic) 액정 제조용 기판 등과 같은 다른 기판 상에 만들어지는 것을 포함하는 것으로 한다.

「디바이스면」이란, 웨이퍼의 주요면이며 포토리소그래피 기술에 의해서 복수의 단위 칩 영역에 대응하는 디바이스 패턴이 형성되는 면을 말한다.

「칩 형성부」란, 웨이퍼의 디바이스면 상의 복수의 단위 칩 영역을 포함하는 부분이며, 칩을 만드는 것을 의도하지 않은 주변 부분을 제외한 내부 영역을 말한다.

「혼재비」란 단위 칩 영역 내에 차지하는 메모리 영역(메모리셀 어레이 및 주변 회로를 포함한다)의 면적비이며, 메모리 영역의 면적(메모리 영역+논리 영역)의 면적으로 나눈 값을 백분율로 나타낸 것이다.

어느 재료의 「SiC 열용량 환산 두께」(또는 단순히 「환산 두께」)란, 단위 체적당 해당 재료의 열용량을 C, 단위 체적당 SiC의 열용량을 C₀, 해당 재료의 실제 두께를 T로 했을 때, T_r=T×(C/C₀)으로 나타내는 두께(즉 열용량으로 비교한 열적 실효 두께)를 말한다.

(예 1) 웨이퍼의 두께=0.8mm, SiC로 이루어지는 차광판의 두께=0.8mm로 했을 때 이 차광판의 환산 두께=0.8mm,

(예 2) 웨이퍼의 두께=0.8mm, 단위 체적당 열용량이 SiC의 2배의 재료로 이루어지는 차광판의 두께=0.8mm로 했을 때, 이 차광판의 환산 두께=2×0.8mm=1.6mm.

「광학적으로 균일하다」라고 할 때는 그 표면에 반사율의 얼룩을 주는 패턴의 조밀이나 패턴의 유무 등의 표면 형상의 변동이 문제로 되어 있는 웨이퍼의 디바이스면의 그와 비교하여 작은 것을 말한다.

「강유전체」란, 예를 들면 Ta₂O₅(산화 탄탈)와 같은 비유전율이 20 이상의 유전체 재료나 또한 BST((Ba, Sr)TiO₃; 티탄산 바륨 스트론튬)와 같은 비유전율이 100을 넘는 페로브스카이트형의 유전체 재료를 말한다.

「강유전체」란 상온에서 강유전상에 있는 페로브스카이트 구조를 포함하는 PZT, PLT, PLZT, SBT, PbTiO₃, SrTiO₃ 및 BaTiO₃ 등의 유전체 재료를 말한다.

「화학 기계 연마(Cheical Mechanical Polishing; CMP)」란, 일반적으로 피연마면을 상대적으로 부드러운 천모양의 시트 재료 등으로 이루어지는 연마 패드에 접촉시킨 상태에서, 슬러리를 공급하면서 면방향으로 상대 이동시켜서 연마를 행하는 것을 말하며, 본원에서는 기타, 피연마면을 경질의 지식면에 대하여 상대 이동시킴으로써 연마를 행하는 CML(Cheical Mechanical Lapping) 등도 포함하는 것으로 한다.

「매립 배선」이란 일반적으로 싱글 상감(single damascene)이나 이중 상감(dual damascene) 등과 같이 절연막에 형성된 홀 등의 내부에 도전막을 매립한 후, 절연막 상의 불필요한 도전막을 제거하는 배선 형성 기술에 의해서 형성된 배선을 말한다.

「메탈」이라고 할 때는 일반적으로 Cu, Al(알루미늄)과 같은 통상 금속 및 리플렉 트리 메탈을 포함하여 실리콘(Si), 실리사이드 등은 포함하지 않는다.

발명의 구성 및 작용

이하, 본 발명의 실시 형태를 도면에 기초하여 상세하게 설명한다. 또, 실시 형태를 설명하기 위한 전 도면에서 동일한 부재에는 원칙적으로 동일한 부호를 붙여서 그 반복된 설명은 생략한다. 또한, 특히 필요할 때 이외는 동일 또는 마찬가지로의 부분의 설명을 원칙으로 하여 반복하지 않는다.

또한, 이하의 실시 형태에서는 편의상 필요가 있을 때는 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특히 명시된 경우를 제외하고, 그들은 서로 무관계한 것은 아니며 한쪽은 다른쪽의 일부 또는 전부의 변형에, 상세, 보충 설명 등의 관계에 있다.

또한, 이하의 실시 형태에서 요소의 수 등(갯수, 수치, 량, 범위 등을 포함한다)에 언급하는 경우, 특히 명시했을 때 및 원리적으로 분명히 특정한 수에 한정될 때를 제외하고, 그 특정한 수에 한정되지 않고 특정한 수 이상이나 이하에서도 좋다. 또한, 이하의 실시 형태에서 그 구성 요소(요소 스텝 등을 포함한다)는 특히 명시한 경우 및 원리적으로 분명히 필수라고 생각되는 경우를 제외하고 반드시 필수적이지 않은 것은 물론이다.

마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등에 언급할 때는 특히 명시한 경우 및 원리적으로 분명히 그렇지 않다고 생각되는 경우를 제외하고 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지이다.

본 발명의 실시 형태인 메모리 논리 혼재 LSI의 제조 방법을 도 1 ~ 도 31을 이용하여 공정순으로 설명한다. 또, 이들의 도면 중, 기관의 단면을 나타내는 각 도면의 좌측 부분은 DRAM(Dynamic Random Access Memory)의 메모리 영역(메모리셀 어레이)을 나타내고 우측 부분은 CMOS-논리 영역을 나타내고 있다.

우선, 도 1에 도시한 바와 같이, 예를 들면 1 ~ 10Ωcm 정도의 비저항을 갖는 p형 단결정 실리콘 기관(이하, 단순히 기관 혹은 웨이퍼라 함 ; 1)의 주요면(디바이스면)에 소자 분리홀(2)을 형성한 후, 기관(1)의 일부에 p형 불순물[붕소(B)]을 이온 주입하여 p형 웰(3)을 형성하고 다른 일부에 n형 불순물[인(P)]을 이온 주입하여 n형 웰(4)을 형성한다.

상기 소자 분리홀(2)을 형성하기 위해서는 예를 들면 기관(1)의 소자 분리 영역을 에칭하여 깊이 350nm 정도의 홀을 형성하고 계속해서 이 홀의 내부 및 기관(1) 상에 CVD(Chemical Vapor Deposition)법으로 산화 실리콘막(5)을 피착한 후, 홀의 외부의 산화 실리콘막(5)을 화학 기계 연마(Chemical Mechanical Polishing ; CMP) 법으로 제거한다.

다음에, 도 2에 도시한 바와 같이, 기관(1)을 웨트 산화하고 p형 웰(3) 및 n형 웰(4)의 표면에 막 두께 6nm 정도의 게이트 산화막(6)을 형성한 후, 게이트 산화막(6) 상에 0.13μm ~ 0.14μm의 게이트 길이를 갖는 게이트 전극(7)을 형성한다. 게이트 전극(7)을 형성하기 위해서는 예를 들면 기관(1) 상에 인(P) 등의 n형 불순물을 도핑한 막두께 100nm 정도의 다결정 실리콘막을 CVD법으로 피착하고, 계속해서 그 상부에 스퍼터링법으로 막두께 5nm 정도의 질화 텅스텐(WN)막 및 막두께 50nm 정도의 텅스텐(W)막을 피착하고 또한 그 상부에 CVD법으로 막두께 100nm 정도의 질화 실리콘막(8)을 피착한 후, 포토 레지스트막을 마스크로 한 드라이 에칭으로 이들 막을 패터닝한다. 메모리 영역에 형성된 게이트 전극(7)은 워드선 WL로서 기능한다.

상기 게이트 산화막(6)을 형성한 후, 게이트 전극(7)을 형성하는 공정에 앞서서, N₂O(산화 질소) 혹은 N₂O(아산화 질소) 등의 질소 포함 가스 분위기 중에서 기관(1)을 어닐링하고, 게이트 산화막(6)과 기관(1)과의 계면에 질소를 편석시켜도 좋다. 이 어닐링은 필수적인 공정은 아니지만, 게이트 산화막(6)의 막두께가 얇아지면, 기관(1)과의 열팽창 계수차에 기인하여 양자의 계면에 생기는 스트레스가 현재화하고, 핫 캐리어의 발생을 유발한다. 게이트 산화막(6)과 기관(1)과의 계면에 편석한 질소는 이 스트레스를 완화하므로, 상기한 어닐링을 행함으로써 게이트 산화막(6)의 신뢰성, 절연 내압을 향상시킬 수 있다. 또, 이 어닐링을 행하는 경우에는 후술하는 어닐링 장치를 사용하는 것이 바람직하다.

다음에, 도 3에 도시한 바와 같이, 게이트 전극(7)의 양측의 p형 웰(3)에 n형 불순물[인 또는 비소(As)]을 이온 주입함으로써 n형 반도체 영역(11)을 형성하고, n형 웰(4)에 p형 불순물(붕소)을 이온 주입함으로써 p형 반도체 영역(12)을 형성한다.

다음에, 도 4에 도시한 바와 같이, 기관(1) 상에 CVD법으로 막두께 50nm 정도의 질화 실리콘막(13)을 피착한 후, 메모리 영역의 기관(1)의 상부를 포토 레지스트막(도시하지 않음)으로 덮고 논리 영역의 질화 실리콘막(13)을 이방적으로 에칭함으로써 논리 영역의 게이트 전극(7)의 측벽에 측벽 스페이서(13a)를 형성한다.

다음에, 도 5에 도시한 바와 같이, 논리 영역의 n형 웰(4) 및 메모리 영역을 포토 레지스트막(9)으로 덮고, 논리 영역의 p형 웰(3)에 n형 불순물(비소)을 이온 주입한 후, 도 6에 도시한 바와 같이, 논리 영역의 p형 웰(3) 및 메모리 영역을 포토 레지스트막(10)으로 덮고, 논리 영역의 n형 웰(4)에 p형 불순물(붕소)을 이온 주입한다. 상기 n형 불순물 및 p형 불순물의 이온 주입의 깊이는 100nm 이하, 바람직하게는 50nm 이하, 보다 바람직하게는 20nm 이하로 한다.

다음에, 기관(1)에 도입된 상기 n형 불순물 및 p형 불순물을 활성화하기 위해서, 이하에 나타내는 어닐링 장치를 사용하여 기관(웨이퍼 ; 1)을 어닐링한다.

도 7은 본 실시 형태에서 사용하는 웨이퍼형 어닐링 장치의 구성을 나타내는 개략도이다. 이 어닐링 장

치(100)는 외벽이 스테인레스(SUS) 등의 메탈 또는 석영으로 구성된 챔버(101)를 구비하고 있으며, 챔버(101)의 상부에는 웨이퍼(1)의 가열원인 여러개의 램프(102)가 배치되어 있다. 이것들의 램프(102)는 실리콘에 대한 흡수율이 높은 파장 1 μ m 정도의 광을 방사하는 직경 30mm 정도의 W(텅스텐) 할로겐 램프로 이루어지며, 예를 들면 도 8에 도시한 바와 같은 동심원형의 패턴으로 밀하게 배열되어 있다. 이 동심원의 최외주의 직경은 300mm 정도이다.

상기 챔버(101)의 벽면에는 챔버(101) 내에 질소 가스를 도입하기 위한 가스 도입관(103) 및 챔버(101) 내에 도입된 상기 가스를 배출하기 위한 배기관(104)이 접속되어 있다. 또한, 챔버(101) 내의 중앙부에는 웨이퍼(1)를 유지하는 서셉터(105)가 설치되고 있으며, 웨이퍼(1)는 그 주요면(디바이스면)을 위로 향한 상태에서 서셉터(105)의 상면에 수평으로 유지된다. 웨이퍼(1)의 사이즈는, 일례로서 직경 200mm, 두께 725 μ m이다.

도 9는 서셉터(105)의 상면에 유지된 웨이퍼(1)의 주요면을 나타내는 평면도이다. 도시한 바와 같이, 웨이퍼(1)의 주요면의 칩 형성부에는 구형의 패턴을 갖는 복수의 단위 칩 영역 UC가 매트릭스형으로 형성되어 있다. 이들 단위 칩 영역 UC 각각은 웨이퍼 프로세스 완료 후, 웨이퍼(1)를 다이싱에 의해서 분할했을 때 1개의 칩이 되는 영역이다. 단위 칩 영역 UC의 치수는, 세로×가로=20mm×20mm 정도이다.

웨이퍼(1)의 주요면에 형성된 상기 단위 칩 영역 UC 각각은 메모리 영역과 논리 영역을 가지고 있다. 메모리 영역 및 논리 영역의 단위 칩 영역 UC 내에 차지하는 면적비, 즉 양자의 혼재비는 제품에 의해서도 다르지만, 예를 들면 15% 이상, 20% 이상 또는 25% 이상이다. 여기서, 혼재비란 메모리 영역 및 논리 영역의 총 면적에 대한 메모리 영역의 면적의 비(백분율)를 말한다. 예를 들면 도면에 도시하는 단위 칩 영역 UC의 경우, 메모리 영역과 논리 영역의 짧은 변의 치수비가 3 : 17일 때, 혼재비는 15%가 된다. 마찬가지로, 메모리 영역과 논리 영역의 짧은 변의 치수비가 1 : 4일 때, 혼재비는 20%가 되며 치수비가 1 : 3일 때, 혼재비는 25%가 된다.

일반적으로, 메모리 영역은 메모리 용량을 가능한 한 늘리기 위해서 소자를 고밀도로 배치하므로 논리 영역에 비하여 패턴 밀도가 높다(도 2 ~ 도 6 참조). 또, 여기서 말하는 메모리 영역이란 논리 영역에 비교하여 패턴 밀도가 높은, 예를 들면 DRAM, SRAM(Static Random Access Memory), FeRAM(Ferroelectric Random Access Memory), 플래시 메모리 등과 같은 랜덤 액세스 메모리의 고밀도 메모리셀 어레이 및 그 주변 회로를 말한다.

상기 웨이퍼(1)를 유지하는 서셉터(105)의 상측에는 웨이퍼(1)의 디바이스면(주요면)에 근접 대향하여 차광판(106)이 설치된다. 이 차광판(106)은 예를 들면 SiC(탄화 실리콘)와 같은 내열성 세라믹스로 구성된 원형의 판형물로 이루어지며, 통상은 그 주요면(상면 및 하면)이 웨이퍼(1)의 주요면과 거의 평행해지도록 설치된다. 또한, 웨이퍼(1)의 하측에는 웨이퍼(1)의 온도를 다점으로 측정하는 파이러미터(107)가 설치된다.

상기 차광판(106)의 두께(SiC 열용량 환산 두께)는 500 μ m 정도, 직경은 웨이퍼(1)의 직경이 200mm인 경우, 225mm 정도이다. 또한, 차광판(106)의 하측면과 웨이퍼(1)의 주요면과의 간격은 7mm 정도이며 차광판(106)의 상측면에서부터 램프(102)까지의 거리는 60mm 정도이다.

램프(102)와 웨이퍼(1) 간에 상기한 바와 같은 차광판(106)을 개재시킨 상태에서 램프(102)를 점등하면, 우선 차광판(106)이 램프(102)의 광을 흡수하여 승온하고 또한 웨이퍼(1)가 차광판(106)으로부터 발하는 복사광을 흡수하여 승온한다. SiC 등의 세라믹으로 이루어지는 차광판(106)은 발열체로서 본 경우, 방사율의 파장 의존성이 평탄하고, 폭넓은 파장 영역의 광(열선)을 방사한다고 하는 성질이 있다. 그 때문에, 차광판(106)으로부터의 복사열에 의해서 웨이퍼(1)를 가열한 경우에는 파장 1 μ m 정도의 광을 방사하는 램프(102)의 광에 의해서 직접 가열하는 경우에 비하여 단시간에 승온한다(승온율이 높다). 이것은, SiC와 같이 방사율의 파장 의존성이 평탄한 물질은 단파장의 광을 흡수한 경우에서도 그것을 넓은 범위의 여기 상태로 재분배하는 기구가 원활하게 작용하는 결과, 블랙 바디 또는 그레이 바디적인 균일한 복사 특성을 나타내기 때문이다.

다른쪽, ULSI의 제조에 사용되는 실리콘 웨이퍼의 경우에는 600 $^{\circ}$ C 미만, 즉 저온 영역(특히 500 $^{\circ}$ C 미만, 즉 혐의로 저온 영역에서는 또한 이 경향이 강하다)에서는 가시 영역에서부터 1.2 μ m정도까지의 광은 전자의 띠 간 천이에 의해 거의 불투명하며, 6 μ m보다도 긴 파장 영역에서는 격자 진동의 기여에 따라 비교적 높은 흡수를 나타낸다. 한편, 이들의 중간 영역에서는 자유 전자의 기여에 따른 비교적 약한 흡수를 나타낸다. 600 $^{\circ}$ C 이상에서는 실리콘은 거의 이들의 전역에 걸쳐서 불투명해지기 때문에 표면이 균일한 웨이퍼에서는 방사율의 파장 의존성은 매우 작아진다.

또한, 폭넓은 파장 영역의 광을 웨이퍼(1)에 조사함으로써 웨이퍼(1)의 주요면에 형성된 집적 회로 패턴의 밀도에 기인하는 방사율의 변동도 해소된다. 그 때문에, 단순히 웨이퍼(1)의 온도 분포가 칩 형성부 전체에서 균일해질 뿐만 아니라, 패턴의 소밀이 원인으로 단위 칩 영역 UC의 내부에 생기는 국소적인 온도의 변동도 해소되며 단위 칩 영역 UC 내의 온도 분포가 메모리 영역과 논리 영역에서 균일해진다.

웨이퍼(1)의 칩 형성부 전체에 거의 균등한 에너지량의 복사광을 조사하기 위해서는 상기 차광판(106)의 면적을 적어도 웨이퍼(1)의 칩 형성부의 면적보다도 크게 할 필요가 있다. 또한, 차광판(106)의 양면은 광학적으로 균일한 것, 즉 방사율의 열폭을 주는 패턴의 조밀이나 패턴의 유무 등의 표면 형상의 변동이 웨이퍼(1)의 디바이스면의 그와 비교하여 작은 것이 바람직하며 특히 웨이퍼(1)의 주요면과 대향하는 차광판(106)의 하면은 웨이퍼(1)의 디바이스면에 비교하여 평균 방사율이 낮은 것이 바람직하다.

또한 일반적으로, 에너지 효율은 열원으로부터의 거리의 2승에 반비례하기 때문에, 차광판(106)과의 간격이 지나치게 떨어져 있으면 웨이퍼(1)의 승온율이 저하한다. 특히, 불순물의 확산을 억제하여 얇은 확산층(소스, 드레인)을 형성하는 경우에는 웨이퍼(1)의 승온율을 적어도 30 $^{\circ}$ C/초, 바람직하게는 50 $^{\circ}$ C/초 이상으로 하고자 하므로, 차광판(1)의 하측면과 웨이퍼(1)의 디바이스면과의 간격은 웨이퍼(1)의 두께의 20배 이하, 바람직하게는 10배 이하, 보다 바람직하게는 5배 이하로 한다. 또한, 차광판(106)의 판두께가 큰 경우도 웨이퍼(1)의 승온율이 저하하므로, 차광판(106)의 두께는 최대한도 웨이퍼(1) 두께

의 3배 이하, 바람직하게는 2배 이하, 보다 바람직하게는 동일한 정도 이하로 한다.

또, 상기 차광판(106)을 구성하는 재료는 SiC에 한정되지는 않고, 표면 텍스처가 비교적 균일한 단결정 실리콘, 비정질 또는 다결정 실리콘, 내열성 세라믹스 등으로 구성할 수도 있다. 이 경우에도, 차광판(106)의 두께는 SiC 열용량 환산 두께로 상기한 값이 되도록 하는 것이 바람직하다.

도 10은 상기 어닐링 장치(100)를 사용한 어닐링 시퀀스의 일례이다. 이 예에서는, 우선 챔버(101)의 내부에 질소 가스를 도입하면서 웨이퍼(1)를 서셉터(105) 상에 로드하고, 챔버(101) 내의 가스 교환을 충분히 행한 후, 램프(102)를 점등하여 차광판(106)을 가열하고, 가열된 차광판(106)으로부터의 복사 열에 의해서 웨이퍼(1)를 가열한다. 승온율은 50°C/초로 하고 900°C에서 60초의 어닐링을 행한 후, 강온을 15°C/초로 웨이퍼를 냉각한다.

상기 어닐링을 행함으로써 불순물이 활성화되며 도 11에 도시한 바와 같이, 논리 영역의 p형 웰(3)에 n⁺형 반도체 영역(14; 소스, 드레인)이 형성되며, n형 웰(4)에 p⁺형 반도체 영역(15; 소스, 드레인)이 형성된다. 상기 n⁺형 반도체 영역(14) 및 p⁺형 반도체 영역(15)의 접합 깊이는 120nm 이하, 바람직하게는 60nm 이하, 보다 바람직하게는 24nm 이하이다.

여기까지의 공정에서 논리 영역에 n 채널형 MISFET_{Qn} 및 p 채널형 MISFET_{Qp}가 형성된다. 그 때, 본 실시 형태에서는 웨이퍼(1)의 중심부와 주변부 및 단위 칩 영역 UC 내의 메모리 영역과 논리 영역으로 어닐링 온도가 균일화되므로, 소스, 드레인의 시트 저항이 웨이퍼면 내에서 균일화된다. 또한, 기존의 램프 어닐링 장치를 사용한 경우에 비하여 승온율이 커지므로 불순물의 확산이 억제되며 얇은 pn 접합(소스, 드레인)을 형성할 수 있다.

다음에, 도 12에 도시한 바와 같이, 기판(1) 상에 CVD법으로 막두께 600nm 정도의 산화 실리콘막(16)을 피착하고, 계속해서 그 표면을 화학 기계 연마법으로 평탄화한 후, 포토 레지스트막(도시하지 않음)을 마스크로 하여 메모리 영역의 산화 실리콘막(16) 및 그 하층의 질화 실리콘막(13)을 드라이 에칭함으로써, n⁻형 반도체 영역(11)의 상부에 콘택트홀(18, 19)을 형성한다.

MISFET(Q_n, Q_p, Q_s)의 상부를 덮는 절연막은 상기 산화 실리콘막(16) 대신에 SOG(Spin On Glass)막을 사용하여도 좋다. SOG막은 CVD법으로 피착한 산화 실리콘막(16)에 비하여 미세한 배선간의 갭-필성에 우수하므로, 메모리 영역의 게이트 전극(7; 워드선 WL)의 스페이스가 매우 좁은 경우에 있어서도 그 스페이스를 양호하게 매립할 수 있다. SOG막으로는 수소 실세스키 옥산(hydrogen silsesquioxane)을 주성분으로 하는 것이나 폴리 실라잔(poly silazane)을 주성분으로 하는 것 등을 사용할 수 있다.

SOG막을 사용하는 경우에는 우선 용매로 희석한 SOG의 화학 약품을 기판(1) 상에 스프인 도포하고, 계속해서 약 400°C의 어닐링을 행하여 용매를 기화시킨 후, 산소를 포함하는 분위기 중, 약 800°C, 1분 고온 어닐링을 행함으로써 SOG막을 치밀화(덴시파이)한다. 이 때, 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용함으로써, 웨이퍼(기판; 1)의 승온율이 커지므로 MISFET의 소스, 드레인에 도입된 불순물의 확산을 억제할 수 있다.

그 후, 상기 SOG막을 화학 기계 연마함으로써 그 표면을 평탄화하고 계속해서 상기한 바와 마찬가지로의 방법으로 n⁻형 반도체 영역(11)의 상부에 콘택트홀(18, 19)을 형성한다. 통상, 400°C 정도의 열처리에 의해서 얻어지는 SOG막은 CVD법으로 피착한 산화 실리콘막에 비하여 약하기 때문에, 화학 기계 연마법의 적용은 곤란하다. 그러나, 약 800°C의 고온 어닐링에 의해 치밀화된 SOG막은 CVD법으로 피착한 산화 실리콘막과 동등 이상의 치밀한 막이 되므로 화학 기계 연마법에 의한 평탄화 처리가 가능해진다.

다음에, 도 13에 도시한 바와 같이, 콘택트홀(18, 19)의 내부에 플러그(20)를 형성한다. 플러그(20)를 형성하기 위해서는 우선 불산을 포함한 세정액을 사용하여 콘택트홀(18, 19)의 내부를 웨트 세정한 후, 콘택트홀(18, 19)의 내부 및 산화 실리콘막(16)의 상부에 인(P) 등의 n형 불순물을 도핑한 저저항 다결정 실리콘막을 CVD법으로 피착하고, 계속해서 다결정 실리콘막을 에치백(또는 화학 기계 연마법으로 연마)하여 콘택트홀(18, 19)의 내부에만 남긴다.

다음에, 질소 가스 분위기 중에서 약 800°C, 1분의 어닐링을 행하고, 플러그(20)를 구성하는 다결정 실리콘막 중 n형 불순물을 콘택트홀(18, 19)의 바닥부의 기판[1; p형 웰(3)]에 확산시킴으로써, 메모리 영역에 n⁺형 반도체 영역(17; 소스, 드레인)을 형성한다. 여기까지의 공정에서, 메모리 영역에 메모리 셀 선택용 MISFET_{Qs}가 형성된다. n⁺형 반도체 영역(17; 소스, 드레인)을 형성하기 위한 상기 어닐링은 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용하여 행하는 것이 바람직하다.

다음에, 도 14에 도시한 바와 같이, 산화 실리콘막(16)의 상부에 CVD법으로 막두께 20nm 정도의 산화 실리콘막(21)을 피착한 후, 포토 레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 논리 영역의 산화 실리콘막(21) 및 그 하층의 산화 실리콘막(16)을 드라이 에칭함으로써, n 채널형 MISFET_{Qn}의 소스, 드레인[n⁺형 반도체 영역(14)]의 상부에 콘택트홀(22)을 형성하고, p 채널형 MISFET_{Qp}의 소스, 드레인[p⁺형 반도체 영역(15)]의 상부에 콘택트홀(23)을 형성한다. 또한, 이 때 동시에 논리 영역의 p 채널형 MISFET_{Qp}의 게이트 전극[(7); 및 n 채널형 MISFET_{Qp}의 도시하지 않은 영역의 게이트 전극(7)]의 상부에 콘택트홀(24)을 형성하고 메모리 영역의 콘택트홀(18)의 상부에 관통 구멍(25)을 형성한다.

다음에, 도 15에 도시한 바와 같이, n 채널형 MISFET_{Qn}의 소스, 드레인[n⁺형 반도체 영역(14)]의 표면, p 채널형 MISFET_{Qp}의 소스, 드레인[p⁺형 반도체 영역(15)]의 표면 및 콘택트홀(18)의 내부의 플러그(20)의 표면에 각각 실리사이드층(26)을 형성한 후, 콘택트홀(22, 23, 24)의 내부 및 관통 구멍(25)의 내부에 플러그(27)를 형성한다.

소스, 드레인[n⁺형 반도체 영역(14), p⁺형 반도체 영역(15)]과 그 상부에 형성된 플러그(27)와의 계면에 실리사이드층(26)을 형성함으로써, 소스, 드레인[n⁺형 반도체 영역(14), p⁺형 반도체 영역(15)]과 플러그(27)와의 컨택트 저항이 저감하므로, 논리 회로를 구성하는 MISFET(n 채널형 MISFETQn, p 채널형 MISFETQp)의 동작 속도가 향상된다.

상기 실리사이드막(26)을 형성하기 위해서는 예를 들면 컨택트홀(22, 23, 24)의 내부 및 관통 구멍(25)의 내부를 포함하는 산화 실리콘막(21)의 상부에 스퍼터링법으로 막두께 30nm 정도의 Ti막(또는 Co막) 및 막두께 20nm 정도의 TiN막을 피착한 후 기판(1)을 어닐링한다. 이 어닐링도 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용하여 단시간에 행하는 것이 바람직하다. 또한, 플러그(27)를 형성하기 위해서는 예를 들면 컨택트홀(22, 23, 24)의 내부 및 관통 구멍(25)의 내부를 포함하는 상기 TiN막의 상부에 CVD법으로 막두께 50nm 정도의 TiN막 및 막두께 300 정도의 W막을 피착한 후, 산화 실리콘막(21) 상부의 W막, TiN막 및 Ti막을 화학 기계 연마법으로 제거한다.

다음에, 도 16에 도시한 바와 같이, 메모리 영역의 산화 실리콘막(21)의 상부에 비트선 BL을 형성하고, 논리 영역의 산화 실리콘막(21)의 상부에 제1층패의 배선(30 ~ 33)을 형성한다. 비트선 BL 및 제1층패의 배선(30 ~ 33)을 형성하기 위해서는 예를 들면 산화 실리콘막(21)의 상부에 스퍼터링법으로 막두께 100nm 정도의 W막을 피착한 후, 포토 레지스트막을 마스크로 하여 이 W막을 드라이 에칭한다.

다음에, 도 17에 도시한 바와 같이, 메모리 영역의 비트선 BL 및 논리 영역의 제1층패의 배선(30 ~ 33)의 상부에 막두께 300nm 정도의 산화 실리콘막(34)을 형성한 후, 포토 레지스트막(도시하지 않음)을 마스크로 하여 메모리 영역의 산화 실리콘막(34)을 드라이 에칭함으로써, 컨택트홀(19)의 상부에 관통 구멍(38)을 형성한다.

다음에, 상기 관통 구멍(38)의 내부에 플러그(39)를 형성한다. 플러그(39)를 형성하기 위해서는 관통 구멍(38)의 내부 및 산화 실리콘막(34)의 상부에 n형 불순물(인)을 도핑한 저저항 다결정 실리콘막을 CVD법으로 피착한 후, 산화 실리콘막(34)의 상부의 다결정 실리콘막을 에치백으로 제거한다.

다음에, 도 18에 도시한 바와 같이, 산화 실리콘막(34) 상부에 CVD법으로 막두께 100nm 정도의 질화 실리콘막(40)을 피착하고, 계속해서 질화 실리콘막(40)의 상부에 CVD법으로 산화 실리콘막(41)을 피착한 후, 포토 레지스트막(도시하지 않음)을 마스크로 하여 메모리 영역의 산화 실리콘막(41)을 드라이 에칭하고, 계속해서 이 산화 실리콘막(41) 하층의 질화 실리콘막(40)을 드라이 에칭함으로써, 관통 구멍(38)의 상부에 홀(42)을 형성한다. 정보 축적용 용량 소자의 하부 전극은 이 홀(42)의 내벽에 따라서 형성되므로, 하부 전극의 표면적을 크게 하여 축적 전하량을 늘리기 위해서는 홀(42)을 형성하는 산화 실리콘막(41)을 두꺼운 막두께(예를 들면 1.3 μ m 정도)로 피착한다.

다음에, 도 19에 도시한 바와 같이, 상기 홀(42)의 내벽에 따라서 정보 축적용 용량 소자의 하부 전극으로서 사용되는 다결정 실리콘막(43)을 형성한다. 이 다결정 실리콘막(43)을 형성하기 위해서는 우선 홀(42)의 내부 및 산화 실리콘막(41)의 상부에 n형 불순물(인)을 도핑한 막두께 50nm 정도의 비정질 실리콘막(도시하지 않음)을 CVD법으로 피착한다. 계속해서, 산화 실리콘막(41)의 상부의 비정질 실리콘막을 에치백하고 홀(42)의 내벽에 비정질 실리콘막을 남긴다.

다음에, 홀(42)의 내부에 남은 상기 비정질 실리콘막의 표면을 불산계의 세정액으로 웨트 세정한 후, 감압 분위기 중에서 비정질 실리콘막의 표면에 모노실란(SiH₄)을 공급하고, 계속해서 기판(1)을 열 처리하여 비정질 실리콘막을 다결정화함과 함께, 그 표면에 실리코늄을 성장시킨다. 이에 따라, 표면이 조면화된 다결정 실리콘막(43)이 홀(42)의 내벽에 따라서 형성된다. 표면이 조면화된 다결정 실리콘막(43)은 그 표면적이 크므로 미세화된 정보 축적용 용량 소자의 축적 전하량을 늘릴 수 있다.

다음에, 도 20에 도시한 바와 같이, 홀(42)의 내부에 형성된 상기 다결정 실리콘막(43)의 표면 및 홀(42)의 외부의 산화 실리콘막(41)의 표면에 CVD법으로 막두께 10 ~ 15nm 정도의 산화 탄탈(Ta₂O₅)막(44)을 피착한다. 이 산화 탄탈막(44)은 정보 축적용 용량 소자의 용량 절연막으로서 사용된다.

다음에, 산소 분위기 중에서 기판(1)을 어닐링함으로써 산화 탄탈막(44)을 개질·결정화한다. 이 어닐링을 행함으로써, 유전률이 20 ~ 25로 높고 또한 누설 전류가 적은 고품질인 산화 탄탈막(44)이 얻어진다. 정보 축적용 용량 소자의 용량 절연막을 유전률이 높은 절연막으로 구성함으로써 정보 축적용 용량 소자의 축적 전하량을 늘릴 수 있다.

산화 탄탈막(44)을 개질·결정화하기 위한 상기 어닐링은 산소 분위기 중 600 $^{\circ}$ C ~ 800 $^{\circ}$ C의 온도 범위에서 행한다. 또한 이 어닐링은 MISFET의 소스, 드레인에 도입된 불순물의 확산을 억제하는 등의 이유에서부터, 5분 이하의 단시간에 행하는 것이 바람직하므로, 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용하여, 승온율 20 $^{\circ}$ C/초 이상의 조건으로 행한다. 이 경우, 차광판(1)의 하면과 웨이퍼(1)의 디바이스면과의 간격은 웨이퍼(1)의 두께의 20배 이하, 바람직하게는 10배 이하, 보다 바람직하게는 5배 이하로 한다. 또한, 차광판(106)의 두께는 SiC 열용량 환산 두께로 최대라도 웨이퍼(1) 두께의 3배 이하, 바람직하게는 2배 이하, 보다 바람직하게는 동일한 정도 이하로 한다.

산화 탄탈막(44)의 어닐링에 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용함으로써 높은 승온율이 얻어질 뿐만 아니라, 웨이퍼(1)의 온도 분포가 칩 형성부 전체로 균일해지기 때문에, 웨이퍼(1)의 중심부와 주변부에서 산화 탄탈막(44)의 특성의 변동을 저감할 수 있다. 또한, 기존의 램프 어닐링 장치를 사용한 경우에는 단위 칩 영역 UC의 내부에서도 집적 회로 패턴의 밀도에 기인하는 방사율의 차로부터, 메모리 영역의 중심부와 주변부(논리 영역에 근접하는 영역)로 웨이퍼 온도에 차가 생기지만, 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용함으로써, 이 문제도 회피할 수 있으므로, 메모리 영역의 중심부와 주변부에서 산화 탄탈막(44) 특성의 변동을 저감할 수 있다.

정보 축적용 용량 소자의 용량 절연막은 상기 산화 탄탈막(44)뿐만아니라 PZT, PLT, PLZT, PbTiO₃, SrTiO₃, BaTiO₃, BST, SBT 또는 Ta₂O₅ 등, 페로브스카이트형 또는 복합 페로브스카이트형의 결정 구조를 갖는 고유전체 또는 강유전체를 주성분으로 하는 막에 의해서 구성하여도 좋다. 이들의 고(강)유전체막을 사용하는 경우도 막의 개질·결정화를 위한 어닐링이 필요해지지만, 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용함으로써 특성의 변동을 저감할 수 있다.

또한, 정보 축적용 용량 소자의 용량 절연막을 상기한 바와 같은 페로브스카이트형 또는 복합 페로브스카이트형의 결정 구조를 갖는 고(강)유전체에서 구성되는 경우에는 정보 축적용 용량 소자의 전극을 내산화성이 높은 Pt, Ru, Ir 등의 백금속으로 구성하는 것이 바람직하다.

다음에, 도 21에 도시한 바와 같이 홈(42)의 내부를 포함하는 산화 탄탈막(44)의 상부에 CVD법 및 스퍼터링법을 병용하여 막두께 150nm 정도의 TiN막(45)을 피착한 후, 포토 레지스트막(도시하지 않음)을 마스크로 한 드라이 에칭으로 TiN막(45)과 산화 탄탈막(44)을 패터닝한다. 이에 따라, TiN막(45)으로 이루어지는 상부 전극, 산화 탄탈막(44)으로 이루어지는 용량 절연막 및 다결정 실리콘막(43)으로 이루어지는 하부 전극에 의해서 구성되는 정보 축적용 용량 소자 C가 형성된다. 또한, 여기까지의 공정에 의해, 메모리셀 선택용 MISFETs와 이에 직렬로 접속된 정보 축적용 용량 소자 C로 이루어지는 DRAM의 메모리셀이 완성된다.

다음에, 도 22에 도시한 바와 같이, 정보 축적용 용량 소자 C의 상부에 CVD법으로 막두께 100nm 정도의 산화 실리콘막(50)을 피착한다. 이 때, 논리 영역에는 두꺼운 막두께의 산화 실리콘막(41)이 남아 있으므로, 기판(1)의 표면에서부터 산화 실리콘막(50)의 표면까지의 높이(표고)는 메모리 영역과 논리 영역으로 거의 동일해진다.

다음에, 포토 레지스트막(도시하지 않음)을 마스크로 하여 논리 영역의 제1층패의 배선(30, 33) 상부의 산화 실리콘막(50, 41), 질화 실리콘막(40) 및 산화 실리콘막(34)을 드라이 에칭함으로써 관통 구멍(51, 52)을 형성한 후, 관통 구멍(51, 52)의 내부에 플러그(53)를 형성한다. 플러그(53)는 예를 들면 산화 실리콘막(50)의 상부에 스퍼터링법으로 막두께 100nm 정도의 TiN막을 피착하고 또한 그 상부에 CVD법으로 막두께 500nm 정도의 W막을 피착한 후, 이들 막을 에치백하여 관통 구멍(51, 52)의 내부에 남김으로써 형성한다.

다음에, 산화 실리콘막(50)의 상부에 이하와 같은 방법으로 제2층패의 배선을 형성한다.

우선, 도 23에 도시한 바와 같이, 산화 실리콘막(50)의 상부에 CVD법으로 막두께 50nm ~ 100nm 정도의 질화 실리콘막(46) 및 막두께 500nm ~ 600nm 정도의 산화 실리콘막(54)을 피착한 후, 포토레지스트막(도시하지 않음)을 마스크로 하여 산화 실리콘막(54)을 드라이 에칭하고, 계속해서 질화 실리콘막(46)을 드라이 에칭함으로써 배선홀(55, 56, 57)을 형성한다. 질화 실리콘막(46)은 산화 실리콘막(54)을 에칭할 때 하층의 산화 실리콘막(50)이 에칭되는 것을 막기 위한 스톱퍼막으로서 사용된다.

다음에, 도 24에 도시한 바와 같이, 배선홀(55 ~ 57)의 내부 및 산화 실리콘막(54)의 상부에 얇은 도전성 배리어막(58)을 피착한 후, 도전성 배리어막(58)의 상부에 스퍼터링법으로 막두께 600nm 정도의 Cu막(59)을 피착한다. Cu막(59)은 고순도의 Cu 외, Cu를 약 80% 이상 함유하는 Cu 합금으로 구성하여도 좋다.

Cu는 산화 실리콘막 중에 확산하기 쉽다고 하는 성질이 있기 때문에, 배선홀(55 ~ 57)의 내부에 Cu 배선을 형성한 경우, 산화 실리콘막(54) 중에 Cu가 확산하고, 배선 간의 단락이나 산화 실리콘막(54)의 유전률 상승에 의한 배선간 기생 용량의 증가를 야기한다. 또한, Cu는 산화 실리콘 등의 절연 재료에 대한 밀착성이 부족하다고 하는 성질이 있기 때문에, 산화 실리콘막(54)과의 계면에서 박리를 야기하기 쉽다. 그래서, 배선홀(55 ~ 57)의 내부에 Cu 배선을 형성하는 경우에는 산화 실리콘막(54)과 Cu막(59) 간에 Cu의 확산을 억제하고 또한 절연 재료에 대한 밀착성이 높은 도전성 배리어막(58)을 설치할 필요가 있다. 도전성 배리어막(58)은 예를 들면 CVD법(또는 스퍼터링법)으로 피착한 TiN막으로 이루어진다. 또한, WN, TaN(질화 탄탈) 등의 고용점 금속 질화물, 고용점 금속 질화물에 Si(실리콘)를 첨가한 재료나 Cu와 반응하기 어려운 Ta, Ti, W, TiW 합금 등의 고용점 금속도 도전성 배리어막(58)으로서 이용할 수 있다.

산화 실리콘막(54)의 상부에 스퍼터링법으로 피착한 상기 Cu막(59)은 그대로로는 배선홀(55 ~ 57)의 내부에 충분히 매립되지 않는다. 그래서 다음에 Cu막(59)을 어닐링하여 그 유동성을 높이고 배선홀(55 ~ 57)의 내부에 Cu막(59)을 유입시키기 위한 리플로우 처리를 행한다.

Cu막(59)의 어닐링은 Cu의 확산을 억제하면서 Cu의 유동성을 높일 필요가 있으므로, 램프 어닐링 장치를 사용하고 200℃ 이상, 600℃ 미만, 바람직하게는 200℃ 이상, 550℃ 미만, 더 바람직하게는 200℃ 이상, 500℃ 온도 범위에서 행한다. 또한, 그때에 Cu막(59)이 산화되는 것을 막기 위해서 수소를 주성분으로 하는 환원 분위기 중에서 행한다.

그런데, Cu는 1μm 정도의 파장 영역에 피크를 갖는 램프광을 거의(99% 이상) 반사하는 성질이 있다. 그 때문에, Cu막(59)이 형성된 웨이퍼(1)의 주요면에 램프광을 조사한 경우, 필요한 웨이퍼 온도를 얻기 위해서는 상당히 큰 램프 파워가 필요해지며, 리플로우 처리의 처리량이 저하할 뿐만아니라 램프의 소비 전력도 증가한다.

또한, Cu막(59)이 형성된 웨이퍼(1)의 주요면에 램프광을 조사하는 경우는 웨이퍼면 내에서의 온도의 변동도 문제가 된다. 도 25는 상기 도전성 배리어막(58) 및 Cu막(59)이 피착된 웨이퍼(1)의 주요면(디바이스면)을 나타내는 평면도와 개략 단면도이다. 도시한 바와 같이, 웨이퍼(1)의 주요면에 Cu막(59)을 형성하는 경우는 칩 형성부보다 외곽의 웨이퍼 최외주부에 수mm정도의 폭의 Cu막(59)을 형성하지 않은 영역을 설치하는 경우가 있다. 이것은 웨이퍼 최외주부에 Cu막(59)을 형성하면 웨이퍼(1)를 핸드링할 때 웨이퍼 단부의 Cu막(59)이 박리하여 웨이퍼(1)가 오염될 우려가 있기 때문이다. 또한, 배선홀(55 ~

57)의 내부에 매립 Cu 배선을 형성하기 위해서는 Cu막(59)의 리플로우를 행한 후, 화학 기계 연마에 의해 산화 실리콘막(54) 상의 불필요한 Cu막(59)을 제거하지만, 웨이퍼(1) 주변부의 Cu막(59)은 화학 기계 연마에서는 제거되기 어려우므로 주변부에는 Cu막(59)을 형성하지 않도록 할 필요가 있다.

이와 같은 이유에서부터 Cu막(59)이 형성된 웨이퍼(1)의 주요면에 램프광을 조사하면 웨이퍼(1)의 중심부는 Cu막(59)이 램프광을 거의 반사하기 위해서 온도가 상승하기 어려움에 대하여 Cu막(59)이 형성되어 있지 않은 웨이퍼 주변부는 램프광을 효율적으로 흡수하여 빠르게 승온하므로, 웨이퍼(1)의 중심부와 주변부에서 큰 온도차가 생긴다. 그 결과, 웨이퍼(1)의 중심부를 Cu막(59)의 리플로우에 필요한 온도까지 상승시키면, 주변부의 온도가 이상하게 높아지게 되기 때문에 주변부의 단위 칩 영역 UC에서는 Cu막(59)이 다량으로 확산하게 된다.

또한, Cu막(59)이 형성된 웨이퍼(1)의 면 내에서의 온도의 변동은 웨이퍼에 형성된 집적 회로 패턴의 조밀에 따라서도 생긴다. 도 26은 집적 회로 패턴이 형성된 웨이퍼와 패턴이 없는 평탄한 웨이퍼에 각각 Cu막을 피착하여 램프광을 조사했을 때의 웨이퍼 온도 변화를 나타내는 그래프이다. 도시한 바와 같이, 집적 회로 패턴이 형성된 웨이퍼는 패턴 밀도에 기인하는 방사율의 차에 의해서 패턴이 없는 평탄한 웨이퍼에 비하여 고온이 된다. 따라서, 본 실시 형태의 메모리 논리 혼재 LSI와 같이, 단위 칩 영역 UC 내에 메모리 영역과 논리 영역이 혼재하는 것과 같은 경우에는 소자가 고밀도로 형성되는 메모리 영역쪽이 소자의 밀도가 낮은 논리 영역보다 고온이 되며, 동일한 단위 칩 영역 UC 내에서도 Cu막(59)의 유동이나 Cu의 확산량에 변동이 생긴다.

그래서, 본 실시 형태에서는 상기 도 7에 도시하는 차광판(106)을 구비한 어닐링 장치(100)를 사용하여 Cu막(59)의 어닐링을 행한다. Cu막(59)의 어닐링은 250℃ ~ 450℃의 온도 범위에서 행한다. 또한, Cu막(59)의 산화를 막기 위해서 수소 분위기 중 또는 수소를 주성분으로 하는 분위기 중에서 행한다. 또한, Cu의 확산을 억제하는 관점에서부터 승온율 5℃/초 이상, 어닐링 시간 5분 이하의 조건으로 행하는 것이 바람직하다. 이 경우, 차광판(1)의 하면과 웨이퍼(1)의 디바이스면과의 간격은 웨이퍼(1) 두께의 20배 이하, 바람직하게는 10배 이하, 보다 바람직하게는 5배 이하로 한다. 또한, 차광판(106)의 두께는 SiC 열용량 환산 두께로 최대로도 웨이퍼(1) 두께의 3배 이하, 바람직하게는 2배 이하, 보다 바람직하게는 동일한 정도 이하로 한다.

도 27은 이 어닐링 장치(100)를 사용한 리플로우 시퀀스의 일례이다. 이 예에서는 우선 어닐링 장치(100)의 챔버(101)의 내부에 수소 가스를 도입하면서 웨이퍼(1)를 서셉터(105) 상에 로드하고, 챔버(101) 내의 가스 교환을 충분하게 행한 후, 램프(102)를 점등하여 차광판(106)을 가열하고, 차광판(106)으로부터의 복사열에 의해서 웨이퍼(1)를 가열한다. 승온율은 8℃/초로 하고 450℃에서 120초의 어닐링을 행한 후, 강온율 5℃/초로 웨이퍼를 냉각한다.

도 28은 상기한 조건에서 어닐링을 행했을 때의 웨이퍼(1)의 온도 변화를 나타내는 그래프이다. 도시한 바와 같이, 차광판(106)으로부터의 복사 열에 의해서 웨이퍼(1)를 가열한 경우에는 Cu막(59)이 형성된 웨이퍼(1)의 중심부와, Cu막(59)이 형성되어 있지 않은 즉 TiN으로 이루어지는 도전성 배리어막(58)이 노출된 웨이퍼(1)의 주변부와는 거의 동일 승온율로 가열된다.

도 29는 차광판(106)을 구비한 어닐링 장치(100)와, 차광판(106)을 가지고 있지 않은 기존의 어닐링 장치를 사용하여 Cu막(59)을 어닐링했을 때의 웨이퍼(1)의 온도 변화를 나타내는 그래프이다. 도시한 바와 같이, 차광판(106)을 구비한 어닐링 장치(100)를 사용한 경우에는 승온율이 크며 또한 웨이퍼(1)의 중심부와 주변부로 거의 동일한 온도가 된다. 이에 대하여, 차광판(106)을 가지지 않는 기존의 어닐링 장치를 사용한 경우에는 승온율이 작으며 또한 웨이퍼(1)의 중심부와 주변부로 온도차가 커진다.

이와 같이, 차광판(106)을 구비한 어닐링 장치(100)를 사용하여 Cu막(59)의 어닐링을 행함으로써, 웨이퍼(1)의 중심부와 주변부 및 단위 칩 영역 UC 내에서의 메모리 영역과 논리 영역으로 온도 분포가 균일화되므로, Cu막(59)의 리플로우의 변동이 저감된다. 또한, Cu막(59)이 형성된 웨이퍼(1)를 단시간에 가열할 수 있으므로, 산화 실리콘막(54) 중으로의 Cu의 확산이 억제될 뿐만아니라 어닐링 장치(100)의 소비 전력도 저감된다.

도 30에 도시한 바와 같이, 상기 리플로우 처리를 행함으로써 산화 실리콘막(58)의 상부에 피착된 Cu막(59)의 일부가 배선홀(55 ~ 57)의 내부에 유입되기 때문에 배선홀(55 ~ 57)의 내부는 Cu막(59)에 의해서 완전하게 매립된다.

다음에, 도 31에 도시한 바와 같이, 화학 기계 연마법으로 산화 실리콘막(58) 상부의 Cu막(59) 및 그 하부의 도전성 배리어막(58)을 제거함으로써 배선홀(55 ~ 57)의 내부에 매립 Cu 배선(59A, 59B, 59C)을 형성한다.

그 후, 도시는 생략하지만 상기 Cu 배선(59A ~ 59C) 상층에 상기한 바와 마찬가지로 복수층의 Cu 배선을 형성함으로써 본 실시 형태의 메모리 논리 혼재 LSI가 완성된다.

이상, 본 발명자에 의해서 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되지는 않고 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

상기 실시 형태에서는 스퍼터링법으로 피착한 Cu막을 리플로우·화학 기계 연마하여 매립 Cu 배선을 형성하였지만, 전해 또는 무전해 도금법으로 성막한 Cu막을 화학 기계 연마하여 매립 Cu 배선을 형성하여도 좋다. 도금법으로 성막한 Cu막은 어닐링 처리를 실시함으로써 그레인(晶粒)이 성장하고, 일렉트로 마이그레이션 내성이 향상한다. 또한, 어닐링에 의해서 막 중의 불순물의 이탈 분리가 촉진된다. 그래서, 이 어닐링을 행할 때, 상기 차광판(106)을 구비한 어닐링 장치(100)를 사용함으로써 웨이퍼면 내에서 균일한 막질의 Cu막을 얻는 것이 가능해진다.

또한, 상기 실시 형태에서는 배선홀에 매립한 Cu막을 연마하여 매립 배선을 형성하는 싱글·상감법을 이

용하였지만, 배선층 및 그 하부의 관통 구멍에 동시에 매립한 Cu막을 연마하여 매립 배선을 형성하는 이중·상감법으로 Cu 배선을 형성하는 경우에도 적용할 수 있다.

또한, 상기 실시 형태의 어닐링 장치는 웨이퍼의 상면에만 램프를 배치하였지만, 웨이퍼의 상측면 및 하측면의 양 쪽에 램프를 배치하여도 좋다.

본 발명은 메모리 논리 혼재 LSI뿐만아니라 메모리 LSI나 논리 LSI에 적용할 수 있다.

발명의 효과

본원에서 개시되는 발명 중, 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 이하와 같다.

본 발명에 따르면, 웨이퍼면 내의 온도 균일성이 높은 어닐링 처리를 행할 수 있다.

본 발명에 따르면, 집적 회로 패턴의 소밀에 기인하는 국소적인 온도 변동이 생기지 않은 어닐링 처리를 행할 수 있다.

본 발명에 따르면, Cu막이 형성된 웨이퍼를 단시간에 원하는 온도로 가열할 수 있다.

(57) 청구의 범위

청구항 1

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 메모리 영역과 논리 영역에 대응하는 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,
- (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
- (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정, 및
- (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼 두께의 3배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 3

제1항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼 두께의 2배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 4

제1항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼의 두께 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 5

제4항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은 상기 웨이퍼의 두께의 20배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 6

제4항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은 상기 웨이퍼 두께의 10배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 7

제4항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은 상기 웨이퍼의 두께의 5배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 8

제7항에 있어서, 상기 단위 칩 영역에서의 혼재비는 15% 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 9

제7항에 있어서, 상기 단위 칩 영역의 혼재비는 20% 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 10

제7항에 있어서, 상기 단위 칩 영역의 혼재비는 25% 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 11

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 크고, SiC 열용량 환산 두께가 상기 웨이퍼의 두께 이하인 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 제1 불순물이 도입되는 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 12

제11항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은, 상기 웨이퍼 두께의 20배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 13

제11항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은, 상기 웨이퍼 두께의 10배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 14

제11항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은, 상기 웨이퍼 두께의 5배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 15

제14항에 있어서, 상기 단위 칩 영역의 혼재비는 15% 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 16

제14항에 있어서, 상기 단위 칩 영역의 혼재비는 20% 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 17

제14항에 있어서, 상기 단위 칩 영역의 혼재비는 25% 이상인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 18

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 고유전체막 또는 강유전체막을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 고유전체막 또는 강유전체막이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼 상의 상기 고유전체막 또는 강유전체막에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 19

제18항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼 두께의 3배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 20

제18항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼 두께의 2배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 21

제18항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼의 두께 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 22

제21항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은, 상기 웨이퍼 두께의 20배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 23

제21항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은, 상기 웨이퍼 두께의 10배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 24

제21항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은, 상기 웨이퍼 두께의 5배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 25

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 구리를 주성분으로 하는 메탈층을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에, 상기 메탈층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼 상의 상기 메탈층에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 26

제25항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼 두께의 3배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 27

제25항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼 두께의 2배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 28

제25항에 있어서, 상기 차광판의 환산 두께는, 상기 웨이퍼 두께 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 29

제28항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은 상기 웨이퍼의 두께의 20배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 30

제28항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은, 상기 웨이퍼 두께의 10배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 31

제28항에 있어서, 상기 차광판의 상기 제2 주요면과 상기 웨이퍼의 상기 디바이스면과의 간격은 상기 웨이퍼 두께의 5배 이하인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 32

제31항에 있어서, 상기 공정 (b) ~ (d)에 있어서는, 상기 웨이퍼의 상기 디바이스면의 주변부에 상기 메탈층이 형성되어 있지 않은 영역이 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 33

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 제1 부재층을 형성하는 공정,
 - (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 제1 및 제2 주요면이 광학적으로 균일한 차광판의 상기 제2 주요면에 상기 제1 부재층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
 - (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및
 - (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 섭씨 200도 이상 600도 미만의 온도 범위에서 가열함으로써, 상기 디바이스면 상의 상기 제1 부재층에 대하여 열처리를 실시하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 34

제33항에 있어서, 상기 공정 (b) ~ (d)에 있어서는, 상기 웨이퍼의 상기 디바이스면의 주변부에 상기 제1 부재층이 형성되어 있지 않은 영역이 있는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 35

제34항에 있어서, 상기 공정 (d)에서의 상기 웨이퍼의 가열 온도는 섭씨 550도 미만인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 36

제34항에 있어서, 상기 공정 (d)에서의 상기 웨이퍼의 가열 온도는 섭씨 500도 미만인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 37

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 메모리 영역과 논리 영역에 대응하는 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,
 - (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 평균 반사율이 낮은 차광판의 제2 주요면에, 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
 - (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정, 및
 - (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 38

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,
 - (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 크고, SiC 열용량 환산 두께가 상기 웨이퍼의 두께 이하인 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 평균 반사율이 낮은 차광판의 제2 주요면에, 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
 - (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및
 - (d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정
- 을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 39

반도체 집적 회로 장치의 제조 방법에 있어서,

- (a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면에 고유전체막 또는 강유전체막을 형성하는 공정,
- (b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 평균 반사율이 낮은 차광판의 제2 주요면에, 상기 고유전체막 또는 강유전체막이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,
- (c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차

광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼 상의 상기 고유전체막 또는 강유전체막에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 40

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 구리를 주성분으로 하는 메탈층을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 평균 반사율이 낮은 차광판의 제2 주요면에 상기 메탈층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼 상의 상기 메탈층에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 41

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 제1 부재층을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 평균 반사율이 낮은 차광판의 제2 주요면에 상기 제1 부재층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 섭씨 200도 이상 600도 미만의 온도 범위에서 가열함으로써, 상기 디바이스면 상의 상기 제1 부재층에 대하여 열처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 42

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 메모리 영역과 논리 영역에 대응하는 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에, 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 43

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면에 제1 불순물을 이온 주입에 의해 도입하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 크고, SiC 열용량 환산 두께가 상기 웨이퍼의 두께 이하인 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에, 상기 제1 불순물이 도입된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 44

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 고유전체막 또는 강유전체막을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에, 상기 고유전체막 또는 강유전체막이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서, 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼 상의 상기 고유전체막 또는 강유전체막에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 45

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 구리를 주성분으로 하는 메탈층을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 방사율의 파장 의존성이 평탄한 차광판의 제2 주요면에, 상기 메탈층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 가열함으로써, 상기 웨이퍼 상의 상기 메탈층에 대하여 어닐링 처리를 실시하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

청구항 46

반도체 집적 회로 장치의 제조 방법에 있어서,

(a) 패턴이 형성된 단위 칩 영역을 복수개 포함하는 반도체 집적 회로 웨이퍼의 디바이스면 상에 제1 부재층을 형성하는 공정,

(b) 상기 웨이퍼의 칩 형성부보다도 사이즈가 큰 판형물이며, 상기 웨이퍼의 상기 디바이스면에 비교하여, 방사율의 파장 의존성이 평탄한 차광판의 상기 제2 주요면에, 상기 제1 부재층이 형성된 상기 웨이퍼의 상기 디바이스면이 근접 대향하도록 배치하는 공정,

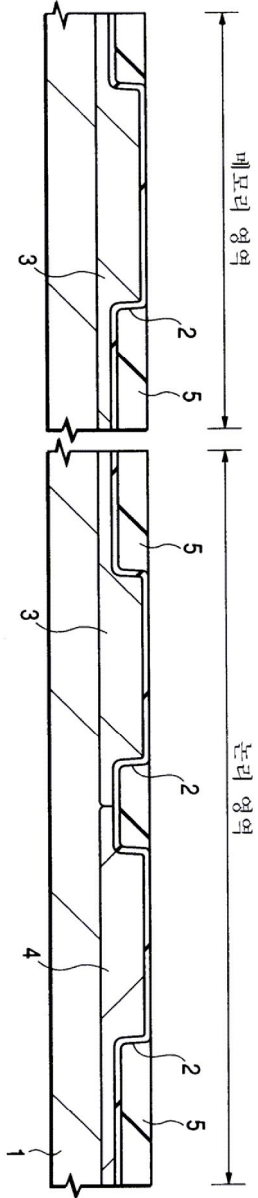
(c) 상기 웨이퍼의 상기 디바이스면이 상기 차광판의 상기 제2 주요면에 근접 대향한 상태에서 상기 차광판의 상기 제1 주요면에 대하여 램프에 의해 광을 조사함으로써, 상기 차광판을 가열하는 공정, 및

(d) 가열된 상기 차광판의 상기 제2 주요면에서부터의 복사광에 의해 상기 웨이퍼를 섭씨 200도 이상 600도 미만의 온도 범위에서 가열함으로써, 상기 디바이스 상의 상기 제1 부재층에 대하여 열처리를 실시하는 공정

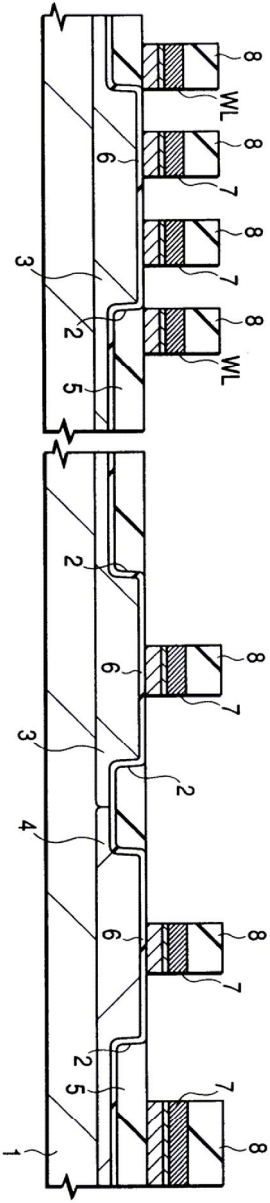
을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

도면

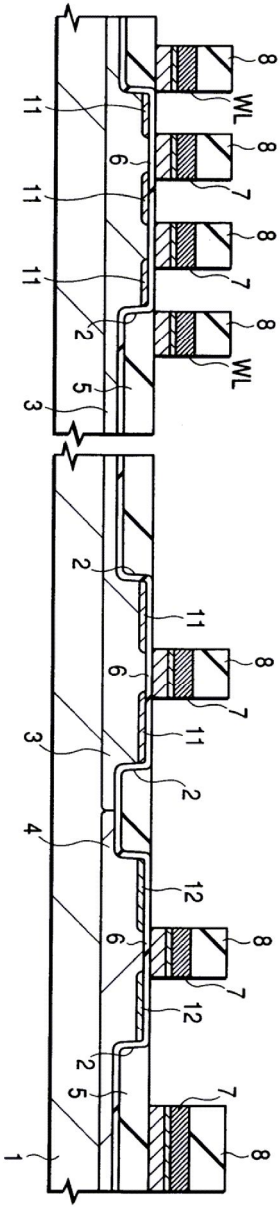
도면1



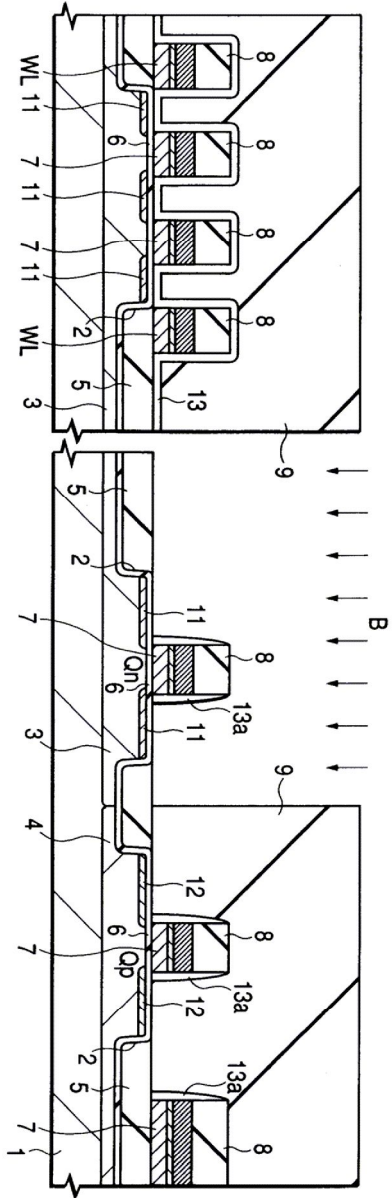
도면2



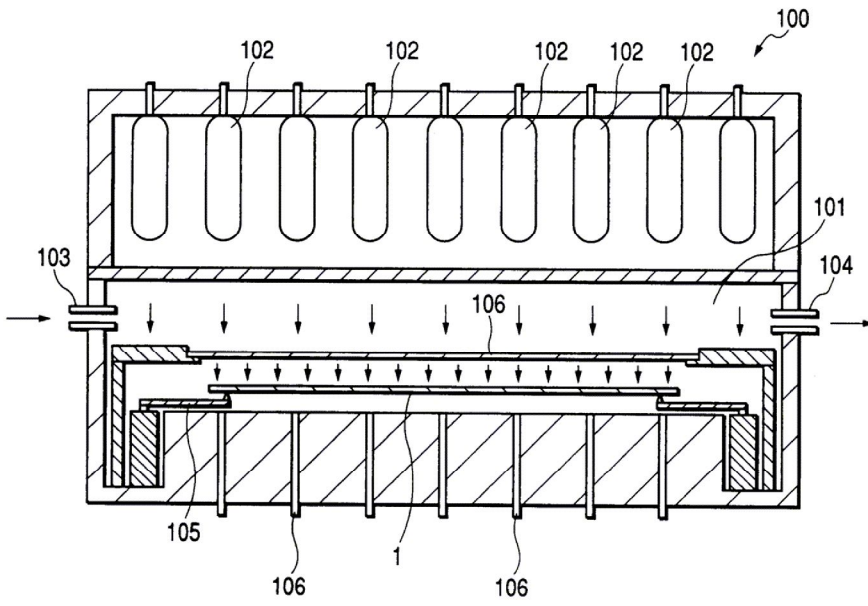
도면3



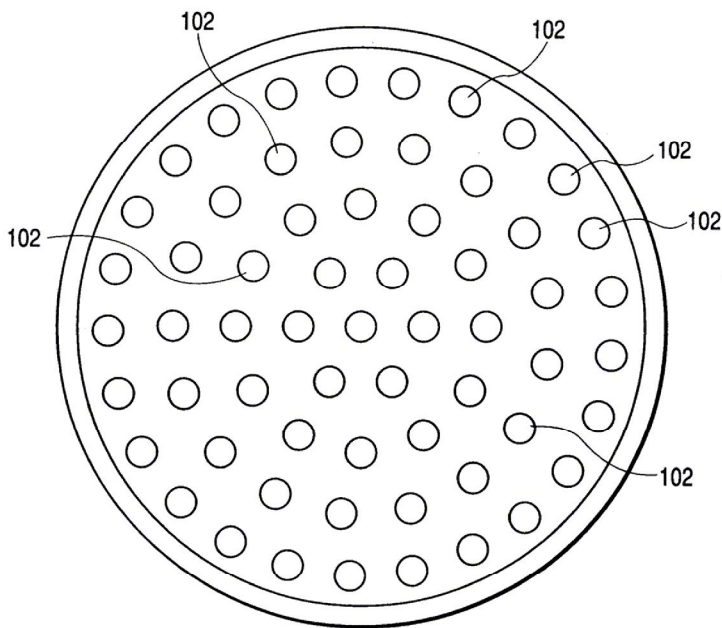
도면5



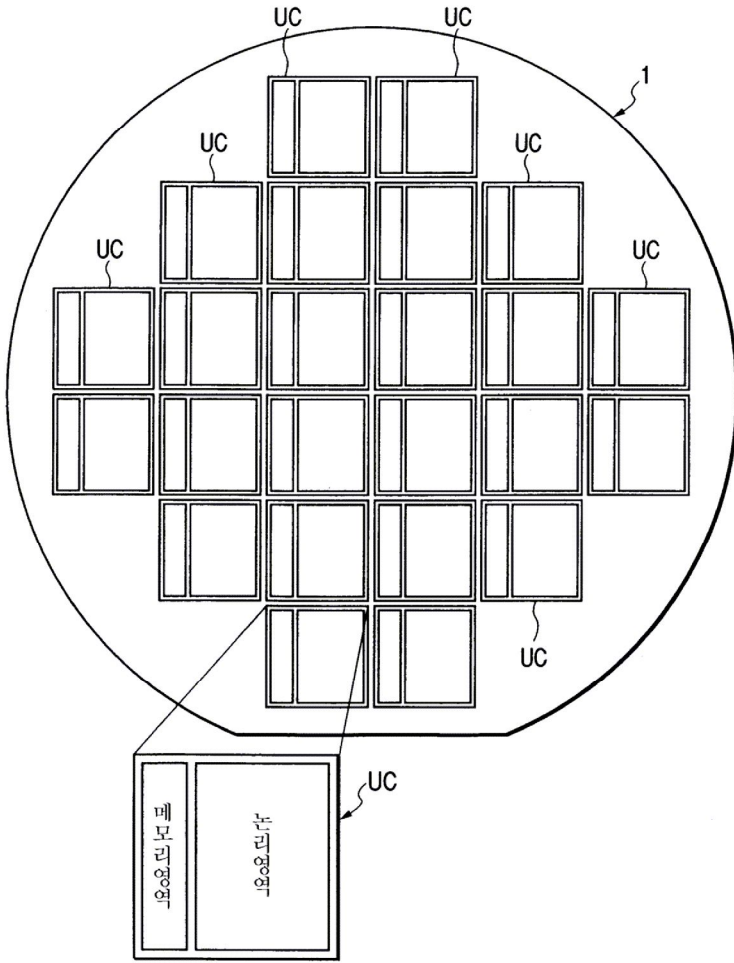
도면7



도면8



도면9



도면10

