

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7681920号
(P7681920)

(45)発行日 令和7年5月23日(2025.5.23)

(24)登録日 令和7年5月15日(2025.5.15)

(51)国際特許分類			F I		
H 0 1 L	25/00	(2006.01)	H 0 1 L	25/00	A
H 0 1 L	23/36	(2006.01)	H 0 1 L	23/36	C
H 0 1 L	23/40	(2006.01)	H 0 1 L	23/40	E
H 0 1 L	23/48	(2006.01)	H 0 1 L	23/48	G
			H 0 1 L	23/48	P
請求項の数 27 (全17頁)					
(21)出願番号 特願2023-198676(P2023-198676)			(73)特許権者 523443250		
(22)出願日 令和5年11月22日(2023.11.22)			ジェイエムジェイ コリア カンパニー		
(65)公開番号 特開2024-102810(P2024-102810			リミテッド		
A)			大韓民国、4 6 0 3 4、プサン、キジャ		
(43)公開日 令和6年7月31日(2024.7.31)			ン - グン、チャンアン - ウプ、ウィグァ		
審査請求日 令和5年11月22日(2023.11.22)			ハク 5 - ロ、2 9		
(31)優先権主張番号 10-2023-0008018			(74)代理人 100130111		
(32)優先日 令和5年1月19日(2023.1.19)			弁理士 新保 斉		
(33)優先権主張国・地域又は機関			(72)発明者		
韓国(KR)			チェ、ユン ファ		
			大韓民国、4 6 0 3 8、プサン、キジャ		
			ン - グン、チャンアン - ウプ、イムナン		
			ヒョドク - ギル、1 5 - 2 1		
			審査官 秋山 直人		

(54)【発明の名称】 半導体パッケージ及びその製造方法

(57)【特許請求の範囲】

【請求項 1】

電氣的接続が可能ないように特定の金属パターンが形成される 1 つ以上の第 1 基板及び第 2 基板と、

前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの一側面に接合される 1 つ以上の半導体チップと、

一側面は、前記 1 つ以上の半導体チップの一側面に接合され、他側面は、前記第 1 基板と前記第 2 基板のそれぞれの金属パターンに接合される 1 つ以上の 3 次元クリップ構造体と、

前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれに接合される 1 つ以上のターミナルリードと、

前記半導体チップを覆うようにモールドイングされるパッケージハウジングとを含み、

前記半導体チップの一側面に接合される前記 3 次元クリップ構造体の一側面は、X 軸方向に延びて形成されて前記半導体チップとの第 1 接合接点を形成する第 1 面を含み、

他側面は、前記 X 軸方向と垂直な Y 軸方向に延びて形成され、

前記第 1 基板、又は前記第 2 基板の金属パターンと第 2 接合接点を形成する第 2 面と、

そして

前記第 2 基板、又は前記第 1 基板の金属パターンとの分離される 2 つの第 3 接合接点を形成する第 3 面とを含み、

前記第 1 面と前記第 2 面は、折り曲げられて段差を形成する、

10

20

半導体パッケージ。

【請求項 2】

前記 3 次元クリップ構造体の他側面は、

前記第 2 面の両側から延び、半円形アーチ状にベンディングされて形成されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 3】

前記 3 次元クリップ構造体は、上部面と、前記上部面に対向する下部面とを含み、

前記第 1 面と、前記第 2 面は、前記上部面及び前記下部面のうち同一ないずれか一面に形成されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 4】

前記 3 次元クリップ構造体は、

2 層以上の異なる金属で積層されて形成されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 5】

前記ターミナルリードは、

2 層以上の異なる金属で積層されて形成されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 6】

前記第 1 基板又は前記第 2 基板は、

1 つ以上の絶縁層を含むことを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 7】

前記第 1 基板又は前記第 2 基板は、

単一金属層からなるか、或いは合金形態やメッキ形態の混合金属層からなることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 8】

前記第 1 基板又は前記第 2 基板は、

1 層以上の下部金属層、1 層以上の上部金属層、及び前記下部金属層と前記上部金属層との間に介在された 1 層以上の絶縁層で積層されて形成されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 9】

前記半導体チップは、

I G B T、M O S F E T 又はダイオードを含む電力半導体であることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 10】

前記 3 次元クリップ構造体の一側面は、

前記半導体チップの一側面と接する下部構造体を形成し、

前記 3 次元クリップ構造体の他側面は、

前記第 1 基板、又は前記第 2 基板の金属パターンと接する上部構造体を形成して立体的な構造を有することを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 11】

前記ターミナルリードは、

はんだ付け、焼結又は超音波接合により、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれに接合されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 12】

前記第 1 基板又は前記第 2 基板の他側面の一部又は全部は、

前記パッケージハウジングの一側面又は他側面に露出することを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 13】

前記パッケージハウジングから露出した前記第 1 基板又は前記第 2 基板の他側面に放熱

10

20

30

40

50

フィンが更に形成されることを特徴とする、請求項 1 2 に記載の半導体パッケージ。

【請求項 1 4】

前記パッケージハウジングから露出した前記第 1 基板又は前記第 2 基板の他側面の全表面積の 80 % 以上に、Ni を 50 % 以上含有する金属層が塗布されていることを特徴とする、請求項 1 2 に記載の半導体パッケージ。

【請求項 1 5】

前記第 1 基板又は前記第 2 基板の他側面には、
熱伝達素材を用いてヒートシンクが接合されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 1 6】

前記熱伝達素材は、
Sn が含有されているはんだや、或いは Ag や Cu が含有されているペーストを硬化して、前記第 1 基板又は前記第 2 基板の他側面に接合されることを特徴とする、請求項 1 5 に記載の半導体パッケージ。

【請求項 1 7】

前記 3 次元クリップ構造体と接合される前記半導体チップの一側面の表面は、
Ag 又は Au 成分を 50 % 以上含有することを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 1 8】

前記半導体チップの一側面のうち 30 % 以上の面積には、前記 3 次元クリップ構造体が接合され、重ならない前記半導体チップの一側面のうち残りの 70 % 以下の面積には、1 つ以上の電氣的接続部材が超音波接合されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 1 9】

前記 3 次元クリップ構造体は 2 つ以上であり、
前記 2 つ以上の 3 次元クリップ構造体は、個別に分離形成されるか、或いは一体型に形成されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 2 0】

前記半導体パッケージは、
前記電力半導体を通じて電力を変換する電力変換装置に用いられることを特徴とする、請求項 9 に記載の半導体パッケージ。

【請求項 2 1】

前記第 1 接合接点又は前記第 2 接合接点には、ホールが形成されることを特徴とする、請求項 1 に記載の半導体パッケージ。

【請求項 2 2】

前記第 1 接合接点には、前記ホールの周辺に 1 層以上の階段状の接合部が更に形成されることを特徴とする、請求項 2 1 に記載の半導体パッケージ。

【請求項 2 3】

前記半円形アーチの上段の対向する前記他側面の間の隙間距離は、10 μ m 乃至 10 mm であることを特徴とする、請求項 2 に記載の半導体パッケージ。

【請求項 2 4】

電氣的接続が可能のように特定の金属パターンが形成される 1 つ以上の第 1 基板及び第 2 基板を準備する段階と、

前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの一側面に 1 つ以上の半導体チップを接合する段階と、

1 つ以上の 3 次元クリップ構造体の一側面を前記 1 つ以上の半導体チップの一側面に接合し、前記 3 次元クリップ構造体の他側面を前記第 1 基板と前記第 2 基板のそれぞれの金属パターンに接合する段階と、

1 つ以上のターミナルリードを前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれに接合する段階と、

10

20

30

40

50

前記半導体チップを覆うようにパッケージハウジングをモールドニングする段階とを含み、

前記半導体チップの一側面に接合される前記３次元クリップ構造体の一側面は、X軸方向に延びて形成されて前記半導体チップとの第１接合接点を形成する第１面を含み、

他側面は、前記X軸方向と垂直なY軸方向に延びて形成され、

前記第１基板、又は前記第２基板の金属パターンと第２接合接点を形成する第２面と、
そして

前記第２基板、又は前記第１基板の金属パターンとの分離される２つの第３接合接点を形成する第３面とを含み、

前記第１面と前記第２面は、折り曲げられて段差を形成する、半導体パッケージの製造方法。

10

【請求項２５】

前記３次元クリップ構造体は、

直交する半十字形状に形成された平板クリップ構造体を準備する第１段階と、そして

前記第２面の両側から半円形アーチ状にベンディングして前記平板クリップ構造体の第３接合接点を形成する第２段階によって形成されることを特徴とする、請求項２４に記載の半導体パッケージの製造方法。

【請求項２６】

前記第１段階の後、

前記第１面と前記第２面を折り曲げて段差を形成する段階を更に含むことを特徴とする、請求項２５に記載の半導体パッケージの製造方法。

20

【請求項２７】

前記第１段階の後、

前記第１面又は前記第２面に前記第１接合接点と前記第２接合接点のための穿孔をそれぞれ行う段階を更に含むことを特徴とする、請求項２５に記載の半導体パッケージの製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体パッケージ及びその製造方法に関し、より詳しくは、３次元クリップ構造体により、モールドニング時に加えられるストレスを効果的に分散させて構造的信頼性を向上させることができる半導体パッケージ及びその製造方法に関する。

30

【背景技術】

【０００２】

一般に、半導体パッケージは、下部基板又は上部基板上に実装された半導体チップ、半導体チップ上に接着されるスペーサとしての役割を果たすメタルポストである伝導体、Cuで構成されて外部の電氣的信号を印加するリードフレーム及び封止材でモールドニングされるパッケージハウジングを含んで構成され、半導体チップは、リードフレームパッド上に取り付けられ、リードフレームリードとはAgで構成されるメッキ層を介在して信号線であるボンディングワイヤによって半導体チップのパッドと電氣的に接続される。

40

【０００３】

例えば、図１の（a）に示すように、従来の半導体パッケージでは、下部金属絶縁基板１１A上に半導体チップ１４が１次接合部１２を介在して接合され、メタルスペーサである垂直構造の六面体型又は円筒型伝導体１７は、２次接合部１６を介在して半導体チップ１４上に接合され、上部金属絶縁基板１１B上に３次接合部１３を介在して接合され、下部金属絶縁基板１１Aと上部金属絶縁基板１１Bとの間の電氣的接続のための垂直構造の金属ブリッジが形成される。

【０００４】

しかし、半導体チップは、基板及び伝導体と各々はんだを介在して接合されるが、基板１１A、１１Bと伝導体１７と１次接合部１２と２次接合部１６の相互間の異なる熱膨張

50

係数 (C T E ; C o e f f i c i e n t o f T h e r m a l E x p a n s i o n) により、図 1 の (b) に示すように、1 次接合部 1 2 又は 2 次接合部 1 6 でクラック (c r a c k) が発生して信頼性の問題が発生する。

【 0 0 0 5 】

即ち、C T E の差による接合部のクラックの主な要因は、半導体チップの表面に接合されたメタルスペーサが直ぐ垂直に上部金属絶縁基板に接合されて、パッケージハウジングの形成のためのモールドイング時にモールドイング金型が上部金属絶縁基板とメタルスペーサを加圧することになり、半導体チップに直接的な衝撃を与えて、製品の歩留まりが低下する。

【 0 0 0 6 】

一方、半導体チップとの C T E 差を最小化するために、メタルスペーサ又はメタルポストに替えて半導体チップの C T E と類似する素材を選定して使用したりもするが、既存のメタルスペーサ又はメタルポストに比べて非常に高価なため、製品の価格競争力が低下する。

【先行技術文献】

【特許文献】

【 0 0 0 7 】

【文献】韓国登録特許公報第 1 0 - 1 6 4 3 3 3 2 号 (超音波接合を用いたクリップボンディング半導体チップパッケージ及びその製造方法、2 0 1 6 . 0 7 . 2 7 . 公告)

【文献】韓国登録特許公報第 1 0 - 0 8 6 7 5 7 3 号 (熱放出能力が改善された電力用モジュールパッケージ及びその製造方法、2 0 0 8 . 1 1 . 1 0 . 公告)

【文献】韓国公開特許公報第 1 0 - 2 0 0 1 - 0 1 1 1 7 3 6 号 (リードフレームの背面に直接取り付けられる絶縁放熱板を備える電力モジュールパッケージ、2 0 0 1 . 1 2 . 2 0 .)

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明は上記事情に鑑みてなされたものであって、その目的は、3 次元クリップ構造体により、モールドイング時に加えられるストレスを効果的に分散させて構造的信頼性を向上させることができる半導体パッケージ及びその製造方法を提供することにある。

【課題を解決するための手段】

【 0 0 0 9 】

前述した目的を達成するために、本発明の一実施例は、電氣的接続が可能のように特定の金属パターンが形成される 1 つ以上の第 1 基板及び第 2 基板と、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの一側面に接合される 1 つ以上の半導体チップと、一側面は、前記 1 つ以上の半導体チップの一側面に接合され、他側面は、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの金属パターンに接合される 1 つ以上の 3 次元クリップ構造体と、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれに接合される 1 つ以上のターミナルリードと、前記半導体チップを覆うようにモールドイングされるパッケージハウジングとを含み、前記半導体チップの一側面に接合される前記 3 次元クリップ構造体の一側面は、X 軸方向に延びて形成され、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの金属パターンに接合される前記 3 次元クリップ構造体の他側面は、前記 X 軸方向と垂直な Y 軸方向に延びて形成される半導体パッケージを提供する。

【 0 0 1 0 】

ここで、前記 3 次元クリップ構造体の一側面は、前記半導体チップとの第 1 接合接点を形成する第 1 面を含み、前記 3 次元クリップ構造体の他側面は、前記第 1 基板、又は前記第 2 基板の金属パターンと第 2 接合接点を形成する第 2 面と、そして前記第 2 基板、又は前記第 1 基板の金属パターンとの分離される 2 つの第 3 接合接点を形成する第 3 面とを含み、前記第 1 面と第 2 面は、折り曲げられて段差を形成できる。

【 0 0 1 1 】

10

20

30

40

50

このとき、前記 3 次元クリップ構造体の他側面は、前記第 2 面の両側から延び、半円形アーチ状にベンディングされて形成されることができる。

【 0 0 1 2 】

また、前記 3 次元クリップ構造体は、上部面と、前記上部面に対向する下部面とを含み、前記第 1 面と、前記第 2 面又は前記第 3 面は、前記上部面及び前記下部面のうち同一ないずれか一面に形成されることができる。

【 0 0 1 3 】

更に、前記 3 次元クリップ構造体は、2 層以上の異なる金属で積層されて形成されることができる。

【 0 0 1 4 】

また、前記ターミナルリードは、2 層以上の異なる金属で積層されて形成されることができる。

【 0 0 1 5 】

更に、前記第 1 基板又は前記第 2 基板は、1 つ以上の絶縁層を含むことができる。

【 0 0 1 6 】

また、前記第 1 基板又は前記第 2 基板は、単一金属層からなるか、或いは合金形態やメッキ形態の混合金属層からなることができる。

【 0 0 1 7 】

更に、前記第 1 基板又は前記第 2 基板は、1 層以上の下部金属層、1 層以上の上部金属層、及び前記下部金属層と前記上部金属層との間に介在された 1 層以上の絶縁層で積層されて形成されることができる。

【 0 0 1 8 】

また、前記半導体チップは、I G B T、M O S F E T 又はダイオードを含む電力半導体であることができる。

【 0 0 1 9 】

更に、前記 3 次元クリップ構造体の一側面は、前記半導体チップの一側面と接する下部構造体を形成し、前記 3 次元クリップ構造体の他側面は、前記第 1 基板、又は前記第 2 基板の金属パターンと接する上部構造体を形成して立体的な構造を有することができる。

【 0 0 2 0 】

また、前記ターミナルリードは、はんだ付け、焼結又は超音波接合により、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれに接合されることができる。

【 0 0 2 1 】

更に、前記第 1 基板又は前記第 2 基板の他側面の一部又は全部は、前記パッケージハウジングの一側面又は他側面に露出できる。

【 0 0 2 2 】

ここで、前記パッケージハウジングから露出した前記第 1 基板又は前記第 2 基板の他側面に放熱フィンが更に形成されることができる。

【 0 0 2 3 】

また、前記パッケージハウジングから露出した前記第 1 基板又は前記第 2 基板の他側面の全表面積の 8 0 % 以上に、N i を 5 0 % 以上含有する金属層が塗布されることができる。

【 0 0 2 4 】

更に、前記第 1 基板又は前記第 2 基板の他側面には、熱伝達素材を用いてヒートシンクが接合されることができる。

【 0 0 2 5 】

ここで、前記熱伝達素材は、S n が含有されているはんだや、或いは A g や C u が含有されているペーストを硬化して、前記第 1 基板又は前記第 2 基板の他側面に接合されることができる。

【 0 0 2 6 】

また、前記 3 次元クリップ構造体と接合される前記半導体チップの一側面の表面は、A

10

20

30

40

50

g 又は Au 成分を 50% 以上含有することができる。

【0027】

更に、前記半導体チップの一側面のうち 30% 以上の面積には、前記 3 次元クリップ構造体が接合され、重ならない前記半導体チップの一側面のうち残りの 70% 以下の面積には、1 つ以上の電氣的接続部材が超音波接合されることができる。

【0028】

また、前記 3 次元クリップ構造体は 2 つ以上であり、前記 2 つ以上の 3 次元クリップ構造体は、個別に分離形成されるか、或いは一体型に形成されることができる。

【0029】

更に、前記半導体パッケージは、前記電力半導体を通じて電力を変換する電力変換装置に用いられることができる。

10

【0030】

また、前記第 1 接合接点又は前記第 2 接合接点には、ホールが形成されることができる。

【0031】

ここで、前記第 1 接合接点には、前記ホールの周辺に 1 層以上の階段状の接合部が更に形成されることができる。

【0032】

また、前記半円形アーチの上段の対向する前記他側面の間の隙間距離は、10 μ m 乃至 10 mm であり得る。

【0033】

一方、本発明の他の実施例は、電氣的接続が可能ないように特定の金属パターンが形成される 1 つ以上の第 1 基板及び第 2 基板を準備する段階と、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの一側面に 1 つ以上の半導体チップを接合する段階と、1 つ以上の 3 次元クリップ構造体の一側面を前記 1 つ以上の半導体チップの一側面に接合し、前記 3 次元クリップ構造体の他側面を前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの金属パターンに接合する段階と、1 つ以上のターミナルリードを前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれに接合する段階と、前記半導体チップを覆うようにパッケージハウジングをモールドイングする段階とを含み、前記半導体チップの一側面に接合される前記 3 次元クリップ構造体の一側面は、X 軸方向に延びて形成され、前記第 1 基板、又は前記第 2 基板、又は前記第 1 基板と前記第 2 基板のそれぞれの金属パターンに接合される前記 3 次元構造体の他側面は、前記 X 軸方向と垂直な Y 軸方向に延びて形成される半導体パッケージの製造方法を提供する。

20

【0034】

ここで、前記 3 次元クリップ構造体の一側面は、前記半導体チップとの第 1 接合接点を形成する第 1 面を含み、前記 3 次元クリップ構造体の他側面は、前記第 1 基板、又は前記第 2 基板の金属パターンと第 2 接合接点を形成する第 2 面と、そして前記第 2 基板、又は前記第 1 基板の金属パターンとの分離される 2 つの第 3 接合接点を形成する第 3 面とを含み、前記第 1 面と前記第 2 面は、折り曲げられて段差を形成できる。

【0035】

このとき、前記 3 次元クリップ構造体は、直交する半十字形状に形成された平板クリップ構造体を準備する第 1 段階と、そして前記第 2 面の両側から半円形アーチ状にベンディングして前記平板クリップ構造体の第 3 接合接点を形成する第 2 段階によって形成されることができる。

40

【0036】

ここで、前記第 1 段階の後、前記第 1 面と前記第 2 面を折り曲げて段差を形成する段階を更に含むことができる。

【0037】

また、前記第 1 段階の後、前記第 1 面又は前記第 2 面に前記第 1 接合接点と前記第 2 接合接点のための穿孔をそれぞれ行う段階を更に含むことができる。

50

【発明の効果】

【0038】

本発明によると、3次元クリップ構造体を通じて、パッケージハウジングのモールドイング時に加えられるCTEストレスを効果的に分散させて、押圧ストレスが半導体チップに直接的に伝達されないように弾性的に吸収し、接合部のクラックの発生を最小化して構造的信頼性を向上させることができるという効果がある。

【0039】

また、基板と接合する3次元クリップ構造体の接合面を物理的に分割してボイドによる品質不良を最小化して接合強度を向上させることができるという効果がある。

【0040】

更に、2つの半円形アーチが対称的に形成された3次元クリップ構造体により、押圧ストレスをより効果的に吸収して分散させ、どちらか一方に偏らず、左右バランスよく分散させることができるという効果がある。

【図面の簡単な説明】

【0041】

【図1】従来技術による半導体パッケージを示す図である。

【図2】本発明の一実施例による半導体パッケージの断面構造を示す図である。

【図3】図2の半導体パッケージの内部構成を分離して示す図である。

【図4】図3の分解図を示す図である。

【図5】図2の半導体パッケージの3次元クリップ構造体を分離して示す図である。

【図6】図5の3次元クリップ構造体の接合構造を示す図である。

【図7】図5の3次元クリップ構造体の他の例を示す図である。

【図8】図2の半導体パッケージの放熱構造をそれぞれ示す図である。

【図9】本発明の他の実施例による半導体パッケージの製造方法の手順図を示す図である。

【発明を実施するための形態】

【0042】

以下、添付の図面を参照して、前述した特徴を有する本発明の実施例を更に詳細に説明する。

【0043】

本発明の一実施例による半導体パッケージは、電氣的接続が可能ないように特定の金属パターンが形成される1つ以上の第1基板110及び第2基板120、第1基板110、又は第2基板120、又は第1基板110と第2基板120のそれぞれの一側面に接合される1つ以上の半導体チップ130、一側面は、1つ以上の半導体チップ130の一側面に接合され、他側面は、第1基板110、又は第2基板120、又は第1基板110と第2基板120のそれぞれの金属パターンに接合される1つ以上の3次元クリップ構造体140、第1基板110、又は第2基板120、又は第1基板110と第2基板120のそれぞれに接合される1つ以上のターミナルリード150、及び半導体チップ130を覆うようにモールドイングされるパッケージハウジング160を含み、半導体チップ130の一側面に接合される3次元クリップ構造体140の一側面は、X軸方向に延びて形成され、第1基板110、又は第2基板120、又は第1基板110と第2基板120のそれぞれの金属パターンに接合される3次元クリップ構造体140の他側面は、X軸方向と垂直なY軸方向に延びて形成されて、3次元クリップ構造体140によりモールドイング時に加えられるストレスを効果的に分散させて構造的信頼性を向上させることを旨とする。

【0044】

以下、図面を参照して、前述した構成の半導体パッケージを具体的に詳述すると、次の通りである。

【0045】

まず、第1基板110と第2基板120は、それぞれ1つ以上で構成され、互いに対向して3次元クリップ構造体140によって離間し、第1基板110と第2基板120には、電氣的接続が可能ないようにゲート、フェイズ(phase)、コレクターコンタクト(

10

20

30

40

50

collector contact)、カソード、アノードなどのための特定の金属パターンが形成されて半導体チップ130が実装される。

【0046】

ここで、第1基板110と第2基板120は、DBC(Direct Bonding Copper)基板であり得る。

【0047】

また、図示してはいないが、第1基板110及び/又は第2基板120は、1つ以上の絶縁層を含むことができ、又は第1基板110及び/又は第2基板120は、単一金属層からなるか、合金形態又はメッキ形態の混合金属層からなることができ、或いは第1基板110及び/又は第2基板120は、1層以上の下部金属層、1層以上の上部金属層、及び下部金属層と上部金属層との間に介在された1層以上の絶縁層で積層されて形成されることもできる。

10

【0048】

例えば、絶縁層は Al_2O_3 、 AlN 、 Si_3N_4 又はPIの単一素材からなるか、 Al_2O_3 、 AlN 、 Si_3N_4 又はPIのうちのいずれか1つ以上含有する複合素材からなることができる。

【0049】

次に、半導体チップ130は1つ以上で構成されて、第1基板110、又は第2基板120、又は第1基板110と第2基板120のそれぞれの一側面に伝導性接着剤を介して接合される。

20

【0050】

一方、半導体チップ130は、電力半導体チップであるIGBT(Insulated Gate Bipolar Transistor)、MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)、ダイオード又はJFET(Junction Field Effect Transistor)であって、これを用いて電力を変換又は制御するインバータ(inverter)又はコンバータ(converter)又はOBC(On Board Charger)などの装置の駆動に用いられることができる。

【0051】

これにより、一実施例による半導体パッケージは、電力半導体を通じて電力を変換する電力変換装置に用いられることができる。例えば、電気及びハイブリッド電気自動車においてDCからACに電力を変換するモータ駆動のスイッチング、制御などを行うために用いられる高電力の電力変換装置に適用されることができる。

30

【0052】

また、3次元クリップ構造体140と接合される半導体チップ130の一側面の表面は、Ag又はAu成分を50%以上含有しており、良好な電気伝導性を維持しながら熱伝導性を上げるようにすることができる。

【0053】

更に、半導体チップ130の一側面のうち30%以上の面積には、3次元クリップ構造体140が電氣的に接合され、重ならない半導体チップ130の一側面のうち残りの70%以下の面積には、1つ以上の電氣的接続部材(例えば、伝導性ワイヤ)(図示せず)が金属パターンに超音波接合されて電氣的に接続されることができる。

40

【0054】

次に、3次元クリップ構造体140は、3次元構造からなり、モールドイング時に第1基板110及び/又は第2基板120から加えられるCTE(Coefficient of Thermal Expansion、熱膨張係数)ストレスを分散させる構成であって、3次元クリップ構造体140の一側面は、1つ以上の半導体チップ130の一側に電氣的に接合され、他側面は、第1基板110及び/又は第2基板120の金属パターンに構造的に接合される。

【0055】

50

即ち、図 5 及び図 6 を参照すると、半導体チップ 130 の一側面に接合される 3 次元クリップ構造体 140 の一側面は、X 軸方向に延びて形成され、第 1 基板 110、又は第 2 基板 120、又は第 1 基板 110 と第 2 基板 120 のそれぞれに接合される 3 次元クリップ構造体 140 の他側面は、Y 軸方向に延びて形成されて、パッケージハウジング 160 のモールドイング時に加えられる CTE ストレスを効果的に分散させて、押圧ストレスが半導体チップ 130 に直接伝達されないように弾性的に吸収し、接合部のクラックの発生を最小化して構造的信頼性を向上させるようにすることができる。

【0056】

一方、図 4 に示すように、3 次元クリップ構造体 140 は、第 1 基板 110 と第 2 基板 120 との間でアンフリップ状態とフリップ状態を交互にしてそれぞれ結合されることが
10
できるが、例えば、アンフリップ (unflip) 状態の 3 次元クリップ構造体 140 A の一側面は、半導体チップ 130 が実装された第 1 基板 110 に接合され、他側面は、半導体チップ 130 が実装されていない第 2 基板 120 に接合されることができ、フリップ (flip) 状態の 3 次元クリップ構造体 140 B の一側面は、半導体チップ 130 が実装された第 2 基板 120 に接合され、他側面は、半導体チップ 130 が実装されていない第 1 基板 110 に接合されることができ。

【0057】

このように、アンフリップ状態とフリップ状態の 3 次元クリップ構造体 140 A、140 B が第 1 基板 110 と第 2 基板 120 との間に接合されて、CTE ストレスを、どちら
20
か 1 つの基板に偏らず、左右均一に分散させて構造的信頼性を確保するようにすることができる。

【0058】

より具体的に、図 5 及び図 6 に示すように、3 次元クリップ構造体 140 の一側面は、半導体チップ 130 との第 1 接合接点を形成する第 1 面 141 a を含み、他側面は、第 1 基板 110、又は第 2 基板 120 の金属パターンと第 2 接合接点を形成する第 2 面 141 b と、対向する第 2 基板 120、又は第 1 基板 110 の金属パターンと第 3 接合接点を形成する第 3 面 142 とを含むことができる。このとき、第 3 接合接点は、分離された形態の 2 つで構成されることができ。また、第 1 面 141 a と第 2 面 141 b は、第 1 基板 110 又は第 2 基板 120 と、半導体チップ 130 との間の高さの差に相応して折り曲げられて段差を形成できる。
30

【0059】

ここで、図 5 の (b) を参照すると、第 1 接合点には、ホール h1 が形成されて、半導体チップ 130 と 3 次元クリップ構造体 140 の一側面の第 1 面 141 a との間に介在する接着剤 143 (図 6 参照) の一部がホール h1 を通じてオーバーフローして硬化し、接着剤 140 中に残存する気泡が抜ける通路を形成して接着強度を高めることができる。

【0060】

これと同様、第 2 接合点には、ホール h2 が形成されて、第 1 基板 110、又は第 2 基板 120 の金属パターンと 3 次元クリップ構造体 140 の他側面の第 2 面 141 b との間に介在される接着剤の一部がホール h2 を通じてオーバーフローして硬化し、接着剤中に残存する気泡が抜ける通路を形成して接着強度を高めることができる。
40

【0061】

また、第 1 接合点には、ホール h1 の周辺に 1 層以上の階段状の段差を有する接合部 141 c が更に形成されて、ホール h1 を通じてオーバーフローした接着剤 143 との接着強度を高め、せん断ストレスに対してより効果的に対応するようにすることができる。

【0062】

また、3 次元クリップ構造体 140 の他側面の第 3 面 142 は、分離される 2 つの第 3 接合接点からなり、接合面数を増やして接合面積を拡張して接着強度を高めながらも、同一の単一接合面積に比べて、はんだ又は焼結などの接着剤の特性によるボイド (void、気泡又は微細隙間) の発生を最小化できる。即ち、接合面積が大きいほどボイドの発生可能性が高くなるが、同一の接合面積を維持しながらも、2 つの接合面数に分割して個別
50

接合面の面積が半分に減ってボイドの発生を抑制できる。

【 0 0 6 3 】

また、図 5 の (b) に示すように、3 次元クリップ構造体 1 4 0 の他側面は、第 2 面 1 4 1 b の両側から延び、半円形アーチ (*semi-circular arch*) 状にベンディング形成されて対向する 2 つの半円形アーチを形成して、1 つの半円形アーチに比べて押圧ストレスをより効果的に分散させ、どちらか一方に偏らず、左右バランスよく分散させることができる。ここで、半円形アーチの上段の対向する他側面の間の間隙距離 d は、 $10\ \mu\text{m}$ 乃至 $10\ \text{mm}$ であり得る。

【 0 0 6 4 】

具体的に、3 次元クリップ構造体 1 4 0 は、上部面と、このような上部面に対向する下部面とを含むことができるが、このとき、半導体チップ 1 3 0 との第 1 接合接点を形成する第 1 面 1 4 1 a と、第 1 基板 1 1 0 又は第 2 基板 1 2 0 の金属パターンと第 2 接合接点を形成する第 2 面 1 4 1 b は、同一の面、即ち上部面及び下部面のうち同一ないずれか一面に形成することができ、前述した第 2 接合接点を形成する第 1 基板 1 1 0 又は第 2 基板 1 2 0 に対向する第 2 基板 1 2 0 又は第 1 基板 1 1 0 の金属パターンと第 3 接合接点を形成する第 3 面 1 4 2 も同様、前述した第 1 面 1 4 1 a と第 2 面 1 4 1 b が形成される面と同一の面、即ち上部面及び下部面のうち同一ないずれか一面に形成されることができる。これは、第 3 面 1 4 2 が、第 2 面 1 4 1 b の両側から延びて半円形アーチ状にベンディング形成されるためである。

【 0 0 6 5 】

また、3 次元クリップ構造体 1 4 0 は、Cu、Al などの 2 層以上の異なる金属で積層されて形成されるため、良好な延性 (*ductility*) 及び展性 (*malleability*) 特性を有するようにして、押圧ストレスを効果的に吸収するようにすることができ、全体として、Cu 又は Al の単一素材からなるか、Cu 又は Al 成分を 50 % 以上含有する複合素材からなることもできる。

【 0 0 6 6 】

更に、3 次元クリップ構造体 1 4 0 の一側面は、半導体チップ 1 3 0 の一側面と接する下部構造体を形成し、3 次元クリップ構造体 1 4 0 の他側面は、第 1 基板 1 1 0 又は第 2 基板 1 2 0 の金属パターンと接する上部構造体を形成して立体的な構造を有することによって、アンフリップ又はフリップ状態に応じて、下部構造体は、第 1 基板 1 1 0 又は第 2 基板 1 2 0 に実装された半導体チップ 1 3 0 に接合され、上部構造体は、半導体チップ 1 3 0 が実装されていない第 2 基板 1 2 0 又は第 1 基板 1 1 0 に接合されるようにすることができる。

【 0 0 6 7 】

一方、図 4 と図 7 を互いに比較すると、図 4 に示すように、半導体チップ 1 3 0 別に 2 つ以上の 3 次元クリップ構造体 1 4 0 は、個別に分離形成されるか、図 7 に示すように、2 つ以上の 3 次元クリップ構造体 1 4 0 が互いに接続されて一体型に形成されることができる。

【 0 0 6 8 】

次に、ターミナルリード 1 5 0 は、1 つ以上で構成され、第 1 基板 1 1 0、又は第 2 基板 1 2 0、又は第 1 基板 1 1 0 と第 2 基板 1 2 0 のそれぞれに構造的に接合されて電氣的信号が印加されるようにする。

【 0 0 6 9 】

また、ターミナルリード 1 5 0 は、2 層以上の異なる金属で積層されて形成されることができる。

【 0 0 7 0 】

更に、ターミナルリード 1 5 0 は、はんだ付け (*soldering*) や焼結 (*sintering*)、又は超音波接合 (*ultrasonic welding*) によって第 1 基板 1 1 0、又は第 2 基板 1 2 0、又は第 1 基板 1 1 0 と第 2 基板 1 2 0 のそれぞれ接合されることができる。

10

20

30

40

50

【 0 0 7 1 】

次に、パッケージハウジング 1 6 0 は、図 2 を参照すると、E M C、P B T 又は P P S 素材で形成され、半導体チップ 1 3 0 を覆うようにモールドイングされて絶縁させ、半導体チップ 1 3 0 と 3 次元クリップ構造体 1 4 0 を保護するようにする。

【 0 0 7 2 】

また、第 1 基板 1 1 0 又は第 2 基板 1 2 0 の他側面の一部又は全部は、パッケージハウジング 1 6 0 の一側面又は他側面に露出するように形成されて、半導体チップ 1 3 0 の駆動時に発生する発熱をパッケージハウジング 1 6 0 の外部に伝達して放熱するようにすることができる。

【 0 0 7 3 】

または、図 8 の (a) を参照すると、パッケージハウジング 1 6 0 から露出した第 1 基板 1 1 0 又は第 2 基板 1 2 0 の他側面に熱伝導率が良好な放熱フィン 1 7 1 が形成されて放熱フィン 1 7 1 を通じて効果的に放熱するようにすることもできる。このとき、放熱フィン 1 7 1 は、熱伝導率が良好なように多角形又は円形の断面構造を有することができる。

【 0 0 7 4 】

また、パッケージハウジング 1 6 0 から露出した第 1 基板 1 1 0 又は第 2 基板 1 2 0 の他側面の全表面積の 8 0 % 以上に、N i を 5 0 % 以上含有する金属層が塗布されていることができ、外部に露出する特性上、良好な強度と耐熱性と耐食性を維持するようにすることができる。

【 0 0 7 5 】

または、図 8 の (b) を参照すると、第 1 基板 1 1 0 又は第 2 基板 1 2 0 の他側面には、T I M (T h e r m a l I n t e r f a c e M a t e r i a l) を介在して、良好な熱伝導率の特性を有する熱伝達素材 1 8 1 を用いて放熱するヒートシンク 1 8 0 が接合されて、冷媒、冷却油、冷却水などの冷却剤を循環させて冷却効率を向上させるようにすることもできる。

【 0 0 7 6 】

例えば、冷却剤は、冷却水、冷却水が含有されている冷却液、冷気（空気）及び窒素のうちのいずれか 1 つが選択されるか、冷却水、冷却水が含有されている冷却液、冷気及び窒素のうちのいずれか 1 つ以上を複合して用いることができる。

【 0 0 7 7 】

また、熱伝達素材 1 8 1 は、S n が含有されているはんだや、又は A g や C u が含有されているペーストを硬化して第 1 基板 1 1 0 又は第 2 基板 1 2 0 の他側面に接合されることができる。

【 0 0 7 8 】

一方、図 9 は、本発明の他の実施例による半導体パッケージの製造方法の手順図を示す図であり、これを参照して簡略に説明すると、次の通りである。

【 0 0 7 9 】

具体的に、半導体パッケージの製造方法は、電氣的接続が可能ないように特定の金属パターンが形成される 1 つ以上の第 1 基板 1 1 0 及び第 2 基板 1 2 0 を準備する段階 (S 1 1 0)、第 1 基板 1 1 0、又は第 2 基板 1 2 0、又は第 1 基板 1 1 0 と第 2 基板 1 2 0 のそれぞれの側面に 1 つ以上の半導体チップ 1 3 0 を接合する段階 (S 1 2 0)、1 つ以上の 3 次元クリップ構造体 1 4 0 の一側面を 1 つ以上の半導体チップ 1 3 0 の一側面に接合し、1 つ以上の 3 次元クリップ構造体 1 4 0 の他側面を第 1 基板 1 1 0、又は第 2 基板 1 2 0、又は第 1 基板 1 1 0 と第 2 基板 1 2 0 のそれぞれの金属パターンに接合する段階 (S 1 3 0)、1 つ以上のターミナルリード 1 5 0 を第 1 基板 1 1 0、又は第 2 基板 1 2 0、又は第 1 基板 1 1 0 と第 2 基板 1 2 0 のそれぞれに接合する段階 (S 1 4 0)、及び半導体チップ 1 3 0 を覆うようにパッケージハウジング 1 6 0 をモールドイングする段階 (S 1 5 0) を含む。

【 0 0 8 0 】

ここで、半導体チップ 1 3 0 の一側面に接合される 3 次元クリップ構造体 1 4 0 の一側

10

20

30

40

50

面は、X軸方向に延びて形成され、第1基板110、又は第2基板120、又は第1基板110と第2基板120のそれぞれの金属パターンに接合される3次元クリップ構造体140の他側面は、X軸方向と垂直なY軸方向に延びて形成される。

【0081】

また、3次元クリップ構造体140の一側面は、半導体チップ130との第1接合接点を形成する第1面141aを含み、他側面は、第1基板110又は第2基板120の金属パターンと第2接合接点を形成する第2面141bと、対向する第2基板120、又は第1基板110の金属パターンと第3接合接点を形成する第3面142とを含むことができる。このとき、第3接合接点は、分離される形態の2つで構成されることができる。また、第1面141aと第2面141bは、第1基板110又は第2基板120と、半導体チップ130との間の高さの差に相応して折り曲げられて段差を形成できる。

10

【0082】

一方、3次元クリップ構造体140は、具体的に、直交する半十字形状（又は「T」若しくは逆「T」字状）に形成された平板クリップ構造体を準備する第1段階と、第2面141bの両側から半円形アーチ状にベンディングして平板クリップ構造体の他側面を形成する段階によって形成されることができる。

【0083】

このとき、第1段階の後、平板クリップ構造体の一側面の第1面141aと第2面141bを折り曲げて第1面141aと第2面141bとの間に段差を形成する第3段階を更を含むことができる。

20

【0084】

或いは、第1段階の後、第1面141a又は第2面141bに第1接合接点と第2接合接点のための穿孔をそれぞれ行う第4段階を更を含むことができる。

【0085】

ここで、第3段階及び第4段階の順序は、第3段階の後に第4段階を行うか、或いは第4段階の後に第3段階を行う場合を何れも含む。

【0086】

従って、前述したような構成により、3次元クリップ構造体を通じて、メタルスペーサに代わって、パッケージハウジングのモールドイング時に加えられるCTEストレスを効果的に分散させて、押圧ストレスが半導体チップに直接伝達されないように弾性的に吸収し、接合部のクラックの発生を最小化して構造的信頼性を向上させるようにすることができる。基板と接合する3次元クリップ構造体の接合面を物理的に分割してボイドによる品質不良を最小化して接合強度を高めることができ、2つの半円形アーチが対称的に形成された3次元クリップ構造体により、押圧ストレスをより効果的に吸収して分散させ、どちらか一方に偏らず、左右バランスよく分散させることができる。

30

【0087】

本明細書に記載された実施例と図面に示された構成は、本発明の最も好適な一実施例に過ぎず、本発明の技術的思想を全て代弁するものではないので、本出願時点においてこれらに代える多様な均等物と変形例があり得ることを理解すべきである。

【符号の説明】

40

【0088】

- 110 第1基板
- 120 第2基板
- 130 半導体チップ
- 140 3次元クリップ構造体
- 141a 第1面
- 141b 第2面
- 141c 接合部
- 142 第3面
- 143 接着剤

50

- 1 5 0 ターミナルリード
- 1 6 0 パッケージハウジング
- 1 7 1 放熱フィン
- 1 8 0 ヒートシンク
- 1 8 1 熱伝達素材

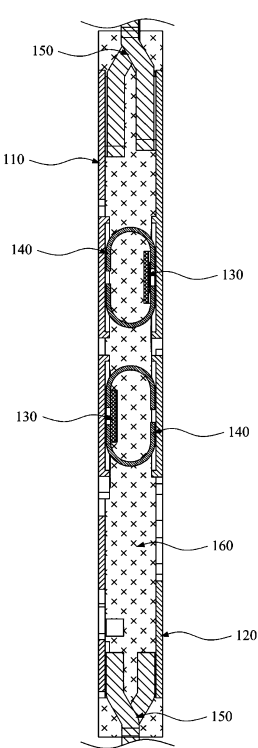
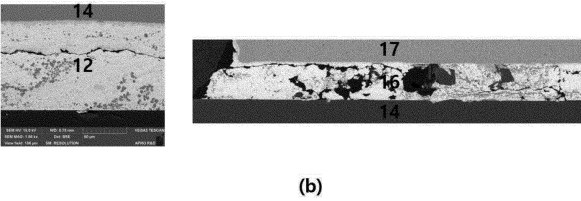
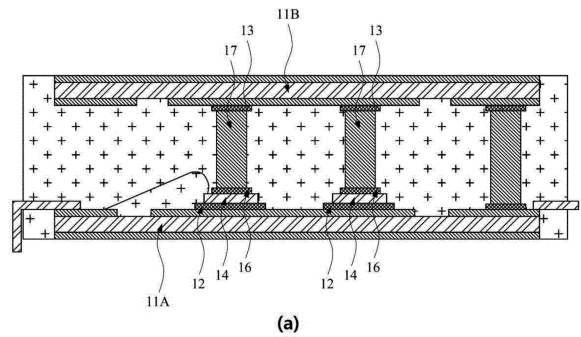
d 間隙距離

h 1、h 2 ホール

【図面】

【図 1】

【図 2】



10

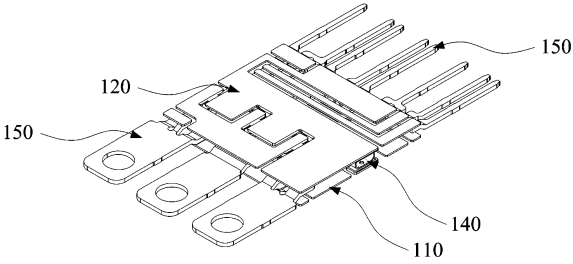
20

30

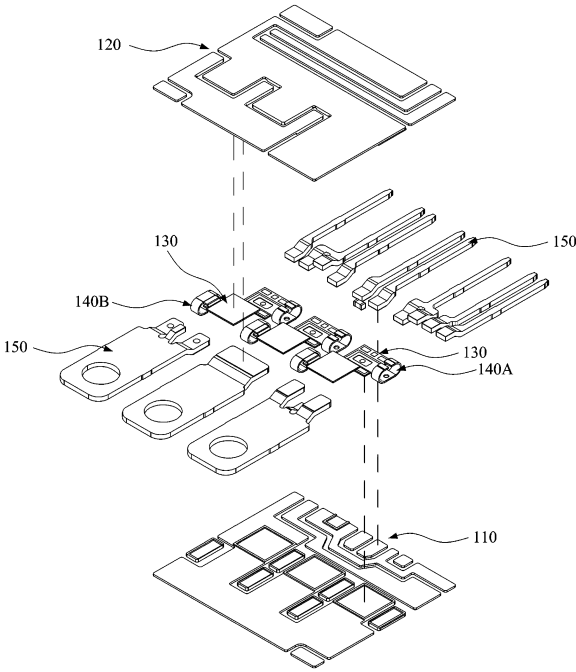
40

50

【図 3】



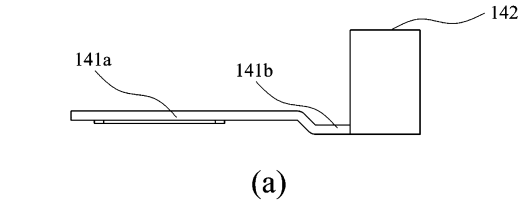
【図 4】



10

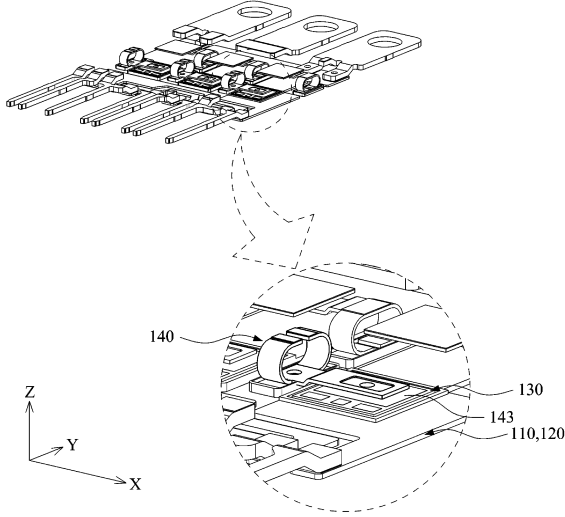
20

【図 5】



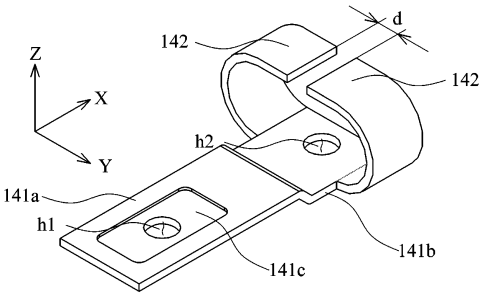
(a)

【図 6】



30

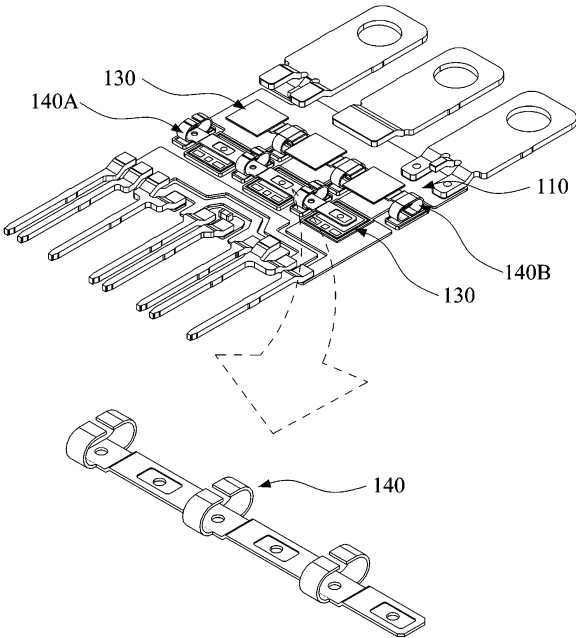
40



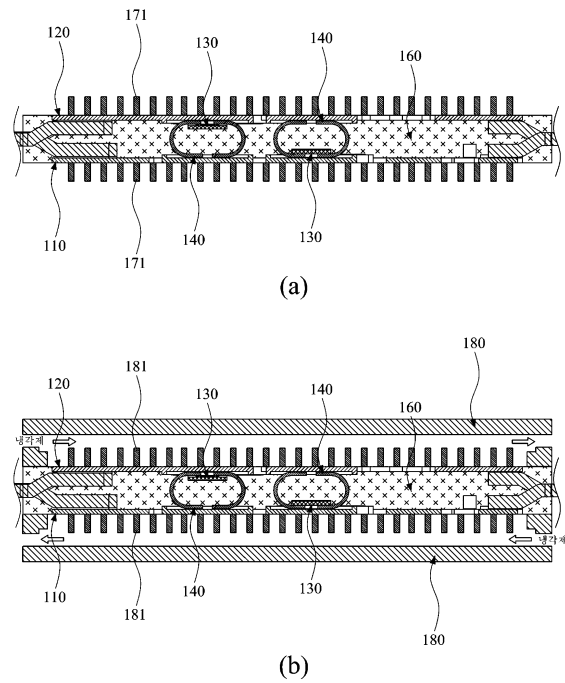
(b)

50

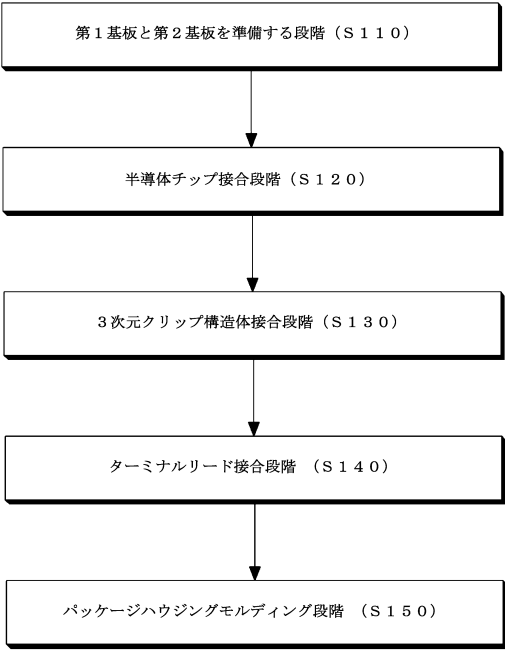
【図 7】



【図 8】



【図 9】



10

20

30

40

50

フロントページの続き

- (56)参考文献 韓国公開特許第 10 - 2022 - 0167484 (KR, A)
特開 2008 - 227131 (JP, A)
特開 2010 - 010330 (JP, A)
特開 2007 - 173272 (JP, A)
特開 2006 - 202885 (JP, A)
米国特許出願公開第 2022 / 0319946 (US, A1)
韓国登録特許第 10 - 2332716 (KR, B1)
米国特許出願公開第 2022 / 0246494 (US, A1)
米国特許出願公開第 2021 / 0335691 (US, A1)
特開 2014 - 082384 (JP, A)
韓国登録特許第 10 - 2004785 (KR, B1)

- (58)調査した分野 (Int.Cl., DB 名)
H01L 25 / 00
H01L 23 / 36
H01L 23 / 40
H01L 23 / 48