

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-39575

(P2010-39575A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.
G06F 17/50 (2006.01)F I
G06F 17/50 668Cテーマコード (参考)
5B046

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号 特願2008-198869 (P2008-198869)
(22) 出願日 平成20年7月31日 (2008.7.31)(71) 出願人 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(74) 代理人 100099759
弁理士 青木 篤
(74) 代理人 100119987
弁理士 伊坪 公一
(74) 代理人 100081330
弁理士 樋口 外治
(74) 代理人 100141254
弁理士 榎原 正巳
(74) 代理人 100113826
弁理士 倉地 保幸

最終頁に続く

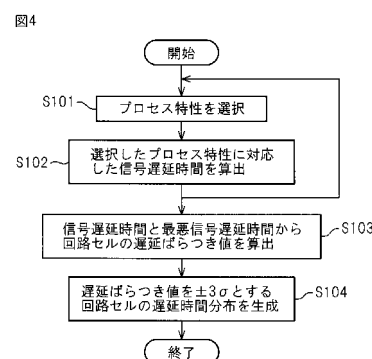
(54) 【発明の名称】 遅延ばらつき解析装置及び遅延ばらつき算出方法

(57) 【要約】

【課題】 回路の遅延ばらつき分布を簡易に解析することを目的とする。

【解決手段】 N段の素子を含む回路の遅延時間分布を解析する方法が提供される。この方法は回路を伝播する信号の最大偏差遅延時間と、前記回路の基本遅延時間とを算出する遅延時間算出ステップと、前記回路の最大偏差遅延時間と前記回路の基本遅延時間との差分についてのN段の二乗平均を用いて、N段の回路の遅延ばらつき値を算出する遅延ばらつき算出ステップと、前記算出された遅延ばらつき値を用いて、前記N段の回路の遅延時間分布を正規分布として生成するステップと、を有する。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

N 段の回路の遅延時間分布を解析する方法であって、

前記回路を伝播する信号の最大偏差遅延時間と、前記回路の基本遅延時間とを算出する遅延時間算出ステップと、

前記回路の最大偏差遅延時間と前記回路の基本遅延時間との差分についての N 段の二乗平均を用いて、N 段の回路の遅延ばらつき値を算出する遅延ばらつき算出ステップと、

前記算出された遅延ばらつき値を用いて、前記 N 段の回路の遅延時間分布を正規分布として生成するステップと、

を有することを特徴とする解析方法。

10

【請求項 2】

前記遅延ばらつき算出ステップは、前記回路の最悪遅延時間を、前記回路の基本遅延時間と段数 N の平方根との積で除算することによって、前記回路の遅延ばらつき値を算出する請求項 1 に記載の解析方法。

【請求項 3】

N 段の回路の信号遅延時間の総和を算出するステップをさらに有し、

前記段数 N は、N 段の回路の信号遅延時間の総和を、信号遅延時間の最も長い回路又は最も個数の多い種類の回路の信号遅延時間で除算して求める請求項 1 又は 2 に記載の解析方法。

【請求項 4】

N 段の回路の信号遅延時間の総和を算出するステップと、前記基本遅延時間の N 段の回路の平均値を算出するステップとをさらに有し、

前記段数 N は、N 段の回路の信号遅延時間の総和を、前記平均値で除算して求める請求項 1 又は 2 に記載の解析方法。

20

【請求項 5】

前記遅延時間分布を用いて、前記 N 段の回路を複数有する回路の遅延ばらつき値を算出するために、統計的タイミング解析を行うステップと、をさらに有する請求項 1 ～ 4 のいずれかに記載の解析方法。

【請求項 6】

回路の遅延ばらつき値を算出する遅延ばらつき解析装置であって、

前記回路を伝播する信号の最大偏差遅延時間と、前記回路の基本遅延時間とを算出する信号遅延時間算出部と、

前記回路の最大偏差遅延時間と前記回路の基本遅延時間との差分についての N 段の二乗平均を用いて、N 段の回路の遅延ばらつき値を算出する遅延ばらつき算出部と、

前記算出された遅延ばらつき値を用いて、前記 N 段の回路の遅延時間分布を正規分布として生成する統計的遅延解析部と、

を有することを特徴とする遅延ばらつき解析装置。

30

【請求項 7】

前記遅延ばらつき算出部は、前記回路の最悪遅延時間を、前記回路の基本遅延時間と段数 N の平方根との積で除算することによって、前記回路の遅延ばらつき値を算出する請求項 6 に記載の遅延ばらつき解析装置。

40

【請求項 8】

前記遅延ばらつき算出部は、N 段の回路の信号遅延時間の総和を算出し、さらに、N 段の回路の信号遅延時間の総和を、信号遅延時間の最も長い回路又は最も個数の多い種類の回路の信号遅延時間で除算して前記段数 N を求める請求項 6 又は 7 に記載の遅延ばらつき解析装置。

【請求項 9】

前記遅延ばらつき算出部は、N 段の回路の信号遅延時間の総和と、前記基本遅延時間の N 段の回路の平均値とを算出し、さらに、N 段の回路の信号遅延時間の総和を、前記平均値で除算して、前記段数 N を求める請求項 6 又は 7 に記載の遅延ばらつき解析装置。

50

【請求項 10】

前記統計的遅延解析部は、前記遅延時間分布を用いて、前記N段の回路を複数有する回路の遅延ばらつき値を算出するために、統計的静的タイミング解析を行うタイミングチェック部と、をさらに有する請求項6～9のいずれかに記載の遅延ばらつき解析装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、遅延ばらつき解析装置及び遅延ばらつき解析方法に関する。

【背景技術】

【0002】

近年、半導体集積回路（以下、「LSI」と言う）の微細化又は高集積化に伴い、製造上のばらつきやプロセス、温度、電圧などのばらつきが遅延時間に及ぼす影響が大きくなり、これが歩留まりにも影響を及ぼすようになった。このような様々なばらつきによって引き起こされる遅延時間の相違（以下、「遅延ばらつき」と言う）の増大は、LSIの設計期間や歩留まりに大きな影響を与えている。そのため、LSIの開発では、所定の歩留まりを実現するために、各素子のばらつきが最悪ケースの信号遅延時間を計算し回路の遅延解析をおこなっている。

【0003】

通常、このような解析として、静的遅延解析（STA:Stoical Timing Analysis）が行われている。STAでは、各素子の最悪ケースの信号遅延時間を用いて、全ての素子が最悪ケースの信号遅延時間を生じることを想定することにより、回路の最悪信号遅延時間を算出している。

【0004】

一般に、LSI開発では、論理素子としての回路セル又は内部に論理素子により構成された回路を有する回路セルをベースとした設計が行われている。例えば、論理素子としての回路セルには、インバータ（否定）回路セル、AND（論理積）回路セル、OR（論理和）回路セル等が含まれ、回路を有する回路セルには、Dラッチ回路セル、インクリメンタ（増分器）回路セル、カウンタ回路セル等が含まれる。そのため、LSIのSTAは、回路セルごとの最悪信号遅延時間を用いて、全ての回路セルが最悪信号遅延時間を生じることを想定して、回路の最悪信号遅延時間を算出している。

しかし、全ての回路セルが最悪信号遅延時間を取ると想定したSTA解析を用いた設計手法では、信号遅延が過剰に見積もられてしまうため、LSIの微細化又は高集積化に伴い所望の性能を満たす設計が困難になってきた。

【0005】

従来、製造ばらつき等によって生じる遅延ばらつきはモンテカルロ解析等の統計的手法を用いた解析手法により算出する方法が提案されている。この文献では、モンテカルロ解析により、トランジスタのゲート長さ等のプロセス特性をランダムに設定することで素子の信号遅延時間の確率分布（以下、「遅延時間分布」と言う）を求め、その遅延時間分布から歩留まりを求める。モンテカルロ解析により、プロセス変数と遅延歩留まりの関係が正確に求まるため、所定の歩留まりを得るために最適な設計マージンを求めることができる。

【0006】

また、各素子の信号遅延時間を確率分布として統計的に扱うことで、回路の遅延時間分布を算出する方法である統計的タイミング解析（SSTA）として各素子のゲート幅や配線等のプロセス特性から遅延時間分布を作成して、回路の遅延時間分布を求める手法が提案されている。

【0007】

【特許文献1】特開2005-11892号公報

【非特許文献1】新田 泉、本間 克己、澁谷 利行、「統計的遅延解析におけるモデルと精度に関する一考察」（電子情報通信学会 信学技法 2005年12月、頁61～6

10

20

30

40

50

6)

【発明の開示】

【発明が解決しようとする課題】

【0008】

SSTAを用いることによりSTAで問題となっている過剰な設計マージンを最適化することができる。SSTA解析を行うためには回路セルごとの遅延時間分布が必要になる。回路セルの遅延時間分布はモンテカルロ解析によって求めるのが理想的だが、回路セルに対してモンテカルロ解析を実行するためには莫大な処理時間がかかるうえ、解析結果のデータ量も膨大になる。全回路セルに対してモンテカルロ解析を行うことは、高集積化され開発工程の逼迫したLSI設計において多くの時間とデータ量を要するため現実的ではない。

10

本発明は、SSTAを用い最適な設計マージンでLSI回路の設計を行うために、回路セルの遅延時間分布を求める遅延ばらつき解析装置及びその方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

上記課題を解決するために、N（2以上の自然数）段の回路の遅延時間分布を解析する方法が提供される。

上記方法は、上記回路の遅延時間分布が正規分布に従うとして、上記回路を伝播する信号の最大偏差遅延時間と、上記回路の基本遅延時間とを算出する遅延時間算出ステップと、上記回路の最大偏差遅延時間と上記回路の基本遅延時間との差分についてのN段の二乗平均を用いて、N段の回路の遅延ばらつき値を算出する遅延ばらつき算出ステップと、上記算出された遅延ばらつき値を用いて、上記N段の回路の遅延時間分布を正規分布として生成するステップと、を有する。

20

【発明の効果】

【0010】

この方法は、各回路の遅延時間分布を生成し、回路のモンテカルロ解析を行うことなく、回路の遅延時間分布を簡易に解析することができる。

【発明を実施するための最良の形態】

【0011】

30

以下、図面を参照して、本発明の実施の形態を説明する。

図1には、素子の遅延時間分布を用いて、複数の素子により構成される回路の信号遅延時間分布を簡易に算出する方法及びその装置の一例が示される。遅延ばらつき解析装置10は、処理部20、記憶部30、表示部42、入力部43を有し、これら装置10の構成要素は互いにバス接続される。なお、以下において「素子」を用いて説明した場合、「素子」の1つの例として「回路セル」も含まれる。

【0012】

処理部20は、単一又は複数の処理装置を用いて実装され得る。そのような処理装置は、中央処理装置（CPU）やプログラマブルロジックデバイス、デジタルシグナルプロセッサ（DSP）、フィールドプログラマブルゲートアレイ（FPGA）等を有し得る。

40

また、処理部20は、記憶部30に格納されたプログラム等の実行処理、各種データの記憶部30への入出力制御や、入力部43に入力された情報を記憶部30に記憶する制御や、遅延ばらつきの結果等を表示部42に表示する制御を行うことができる。

【0013】

さらに、処理部20は、信号遅延時間算出部22、遅延ばらつき算出部24、統計的遅延計算部26、タイミングチェック部28として機能することができる。

信号遅延時間算出部22は、回路に含まれる素子について信号遅延時間を計算することができる。遅延ばらつき算出部24は、信号遅延時間算出部22により算出された信号遅延時間を用いてN段の回路セルの遅延ばらつきや、その遅延ばらつきの確率分布（以下、「遅延時間分布」と言う）を算出することができる。統計的遅延解析部26は、遅延ばら

50

つき算出部 24 により算出された N 段の回路セルの遅延時間分布を用いて、N 段の回路セルを複数有する回路の遅延時間分布を統計的に算出する。タイミングチェック部 28 は、遅延ばらつき算出部 24 により出力された N 段の回路セルの遅延時間分布、又は、統計的遅延解析部 26 により算出された回路の遅延時間分布を表示部 42 等に出力することができる。

【0014】

記憶部 30 には、処理部 20 で利用される各種のデータが格納される。例えば、制御部 20 の一連の手順を実行するためのプログラム（オペレーティングシステム、アプリケーション等）やファームウェア、回路の構造定義情報や素子のプロセス特性が定義される設計データ 32、信号遅延時間算出部 22 により算出された素子種類毎の $\pm 3\sigma$ 信号遅延時間を格納する信号遅延時間データ 34、遅延ばらつき算出部 24 により算出された回路の遅延ばらつきを格納する統計的遅延データ 36、及びタイミングレポート 38 が記憶部 30 に格納される。

【0015】

また、記憶部 30 に記憶されるプログラムを、処理部 20 に実行させることにより、処理部 20 は、信号遅延時間算出部 22、遅延ばらつき算出部 24、統計的遅延計算部 26、タイミングチェック部 28 として機能することもできる。

また、記憶部 30 は、例えば不揮発性の記憶デバイス（不揮発性半導体メモリ、ハードディスク装置、光ディスク装置、フラッシュメモリなど）や、ランダムアクセス可能な記憶デバイス（SRAM、DRAM など）、読み出し専用メモリ等によって構成され得る。

【0016】

入力部 43 は、キーパッドがユーザによって操作された場合に、その操作内容に対応する信号を発生し、これをユーザの指示として制御部 20 に入力する。表示部 42 は、例えば液晶表示パネルや有機 EL パネル等の表示デバイスを用いて構成され、制御部 20 から供給される信号に応じたテキストあるいは画像を表示する。

【0017】

図 2 を用いて、遅延ばらつき解析装置による遅延ばらつきの計算対象となる N 段の回路セルの一例について説明する。

N 段の回路セル 50 は、NAND ゲート素子 A1、A2、・・・、AN や、図示しない他の OR 等の論理ゲート素子、インバータ素子等を含む回路パス 51A を含む。信号は、回路パス 51A において、入力部 52A から NAND ゲート素子等を通して、出力部 53A へ伝播する。

【0018】

図 3 を用いて、図 2 に表される各素子のプロセス特性を定義した設計データを説明する。

プロセス特性データ 60 に示すように、プロセス特性として、例えば、NAND ゲート素子 A1 のプロセス特性は、NAND ゲート素子 A1 を構成する MOS（Metal Oxide Semiconductor）のゲート長 L、ゲート幅 W、スレッショルド電圧 V_{th} 、プロセスのばらつき特性データ等が規定される。

また、図示されないが、設計データ 32 には、複数の回路パスを規定した回路記述データが含まれる。

【0019】

図 4 を用いて、遅延ばらつき解析装置 10 による N 段の回路セルの遅延ばらつき計算の処理フローの一例を説明する。

まず、信号遅延時間算出部 22 は、設計データ 32 から図 3 に示される素子のプロセス特性情報を取得する（ステップ S101）。設計者は、基本信号遅延時間を算出する場合は標準電圧値等のように信号遅延時間が平均値を示すときの典型的なプロセス特性、最悪信号遅延時間を算出する場合はプロセス特性 $\pm 3\sigma$ 、またシステムティックばらつきやランダムばらつき（後述）などの条件にも注意し適切なプロセス情報を選択し、信号遅延時間算出部 22 が計算に用いる設定値として設定する。

10

20

30

40

50

【0020】

信号遅延時間算出部22は、設計データ32に含まれる回路記述や取得したプロセス特性を元に回路動作シミュレータ（SPICE等）を用いて回路セルの信号遅延時間を算出する（ステップS102）。なお、遅延時間分布を求めるためには基本信号遅延時間、FAST側とSLOW側との最悪信号遅延時間の3種類の遅延時間が必要であるので、ステップS101、ステップS102を繰り返し必要なデータを算出する。

信号遅延時間算出部22は、上記したような典型的なプロセス特性の時の遅延時間を基本信号遅延時間 X_0 、プロセス特性が $\pm 3\sigma$ ばらついたときの信号遅延時間を最悪信号遅延時間 X_N とみなし、信号遅延データ34として記憶部30に格納する。

【0021】

N段の回路セルの遅延ばらつきは、遅延に影響を与えるプロセスの特性が一様に変化（以下「システムティックばらつき」と呼ぶ）したために起こるシステムティック遅延ばらつきと、信号遅延に影響を与えるプロセス特性がランダムにばらつく（以下「ランダムばらつき」と呼ぶ）ことによって生じるランダム遅延ばらつきがある。

遅延ばらつき算出部24は、基本信号遅延時間 X_0 とシステムティックばらつきのプロセス特性から算出した最悪信号遅延時間 X_N との差分値Yと、基本信号遅延時間 X_0 を用いて、下記に示す式2にしたがって回路セル51Aのシステムティック遅延ばらつき値を求める（ステップS103）。なお、遅延ばらつき値とは、回路セルの最大偏差遅延時間と回路セルの基本遅延時間との差分が基本遅延時間にしめる割合を言う。

システムティックばらつきではプロセス特性は一様に変化するため、最悪信号遅延時間 X_N は、最大偏差信号遅延時間 $X_3\sigma$ とみなすことができる。また、遅延ばらつき算出部24は、基本信号遅延時間 X_0 とランダムばらつきのプロセス特性から算出した最悪信号遅延時間 X_N と、基本信号遅延時間 X_0 を用いて、下記に示す式9にしたがってN段の回路セル51Aのランダム遅延ばらつき値を求める（ステップS103）。図4では、システムティック遅延ばらつきと、ランダム遅延ばらつきとを合わせて「遅延時間分布」と称している。

【0022】

10

20

【数 1】

システムティック信号遅延時間差分値 : $Y_s = X_{3\sigma} - X_0 \dots$ (式 1)

システムティック遅延ばらつき値 : $V_s = \frac{Y_s}{X_0} = \frac{X_{3\sigma} - X_0}{X_0} \dots$ (式 2)

1 段の最大偏差信号遅延時間 : $X_1 = X_{10} \pm Y_1 \dots$ (式 3)

10

N 段のランダム中央信号遅延時間 : $X_0 = N \cdot X_{10} \dots$ (式 4)

N 段のランダム最大偏差信号遅延時間 : $X_{3\sigma} = N \cdot X_{10} \pm Y_R \dots$ (式 5)

N 段のランダム最悪信号遅延時間 : $X_N = N \cdot X_1 = N \cdot X_{10} \pm N \cdot Y_1 \dots$ (式 6)

N 段のランダム信号遅延時間差分値 : $Y_R = \frac{N \cdot Y_1}{\sqrt{N}} \dots$ (式 7)

20

式 3 ~ 式 7 より : $Y_R = \frac{X_N - X_0}{\sqrt{N}} \dots$ (式 8)

N 段のランダム遅延ばらつき値 : $V_R = \frac{Y_R}{X_0} = \frac{X_N - X_0}{\sqrt{N} \cdot X_0} \dots$ (式 9)

【 0 0 2 3 】

以下に、上記式 1 を用いて、N 段の回路セル 5 1 A のシステムティック遅延ばらつきを求めるために使用される式 2 の導出を説明する。

30

式 1 は、ばらつき 0 の信号遅延時間つまり基本信号遅延時間 X_0 とシステムティックにプロセスが 3σ ばらついたときの最大偏差信号遅延時間 $X_{3\sigma}$ との差分値 Y_s を求める式である。上述したようにシステムティックばらつきではすべての素子の特性が一様に変化するため最悪信号遅延時間 X_N がシステムティックばらつきの傾向を適切に表現している。システムティック遅延ばらつき値 V_s は遅延時間差分値 Y_s の基本信号遅延時間 X_0 に対する割合、式 2 となる。

【 0 0 2 4 】

以下に、上記式 3 ~ 8 を用いて、N 段の回路セル 5 1 A のランダム遅延ばらつきを求めるために使用される式 9 の導出を説明する。プロセス特性がランダムにばらつくことによって生じるランダム遅延ばらつきは一般に段数が増えるほど遅延ばらつきが小さくなるという性質をもっている。そのため、ランダム遅延ばらつき値を算出するときには回路に含まれるゲート段数が重要となる。回路パス 5 1 A に含まれる全段数、又は、全素子数を N とし基本信号遅延時間 X_0 を N 段の基本信号遅延時間、最悪信号遅延時間 X_N を N 段の最悪信号遅延時間とする。ここで簡単のため各段の遅延時間が一定であると仮定し、1 段の基本信号遅延時間を X_{10} 、1 段の最悪信号遅延時間を X_1 とする。

40

【 0 0 2 5 】

上記信号遅延時間算出部 2 2 で算出されたランダムばらつき時の基本信号遅延時間は式 4 で表される。式 3 は、1 段分の最大信号偏差時間でありこれは最悪信号遅延時間 X_1 と同等とみなすことができる。上記信号遅延時間算出部 2 2 で算出されたランダムばらつき

50

時の最大偏差信号遅延時間は式 5 で表される。ここで、基本信号遅延時間 X_0 との差分 Y_R に注目する。式 6 は信号遅延時間算出部 22 で算出された最悪信号遅延時間 X_N を表している。しかし、式 6 は段数が増えるほど遅延ばらつきが小さくなるというランダムばらつきの性質を反映していない。したがって、上記信号遅延時間算出部 22 で算出されたランダムばらつき時の最悪信号遅延時間は最大偏差信号遅延時間としては過大に評価されている。

【0026】

そのため、本実施例では、複数誤差が連続して伝播する場合の誤差伝播を推定するために使用される「誤差伝播の法則」にしたがって、回路パスを伝播して生じる N 段の回路セルの最大偏差信号遅延時間の基本信号遅延時間からの差分値 Y_R を、1 段での差分値 Y_1 の N 段分の二乗平均とする。

本実施例では、回路パスの信号遅延時間の差分値 Y_R は、差分値 Y_1 の二乗平均とするので、差分値 Y_R は式 7 となる。式 8 は Y_R を X_0 と X_N を用いてあらわしたものである。したがって、 N 段の素子を有する回路パス 51A のランダム遅延ばらつき値を式 9 のように導出することができる。

【0027】

また、式 9 の右辺に示されるように、回路パスの遅延ばらつきは、分母に N 段の平方根を有する。したがって、式 9 は、 N の値が大きくなるほど、遅延ばらつき値における段数誤差の影響は小さくなる。そのため、回路セルの段数が多い場合、遅延ばらつき値を算出する際の N 値の精度が多少低くなくても遅延ばらつき値への影響は小さくなる。

したがって、 N 値の算出方法としては遅延ばらつき値対象パスのゲート段数を数えることがのぞましいが、算出部 24 において、信号遅延時間算出部 22 で算出した回路パス 51A 内の基本信号遅延時間を、1 段あたりの信号遅延時間の平均値で除算して段数 N を求めることができる。この場合、段数 N を一つ一つカウントせずに N 段の回路セルの遅延ばらつき値を求めることができる。

【0028】

遅延ばらつき算出部 24 は、設計データ 32 を用いて集積回路 50 又は回路パス 51A において最も頻繁に使用されている論理ゲート素子の信号遅延時間を 1 段あたりの信号遅延時間として使用することができる。1 段あたりの信号遅延時間を算出するために集積回路 50 と回路パス 51A のどちらのデータを使用するかは設計者が決めることができる。前者は集積回路 50 に含まれるすべての回路パスの段数 N を見積もる時にここで算出した信号遅延時間を使用できるという利点がある。後者は回路 51A に特化して段数 N を見積もっているので前者よりも回路パス 51A に対しての段数 N の精度が高くなる。

また、遅延ばらつき算出部 24 は、設計データ 32 を用いて集積回路 50 又は回路パス 51A 内の全論理ゲート素子の基本遅延時間の基本遅延時間を算出し 1 段あたりの信号遅延時間とすることができる。この場合も、回路パス内の素子を一つ一つカウントせずに N 段の回路セルの遅延ばらつきを求めることができ、集積回路 50 と回路パス 51A のどちらのデータを使用するかは設計者が決めることができる。例えば、設計者は、 N 段の回路セルの信号遅延時間の総和を、信号遅延時間の最も長い回路セル又は最も個数の多い種類の回路セルの信号遅延時間の信号遅延時間で除算して段数 N を決めることができる。

このように、本実施例によれば、 N 段の回路セルの遅延ばらつき値をより簡易に求めることもできる。

【0029】

統計的遅延データ 36 には、回路パス 51A の遅延ばらつき値が含まれる。また、システムティックばらつき時及びランダムばらつき時におけるすべての回路パスの遅延ばらつき値が統計的遅延データ 36 に含まれる。

統計的遅延計算部 26 は、統計的遅延データ 36 を $\pm 3\sigma$ の確率変数とする正規分布である遅延時間分布を生成する (ステップ S104)。図 5 (b) に、遅延時間分布として、遅延ばらつきの確率密度関数の一例を示す。基本遅延時間が図 5 (b) の平均値に相当する。統計的遅延計算部 26 は設計データ 32 と信号遅延データ 34 と統計的遅延データ

36を入力データとしSSTAを用いて集積回路50の遅延解析を行う。

【0030】

タイミングチェック部28は、統計的遅延計算部26で算出した結果を表示部42に表示することで、LSI設計を行う作業員に、集積回路50の遅延時間と歩留まりの関係(図9)やパスの遅延時間分布などを提示することができる。これにより、回路セルベースでLSI設計を行うユーザは、集積回路50が所望の歩留まりを満たすか否かを判断することができる。

【0031】

次に、図6を用いて、遅延ばらつき解析装置10によるSSTAを用いた回路の遅延解析の処理フローの一例を説明する。

10

従来、SSTAを行うためにはすべての回路セル又はすべての素子の確率分布を求めるためにモンテカルロ解析を行う必要があった。しかしながら、本実施例では、N段の回路セルの確率分布を簡易に生成することができるため、そのN段の回路セルの確率分布を用いてN段の回路セルを複数含む回路(例えば、集積回路等)のSSTAをより簡易に行うことができる。

【0032】

統計的遅延計算部26は、複数のN段回路セルの遅延時間分布(統計的遅延データ36)を用いて、統計的遅延算出処理としてSSTAの処理が行われる(ステップS201)

。

SSTAの処理の一例として、図7にN段の回路セルが直列に接続する回路51A、回路51B及びその確率分布、図8に並列に接続する回路51C、回路51D及びその確率分布を示す。

20

図7(a)に示すように、回路51A、51Bが直列に接続される場合、2つの回路51A、51Bの遅延時間分布をそれぞれf1及びf2で表すと、回路50Aの遅延時間分布f3は、いわゆる統計的和と呼ばれる下記式10で示す演算により求めることができる。

。

一方、図8の(a)に示すように、回路51C、51Dが合流する場合は、2つの回路51C、51Dの遅延時間分布をそれぞれf4及びf5で表すと、回路50Bの遅延時間分布f6は、いわゆる統計的MAXと呼ばれる下記式11で示す演算で求めることができる。

30

【0033】

【数 2】

$$\text{統計的和： } F3 = \int_{-\infty}^{\infty} F1(t-s)f2(s)ds \cdots \text{ (式 10)}$$

ここで、 $F1$ は、確率密度関数 $f1$ に対応する確率分布関数であり、
 $F3$ は、確率密度関数 $f3$ に対応する確率分布関数である。
 確率分布関数 $F3$ を求めることで、対応する確率密度関数 $f3$ が求まる。

10

$$\text{統計的MAX： } F6(t) = F4(t)F5(t) \cdots \text{ (式 11)}$$

ここで、 $F4$ は、確率密度関数 $f4$ に対応する確率分布関数であり、
 $F5$ は、確率密度関数 $f5$ に対応する確率分布関数である。
 $F6$ は、確率密度関数 $f6$ に対応する確率分布関数である。
 確率分布関数 $F6$ を求めることで、対応する確率密度関数 $f6$ が求まる。

20

【0034】

なお、算出された統計的和演算による遅延時間分布 $f3$ 、 $f6$ は、統計的遅延データ 36 として記憶部 30 に格納され、上記した演算処理を繰り返し行うことなく参照利用することもできる。

【0035】

次に、タイミングチェック部 28 は、算出した回路の遅延時間分布 $f3$ 又は $f6$ に基づいて、統計的タイミングチェックを行う（ステップ S202）。図 9 を用いて、統計的タイミングチェックについて説明する。図 9 では、遅延時間の確率分布関数の一例が示される。

タイミングチェック部 28 は、遅延時間分布 $f3$ 又は $f6$ において、 $\pm 3\sigma$ のときの遅延ばらつきに対応する遅延時間を $\pm 3\sigma$ とする遅延時間の確率密度分布 90 を、タイミングレポートとして作成することができる（ステップ S203）。この遅延時間の確率密度分布 90 は、タイミングチェック部 28 によって、記憶部 30 にタイミングレポート 38 として格納され、上記した算出処理を繰り返すことなく参照利用することもできる。

30

図 9 を用いることで、所望の遅延時間を満たした時の歩留まりを得ることができる。例えば、回路 50 の所望の遅延時間が、480 ps の場合、回路 50 の歩留まりはほぼ 100% になる。

【0036】

図 10 を用いて、SSTA と STA とを両方行う遅延解析フローの一例について説明する。この実施例では、図 6 で説明した SSTA の遅延時間と、STA の遅延時間とを比較したタイミングレポートを作成することで、SSTA で算出した遅延時間の信頼性を判断することができる。

40

【0037】

まず、同じ設計データを用いて、STA 並びに SSTA に必要なプロセス特性を用いて遅延時間計算（ステップ S101～102）が行われる。SSTA では、図 4 及び図 6 を用いて説明した処理が行われる（ステップ S103、S104、S201、S202）。

STA では、ステップ S101～102 で算出された回路セルの遅延時間を用いて回路全体のパスの遅延時間を算出する（ステップ S301）。タイミングチェック部 28 は、ステップ S301 で算出されたすべてのパスの遅延時間を集計し所望の性能での動作確認を行う（ステップ S302）。SSTA を用いたタイミングチェックと STA を用いたタ

50

イミシングチェックを併記したタイミングレポートが作成される（ステップ S 3 0 4）。

【0038】

上記したように S T A では、遅延時間の最悪値に基づくばらつき値を全段分積算して算出するため、所望の性能を満たすための設計マージンが過剰になる。したがって、S S T A で算出されたバスの遅延時間と、S T A で算出されたバスの遅延時間分布とを見比べることで、ばらつきに強いバスやばらつきに弱いバスを見極めることができたり、目標性能に到達するためにどのバスの遅延時間を改善すれば効果的なのか、或いは S T A でどのバスの設計マージンが過剰に見積もられているのかを判断することが出来る。

【図面の簡単な説明】

【0039】

【図1】図1は、遅延ばらつき解析装置の一例を示す図である。

【図2】図2は、遅延ばらつきの算出対象となる設計データの一例を示す図である。

【図3】図3は、プロセス特性データの一例を示す図である。

【図4】図4は、遅延ばらつき解析装置による信号遅延時間及び遅延ばらつき算出処理の一例を示すフローチャートである。

【図5】図5（a）は、プロセス特性を確率変数とする正規分布の一例を示し、図5（b）は、遅延ばらつきを確率変数とする正規分布の一例を示す図である。

【図6】図6は、遅延ばらつき解析装置による統計的遅延解析処理のフローの一例を示すフローチャートである。

【図7】図7は、直列に接続する回路及びその遅延時間分布の一例を示す図である。

【図8】図8は、並列に接続する回路及びその遅延時間分布の一例を示す図である。

【図9】図9は、遅延時間と歩留まりの関係の一例を示す図である。

【図10】図10は、遅延ばらつき解析装置による S S T A と S T A とを両方行う遅延解析フローの一例を示す図である。

【符号の説明】

【0040】

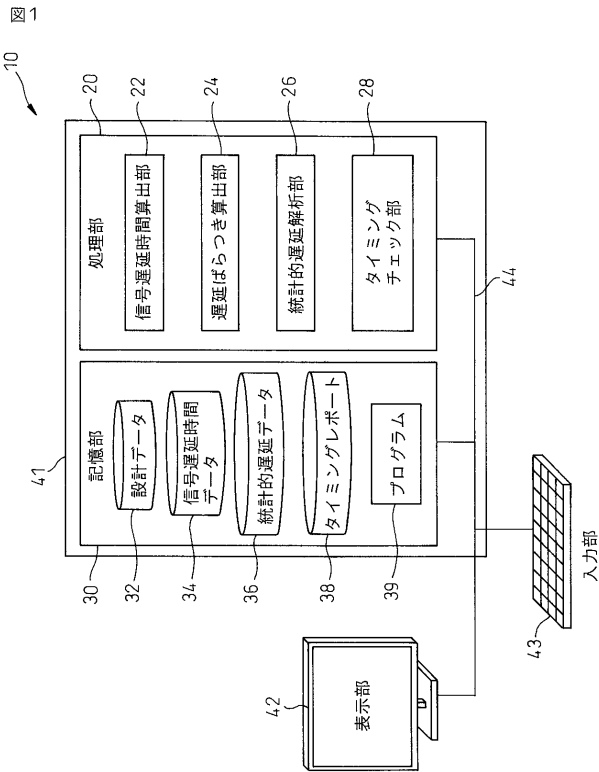
- 10 遅延ばらつき解析装置
- 20 処理部
- 22 遅延時間算出部
- 24 ばらつき値算出部
- 26 統計的遅延解析部
- 28 タイミングチェック部
- 30 記憶部
- 42 表示部
- 43 入力部

10

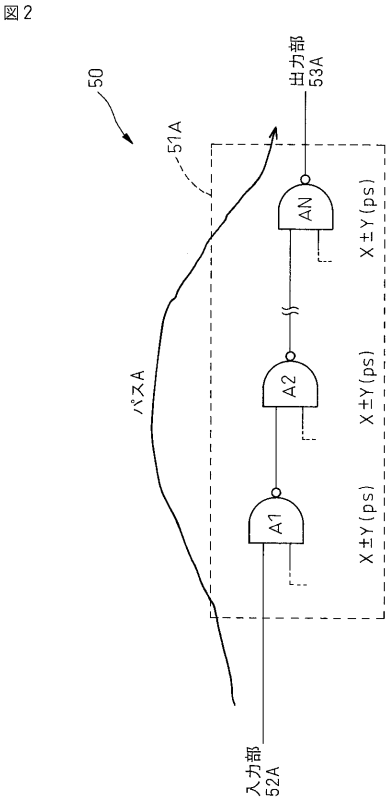
20

30

【図 1】



【図 2】



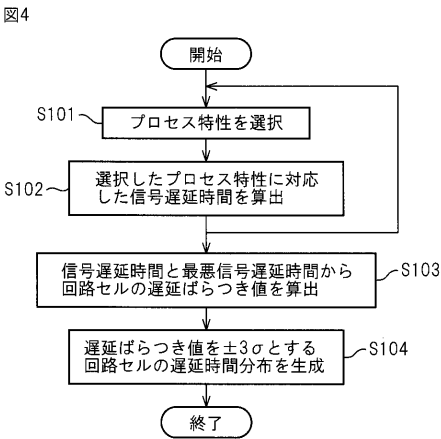
【図 3】

図 3

60

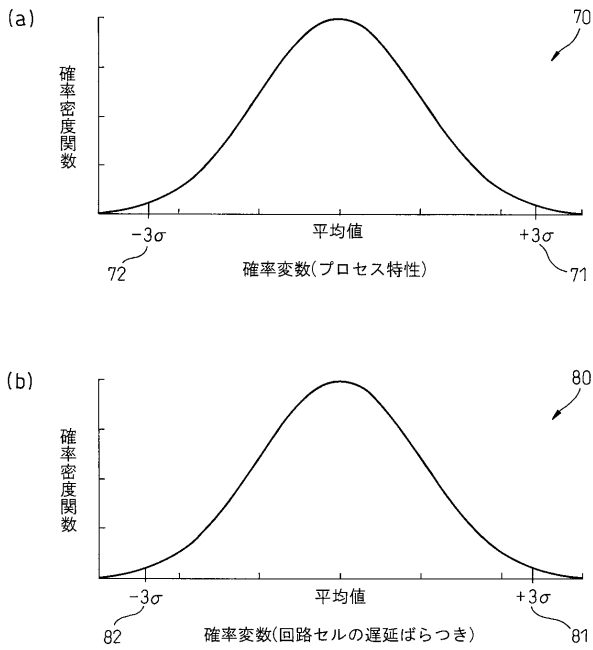
番号	種類	ゲート長1 (L)	ゲート幅 (W)	閾値電圧 (Vth)	ゲート長ばらつき (+3σ)	ゲート幅ばらつき (+3σ)	ゲート長ばらつき (-3σ)	ゲート幅ばらつき (-3σ)	閾値電圧ばらつき (+3σ)	閾値電圧ばらつき (-3σ)
A1-1	PMOS	0.13μm	1.0μm	0.7V	0.01μm	0.04μm	0.01μm	0.04μm	0.01V	0.01V
A1-2	PMOS	0.13μm	1.0μm	0.7V	0.01μm	0.04μm	0.01μm	0.04μm	0.01V	0.01V
A1-3	NMOS	0.13μm	1.3μm	0.2V	0.01μm	0.03μm	0.01μm	0.03μm	0.015V	0.015V
A1-4	NMOS	0.13μm	1.3μm	0.2V	0.01μm	0.03μm	0.01μm	0.03μm	0.015V	0.015V

【図 4】



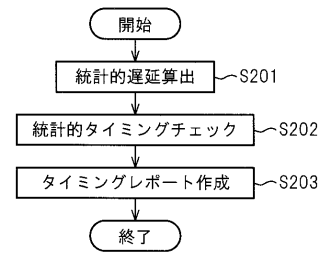
【図 5】

図 5



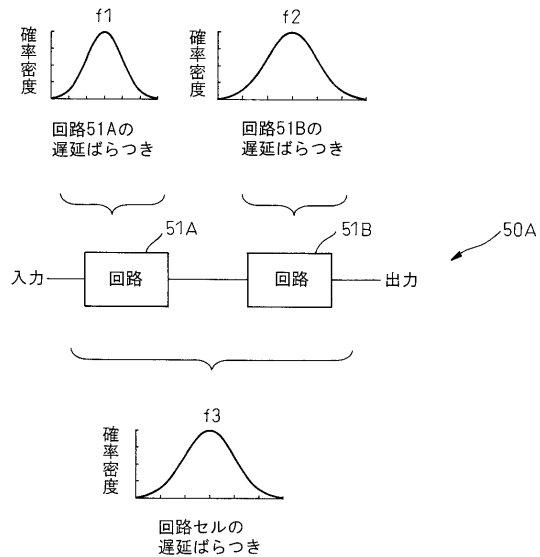
【図 6】

図 6



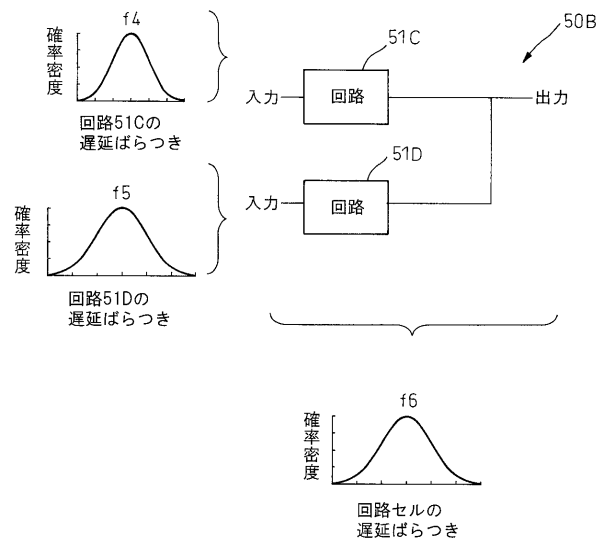
【図 7】

図 7

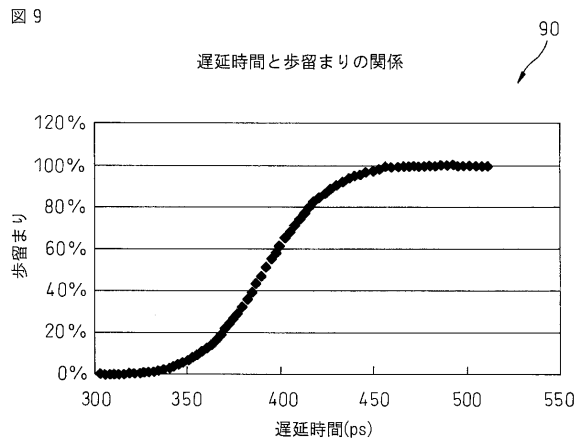


【図 8】

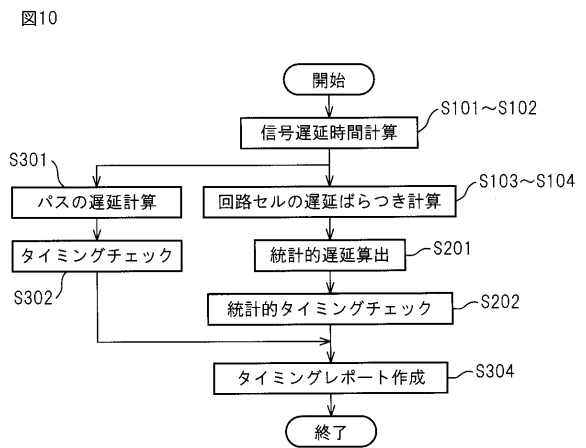
図 8



【図 9】



【図 10】



フロントページの続き

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 神原 文

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 吉田 裕司

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 佐藤 杉夫

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5B046 AA08 BA03 JA07