(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/011776 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) *G09G 3/3225* (2016.01)
G09G 3/32 (2016.01)

(21) 国际申请号: PCT/CN2020/110137

(22) 国际申请日: 2020 年 8 月 20 日 (20.08.2020)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010684989.8 2020年7月16日 (16.07.2020) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (**WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.**) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(72) 发明人: **王选芸 (WANG, Xuanyun)**; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。 **赵晟焕 (CHO, Sunghwan)**; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。 **戴超 (DAI, Chao)**; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

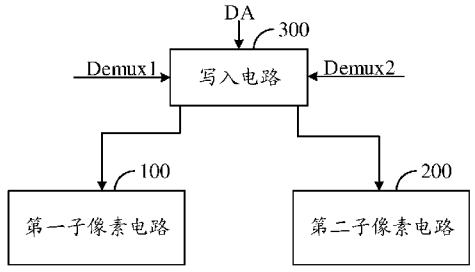
(74) 代理人: 深圳紫藤知识产权代理有限公司 (**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**); 中国广东省深圳市南山区粤海街道高新区社区高新南一道006号TCL工业研究院大厦A802, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

(54) **Title:** PIXEL CIRCUIT AND DRIVE METHOD

(54) **发明名称:** 像素电路及驱动方法



100 First sub-pixel circuit
200 Second sub-pixel circuit
300 Write circuit

图 1

(57) **Abstract:** A pixel circuit and a drive method: by means of demultiplex signals (Demux1, Demux 2), independently controlling a data signal (DA) to be written to a corresponding sub-pixel circuit (100, 200), facilitating the implementation of ultra-high frequency drive display; a first sub-pixel circuit (100) and a second sub-pixel circuit (200) share the same data signal (DA), reducing the number of data lines used; polysilicon thin film transistors are used for the drive transistors (T1-1, T1-2) and oxide thin film transistors are used for the compensation transistors (T3-1, T3-2), reducing or eliminating the leakage current of the drive transistors (T1-1, T1-2).

(57) **摘要**: 一种像素电路及驱动方法, 通过解复用信号 (Demux1、Demux2) 独立控制数据信号 (DA) 写入至对应的子像素电路 (100、200), 有利于实现超高频驱动显示; 第一子像素电路 (100) 和第二子像素电路 (200) 共用同一数据信号 (DA), 可以减少数据线的使用数量; 驱动晶体管 (T1-1、T1-2) 采用多晶硅薄膜晶体管且补偿晶体管 (T3-1、T3-2) 采用氧化物薄膜晶体管, 可以降低或者消除驱动晶体管 (T1-1、T1-2) 的漏电流。

WO 2022/011776 A1

[见续页]

本国际公布:
— 包括国际检索报告(条约第21条(3))。

像素电路及驱动方法

技术领域

[0001] 本申请涉及显示技术领域，尤其涉及像素技术领域，具体涉及一种像素电路及驱动方法。

背景技术

[0002] 随着多媒体的发展，显示装置变得越来越重要。相应地，对各种类型显示装置的要求也越来越高，尤其是智能手机领域，超高频驱动显示，低功耗驱动显示，以及低频驱动显示中至少一种或者其组合均是当前和未来的发展方向。

[0003] 传统像素电路中大多采用一数据信号对应写入一像素电路，使得传输数据信号的数据线数量较多，其在显示面板内占据着较大的布局空间；而且数据信号的写入受限于扫描信号的控制，使得像素电路向超高频驱动显示的发展受到阻碍。

发明概述

技术问题

[0004] 本申请提供一种像素电路及驱动方法，解决了像素电路不易实现超高频驱动显示的问题。

问题的解决方案

技术解决方案

[0005] 第一方面，本申请提供一种像素电路，其包括第一子像素电路、第二子像素电路以及写入电路；写入电路与第一子像素电路和第二子像素电路连接，用于根据第一解复用信号控制数据信号耦合至第一子像素电路，且根据第二解复用信号控制数据信号耦合至第二子像素电路。

[0006] 基于第一方面，在第一方面的第一种实施方式中，第一子像素电路的输入信号与第二子像素电路的输入信号相同；其中，输入信号包括第一电源信号、第二电源信号、发光控制信号、扫描信号以及初始电压信号中的至少一种。

[0007] 基于第一方面，在第一方面的第二种实施方式中，写入电路包括第一薄膜晶体

管和第二薄膜晶体管；第一薄膜晶体管与第一子像素电路耦接，用于根据第一解复用信号控制数据信号耦合至第一子像素电路；第二薄膜晶体管与第二子像素电路耦接，用于根据第二解复用信号控制数据信号耦合至第二子像素电路；其中，第一解复用信号异于第二解复用信号。

[0008] 基于第一方面，在第一方面的第三种实施方式中，第一子像素电路或第二子像素电路包括驱动单元和补偿单元；驱动单元串接于第一电源信号与第二电源信号构成的发光回路，用于控制流经发光回路的电流；补偿单元与驱动单元耦接，用于根据第二扫描信号调节驱动单元的控制端电位至驱动单元的输出端电位，以降低或者消除驱动单元的漏电流。

[0009] 基于第一方面的第三种实施方式，在第一方面的第四种实施方式中，第一子像素电路或第二子像素电路还包括初始化单元；初始化单元与驱动单元连接，用于根据第一扫描信号控制初始电压信号耦接至驱动单元。

[0010] 基于第一方面的第四种实施方式，在第一方面的第五种实施方式中，第一子像素电路或第二子像素电路还包括存储单元；存储单元与驱动单元、初始化单元以及第一电源信号耦接，用于调节驱动单元的控制端电位。

[0011] 基于第一方面的第五种实施方式，在第一方面的第六种实施方式中，第一子像素电路或第二子像素电路还包括发光单元和发光控制单元；发光单元串接于发光回路；发光控制单元串接于发光回路，用于根据发光控制信号通断控制发光单元发光。

[0012] 基于第一方面的第六种实施方式，在第一方面的第七种实施方式中，第一子像素电路或第二子像素电路还包括复位单元；复位单元与初始电压信号和发光单元的阳极连接，用于根据第三扫描信号控制初始电压信号耦接至发光单元的阳极，以复位阳极的电位。

[0013] 第二方面，本申请提供一种像素电路，其包括第一子像素电路和写入电路；写入电路与第一子像素电路连接，用于根据第一解复用信号控制数据信号耦合至第一子像素电路。

[0014] 基于第二方面，在第二方面的第一种实施方式中，第一子像素电路包括驱动晶体管和补偿晶体管；驱动晶体管的源极与写入电路的输出端连接；补偿晶体管

的输入端与驱动晶体管的栅极连接，补偿晶体管的输出端与驱动晶体管的漏极连接，补偿晶体管的控制端与第二扫描信号连接，用于根据第二扫描信号调节驱动晶体管的栅极与漏极的电位差，以降低或者消除驱动晶体管的漏电流。

[0015] 基于第二方面的第一种实施方式，在第二方面的第二种实施方式中，驱动晶体管为多晶硅薄膜晶体管；补偿晶体管为氧化物薄膜晶体管。

[0016] 基于第二方面的第二种实施方式，在第二方面的第三种实施方式中，第一子像素电路还包括初始化晶体管；初始化晶体管的输入端与初始电压信号连接；初始化晶体管的控制端与第一扫描信号连接；初始化晶体管的输出端与驱动晶体管的栅极连接。

[0017] 基于第二方面的第三种实施方式，在第二方面的第四种实施方式中，第一子像素电路还包括存储电容；存储电容的第一端与第一电源信号连接；存储电容的第二端与驱动晶体管的栅极连接。

[0018] 基于第二方面的第四种实施方式，在第二方面的第五种实施方式中，第一子像素电路还包括第一发光控制晶体管、第二发光控制晶体管以及发光器件；第一发光控制晶体管的输入端与第一电源信号连接；第一发光控制晶体管的输出端与驱动晶体管的源极连接；第二发光控制晶体管的输入端与驱动晶体管的漏极连接；发光控制信号与第一发光控制晶体管的控制端和第二发光控制晶体管的控制端连接；发光器件的阳极与第二发光控制晶体管的输出端连接；发光器件的阴极与第二电源信号连接。

[0019] 基于第二方面的第五种实施方式，在第二方面的第六种实施方式中，第一子像素电路还包括复位晶体管；复位晶体管的输入端与初始电压信号连接；复位晶体管的控制端与第三扫描信号连接；复位晶体管的输出端与第二发光控制晶体管的输出端连接。

[0020] 基于第二方面的第三种实施方式，在第二方面的第七种实施方式中，初始化晶体管为氧化物薄膜晶体管。

[0021] 第三方面，本申请提供一种像素电路的驱动方法，其中，像素电路设置有第一子像素电路、第二子像素电路以及写入电路；驱动方法包括提供一第一解复用信号、一第二解复用信号、一数据信号以及对应的输入信号；其中，输入信号

包括第一电源信号、第二电源信号、发光控制信号、第一扫描信号、第二扫描信号、第三扫描信号以及初始电压信号中的至少一种；写入电路根据第一解复用信号控制数据信号耦接至第一子像素电路；写入电路根据第二解复用信号控制数据信号耦接至第二子像素电路；第一子像素电路根据输入信号驱动第一发光单元，以进行第一显示；以及第二子像素电路根据输入信号驱动第二发光单元，以进行第二显示；其中，第三扫描信号的频率不大于第一解复用信号与第二解复用信号的频率之和。

[0022] 基于第三方面，在第三方面的第一种实施方式中，解复用信号包括第一解复用信号和第二解复用信号；写入电路包括第一写入电路和第二写入电路；第一写入电路根据第一解复用信号控制数据信号耦接至第一子像素电路；第二写入电路根据第二解复用信号控制数据信号耦接至第二子像素电路。

[0023] 基于第三方面的第一种实施方式，在第三方面的第二种实施方式中，第一解复用信号的频率与第二解复用信号的频率相同。

[0024] 第四方面，本申请提供一种显示面板，其包括上述任一实施方式的像素电路和解复用电路；解复用电路与像素电路连接，用于提供对应的解复用信号至像素电路。

发明的有益效果

有益效果

[0025] 本申请提供的像素电路及驱动方法，通过解复用信号独立控制数据信号写入至对应的子像素电路，避免了受限于扫描信号的控制，有利于实现超高频驱动显示；第一子像素电路和第二子像素电路共用同一数据信号，可以减少数据线的使用数量，进而降低了其占用空间；驱动晶体管采用多晶硅薄膜晶体管且补偿晶体管采用氧化物薄膜晶体管，可以降低或者消除驱动晶体管的漏电流。

对附图的简要说明

附图说明

[0026] 图1为本申请实施例提供的像素电路的结构示意图。

[0027] 图2为本申请实施例提供的像素电路的电路原理图之一。

[0028] 图3为本申请实施例提供的像素电路的电路原理图之二。

[0029] 图4为本申请实施例提供的驱动方法的流程示意图。

[0030] 图5为图2中所示的像素电路的时序示意图。

发明实施例

本发明的实施方式

[0031] 为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。

[0032] 如图1所示，本实施例提供了一种像素电路，其包括第一子像素电路100、第二子像素电路200以及写入电路300；写入电路300与第一子像素电路100和第二子像素电路200连接，用于根据第一解复用信号Demux1控制数据信号DA耦合至第一子像素电路100，且根据第二解复用信号Demux2控制数据信号DA耦合至第二子像素电路200。

[0033] 需要进行说明的是，第一子像素电路100可以但不限于与第二子像素电路200采用相同的电路结构。本实施例的像素电路通过对应的解复用信号独立控制数据信号DA写入至对应的子像素电路，避免了受限于扫描信号的控制，有利于实现超高频驱动显示。第一子像素电路100和第二子像素电路200共用同一数据信号DA，可以减少数据线的使用数量，进而降低了其占用空间。

[0034] 传统像素电路中数据信号DA的写入受限于扫描信号的控制，而扫描信号至少需要经过时序控制器、GOA电路或者栅极驱动器的一系列调制后被生成，其频率的改变受制于多方面因素，因此，在使用扫描信号控制数据信号DA的写入时，使得像素电路向超高频驱动显示的发展受到阻碍。而本发明采用对应独立的解复用信号去控制数据信号DA的写入，对应的解复用信号作为方波信号，其频率无需经过复杂的调制即可获得，可以减少其设计难度，也改变了本行业一直以来的技术偏见，能够使得数据信号DA的写入更加高效自由，为超高频驱动显示的实现开创了新思路。

[0035] 如图2或者图3所示，在其中一个实施例中，第一子像素电路100的输入信号与第二子像素电路200的输入信号相同。其中，输入信号可以但不限于包括第一电源信号ELVDD、第二电源信号ELVSS、发光控制信号EM、扫描信号以及初始电压

信号Vint。其中，第一电源信号ELVDD的电位大于第二电源信号ELVSS的电位。扫描信号包括第一扫描信号S1、第二扫描信号S2以及第三扫描信号S3；其中，第一子像素电路100、第二子像素电路200位于第N个子像素行时，第一扫描信号S1可以但不限于为第N-1级扫描信号，第二扫描信号S2可以但不限于为一个第N级扫描信号，第三扫描信号S3可以但不限于为另一个第N级扫描信号。其中，N可以为不小于1的整数，当N等于1时，第N-1级扫描信号被初始信号替换。基于此，在本实例提供的像素电路中，第一子像素电路100和第二子像素电路200可以共用多个输入信号，能够减少传输这些输入信号的信号线的使用数量，可以进一步降低信号线的占用空间。

[0036] 在其中一个实施例中，写入电路300包括第一薄膜晶体管Tmux1；第一薄膜晶体管Tmux1的输入端与数据信号DA连接；第一薄膜晶体管Tmux1的控制端与对应的解复用信号连接；第一薄膜晶体管Tmux1的输出端耦接至第一子像素电路100和第二子像素电路200。

[0037] 需要进行说明的是，本公开中晶体管的输入端可以但不限于为对应晶体管的源极，还可以是对应晶体管的漏极；晶体管的输出端可以但不限于为对应晶体管的源极，还可以是对应晶体管的漏极；晶体管的控制端为对应晶体管的栅极。

[0038] 在其中一个实施例中，写入电路300包括第一薄膜晶体管Tmux1和第二薄膜晶体管Tmux2；第一薄膜晶体管Tmux1与第一子像素电路100耦接，用于根据对应的解复用信号控制数据信号DA耦合至第一子像素电路100；第二薄膜晶体管Tmux2与第二子像素电路200耦接，用于根据对应的解复用信号控制数据信号DA耦合至第二子像素电路200。

[0039] 在其中一个实施例中，写入电路300包括第一薄膜晶体管Tmux1和第二薄膜晶体管Tmux2；第一薄膜晶体管Tmux1与第一子像素电路100耦接，用于根据第一解复用信号Demux1控制数据信号DA耦合至第一子像素电路100；和第二薄膜晶体管Tmux2，与第二子像素电路200耦接，用于根据第二解复用信号Demux2控制数据信号DA耦合至第二子像素电路200；其中，第一解复用信号Demux1异于第二解复用信号Demux2。

[0040] 需要进行说明的是，如图2所示，第一薄膜晶体管Tmux1、第二薄膜晶体管Tmux

2均为N沟道型薄膜晶体管。如图3所示，第一薄膜晶体管Tmux1、第二薄膜晶体管Tmux2均为P沟道型薄膜晶体管。

[0041] 可以理解的是，在其中一个实施例中，第一薄膜晶体管Tmux1可以为N沟道型薄膜晶体管，第二薄膜晶体管Tmux2均为P沟道型薄膜晶体管。或者，第一薄膜晶体管Tmux1可以为P沟道型薄膜晶体管，第二薄膜晶体管Tmux2均为N沟道型薄膜晶体管。

[0042] 在其中一个实施例中，第一子像素电路100或第二子像素电路200包括发光单元70、驱动单元10、发光控制单元60以及初始化单元30；发光单元70串接于第一电源信号ELVDD与第二电源信号ELVSS构成的发光回路；驱动单元10串接于发光回路，用于控制流经发光回路的电流；发光控制单元60串接于发光回路，用于根据发光控制信号EM通断控制发光单元70进行发光；初始化单元30与驱动单元10连接，用于根据第一扫描信号S1控制初始电压信号Vint耦接至驱动单元10。

[0043] 其中，驱动单元10可以包括驱动晶体管T1-1。其中，驱动晶体管T1-1可以但不限于为多晶硅薄膜晶体管或者低温多晶硅薄膜晶体管，还可以是氧化物薄膜晶体管或者金属氧化物薄膜晶体管。进一步地，驱动晶体管T1-1可以为P沟道型薄膜晶体管。

[0044] 发光控制单元60可以包括第一发光控制晶体管T5-1和第二发光控制晶体管T6-1；第一发光控制晶体管T5-1的输入端与第一电源信号ELVDD连接；第一发光控制晶体管T5-1的输出端与驱动晶体管T1-1的源极连接；第二发光控制晶体管T6-1的输入端与驱动晶体管T1-1的漏极连接；发光控制信号EM与第一发光控制晶体管T5-1的控制端和第二发光控制晶体管T6-1的控制端连接。其中，第一发光控制晶体管T5-1和第二发光控制晶体管T6-1可以为P沟道型薄膜晶体管和/或低温多晶硅薄膜晶体管。

[0045] 发光单元70可以包括发光器件D1-1；发光器件D1-1的阳极与第二发光控制晶体管T6-1的输出端连接；发光器件D1-1的阴极与第二电源信号ELVSS连接。

[0046] 需要进行说明的是，发光器件D1-1可以但不限于为OLED型发光器件等自发光型发光器件，还可以为MINI-LED或者MICRO-LED型发光器件。

[0047] 初始化单元30可以包括初始化晶体管T4-1；初始化晶体管T4-1的输入端与初始

电压信号Vint连接；初始化晶体管T4-1的控制端与第一扫描信号S1连接；初始化晶体管T4-1的输出端与驱动晶体管T1-1的栅极连接。其中，初始化晶体管T4-1可以但不限于为氧化物薄膜晶体管或者金属氧化物薄膜晶体管，还可以是多晶硅薄膜晶体管或者低温多晶硅薄膜晶体管。其中，初始化晶体管T4-1还可以为N沟道型薄膜晶体管。

[0048] 在其中一个实施例中，第一子像素电路100或第二子像素电路200还包括存储单元50；存储单元50与驱动单元10、初始化单元30以及第一电源信号ELVDD耦接，用于调节驱动单元10的控制端电位。

[0049] 其中，存储单元50可以包括存储电容C1-1；存储电容C1-1的第一端与第一电源信号ELVDD连接；存储电容C1-1的第二端与驱动晶体管T1-1的栅极连接。

[0050] 在其中一个实施例中，第一子像素电路100或第二子像素电路200还包括补偿单元20；补偿单元20与驱动单元10耦接，用于根据第二扫描信号S2调节驱动单元10的控制端电位至驱动单元10的输出端电位，以降低或者消除驱动单元10的漏电流。

[0051] 补偿单元20可以包括补偿晶体管T3-1。其中，补偿晶体管T3-1可以但不限于为氧化物薄膜晶体管或者金属氧化物薄膜晶体管，还可以是多晶硅薄膜晶体管或者低温多晶硅薄膜晶体管。补偿晶体管T3-1还可以为N沟道型薄膜晶体管。

[0052] 在其中一个实施例中，第一子像素电路100或第二子像素电路200还包括复位单元40；复位单元40与初始电压信号Vint和发光单元70的阳极连接，用于根据第三扫描信号S3控制初始电压信号Vint耦接至发光单元70的阳极，以复位阳极的电位。

[0053] 复位单元40可以包括复位晶体管T7-1；复位晶体管T7-1的输入端与初始电压信号Vint连接；复位晶体管T7-1的控制端与第三扫描信号S3连接；复位晶体管T7-1的输出端与第二发光控制晶体管T6-1的输出端连接。其中，复位晶体管T7-1可以但不限于为低温多晶硅薄膜晶体管，还可以为P沟道型薄膜晶体管。

[0054] 在其中一个实施例中，像素电路包括第一子像素电路100和写入电路300，写入电路300与第一子像素电路100连接，用于根据对应的解复用信号控制数据信号DA耦合至第一子像素电路100；其中，第一子像素电路100包括驱动晶体管T1-1和

补偿晶体管T3-1；驱动晶体管T1-1的源极与写入电路300的输出端连接；补偿晶体管T3-1的输入端与驱动晶体管T1-1的栅极连接，补偿晶体管T3-1的输出端与驱动晶体管T1-1的漏极连接，补偿晶体管T3-1的控制端与第二扫描信号S2连接，用于根据第二扫描信号S2调节驱动晶体管T1-1的栅极与漏极的电位差，以降低或者消除驱动晶体管T1-1的漏电流。

[0055] 补偿晶体管T3-1串联在驱动晶体管T1-1的栅极和漏极之间。在阈值补偿阶段，补偿晶体管T3-1导通，对写入数据信号DA后的驱动晶体管T1-1的阈值电压进行补偿。在发光阶段，补偿晶体管T3-1截止。由于补偿晶体管T3-1串联在驱动晶体管T1-1的栅极和漏极之间，因此，可以调节驱动晶体管T1-1的栅极电位，降低或者消除驱动晶体管T1-1的漏电流。

[0056] 其中，当补偿晶体管T3-1氧化物薄膜晶体管或者金属氧化物薄膜晶体管时，由于其具备的磁滞特性，可以进一步地降低或者消除驱动晶体管T1-1的漏电流。

[0057] 可以理解的是，本实施例提供的像素电路通过对应的解复用信号独立控制数据信号DA写入至对应的子像素电路，避免了受限于扫描信号的控制，有利于实现超高频驱动显示。驱动晶体管T1-1采用多晶硅薄膜晶体管且补偿晶体管T3-1采用氧化物薄膜晶体管，可以进一步地降低或者消除驱动晶体管T1-1的漏电流。

[0058] 在其中一个实施例中，本公开提供一种像素电路的驱动方法，其中，像素电路设置有第一子像素电路100、第二子像素电路200以及写入电路300；如图4所示的驱动方法包括：步骤S10：提供一第一解复用信号Demux1、一第二解复用信号Demux2、一数据信号DA以及对应的输入信号，其中，输入信号包括第一电源信号ELVDD、第二电源信号ELVSS、发光控制信号EM、第一扫描信号S1、第二扫描信号S2、第三扫描信号S3以及初始电压信号Vint中的至少一种；步骤S20：写入电路300根据第一解复用信号Demux1控制数据信号DA耦接至第一子像素电路100；步骤S30：写入电路根据第二解复用信号Demux2控制数据信号DA耦接至第二子像素电路200；步骤S40：第一子像素电路100根据输入信号驱动第一发光单元，以进行第一显示；以及步骤S50：第二子像素电路200根据输入信号驱动第二发光单元71，以进行第二显示；其中，第三扫描信号S3的频率不大于第一解复用信号Demux1与第二解复用信号Demux2的频率之和。

[0059] 其中，第一发光单元可以为发光单元70。

[0060] 在其中一个实施例中，解复用信号可以包括第一解复用信号Demux1和第二解复用信号Demux2；写入电路300包括第一写入电路80和第二写入电路81；第一写入电路80根据第一解复用信号Demux1控制数据信号DA耦接至第一子像素电路100；第二写入电路81根据第二解复用信号Demux2控制数据信号DA耦接至第二子像素电路200。

[0061] 其中，第一写入电路80可以包括第一薄膜晶体管Tmux1；第二写入电路81可以包括第二薄膜晶体管Tmux2。

[0062] 在其中一个实施例中，第一解复用信号Demux1的频率与第二解复用信号Demux2的频率相同；第一解复用信号Demux1的相位与第二解复用信号Demux2的相位相同或者相异。

[0063] 其中，第一解复用信号Demux1的频率或第二解复用信号Demux2的频率高于第一扫描信号S1的频率；第一解复用信号Demux1的频率或第二解复用信号Demux2的频率高于第二扫描信号S2的频率。

[0064] 在其中一个实施例中，第一解复用信号Demux1、第二解复用信号Demux2也可以同时工作，这样的话，可以延长第一子像素电路100和第二子像素电路200中数据信号DA的充电时间，改善对应子像素充电不足的现象。

[0065] 在其中一个实施例中，第二子像素电路200可以包括与发光单元70、驱动单元10、发光控制单元60、初始化单元30、存储单元50、补偿单元20以及复位单元40功能作用相同且依次对应的第二发光单元71、第二驱动单元11、第二发光控制单元61、第二初始化单元31、第二存储单元51、第二补偿单元21以及第二复位单元41。

[0066] 第二子像素电路200还可以包括与发光器件D1-1、驱动晶体管T1-1、第一发光控制晶体管T5-1、第二发光控制晶体管T6-1、初始化晶体管T4-1、存储电容C1-1、补偿晶体管T3-1以及复位晶体管T7-1依次相同的第二发光器件D1-2、第二驱动晶体管T1-2、第三发光控制晶体管T5-2、第四发光控制晶体管T6-2、第二初始化晶体管T4-2、第二存储电容C1-2、第二补偿晶体管T3-2以及第二复位晶体管T7-2。

[0067] 在其中一个实施例中，本公开提供了一种显示面板，其包括上述任一实施例中的像素电路。

[0068] 需要进行说明的是，本实施例的显示面板还包括至少一个解复用电路；解复用电路与写入电路连接，用于提供像素电路对应所需的解复用信号。

[0069] 可以理解的是，由于本实施例的显示面板至少具有上述任一实施例中的像素电路，因此，本实施例的显示面板至少具有对应像素电路中的功能或者作用。

[0070] 如图5所示，其给出了关键信号的时序示意图，这些关键信号包括第一扫描信号S1、第二扫描信号S2、第三扫描信号S3、第一解复用信号Demux1、第二解复用信号Demux2以及发光控制信号EM。

[0071] 其中，以第一子像素电路100为例，在第一阶段中，发光控制信号EM处于高电平期间，发光控制单元60中的第一发光控制晶体管T5-1、第二发光控制晶体管T6-1处于关闭状态；第一扫描信号S1为高电平，初始电压信号Vint将传输至驱动晶体管T1-1的栅极；然后，第一扫描信号S1转为低电平，第二扫描信号S2、第三扫描信号S3处于工作周期，补偿晶体管T3-1和复位晶体管T7-1被打开，在此期间，第一解复用信号Demux1、第二解复用信号Demux2依次处于工作周期，即第一解复用信号Demux1、第二解复用信号Demux2可以但不限于为分时工作，数据信号DA将被依次写入对应的子像素电路中。在第二阶段，发光控制信号EM处于低电平期间，发光控制单元60中的第一发光控制晶体管T5-1、第二发光控制晶体管T6-1处于打开状态。

[0072] 需要进行说明的是，第一解复用信号Demux1、第二解复用信号Demux2分时工作时，第一解复用信号Demux1或第二解复用信号Demux2的频率不小于第三扫描信号的频率的2倍。

[0073] 可以理解的是，对本领域普通技术人员来说，可以根据本申请的技术方案及其发明构思加以等同替换或改变，而所有这些改变或替换都应属于本申请所附的权利要求的保护范围。

权利要求书

[权利要求 1] 一种像素电路，其中，包括：

第一子像素电路；

第二子像素电路；以及

写入电路，与所述第一子像素电路和所述第二子像素电路连接，用于根据第一解复用信号控制数据信号耦合至所述第一子像素电路，且根据第二解复用信号控制所述数据信号耦合至所述第二子像素电路。

[权利要求 2] 根据权利要求1所述的像素电路，其中，所述第一子像素电路的输入信号与所述第二子像素电路的输入信号相同；

其中，所述输入信号包括第一电源信号、第二电源信号、发光控制信号、扫描信号以及初始电压信号中的至少一种。

[权利要求 3] 根据权利要求1所述的像素电路，其中，所述写入电路包括：

第一薄膜晶体管，与所述第一子像素电路耦接，用于根据所述第一解复用信号控制所述数据信号耦合至所述第一子像素电路；和

第二薄膜晶体管，与所述第二子像素电路耦接，用于根据所述第二解复用信号控制所述数据信号耦合至所述第二子像素电路；

其中，所述第一解复用信号异于所述第二解复用信号。

[权利要求 4] 根据权利要求1所述的像素电路，其中，所述第一子像素电路或所述第二子像素电路包括：

驱动单元，串接于第一电源信号与第二电源信号构成的发光回路，用于控制流经所述发光回路的电流；和

补偿单元，与所述驱动单元耦接，用于根据第二扫描信号调节所述驱动单元的控制端电位至所述驱动单元的输出端电位，以降低或者消除所述驱动单元的漏电流。

[权利要求 5] 根据权利要求4所述的像素电路，其中，所述第一子像素电路或所述第二子像素电路还包括：

初始化单元，与所述驱动单元连接，用于根据第一扫描信号控制初始电压信号耦接至所述驱动单元。

[权利要求 6] 根据权利要求5所述的像素电路，其中，所述第一子像素电路或所述第二子像素电路还包括：

存储单元，与所述驱动单元、所述初始化单元以及所述第一电源信号耦接，用于调节所述驱动单元的控制端电位。

[权利要求 7] 根据权利要求6所述的像素电路，其中，所述第一子像素电路或所述第二子像素电路还包括：

发光单元，串接于所述发光回路；和

发光控制单元，串接于所述发光回路，用于根据发光控制信号通断控制所述发光单元发光。

[权利要求 8] 根据权利要求7所述的像素电路，其中，所述第一子像素电路或所述第二子像素电路还包括：

复位单元，与所述初始电压信号和所述发光单元的阳极连接，用于根据第三扫描信号控制所述初始电压信号耦接至所述发光单元的阳极，以复位所述阳极的电位。

[权利要求 9] 一种像素电路，其中，包括：

第一子像素电路；和

写入电路，与所述第一子像素电路连接，用于根据第一解复用信号控制数据信号耦合至所述第一子像素电路。

[权利要求 10] 根据权利要求9所述的像素电路，其中，所述第一子像素电路包括：

驱动晶体管，所述驱动晶体管的源极与所述写入电路的输出端连接；和

补偿晶体管，所述补偿晶体管的输入端与所述驱动晶体管的栅极连接，所述补偿晶体管的输出端与所述驱动晶体管的漏极连接，所述补偿晶体管的控制端与第二扫描信号连接，用于根据所述第二扫描信号调节所述驱动晶体管的栅极与漏极的电位差，以降低或者消除所述驱动晶体管的漏电流。

[权利要求 11] 根据权利要求10所述的像素电路，其中，所述驱动晶体管为多晶硅薄膜晶体管；所述补偿晶体管为氧化物薄膜晶体管。

[权利要求 12] 根据权利要求11所述的像素电路，其中，所述第一子像素电路还包括初始化晶体管；

所述初始化晶体管的输入端与初始电压信号连接；所述初始化晶体管的控制端与第一扫描信号连接；所述初始化晶体管的输出端与所述驱动晶体管的栅极连接。

[权利要求 13] 根据权利要求12所述的像素电路，其中，所述第一子像素电路还包括存储电容；

所述存储电容的第一端与第一电源信号连接；所述存储电容的第二端与所述驱动晶体管的栅极连接。

[权利要求 14] 根据权利要求13所述的像素电路，其中，所述第一子像素电路还包括第一发光控制晶体管、第二发光控制晶体管以及发光器件；

所述第一发光控制晶体管的输入端与所述第一电源信号连接；所述第一发光控制晶体管的输出端与所述驱动晶体管的源极连接；

所述第二发光控制晶体管的输入端与所述驱动晶体管的漏极连接；发光控制信号与所述第一发光控制晶体管的控制端和所述第二发光控制晶体管的控制端连接；

所述发光器件的阳极与所述第二发光控制晶体管的输出端连接；所述发光器件的阴极与第二电源信号连接。

[权利要求 15] 根据权利要求14所述的像素电路，其中，所述第一子像素电路还包括复位晶体管；

所述复位晶体管的输入端与所述初始电压信号连接；所述复位晶体管的控制端与第三扫描信号连接；所述复位晶体管的输出端与所述第二发光控制晶体管的输出端连接。

[权利要求 16] 根据权利要求12所述的像素电路，其中，所述初始化晶体管为氧化物薄膜晶体管。

[权利要求 17] 一种像素电路的驱动方法，其中，所述像素电路设置有第一子像素电路、第二子像素电路以及写入电路；所述驱动方法包括：

提供一第一解复用信号、一第二解复用信号、一数据信号以及对应的

输入信号；其中，所述输入信号包括第一电源信号、第二电源信号、发光控制信号、第一扫描信号、第二扫描信号、第三扫描信号以及初始电压信号中的至少一种；

所述写入电路根据所述第一解复用信号控制所述数据信号耦接至所述第一子像素电路；

所述写入电路根据所述第二解复用信号控制所述数据信号耦接至所述第二子像素电路；

所述第一子像素电路根据所述输入信号驱动第一发光单元，以进行第一显示；以及

所述第二子像素电路根据所述输入信号驱动第二发光单元，以进行第二显示；

其中，所述第三扫描信号的频率不大于所述第一解复用信号与所述第二解复用信号的频率之和。

[权利要求 18] 根据权利要求17所述的驱动方法，其中，所述写入电路包括第一写入电路和第二写入电路；

所述第一写入电路根据所述第一解复用信号控制所述数据信号耦接至第一子像素电路；

所述第二写入电路根据所述第二解复用信号控制所述数据信号耦接至第二子像素电路。

[权利要求 19] 根据权利要求18所述的驱动方法，其中，所述第一解复用信号的频率与所述第二解复用信号的频率相同。

[权利要求 20] 根据权利要求17所述的驱动方法，其中，所述第一解复用信号与所述第二解复用信号分时工作。

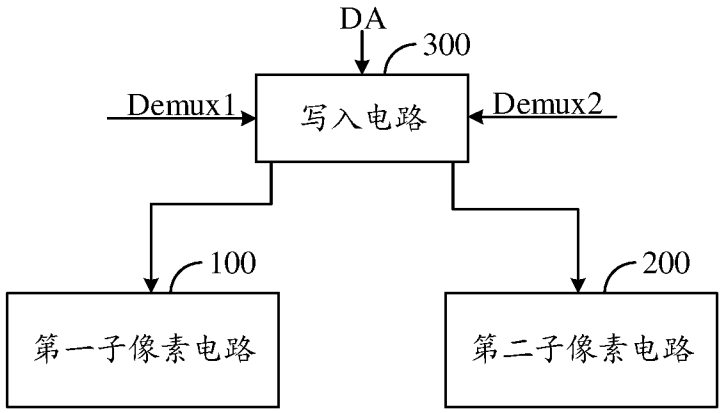

DA
300
Demux1
写入电路
Demux2
100
200
第一子像素电路
第二子像素电路

图 1

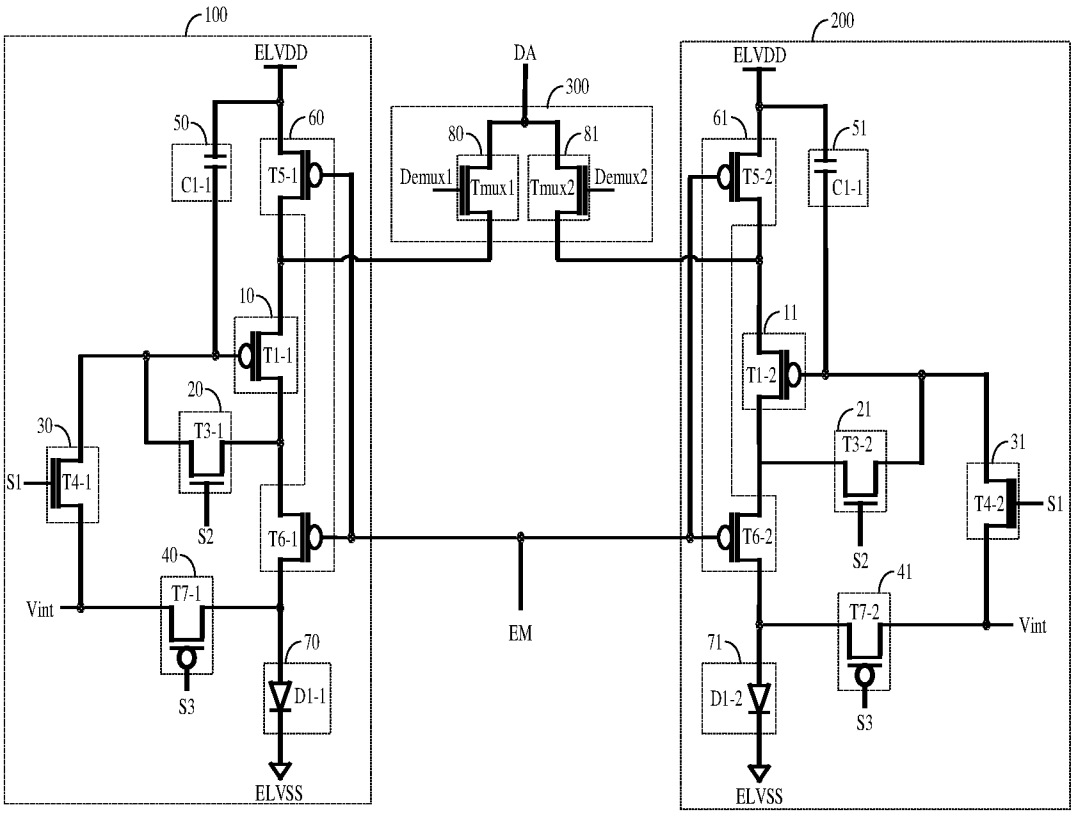

100
ELVDD
50
C1-1
60
T5-1
10
T1-1
20
T3-1
30
S1
T4-1
S2
T6-1
40
Vint
T7-1
S3
70
D1-1
ELVSS
DA
300
80
Demux1
Tmux1
Tmux2
81
Demux2
EM
200
ELVDD
61
T5-2
51
C1-1
11
T1-2
21
T3-2
31
T4-2
S1
T6-2
S2
41
T7-2
Vint
S3
71
D1-2
ELVSS

图 2

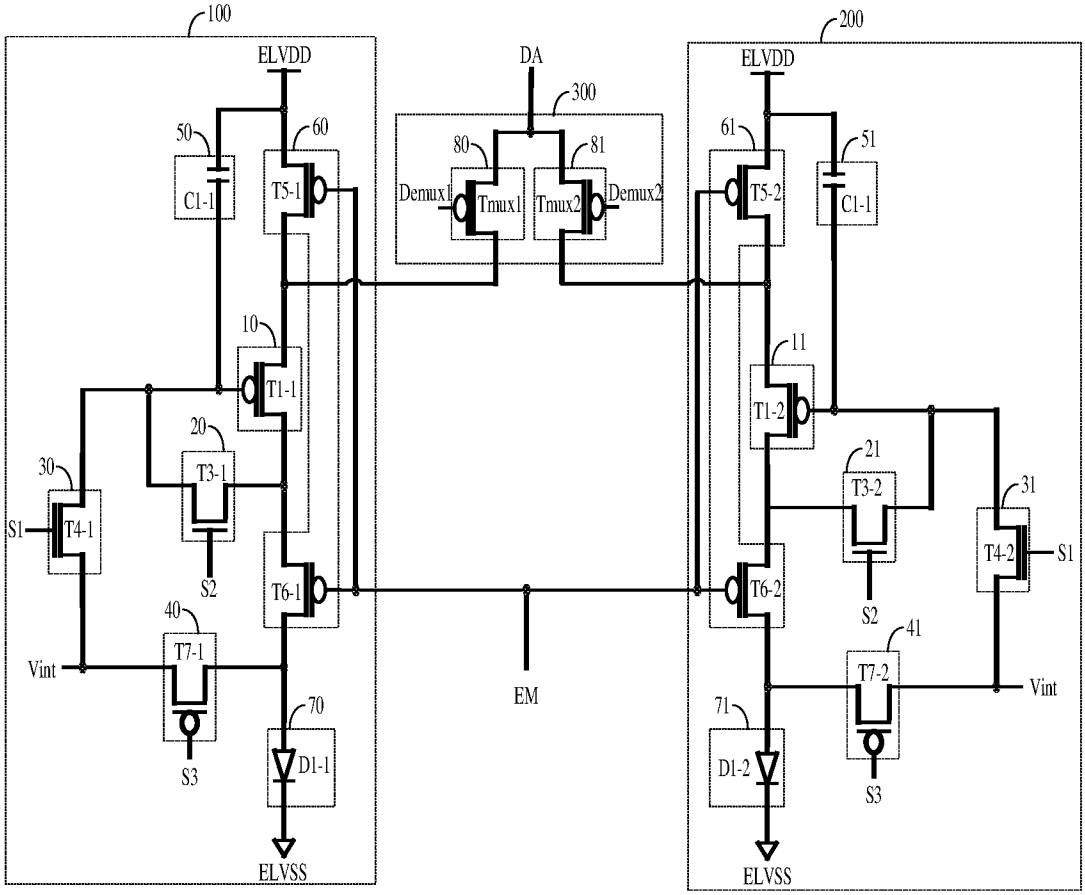

100
ELVDD
50
C1-1
60
T5-1
10
T1-1
20
T3-1
30
S1
T4-1
S2
T6-1
40
T7-1
Vint
S3
70
D1-1
ELVSS
DA
300
80
Demux1
Tmux1
Tmux2
81
Demux2
EM
200
ELVDD
61
T5-2
51
C1-1
11
T1-2
21
T3-2
31
T4-2
S1
S2
T6-2
41
T7-2
Vint
S3
71
D1-2
ELVSS

图 3

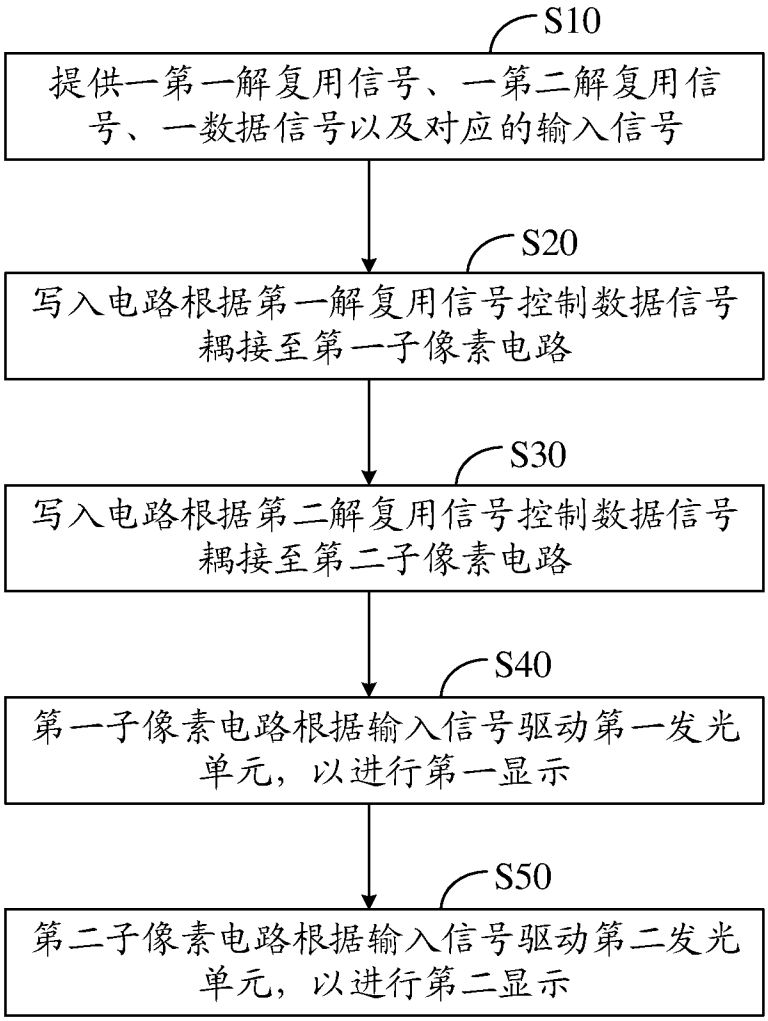

S10
提供一第一解复用信号、一第二解复用信号、一数据信号以及对应的输入信号
S20
写入电路根据第一解复用信号控制数据信号耦接至第一子像素电路
S30
写入电路根据第二解复用信号控制数据信号耦接至第二子像素电路
S40
第一子像素电路根据输入信号驱动第一发光单元，以进行第一显示
S50
第二子像素电路根据输入信号驱动第二发光单元，以进行第二显示

图 4

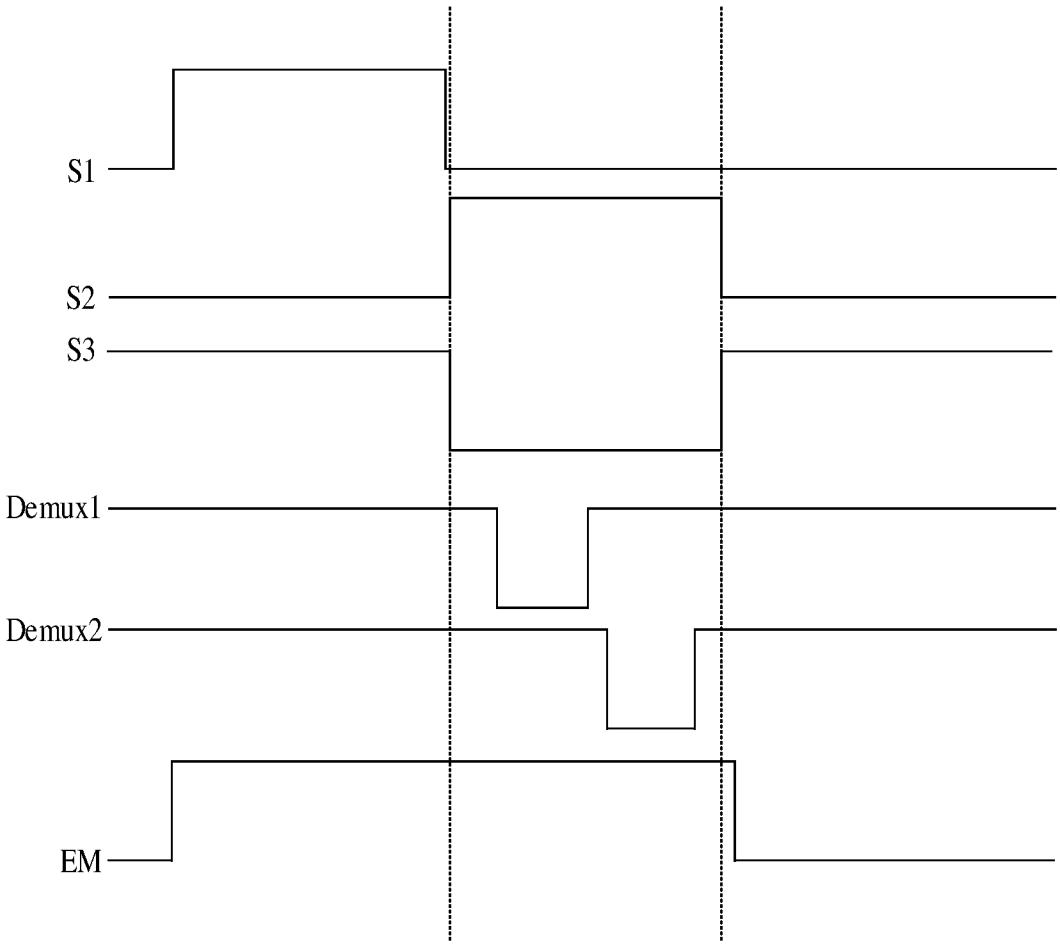


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2020/110137

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; G09G 3/3225(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 京东方, 像素, 象素, 画素, 共用, 复用, 解复用, 扫描, 数据, 复位, 初始化, 补偿, 电路, pixel?, shar+, common, same, demultiplex+, demux, data, scan+, reset+, compensat+, circuit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 111063301 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 April 2020 (2020-04-24) description paragraphs [0050]-[0118] and figures 3c, 7	1-20
Y	CN 108735146 A (AU OPTRONICS CORPORATION) 02 November 2018 (2018-11-02) description, paragraph [0049]	1-20
A	CN 107170408 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 15 September 2017 (2017-09-15) entire document	1-20
A	CN 110827765 A (BOE TECHNOLOGY GROUP CO., LTD.) 21 February 2020 (2020-02-21) entire document	1-20
A	US 2004070557 A1 (ASANO, Mitsuru et al.) 15 April 2004 (2004-04-15) entire document	1-20
A	US 2014333214 A1 (SAMSUNG DISPLAY CO., LTD.) 13 November 2014 (2014-11-13) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 January 2021	**01 February 2021**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2020/110137

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111063301	A	24 April 2020	None			
CN	108735146	A	02 November 2018	US	10504444	B2	10 December 2019
				US	2019279570	A1	12 September 2019
				CN	108735146	B	31 July 2020
				TW	I639149	B	21 October 2018
				TW	201939471	A	01 October 2019
CN	107170408	A	15 September 2017	CN	107170408	B	24 May 2019
CN	110827765	A	21 February 2020	WO	2020029711	A1	13 February 2020
US	2004070557	A1	15 April 2004	KR	20040033248	A	21 April 2004
				JP	2004133240	A	30 April 2004
				TW	I241552	B	11 October 2005
				US	7057588	B2	06 June 2006
				JP	3832415	B2	11 October 2006
				KR	100963525	B1	15 June 2010
				TW	200416660	A	01 September 2004
				JP	2006285269	A	19 October 2006
				JP	3988793	B2	10 October 2007
US	2014333214	A1	13 November 2014	KR	20140133415	A	19 November 2014
				JP	2014219516	A	20 November 2014
				KR	102137521	B1	27 July 2020
				US	9412295	B2	09 August 2016

国际检索报告

国际申请号
PCT/CN2020/110137

A. 主题的分类

G09G 3/20(2006.01)i; G09G 3/32(2016.01)i; G09G 3/3225(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,CNKI,WPI,EPODOC:京东方，像素，象素，画素，共用，复用，解复用，扫描，数据，复位，初始化，补偿，电路，pixel?,shar+,common,same,demultiplex+,demux,data, scan+, reset+, compensat+, circuit

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 111063301 A (京东方科技集团股份有限公司 等) 2020年 4月 24日 (2020-04-24) 说明书第[0050]-[0118]段及图3c、7	1-20
Y	CN 108735146 A (友达光电股份有限公司) 2018年 11月 2日 (2018-11-02) 说明书第[0049]段	1-20
A	CN 107170408 A (上海天马微电子有限公司) 2017年 9月 15日 (2017-09-15) 全文	1-20
A	CN 110827765 A (京东方科技集团股份有限公司) 2020年 2月 21日 (2020-02-21) 全文	1-20
A	US 2004070557 A1 (ASANO, Mitsuru 等) 2004年 4月 15日 (2004-04-15) 全文	1-20
A	US 2014333214 A1 (SAMSUNG DISPLAY CO., LTD.) 2014年 11月 13日 (2014-11-13) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2021年 1月 18日	2021年 2月 1日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李文斐 电话号码 86-(10)-53962508

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2020/110137

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	111063301	A	2020年 4月 24日	无			
CN	108735146	A	2018年 11月 2日	US	10504444	B2	2019年 12月 10日
				US	2019279570	A1	2019年 9月 12日
				CN	108735146	B	2020年 7月 31日
				TW	I639149	B	2018年 10月 21日
				TW	201939471	A	2019年 10月 1日
CN	107170408	A	2017年 9月 15日	CN	107170408	B	2019年 5月 24日
CN	110827765	A	2020年 2月 21日	WO	2020029711	A1	2020年 2月 13日
US	2004070557	A1	2004年 4月 15日	KR	20040033248	A	2004年 4月 21日
				JP	2004133240	A	2004年 4月 30日
				TW	I241552	B	2005年 10月 11日
				US	7057588	B2	2006年 6月 6日
				JP	3832415	B2	2006年 10月 11日
				KR	100963525	B1	2010年 6月 15日
				TW	200416660	A	2004年 9月 1日
				JP	2006285269	A	2006年 10月 19日
				JP	3988793	B2	2007年 10月 10日
US	2014333214	A1	2014年 11月 13日	KR	20140133415	A	2014年 11月 19日
				JP	2014219516	A	2014年 11月 20日
				KR	102137521	B1	2020年 7月 27日
				US	9412295	B2	2016年 8月 9日