

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 8 月 2 日 (02.08.2018)



(10) 国际公布号
WO 2018/137441 A1

- (51) 国际专利分类号:
H01L 21/84 (2006.01) **H01L 27/12** (2006.01)
- (21) 国际申请号: PCT/CN2017/116952
- (22) 国际申请日: 2017 年 12 月 18 日 (18.12.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710061083.9 2017 年 1 月 25 日 (25.01.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。成都京东方光电科技
有限公司 (CHENGDU BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川

省成都市高新区(西区)合作路 1188
号, Sichuan 611731 (CN)。

(72) 发明人: 苏磊 (SU, Lei); 中国北京市经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。张正东
(ZHANG, Zhengdong); 中国北京市经济技术开
发区地泽路 9 号, Beijing 100176 (CN)。周刚 (ZHOU,
Gang); 中国北京市经济技术开发区地泽路 9 号,
Beijing 100176 (CN)。杨小飞 (YANG, Xiaofei);
中国北京市经济技术开发区地泽路 9 号, Beijing
100176 (CN)。代科 (DAI, Ke); 中国北京市经济
技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路 10
号 1 号楼 10 层, Beijing 100080 (CN)。

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREOF, AND DISPLAY PANEL

(54) 发明名称: 阵列基板及其制备方法、显示面板

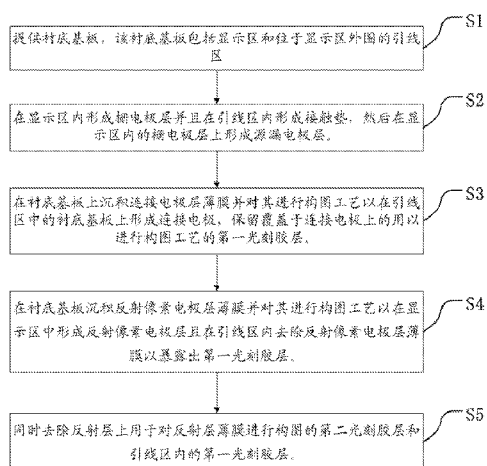


图 2

- S1 Provide a base substrate, the base substrate comprising a display region and a lead region located at the periphery of the display region
- S2 Form a gate electrode layer in the display region and a contact pad in the lead region, and then form a source/drain electrode layer on the gate electrode layer in the display region
- S3 Deposit a connection electrode layer film on the base substrate, and perform patterning on the film to form a connection electrode on the base substrate in the lead region, and preserve a first photoresist layer covering the connection electrode and used in a patterning process
- S4 Deposit a reflective pixel electrode layer film on the base substrate, and perform patterning on the film so as to form a reflective pixel electrode layer in the display region and remove the reflective pixel electrode layer film in the lead region to expose the first photoresist layer
- S5 Simultaneously remove a second photoresist layer used in patterning reflective layer film on the reflective layer and the first photoresist layer in the lead region

(57) Abstract: An array substrate, a manufacturing method thereof, and a display panel are provided. The manufacturing method comprises: providing a base substrate (100) comprising a display region and a lead region located at the periphery of the display region; during the process of forming a connection electrode (160) in the lead region, preserving a first photoresist layer (170) used in patterning the connection electrode (160); depositing a reflective pixel electrode layer film (181) on the base substrate (100), and performing patterning on the film (181) so as to form a reflective pixel electrode layer (180) in the display region and remove the reflective pixel electrode layer film (181) in the lead region to expose the first photoresist layer (170); and removing a second photoresist layer (190) used in patterning the reflective pixel electrode layer film (181) on the reflective pixel electrode layer (180) and the first photoresist

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

layer (170) in the lead region. The manufacturing method can simplify the manufacturing process of the array substrate and prevent the member from being corroded.

(57) 摘要: 一种阵列基板及其制备方法、显示面板, 该制备方法包括: 提供包括显示区和位于显示区外围的引线区的衬底基板(100), 在引线区中形成连接电极(160)的过程中保留用于对其进行构图工艺的第一光刻胶层(170), 然后在衬底基板(100)上沉积反射像素电极层薄膜(181)并对其进行构图工艺以在显示区中形成反射像素电极层(180)且在引线区内去除反射像素电极层薄膜(181)以暴露出第一光刻胶层(170), 然后去除反射像素电极层(180)上用于对反射像素电极层薄膜(181)进行构图的第二光刻胶层(190)和引线区内的第一光刻胶层(170)。上述制备方法可以简化阵列基板的制备工艺并且避免构件被腐蚀。

阵列基板及其制备方法、显示面板

本申请要求于 2017 年 1 月 25 日递交的中国专利申请第
5 201710061083.9 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开至少一个实施例涉及一种阵列基板及其制备方法、显示面板。

10

背景技术

由全反射阵列基板制备的显示面板在显示过程可不需要背光，通过在阵列基板的表面上制备例如金属反射像素电极层可以将外界环境中入射的光线进行反射以进行图像显示，从而可以实现显示面板的轻薄化、低重量
15 和低功耗等。

发明内容

本公开至少一实施例提供一种阵列基板的制备方法，包括：提供衬底基板，所述衬底基板包括显示区和位于所述显示区外围的引线区；在所述
20 引线区内形成接触垫；在所述显示区内于所述衬底基板上形成源漏电极层；在所述衬底基板上沉积连接电极层薄膜并对其进行构图工艺以在所述引线区中的所述衬底基板上形成连接电极，保留覆盖于所述连接电极上的用以进行构图工艺的第一光刻胶层；在所述衬底基板沉积反射像素电极层薄膜并对其进行构图工艺以在所述显示区中形成反射像素电极层且在所述引线
25 区内去除所述反射像素电极层薄膜以暴露出所述第一光刻胶层；去除所述反射像素电极层上用于对所述反射像素电极层薄膜进行构图的第二光刻胶层和所述引线区内的所述第一光刻胶层；其中，所述反射像素电极层与所述源漏电极层电连接，所述连接电极至少部分与所述接触垫电连接。

例如，本公开至少一实施例提供的制备方法还可以包括：在所述衬底
30 基板上的所述源漏电极层上形成钝化层，然后对所述钝化层进行构图，以在在所述钝化层中形成位于所述显示区内的第一过孔，以及形成位于所述

引线区中的第二过孔；其中，所述源漏电极层与所述反射像素电极层通过所述第一过孔电连接，所述连接电极与所述接触垫通过所述第二过孔电连接。

例如，本公开至少一实施例提供的制备方法还可以包括：在所述显示区内于所述栅电极层上形成源漏电极层时，在所述引线区内形成信号线；在所述引线区内于所述钝化层中形成第三过孔，所述连接电极通过所述第三过孔与所述信号线电连接。

例如，在本公开至少一实施例提供的制备方法中，所述信号线形成为通过所述连接电极与所述接触垫电连接。

例如，在本公开至少一实施例提供的制备方法中，所述信号线形成为栅线、数据线、公共电极线、电源线、接地线、帧开始扫描线和复位线中的至少一种。

例如，本公开至少一实施例提供的制备方法还可以包括：在所述接触垫之上形成栅绝缘层，所述源漏电极层形成在所述栅绝缘层之上；在所述钝化中形成所述第二过孔时，还在所述栅绝缘层中形成暴露所述接触垫的第四过孔，所述连接电极通过所述第二过孔和所述第四过孔与所述接触垫电连接。

例如，本公开至少一实施例提供的制备方法还可以包括：在所述栅绝缘层上形成有源层，然后在所述有源层上形成所述源漏电极层。

例如，本公开至少一实施例提供的制备方法还可以包括：在所述显示区中的衬底基板上形成栅电极层，并且通过一次构图工艺形成所述栅电极层和所述接触垫。

本公开的至少一实施例提供一种阵列基板，包括：衬底基板，包括显示区和位于所述显示区外围的引线区；源漏电极层，位于所述显示区的衬底基板上；反射像素电极层，位于所述显示区，且位于所述源漏电极层之上；接触垫，位于所述引线区；连接电极，位于所述引线区，所述连接电极位于所述接触垫之上；其中，所述反射像素电极层与所述源漏电极层电连接，所述连接电极至少部分与所述接触垫电连接，且所述反射像素电极层和所述连接电极由不同的材料形成。

例如，在本公开至少一实施例提供的阵列基板中，所述连接电极的材料可以包括透明导电材料。

例如，在本公开至少一实施例提供的阵列基板中，所述显示区的衬底基板上还设置有栅电极层。

例如，本公开至少一实施例提供的阵列基板还可以包括设置于所述衬底基板上的钝化层，其中，所述钝化层位于所述显示区的部分位于所述反射像素电极层和所述源漏电极层之间，所述钝化层位于所述引线区的部分位于所述连接电极和所述接触垫之间。

例如，在本公开至少一实施例提供的阵列基板中，所述显示区中的所述钝化层中可以设置有第一过孔，所述源漏电极层与所述反射像素电极层通过所述第一过孔电连接，所述引线区中的所述钝化层中设置有第二过孔，所述连接电极形成于所述钝化层之上，并且通过所述第二过孔与所述接触垫电连接。

例如，本公开至少一实施例提供的阵列基板还可以包括在所述引线区中设置于所述钝化层和所述衬底基板之间的信号线，其中，所述引线区中的所述钝化层中设置有第三过孔，所述连接电极通过所述第三过孔与所述信号线电连接。

例如，在本公开至少一实施例提供的阵列基板中，所述源漏电极层与所述信号线可以为同层设置。

例如，本公开至少一实施例提供的阵列基板还可以包括设置于所述衬底基板上的栅绝缘层，其中，所述显示区中的所述栅绝缘层设置于所述栅电极层和所述源漏电极层之间，所述引线区中的所述栅绝缘层设置于所述接触垫和所述信号线之间。

例如，在本公开至少一实施例提供的阵列基板中，在所述引线区中的所述栅绝缘层中设置有第四过孔，所述第四过孔暴露所述接触垫并与所述第二过孔连通，所述连接电极通过所述第二过孔和所述第四过孔与所述接触垫电连接。

例如，在本公开至少一实施例提供的阵列基板中，所述显示区的衬底基板上还设置有栅电极层，并且所述栅电极层与所述接触垫同层设置。

本公开至少一实施例提供一种显示面板可以包括上述任一的阵列基板。

为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1a 为本公开一实施例提供的阵列基板显示区的横截面结构示意图；

图 1b 为本公开一实施例提供的阵列基板引线区的横截面结构示意图；

图 2 为本公开一实施例提供的阵列基板制备方法流程图；

图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a 为图 2 所示的阵列基板制备方法中显示区的横截面结构示意图；以及

图 3b、图 4b、图 5b、图 6b、图 7b、图 8b、图 9b、图 10b、图 11b 为图 2 所示的阵列基板制备方法中引线区的横截面结构示意图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

除非另外定义，本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

一种全反射基板的制备过程需要六次掩膜工艺，依次制备栅电极、有源层、源漏电极层、过孔、ITO 层和金属反射像素电极层。在形成金属反射像素电极层的过程中，因 ITO 的致密性不够，在外围区域中刻蚀金属层的过程中腐蚀液会透过 ITO 层并对例如外围区域中过孔处的其他部件（例如外围区域中的信号线）造成腐蚀。并且，该制备全反射显示基板的方法

的步骤过多，制备成本高。

本公开的至少一个实施例提供了一种阵列基板及其制备方法、显示面板。该阵列基板包括：衬底基板，包括显示区和位于显示区外围的引线区；依次设置于显示区的衬底基板上的源漏电极层和反射像素电极层；依次设置于引线区的衬底基板上的接触垫和连接电极；反射像素电极层与源漏电极层电连接，连接电极至少部分与接触垫电连接，且反射像素电极层和连接电极由不同的材料形成。反射像素电极层可以兼具像素电极和反射的功能，连接电极可将位于不同层的接触垫引出，或将位于不同层的接触垫和信号线连通以进行信号的传输。

需要说明的是，连接电极可以为导电连接线。该导电连接线可以在例如位于不同层的元件例如信号线和接触垫之间形成桥接。

例如，在本公开的实施例中，显示区的衬底基板上还设置有栅电极层。需要说明的是，在一些实施例中，栅电极层和接触垫可以为单独设置；在另一些实施例中，栅电极层和接触垫可以为同层设置的结构（具体参考下述本公开实施例中的相应内容）。上述两者的设置方式与本公开实施例的技术方案无关，所以为便于解释本公开技术方案，在本公开下述实施例中，以栅电极层和接触垫为同层设置为例进行说明。本公开的一实施例提供了一种阵列基板，图 1a 为本公开一实施例提供的阵列基板显示区的横截面结构示意图；图 1b 为本公开一实施例提供的阵列基板引线区的横截面结构示意图。

例如，如图 1a 所示，阵列基板的显示区部分包括衬底基板 100、源漏电极层 131 和反射像素电极层 180。反射像素电极层 180 与源漏电极层 131 电连接，反射像素电极层 180 在显示区中充当像素电极作用同时，还具有反射功能。反射像素电极层 180 可以将环境中入射的光线进行反射，从而将反射光线从反射像素电极层 180 对应的像素区域中射出，以实现图像显示。如此，包括本阵列基板的例如显示面板等器件可不需要再额外设置例如提供背光的光源设备等。

例如，如图 1b 所示，阵列基板的引线区部分包括衬底基板 100、接触垫 112、信号线 132 和连接电极 160，连接电极 160 与信号线 132（例如数据线）电连接。连接电极 160 可以将位于不同层的接触垫 112 和信号线 132 连通，例如连接电极 160 还可以与驱动器电连接。

例如，在本公开至少一个实施例中，阵列基板还可以包括位于显示区中的衬底基板 100 上的栅电极层 111。栅电极层 111 和源漏电极层 131 属于显示区中的子像素单元中作为开关元件或驱动元件的薄膜晶体管，栅电极层 111 对应于薄膜晶体管的栅极，而源漏电极层 131 则对应于源极或漏极。该栅极例如与栅线电连接或一体形成；并且，该薄膜晶体管的源极和漏极中不与反射像素电极层 180 电连接的一个，可以与数据线等电连接。

在图 1b 中，连接电极 160 可以将位于不同层的接触垫 112 和信号线 132 连通，然而本公开的实施例不限于此，在引线区中接触垫 112 不是与位于不同层的信号线 132 电连接，而是与位于同一层的其他信号线（例如栅线）电连接，再通过连接电极 160 与例如驱动器电连接。

例如，在本公开至少一个实施例中，信号线形成为栅线、数据线、公共电极线、电源线、接地线、帧开始扫描线和复位线中的至少一种。本公开至少一个实施例中对信号线的类型不做限制，只要该信号线需要通过例如连接电极与接触垫电连接即可。

例如，在本公开至少一个实施例中，如图 1a 和 1b 所示，连接电极 160 和反射像素电极层 180 可以由不同的材料形成，例如连接电极 160 可以在反射像素电极层 180 之前形成，即先例如通过构图工艺形成连接电极 160 再通过构图工艺形成反射像素电极层 180。在例如通过构图工艺形成连接电极 160 时，不清除连接电极 160 上覆盖的光刻胶层（例如为第一光刻胶层，图中未示出）。之后通过构图工艺形成反射像素电极层 180 时，连接电极 160 与接触垫 112 或信号线 132 连通处的位置上覆盖有第一光刻胶层。在反射像素电极层 180 形成过程中，由于第一光刻胶层的存在，在引线区中，用于对反射像素电极层 180 进行刻蚀的腐蚀液不会透过连接电极 160 对接触垫 112 或信号线 132 造成腐蚀，从而对引线区中的电路连通进行保护。

例如，在本公开至少一个实施例提供的阵列基板中，对反射像素电极层 180 的制备材料不做限制，例如反射像素电极层 180 的制备材料可以包括铝、银、金、铬或钼等具有反射作用的导电材料。例如，反射像素电极层 180 的制备材料也可以包括氧化铟锡（ITO）、氧化铟锌（IZO）或者氧化铟镓等导电材料，并且在上述材料中掺杂具有反射功能的金属材料颗粒。

例如，在本公开至少一个实施例提供的阵列基板中，对连接电极 160

的制备材料不做限制，例如连接电极 160 的制备材料可以包括透明导电材料。例如连接电极的材料可以包括氧化铟锡 (ITO)、氧化铟锌 (IZO)、氧化铟镓、氧化镓锌、氧化锌、氧化铟、氧化铝锌或碳纳米管等。

5 本公开的实施例对栅电极层 111 和接触垫 112 之间的设置关系不做限制。例如，在本公开至少一个实施例所提供的阵列基板中，栅电极层 111 与接触垫 112 例如可以为同层结构，例如两者可以通过在衬底基板 100 上沉积栅电极层薄膜后通过构图工艺同时形成，如此可以简化阵列基板的制备工艺流程，降低成本。例如，在本公开至少一个实施例中，栅电极层 111 和接触垫 112 也可以通过不同的制备工艺分别形成，即接触垫 112 可以单独设置。在本公开至少一个实施例中，对接触垫 112 的具体设置方式不做限制。

需要说明的是，在本公开至少一个实施例中，对接触垫、连接电极和信号线在阵列基板中的具体化结构不做限制，只要接触垫利用连接电极与其它结构例如信号线连接即可。例如，在本公开至少一个实施例中，信号线 15 的位于显示区的部分和位于引线区的部分可以位于不同层。示例性的，如图 1a 和图 1b 所示，以信号线 132 为栅线为例，栅线在显示区的部分（图中未示出）可以与栅电极层 111 一体形成，显示区中的栅线的一端与栅电极层 111 连接，另一端可以设置为接触垫 112，连接电极 160 可以将不同层的栅线连接。如此，可以简化阵列基板的制备工艺，降低成本。需要说明的是，接触垫可以与显示区中的信号线连接，以实现显示区中的信号线 20 与引线区中的信号线 132 的转接，接触垫可以作为显示区中的信号线的一部分，也可以作为独立结构以与显示区中的信号线连接，本公开的实施例在此不做限制。

需要说明的是，在本公开至少一个实施例中，对接触垫和连接电极在 25 阵列基板中的具体设置位置不做限制。例如，接触垫和连接电极的设置位置可以根据信号线的类型进行选择。例如，信号线为栅线，接触垫可以作为显示区中的信号线的一部分，即接触垫可以与栅电极同层设置。再例如，信号线为数据线，接触垫可以作为显示区中的信号线的一部分，即接触垫可以与源漏电极层同层设置。

30 本公开的实施例对栅电极层 111 和接触垫 112 的制备材料不做限制。例如，栅电极层或接触垫的制备材料可以包括铜 (Cu)、铜钼合金 (Cu/Mo)、

铜钛合金 (Cu/Ti)、铜钼钛合金 (Cu/Mo/Ti)、铜钼钨合金 (Cu/Mo/W)、铜钼铌合金 (Cu/Mo/Nb) 等; 栅电极层或接触垫的材料也可以为铬基金属, 例如, 铬钼合金 (Cr/Mo)、铬钛合金 (Cr/Ti)、铬钼钛合金 (Cr/Mo/Ti) 等; 栅电极层或接触垫的材料还可以为铝或铝合金等。

5 本公开的实施例对信号线 132 和源漏电极层 131 之间的设置关系不做限制。例如, 在本公开至少一个实施例所提供的阵列基板中, 源漏电极层 131 与信号线 132 例如可以配置为同层结构, 例如两者可以通过在衬底基板上沉积源漏电极层薄膜后通过构图工艺同时形成, 如此可以简化阵列基板的制备工艺流程, 降低成本。例如, 在本公开至少一个实施例中, 信号
10 线 132 和源漏电极层 131 也可以通过不同的制备工艺分别形成。

本公开的实施例对信号线 132 和源漏电极层 131 具体化结构不做限制。例如, 源漏电极层 131 或信号线 132 的制备材料可以为金属材料, 可以为单层或多层结构, 例如, 源漏电极层 131 或信号线 132 可以为单层铝结构、单层钼结构、或者由两层钼夹设一层铝的三层结构等。

15 例如, 在本公开至少一个实施例提供的阵列基板中, 如图 1a 和图 1b 所示, 还包括设置在衬底基板 100 上的钝化层 140。例如如图 1a 所示, 在显示区中的钝化层 140 部分位于反射像素电极层 180 和源漏电极层 131 之间。例如如图 1b 所示, 在引线区中的钝化层 140 部分位于连接电极 160 和接触垫 112 之间。本公开的实施例对钝化层 140 的具体化结构及制备材
20 料不做限制。例如, 钝化层 140 可以为包括氮化硅 (SiN_x) 和氧化硅 (SiO_x) 等中的至少一种材料构成的单层或多层复合结构。

例如, 在本公开至少一个实施例所提供的阵列基板中, 如图 1a 所示, 显示区中的钝化层 140 中设置有第一过孔 151, 源漏电极层 161 与反射像素电极层 180 通过第一过孔 151 电连接。反射像素电极层 180 例如可以连
25 通至源漏电极层 161 的漏极, 如此反射像素电极层 180 可以作为像素电极; 反射像素电极层 180 还可以反射光线, 从而可以对例如环境中的光线进行反射, 用于进行反射显示。

例如, 在本公开至少一个实施例所提供的阵列基板中, 如图 1b 所示, 引线区中的钝化层 140 中设置有第二过孔 152, 连接电极 160 与接触垫 112
30 通过第二过孔 152 电连接。本公开的实施例对连接电极 160 与接触垫 112 的具体位置关系不做限制, 只要连接电极 160 与接触垫 112 可以通过第二

过孔 152 连通即可。例如，在垂直于衬底基板 100 所在面的方向上，连接电极 160 与接触垫 112 可以设置为至少部分重叠，在钝化层 140 的与该重叠部分相对应的区域设置第二过孔 152。

例如，在本公开至少一个实施例所提供的阵列基板中，如图 1b 所示，
5 引线区中的钝化层 140 中可以设置有第三过孔 153，连接电极 160 与信号线 132 通过第三过孔 153 电连接。连接电极 160 与信号线 132 之间的位置关系可以参考前述实施例中对连接电极 160 与接触垫 112 之间位置关系的相关说明，本公开的实施例在此不做赘述。

例如，在本公开至少一个实施例所提供的阵列基板中，如图 1a 和图
10 1b 所示，衬底基板 100 上还设置有栅绝缘层 120，位于显示区中的栅绝缘层 120 部分设置于源漏电极层 131 和栅电极层 111 之间，位于引线区中的栅绝缘层 120 部分设置于信号线 132 和接触垫 112 之间。栅绝缘层 120 的制备材料例如可以包括氮化硅 (SiN_x)、氧化硅 (SiO_x)、氧化铝 (Al_2O_3)、氮化铝 (AlN) 和其他适合的材料等的一种或组合。薄膜晶体管的有源层
15 (未示出) 例如形成在栅绝缘层 120 上，源漏电极层 131 与该有源层电连接，例如，该有源层可以为非晶硅、多晶硅、氧化物半导体层等。

例如，在本公开至少一个实施例所提供的阵列基板中，如图 1a 和图
1b 所示，在引线区中的栅绝缘层 120 中设置有第四过孔 154，第四过孔 154 暴露接触垫 112 并与第二过孔 152 连通。如此，连接电极 160 可以通过第
20 二过孔 152 和第四过孔 154 与接触垫 112 电连接。

本公开至少一实施例提供了一种阵列基板的制备方法，该方法包括：
提供衬底基板，衬底基板包括显示区和位于显示区外围的引线区；在引线区内形成接触垫；在显示区内于衬底基板上形成源漏电极层；在衬底基板上沉积连接电极层薄膜并对其进行构图工艺以在引线区中的衬底基板上形
25 成连接电极，保留覆盖于连接电极上的用以进行构图工艺的第一光刻胶层；在衬底基板沉积反射像素电极层薄膜并对其进行构图工艺以在显示区中形成反射像素电极层且在引线区内去除反射像素电极层薄膜以暴露出第一光刻胶层；去除反射像素电极层上用于对反射像素电极层薄膜进行构图的第二光刻胶层和引线区内的第一光刻胶层；其中，反射像素电极层与源漏电
30 极层电连接，连接电极至少部分与接触垫电连接。例如，反射像素电极层上用于对反射像素电极层薄膜进行构图的第二光刻胶层和引线区内的第一

光刻胶层可以同时去除。

图 2 为本公开一实施例提供的阵列基板制备方法流程图。例如如图 2 所示,本公开至少一个实施例中的阵列基板的制备方法可以包括下述过程:

5 S1: 提供衬底基板,该衬底基板包括显示区和位于显示区外围的引线区。

S2: 在引线区的衬底基板上形成接触垫,在显示区的衬底基板上形成源漏电极层。

例如,在本实施例提供的制备方法中,还可以在显示区的衬底基板上形成栅电极层。例如,栅电极层还可以与接触垫同时形成,即栅电极层和
10 接触垫同层设置并且可以由同一个材料层制备得到;源漏电极层例如可以与信号线同时形成,即源漏电极层和信号线可以同层设置并且可以由同一个材料层制备得到。

S3: 在衬底基板上沉积连接电极层薄膜并对其进行构图工艺以在引线区中的衬底基板上形成连接电极,保留覆盖于连接电极上的用以进行构图
15 工艺的第一光刻胶层;不需要对第一光刻胶层进行去除或剥离工艺,即省去去除第一光刻胶层的工艺步骤。

S4: 在衬底基板沉积反射像素电极层薄膜并对其进行构图工艺以在显示区中形成反射像素电极层且在引线区内去除反射像素电极层薄膜以暴露出第一光刻胶层。

20 S5: 例如同时去除反射像素电极层上用于对反射像素电极层薄膜进行构图的第二光刻胶层和引线区内的第一光刻胶层。

在例如图 2 所示的实施例中,反射像素电极层与源漏电极层电连接,连接电极至少部分与接触垫电连接。

例如,本公开至少一个实施例提供的制备方法还可以包括:在显示区
25 中的衬底基板上形成栅电极层。例如,在本公开实施例提供的制备方法中,栅电极层和所述接触垫可以为同层形成。该过程在上述实施例的如图 2 所示的流程中已做解释,在此不做赘述。

例如,本公开至少一个实施例提供的制备方法还可以包括:在衬底基板上在源漏电极层上形成钝化层,然后对钝化层进行构图,以在显示区内
30 于钝化层中形成第一过孔,其中,源漏电极层与反射像素电极层通过第一过孔电连接,在引线区中在钝化层中形成第二过孔,连接电极与接触垫通

过第二过孔电连接。

例如，本公开至少一个实施例提供的制备方法还可以包括：在显示区内于栅电极层上形成源漏电极层时，在引线区内形成信号线；在引线区内于钝化层中形成第三过孔，连接电极通过第三过孔与信号线电连接。

例如，本公开至少一个实施例提供的制备方法还可以包括：在钝化层中形成第三过孔，连接电极通过第三过孔与接触垫电连接。

例如，本公开至少一个实施例提供的制备方法还可以包括：在栅电极层和接触垫之上形成栅绝缘层，源漏电极层形成在栅绝缘层之上；在钝化中形成第二过孔时，还可以在栅绝缘层中形成暴露接触垫的第四过孔。第二过孔与第四过孔彼此相通。

例如，本公开至少一个实施例提供的制备方法还可以包括：在栅绝缘层上形成有源层，然后在有源层上形成源漏电极层。

需要说明的是，由本公开上述实施例中的制备方法得到的阵列基板的具体化结构可以参考前述实施例（关于阵列基板的实施例）中的相关内容，本公开的实施例在此不做赘述。

为便于理解，本公开至少一个实施例中的一个示例提供了阵列基板的制备方法，图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a 和图 3b、图 4b、图 5b、图 6b、图 7b、图 8b、图 9b、图 10b、图 11b 为图 2 所示本示例中阵列基板制备方法中的横截面结构示意图。图 3a、图 4a、图 5a、图 6a、图 7a、图 8a、图 9a、图 10a、图 11a 为图 2 所示的阵列基板制备方法中显示区的横截面结构示意图；图 3b、图 4b、图 5b、图 6b、图 7b、图 8b、图 9b、图 10b、图 11b 为图 2 所示的阵列基板制备方法中引线区的横截面结构示意图。

需要说明的是，在本公开实施例提供的下述示例中，除本公开描述的结构及其制备工艺和过程之外，其他的结构及其制备工艺和过程可以采用当前的阵列基板制备工艺流程。为便于解释本公开的技术方案，本示例中所示阵列基板的制备方法为完成制备钝化层之后的过程。

如图 3a 所示，在显示区的衬底基板 100 上依次形成栅电极层 111、栅绝缘层 120、源漏电极层 131 和钝化层 140；如图 3b 所示，在引线区中的衬底基板 100 上依次形成接触垫 112、栅绝缘层 120、信号线 132 和钝化层 140。例如，该衬底基板 100 可以为玻璃基板。接触垫 112 例如可以与栅电

极层 111 同层设置且由同一构图工艺形成；信号线 132 例如可以与源漏电极层 131 同层设置且由同一构图工艺形成。

例如，形成薄膜晶体管中的部分结构的一种示范性的制备方法可以包括：在衬底上沉积一层栅电极薄膜，通过该栅电极薄膜进行构图工艺处理以在显示区中形成栅电极层，在引线区中形成接触垫。在形成有栅电极层的衬底基板上沉积一层栅绝缘层。在栅绝缘层上沉积一层有源层薄膜，并对其进行构图工艺处理以形成有源层。例如，制备该有源层的材料可以包括非晶硅、多晶硅、氧化铟镓锌(IGZO)、氧化铟锌(IZO)、氧化锌(ZnO)、氧化镓锌(GZO)等金属氧化物等。

在形成有有源层的衬底基板上沉积一层源漏电极层薄膜并对其进行构图工艺以在显示区形成源漏电极层，在引线区形成信号线。在形成有源漏电极层和信号线的衬底基板上沉积一层钝化层。

如图 4a 所示，在显示区中的衬底基板 100 上的钝化层 140 中通过构图工艺形成第一过孔 151；如图 4b 所示，在引线区中的衬底基板 100 上的钝化层 140 中通过构图工艺形成第二过孔 152 和第三过孔 153。第一过孔 151、第二过孔 152 和第三过孔 153 可以通过同一构图工艺形成。

例如，引线区中的栅绝缘层 120 在第二过孔 152 处形成第四过孔 154，第四过孔 154 与第二过孔 152 相连通。第二过孔 152 和第四过孔 154 暴露接触垫 112。需要说明的是，第二过孔 152 和第四过孔 154 例如可以通过一次构图工艺同时形成；例如第二过孔 152 和第四过孔 154 也可以分别形成，即形成栅绝缘层 120 后在其中形成第四过孔 154 以暴露接触垫 112，然后形成钝化层 153 后在其中形成与第四过孔 154 连通的第二过孔 152。

在本公开至少一个实施例中，构图工艺例如可以为光刻构图工艺，其例如可以包括：在需要被构图的结构层上涂覆光刻胶层，使用掩模板对光刻胶层进行曝光，对曝光的光刻胶层进行显影以得到光刻胶图案，使用光刻胶图案对结构层进行蚀刻，然后可选地去除光刻胶图案。

如图 5a 所示，在显示区中的衬底基板 100 上沉积一层连接电极层薄膜 161；如图 5b 所示，在引线区中的衬底基板 100 上沉积一层连接电极层薄膜 161。连接电极层薄膜 161 通过第三过孔 153 与信号线电连接；连接电极层薄膜 161 通过第二过孔 152 与接触垫 112 电连接。例如，在形成有第四过孔 154 的情况下，连接电极层薄膜 161 可以通过第二过孔 152 和第

四过孔 154 与接触垫 112 电连接。

如图 6a 所示,在显示区的连接电极层薄膜 161 上涂覆一层第一光刻胶层 170;在引线区的连接电极层薄膜 161 上涂覆一层第一光刻胶层 170。

如图 7a 和图 7b 所示,对显示区和引线区中的连接电极层薄膜 161 进行构图工艺处理以在引线区中形成连接电极 160。例如进行曝光、显影、刻蚀等工艺,去除显示区中的连接电极层薄膜 161 和第一光刻胶层 170,引线区中的连接电极 160 上保留第一光刻胶层 170,即不需对构图工艺之后的第一光刻胶层 170 进行清除工艺。

如图 8a 和图 8b 所示,在显示区和引线区中的衬底基板 100 上沉积一层反射像素电极层薄膜 181。显示区中的反射像素电极层薄膜 181 与源漏电极层 131 通过第一过孔 151 电连接。

如图 9a 和图 9b 所示,在显示区和引线区中的反射像素电极层薄膜 181 上沉积一层第二光刻胶层 190。

如图 10a 和图 10b 所示,对显示区和引线区中的反射像素电极层薄膜 181 进行构图工艺处理以在显示区中形成反射像素电极层 180,而在引线区中的反射像素电极层薄膜 181 被例如刻蚀掉。

在对反射像素电极层薄膜 181 进行例如刻蚀的过程中,因为第二过孔和第三过孔处的连接电极上覆盖有第一光刻胶层,腐蚀液不会进入第二过孔和第三过孔中,从而不会对接触垫或信号线造成腐蚀。

如图 11a 和图 11b 所示,清除掉显示区中的第二光刻胶层和引线区中的第一光刻胶层。第一光刻胶层和第二光刻胶层通过一道清洗工艺共同清除,在保护阵列基板信号线连通的同时简化了其制备工艺。

需要说明的是,在本公开至少一个实施例中,显示区和引线区中的工艺步骤可以同时进行,例如,沉积连接电极层薄膜的过程中,可以在显示区和引线区的衬底基板上同时沉积连接电极层薄膜,同样的,对连接电极层薄膜进行构图工艺,则为在显示区和引线区中同时对连接电极层薄膜进行构图工艺处理。

本公开至少一实施例提供一种显示面板,包括上述实施例中任一的阵列基板。

该显示面板的一个示例为液晶显示面板,包括阵列基板和对置基板,二者彼此对置以形成液晶盒,在液晶盒中填充有液晶材料。该对置基板例

如为彩膜基板。阵列基板的每个像素单元的反射像素电极层用于施加电场对液晶材料的旋转的程度进行控制从而进行显示操作。

例如，液晶面板的类型可以包括 TN 型（Twisted Nematic，扭曲向列型）显示面板、VA 型（Vertical Alignment）显示面板或者 IPS 型（In-Plane Switching，平面转换）显示面板等，本公开的实施例在此不做限制。

该显示面板的再一个示例为电子纸显示面板，其中，阵列基板上形成有电子墨水层，每个像素单元的反射像素电极层作为用于施加驱动电子墨水中的带电微颗粒移动以进行显示操作的电压。

本公开的实施例提供一种阵列基板及其制备方法、显示面板，并且具有以下至少一项有益效果：

（1）本公开至少一个实施例提供一种阵列基板及其制备方法、显示面板，阵列基板的显示区中的反射像素电极层兼具像素电极和反射的功能，提高了光的反射率。

（2）在本公开至少一个实施例中，在显示区中形成反射像素电极层的过程中，在引线区中的连接电极上仍覆盖有第一光刻胶层，从而防止用于制备反射像素电极层的腐蚀液透过连接电极对接触垫或信号线造成的腐蚀。

（3）在本公开至少一个实施例中，用于制备引线区中连接电极的第一光刻胶层与用于制备显示区中的反射像素电极层的第二光刻胶层一同清除，由此可以省去一道单独清除第一光刻胶层的清洗工艺，降低成本。

对于本公开，还有以下几点需要说明：

（1）本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

（2）为了清晰起见，在用于描述本公开的实施例的附图中，层或区域的厚度被放大或缩小，即这些附图并非按照实际的比例绘制。

（3）在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，本公开的保护范围应以权利要求的保护范围为准。

权利要求书

1、一种阵列基板的制备方法，包括：

提供衬底基板，所述衬底基板包括显示区和位于所述显示区外围的引
5 线区；

在所述引线区内形成接触垫；

在所述显示区内于所述衬底基板上形成源漏电极层；

在所述衬底基板上沉积连接电极层薄膜并对其进行构图工艺以在所
述引线区中的所述衬底基板上形成连接电极，保留覆盖于所述连接电极上
10 的用以进行构图工艺的第一光刻胶层；

在所述衬底基板沉积反射像素电极层薄膜并对其进行构图工艺以在
所述显示区中形成反射像素电极层且在所述引线区内去除所述反射像素电
极层薄膜以暴露出所述第一光刻胶层；

去除所述反射像素电极层上用于对所述反射像素电极层薄膜进行构
15 图的第二光刻胶层和所述引线区内的所述第一光刻胶层；

其中，所述反射像素电极层与所述源漏电极层电连接，所述连接电极
至少部分与所述接触垫电连接。

2、根据权利要求1所述的制备方法，还包括：

在所述衬底基板上的所述源漏电极层上形成钝化层，然后对所述钝化
20 层进行构图，以在所述钝化层中形成位于在所述显示区内的第一过孔，以
及形成位于所述引线区中的第二过孔；

其中，所述源漏电极层与所述反射像素电极层通过所述第一过孔电连
接，所述连接电极与所述接触垫通过所述第二过孔电连接。

3、根据权利要求2所述的制备方法，还包括：

25 在所述显示区内于所述栅电极层上形成源漏电极层时，在所述引线区
内形成信号线；

在所述引线区内于所述钝化层中形成第三过孔，所述连接电极通过所
述第三过孔与所述信号线电连接。

4、根据权利要求3所述的制备方法，其中，所述信号线形成为通过
30 所述连接电极与所述接触垫电连接。

5、根据权利要求3或4所述的制备方法，其中，

所述信号线形成为栅线、数据线、公共电极线、电源线、接地线、帧开始扫描线和复位线中的至少一种。

6、根据权利要求 4 或 5 所述的制备方法，还包括：在所述接触垫之上形成栅绝缘层，所述源漏电极层形成在所述栅绝缘层之上；

5 在所述钝化中形成所述第二过孔时，还在所述栅绝缘层中形成暴露所述接触垫的第四过孔，所述连接电极通过所述第二过孔和所述第四过孔与所述接触垫电连接。

7、根据权利要求 6 所述的制备方法，还包括：在所述栅绝缘层上形成有源层，然后在所述有源层上形成所述源漏电极层。

10 8、根据权利要求 1-7 中任一项所述的制备方法，还包括：在所述显示区中的衬底基板上形成栅电极层，并且通过一次构图工艺形成所述栅电极层和所述接触垫。

9、一种阵列基板，包括：

衬底基板，包括显示区和位于所述显示区外围的引线区；

15 源漏电极层，位于所述显示区的衬底基板上；

反射像素电极层，位于所述显示区，且位于所述源漏电极层之上；

接触垫，位于所述引线区；

连接电极，位于所述引线区，所述连接电极位于所述接触垫之上；

其中，所述反射像素电极层与所述源漏电极层电连接，所述连接电极
20 至少部分与所述接触垫电连接，且所述反射像素电极层和所述连接电极由不同的材料形成。

10、根据权利要求 9 所述的阵列基板，其中，所述连接电极的材料包括透明导电材料。

11、根据权利要求 9 或 10 所述的阵列基板，还包括设置于所述衬底基
25 板上的钝化层，

其中，所述钝化层位于所述显示区的部分位于所述反射像素电极层和所述源漏电极层之间，所述钝化层位于所述引线区的部分位于所述连接电极和所述接触垫之间。

12、根据权利要求 11 所述的阵列基板，其中，

30 所述显示区中的所述钝化层中设置有第一过孔，所述源漏电极层与所述反射像素电极层通过所述第一过孔电连接，并且

所述引线区中的所述钝化层中设置有第二过孔，所述连接电极形成于所述钝化层之上，并且通过所述第二过孔与所述接触垫电连接。

13、根据权利要求 11 或 12 所述的阵列基板，还包括在所述引线区中设置于所述钝化层和所述衬底基板之间的信号线，

5 其中，所述引线区中的所述钝化层中设置有第三过孔，所述连接电极通过所述第三过孔与所述信号线电连接。

14、根据权利要求 13 所述的阵列基板，其中，所述源漏电极层与所述信号线同层设置。

15、根据权利要求 13 或 14 所述的阵列基板，还包括设置于所述衬底
10 基板上的栅绝缘层，

其中，所述显示区中的所述栅绝缘层设置于所述栅电极层和所述源漏电极层之间，所述引线区中的所述栅绝缘层设置于所述接触垫和所述信号线之间。

16、根据权利要求 15 所述的阵列基板，其中，在所述引线区中的所述栅绝缘层中设置有第四过孔，所述第四过孔暴露所述接触垫并与所述第二过孔连通，所述连接电极通过所述第二过孔和所述第四过孔与所述接触垫电连接。

17、根据权利要求 9-16 中任一项所述的阵列基板，其中，所述显示区的所述衬底基板上还设置有栅电极层，并且所述栅电极层与所述接触垫同
20 层设置。

18、一种显示面板，包括权利要求 9-17 中任一项所述的阵列基板。

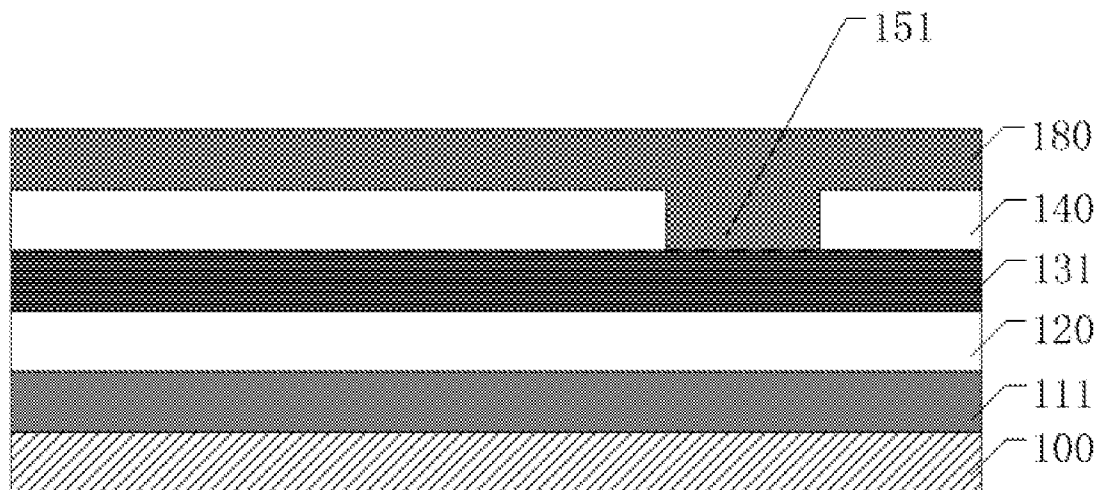


图 1a

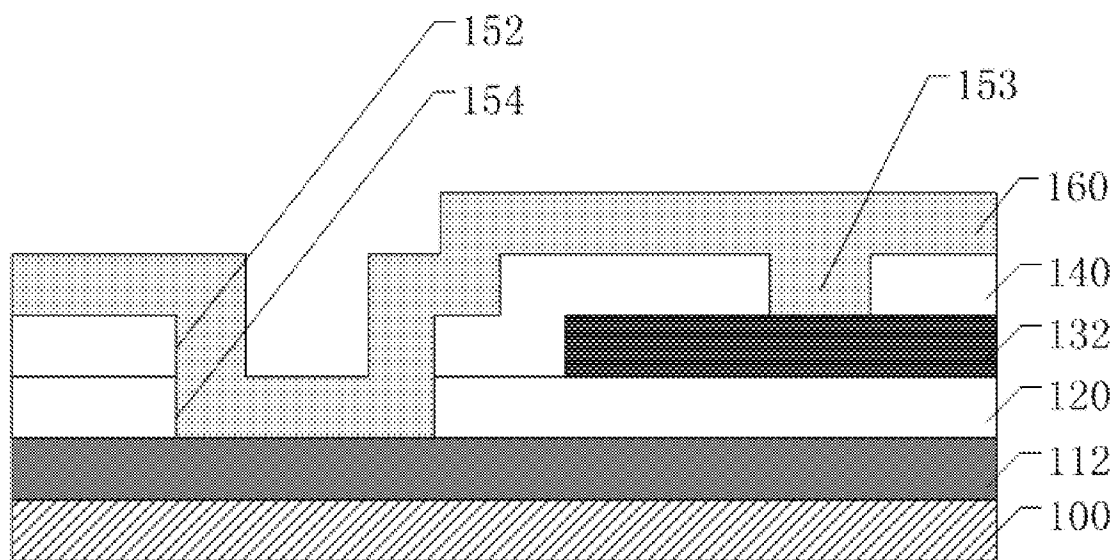


图 1b

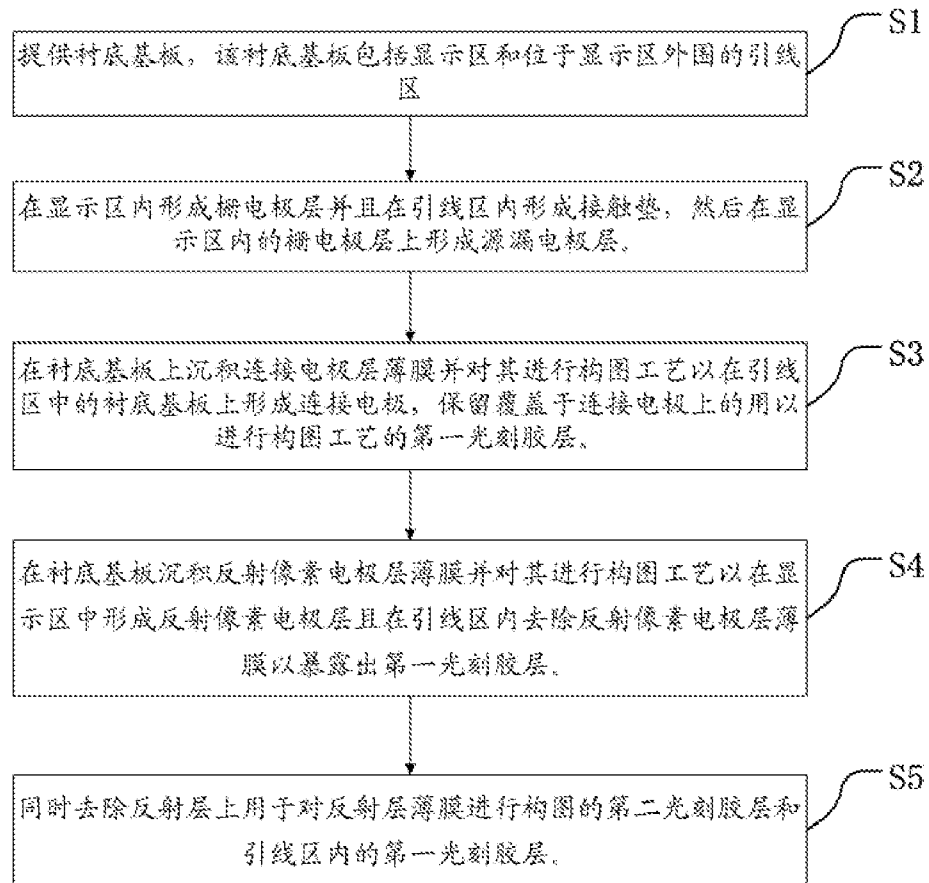


图 2



图 3a

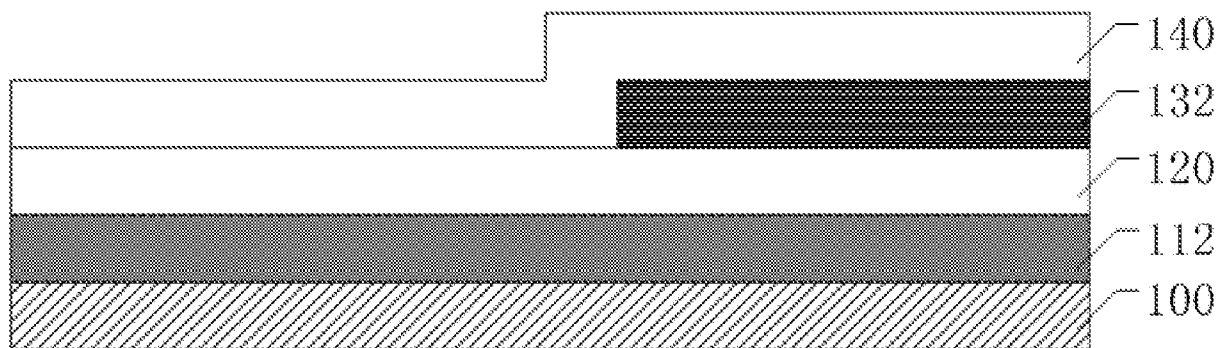


图 3b

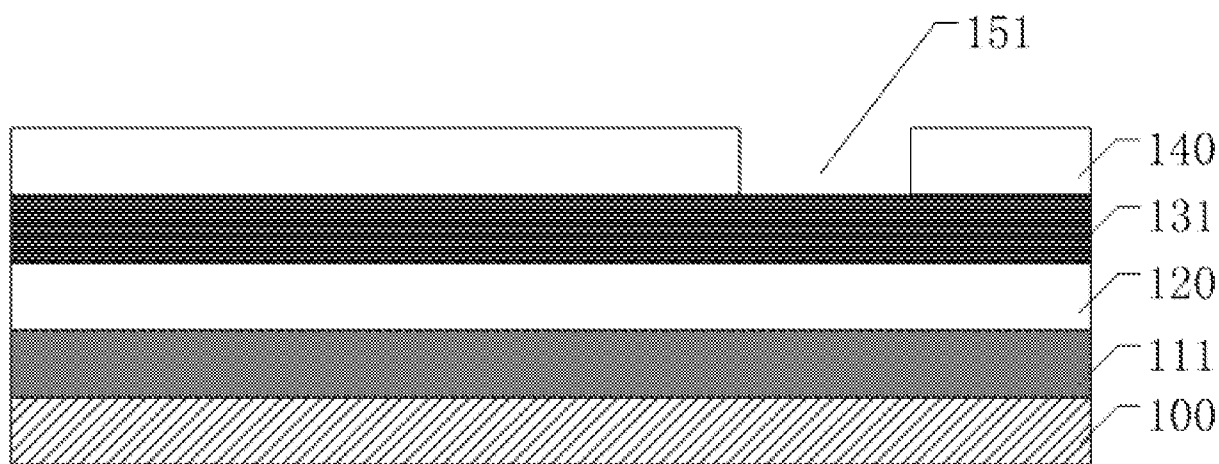


图 4a

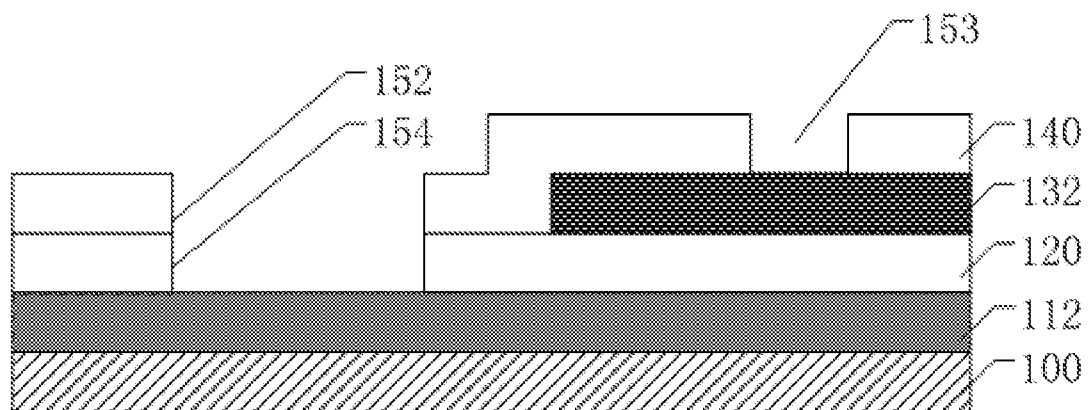


图 4b

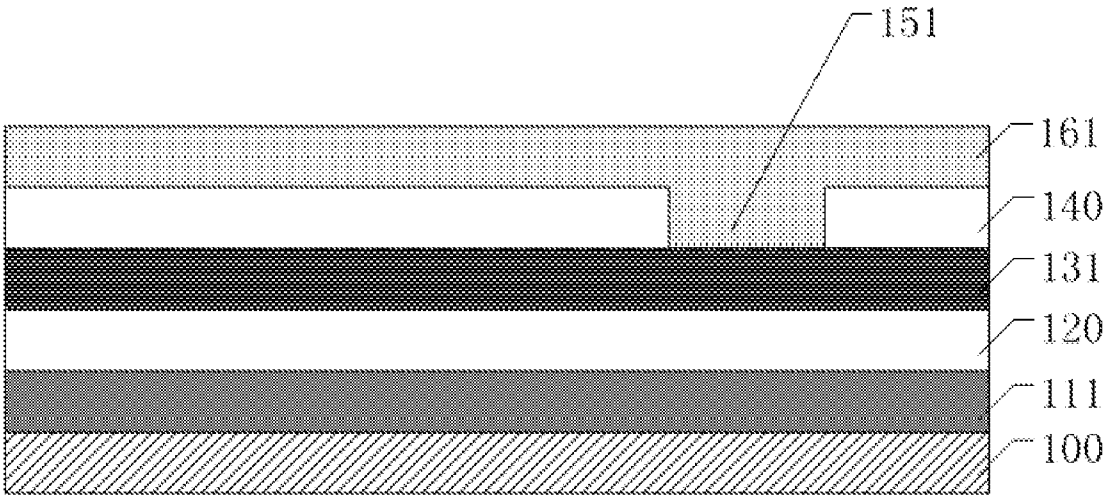


图 5a

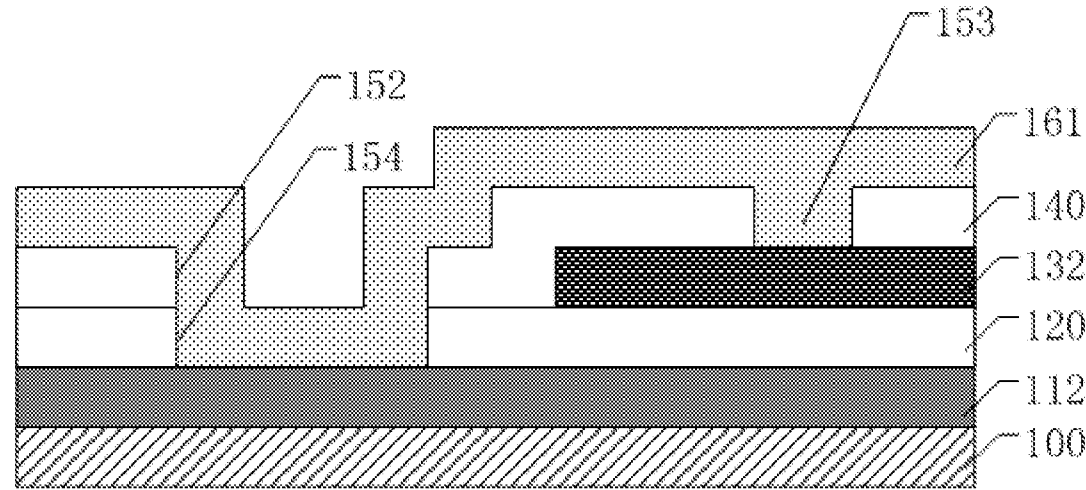


图 5b

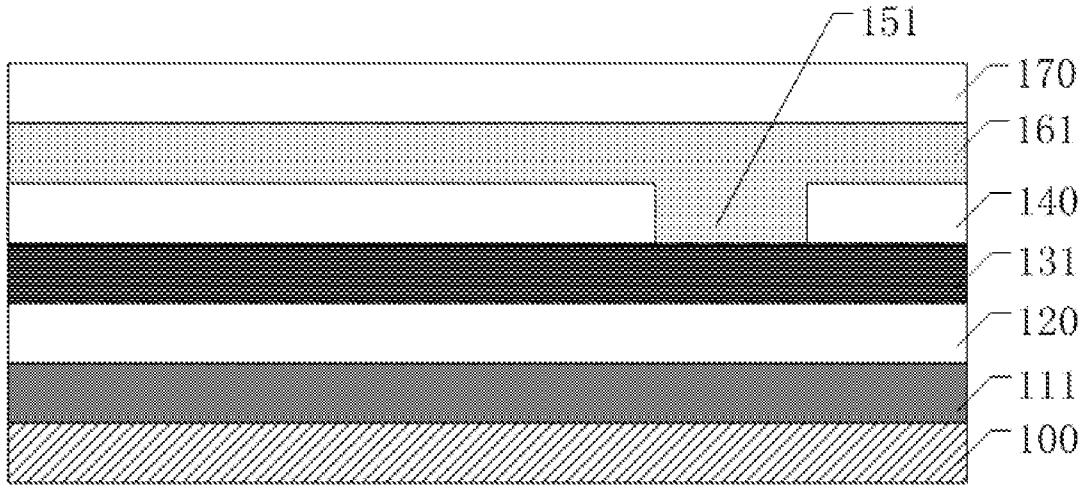


图 6a

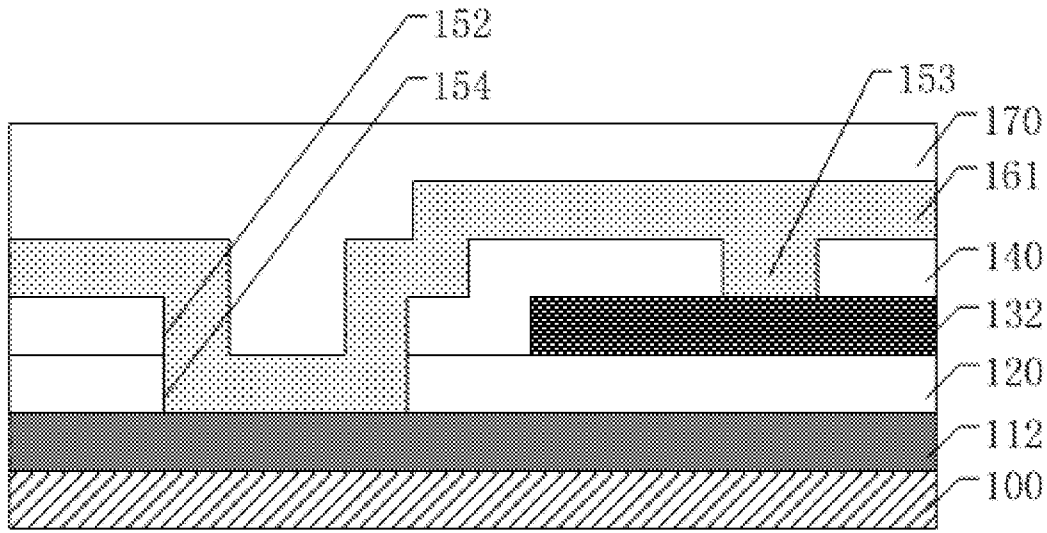


图 6b

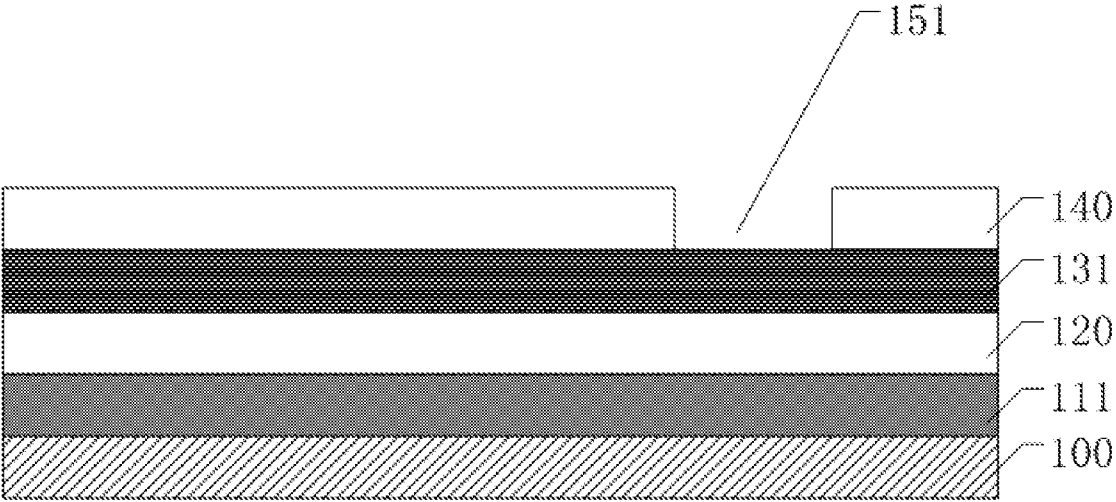


图 7a

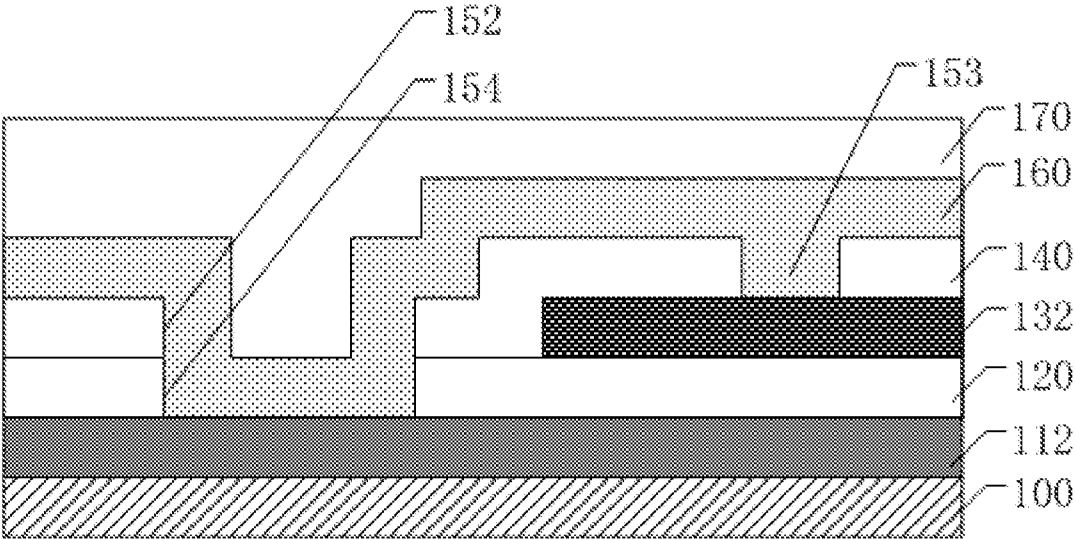


图 7b

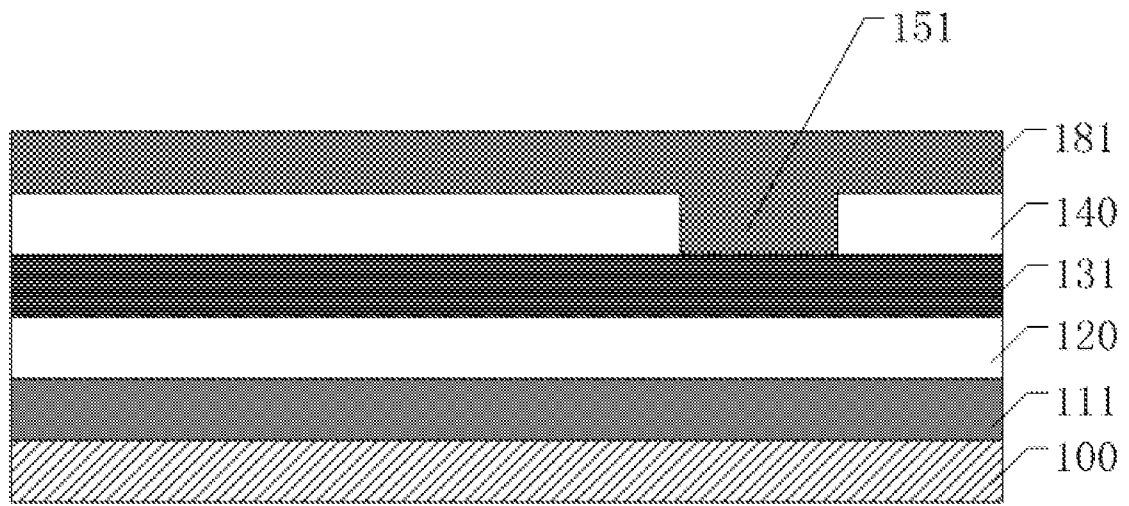


图 8a

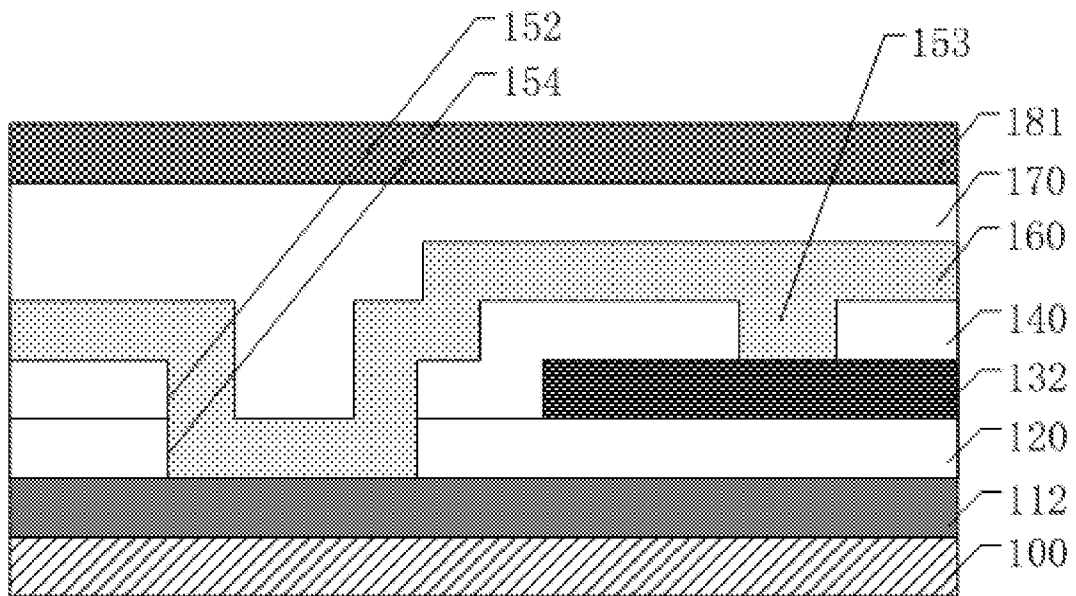


图 8b

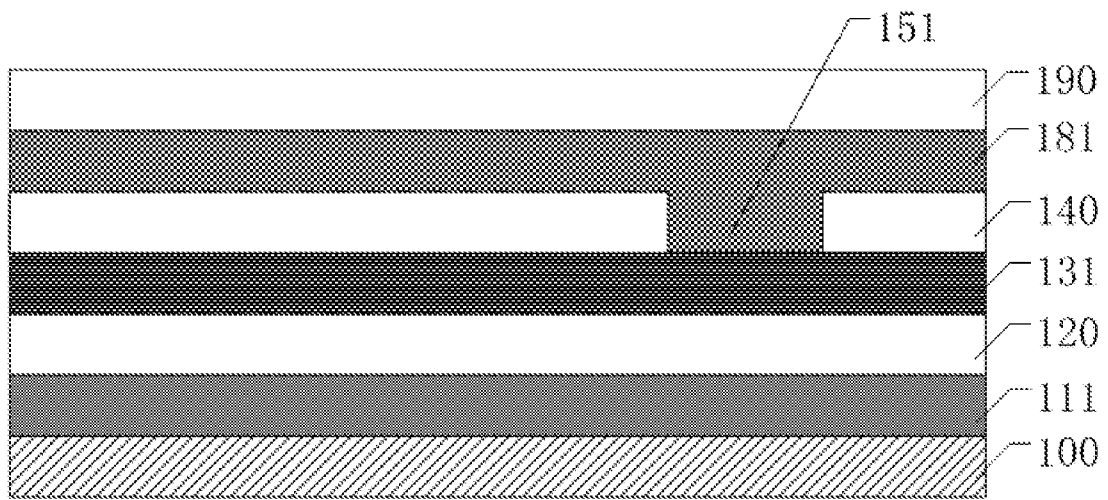


图 9a

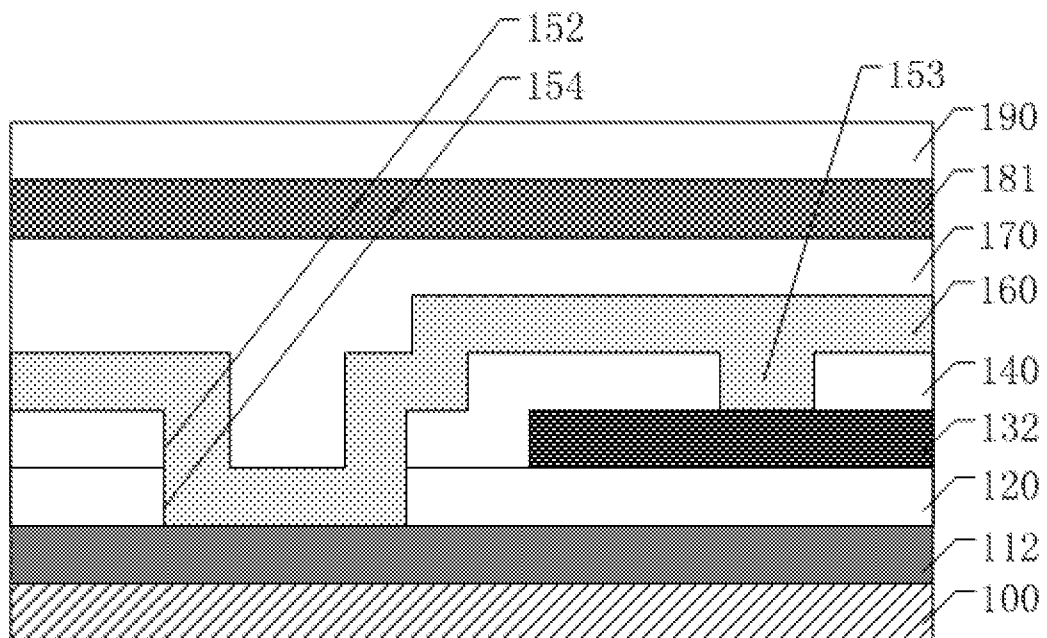


图 9b

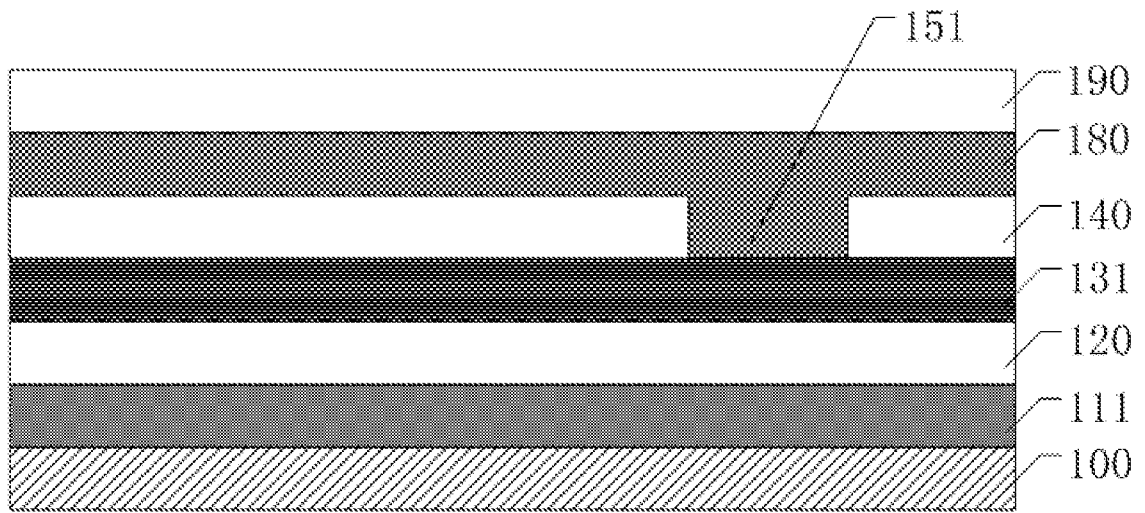


图 10a

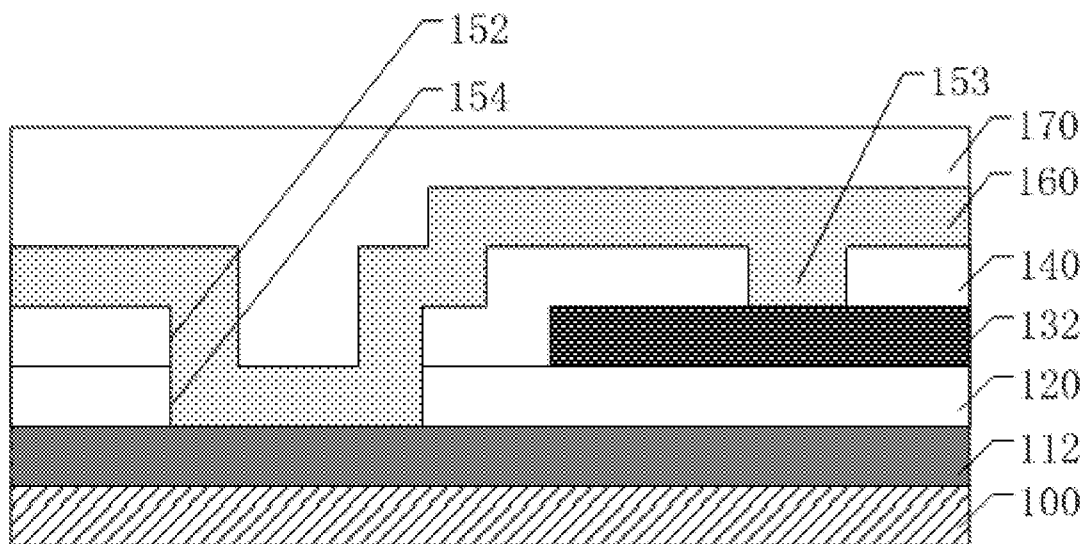


图 10b

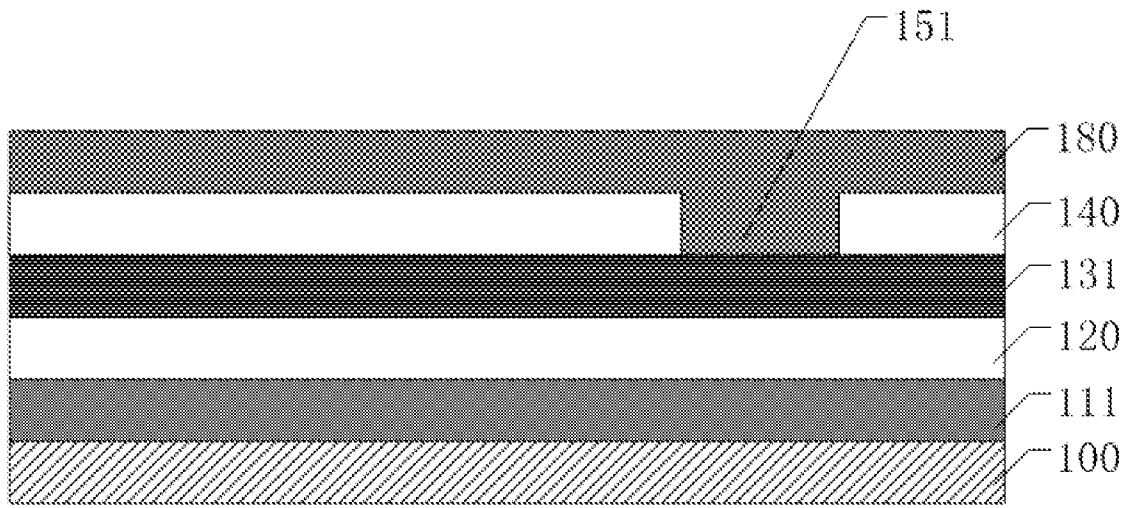


图 11a

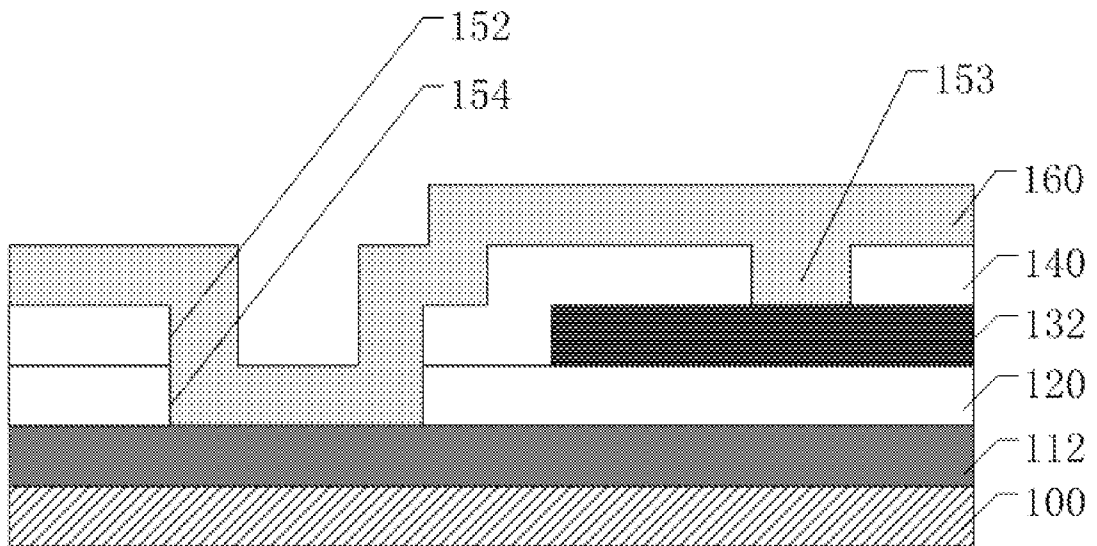


图 11b

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/116952

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI; CNPAT; WPI; EPODOC: 京东方, 苏磊, 张正东, 周刚, 杨小飞, 代科, 显示, 反射, 引线, 非显示, 衬底, 接触垫, 连接电极, 像素电极, 光刻胶, 源极, 漏极, 过孔, 信号, 简化, display, region, lead, reflect+, layer, pad, photoresist, pixel?, electrode, drain, source, hole, signal, simpli+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 203561812 U (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 April 2014 (23.04.2014), description, paragraphs [0046]-[0063], and figure 1-2 to figure 2-10	9-18
A	US 2003165718 A1 (HSU, H.H. et al.), 04 September 2003 (04.09.2003), entire document	1-18
A	CN 103293727 A (SHANGHAI AVIC OPTOELECTRONICS CO. LTD.), 11 September 2013 (11.09.2013), entire document	1-18
A	CN 104538356 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 April 2015 (22.04.2015), entire document	1-18
A	CN 103728757 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 16 April 2014 (16.04.2014), entire document	1-18
A	CN 102650784 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 29 August 2012 (29.08.2012), entire document	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 February 2018	Date of mailing of the international search report 20 March 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer YANG, Jing Telephone No. (86-10) 53962361

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/116952

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 203561812 U	23 April 2014	None	
US 2003165718 A1	04 September 2003	TW I241430 B	11 October 2005
CN 103293727 A	11 September 2013	CN 103293727 B	17 February 2016
CN 104538356 A	22 April 2015	CN 104538356 B	03 October 2017
CN 103728757 A	16 April 2014	KR 20140047536 A	22 April 2014
		JP 2014095895 A	22 May 2014
		US 2017160573 A1	08 June 2017
		TW 201428389 A	16 July 2014
		US 2014104508 A1	17 April 2014
CN 102650784 A	29 August 2012	CN 102650784 B	11 November 2015
		WO 2013107193 A1	25 July 2013

国际检索报告

国际申请号

PCT/CN2017/116952

A. 主题的分类

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI; CNPAT; WPI; EPDOC: 京东方, 苏磊, 张正东, 周刚, 杨小飞, 代科, 显示, 反射, 引线, 非显示, 衬底, 接触垫, 连接电极, 像素电极, 光刻胶, 源极, 漏极, 过孔, 信号, 简化, display, region, lead, reflect+, layer, pad, photoresist, pixel?, electrode, drain, source, hole, signal, simpli+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 203561812 U (北京京东方光电科技有限公司) 2014年 4月 23日 (2014 - 04 - 23) 说明书第[0046]-[0063]段、附图1-2-附图2-10	9-18
A	US 2003165718 A1 (HSU, HUNG HEUI 等) 2003年 9月 4日 (2003 - 09 - 04) 全文	1-18
A	CN 103293727 A (上海中航光电子有限公司) 2013年 9月 11日 (2013 - 09 - 11) 全文	1-18
A	CN 104538356 A (京东方科技集团股份有限公司) 2015年 4月 22日 (2015 - 04 - 22) 全文	1-18
A	CN 103728757 A (株式会社半导体能源研究所) 2014年 4月 16日 (2014 - 04 - 16) 全文	1-18
A	CN 102650784 A (京东方科技集团股份有限公司 等) 2012年 8月 29日 (2012 - 08 - 29) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 2月 13日

国际检索报告邮寄日期

2018年 3月 20日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10) 62019451

受权官员

杨婧

电话号码 (86-10) 53962361

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/116952

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	203561812	U	2014年 4月 23日	无			
US	2003165718	A1	2003年 9月 4日	TW	I241430	B	2005年 10月 11日
CN	103293727	A	2013年 9月 11日	CN	103293727	B	2016年 2月 17日
CN	104538356	A	2015年 4月 22日	CN	104538356	B	2017年 10月 3日
CN	103728757	A	2014年 4月 16日	KR	20140047536	A	2014年 4月 22日
				JP	2014095895	A	2014年 5月 22日
				US	2017160573	A1	2017年 6月 8日
				TW	201428389	A	2014年 7月 16日
				US	2014104508	A1	2014年 4月 17日
CN	102650784	A	2012年 8月 29日	CN	102650784	B	2015年 11月 11日
				WO	2013107193	A1	2013年 7月 25日

表 PCT/ISA/210 (同族专利附件) (2009年7月)