



등록특허 10-2274986



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월07일
(11) 등록번호 10-2274986
(24) 등록일자 2021년07월02일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2014-0141120
- (22) 출원일자 2014년10월17일
심사청구일자 2019년10월02일
- (65) 공개번호 10-2015-0046737
- (43) 공개일자 2015년04월30일
- (30) 우선권주장
JP-P-2013-219046 2013년10월22일 일본(JP)

(56) 선행기술조사문현

JP5275521 B2*

(뒷면에 계속)

전체 청구항 수 : 총 15 항

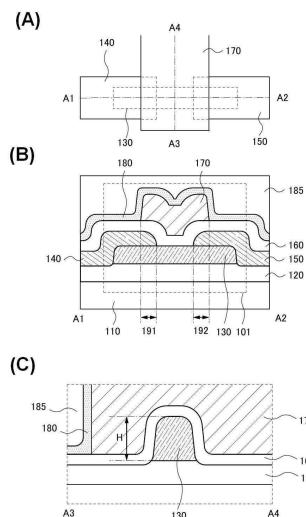
(54) 발명의 명칭 반도체 장치

심사관 : 강필승

(57) 요 약

본 발명은 양호한 전기 특성을 갖는 구성의 반도체 장치를 제공한다.

상기 반도체 장치의 구성은 반도체층의 채널 폭 방향의 단면에 있어서, 반도체층은 반도체층의 한쪽 측부에 위치하고, 한쪽 단부가 절연층에 접촉하는 제 1 영역과, 반도체층의 상부에 위치하고 한쪽 단부가 제 1 영역의 다른 쪽 단부에 접촉하는 제 2 영역과, 반도체층의 다른 쪽 측부에 위치하고 한쪽 단부가 제 2 영역의 다른 쪽 단부에 접촉하고 다른 쪽 단부가 절연층에 접촉하는 제 3 영역을 각각 게이트 절연막에 접촉하도록 포함하고, 제 2 영역의 게이트 절연막과의 계면이 곡률 반경이 각각 R1인 영역, R2인 영역, R3인 영역이 제 2 영역의 한쪽 단부로부터 다른 쪽 단부를 향하여 이 순서로 연속되는 오목 형상으로 이루어지고, R2는 R1 및 R3보다 크다.

대 표 도 - 도1

(56) 선행기술조사문현
KR1020060077738 A*
KR1020130007426 A*
WO2012046658 A1
JP2013038400 A
JP2013021315 A
*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

반도체 장치에 있어서,

절연층과;

상기 절연층 위의 반도체층과;

상기 반도체층에 접속된 소스 전극층 및 드레인 전극층과;

상기 반도체층, 상기 소스 전극층, 및 상기 드레인 전극층 위의 게이트 절연층과;

상기 게이트 절연층을 개재(介在)하여 상기 반도체층과 중첩되는 게이트 전극층을 포함하고,

채널 폭 방향의 단면에 있어서, 상기 반도체층은,

상기 반도체층의 한쪽 측부에 위치하고 한쪽 단부가 상기 절연층에 접촉하는 제 1 영역과;

상기 반도체층의 상부에 위치하고 한쪽 단부가 상기 제 1 영역의 다른 쪽 단부에 접촉하는 제 2 영역과;

상기 반도체층의 다른 쪽 측부에 위치하고 한쪽 단부가 상기 제 2 영역의 다른 쪽 단부에 접촉하고 다른 쪽 단부가 상기 절연층에 접촉하는 제 3 영역을 포함하고,

상기 제 1 영역, 상기 제 2 영역, 및 상기 제 3 영역은 상기 게이트 절연층에 접촉하고,

상기 제 2 영역에 있어서, 상기 게이트 절연층과의 계면은 볼록 형상이고, 상기 한쪽 단부 측으로부터 상기 다른 쪽 단부 측을 향하여 순차적으로 연속되는 곡률 반경이 R1인 영역, 곡률 반경이 R2인 영역, 및 곡률 반경이 R3인 영역을 갖고,

상기 제 1 영역에 있어서, 상기 게이트 절연층과의 제 1 계면은 오목 형상이고, 상기 제 1 영역의 상기 한쪽 단부에서 곡률 반경이 R4인 영역을 갖고,

상기 제 3 영역에 있어서, 상기 게이트 절연층과의 제 3 계면은 오목 형상이고, 상기 제 3 영역의 상기 다른 쪽 단부에서 곡률 반경이 R5인 영역을 갖고,

R2는 R1 및 R3보다 큰, 반도체 장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 채널 폭 방향의 상기 단면에서 상기 반도체층의 높이가 30nm 이상 3000nm 이하인, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 채널 폭 방향의 상기 단면에서의 상기 반도체층의 높이를 채널 폭으로 나눈 값이 0.5 이상인, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 반도체층을 개재하여 상기 게이트 전극층과 중첩되는 도전층을 더 포함하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 반도체층은 산화물 반도체층인, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 산화물 반도체층은 상기 절연층 측으로부터 순차적으로 적층된 제 1 산화물 반도체층, 제 2 산화물 반도체층, 및 제 3 산화물 반도체층을 포함하고,

상기 제 1 산화물 반도체층, 상기 제 2 산화물 반도체층, 및 상기 제 3 산화물 반도체층 각각은 In-M-Zn 산화물을 포함하고, M은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd, 또는 Hf이고,

상기 제 1 산화물 반도체층 및 상기 제 3 산화물 반도체층 각각의 In에 대한 M의 원자수비는 상기 제 2 산화물 반도체층의 In에 대한 M의 원자수비보다 높은, 반도체 장치.

청구항 8

반도체 장치에 있어서,

절연층과;

상기 절연층 위에 제 1 반도체층 및 제 2 반도체층을 이 순서로 포함하는 적층과;

상기 적층의 일부에 전기적으로 접속된 소스 전극층 및 드레인 전극층과;

상기 적층의 일부, 상기 소스 전극층의 일부, 및 상기 드레인 전극층의 일부를 덮는 제 3 반도체층과;

상기 제 3 반도체층 위의 게이트 절연층과;

상기 게이트 절연층 위에 있고, 상기 적층의 일부, 상기 소스 전극층의 일부, 상기 드레인 전극층의 일부, 및 상기 제 3 반도체층과 중첩되는 게이트 전극층을 포함하고,

채널 폭 방향의 단면에 있어서, 상기 제 3 반도체층은,

상기 적층의 한쪽 측부를 덮는 제 1 영역과;

상기 제 2 반도체층의 상부를 덮는 제 2 영역과;

상기 적층의 다른 쪽 측부를 덮는 제 3 영역을 포함하고,

상기 제 1 영역, 상기 제 2 영역, 및 상기 제 3 영역은 상기 게이트 절연층에 접촉하고,

상기 제 2 영역에 있어서, 상기 게이트 절연층과의 계면은 볼록 형상이고, 한쪽 단부 측으로부터 다른 쪽 단부 측을 향하여 순차적으로 연속되는 곡률 반경이 R1인 영역, 곡률 반경이 R2인 영역, 및 곡률 반경이 R3인 영역을 갖고,

R2는 R1 및 R3보다 큼, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 제 1 영역 중 상기 절연층에 접촉하는 부분에 있어서 상기 게이트 절연층과의 계면은 곡률 반경이 R4인 오목 형상이고,

상기 제 3 영역 중 상기 절연층에 접촉하는 부분에 있어서 상기 게이트 절연층과의 계면은 곡률 반경이 R5인 오목 형상이고,

R1 및 R3 각각은 R4 및 R5보다 큼, 반도체 장치.

청구항 10

제 1 항 또는 제 8 항에 있어서,
R2는 R1 및 R3 중 더 작은 값의 2배 이상인, 반도체 장치.

청구항 11

제 1 항 또는 제 9 항에 있어서,
R1 및 R3 각각은 R4 및 R5 중 더 작은 값의 3배 이상인, 반도체 장치.

청구항 12

제 1 항 또는 제 8 항에 있어서,
R1을 R3으로 나눈 값은 0.7 이상 1.3 이하인, 반도체 장치.

청구항 13

제 1 항 또는 제 8 항에 있어서,
상기 제 1 영역과 상기 게이트 절연층 사이의 계면에 일치하고 상기 게이트 전극층 측으로 연장된 선 및 상기 제 3 영역과 상기 게이트 절연층 사이의 계면에 일치하고 상기 게이트 전극층 측으로 연장된 선이 이루는 각도가 5° 이상 45° 이하인, 반도체 장치.

청구항 14

제 8 항에 있어서,
상기 채널 폭 방향의 상기 단면에서의 상기 제 1 반도체층, 상기 제 2 반도체층, 및 상기 제 3 반도체층의 총 높이를 채널 폭으로 나눈 값이 0.5 이상인, 반도체 장치.

청구항 15

제 8 항에 있어서,
상기 제 1 반도체층, 상기 제 2 반도체층, 및 상기 제 3 반도체층을 개재하여 상기 게이트 전극층과 중첩되는 도전층을 더 포함하는, 반도체 장치.

청구항 16

제 8 항에 있어서,
상기 제 1 반도체층, 상기 제 2 반도체층, 및 상기 제 3 반도체층 각각은 In-M-Zn 산화물을 포함하는 산화물 반도체층이고, M은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd, 또는 Hf이고,
상기 제 1 반도체층 및 상기 제 3 반도체층 각각의 In에 대한 M의 원자수비는 상기 제 2 반도체층의 In에 대한 M의 원자수비보다 높은, 반도체 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 본 발명은 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명은 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 본 발명의 일 형태는 특히 반도체 장치, 표시 장치, 발광 장치, 기억 장치, 연산 장치, 촬상(撮像) 장치, 이들의 구동 방법, 또는 이들의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 등에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 트랜지스터나 반도체 회로는 반도체 장치의 일 형태이다. 또한, 기억 장치, 표시 장치, 전자 기기는 반도체 장치를 포함하는 경우가 있다.

배경 기술

[0003] 절연 표면을 갖는 기판 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함) 등 전자 기기에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막으로서, 실리콘계 반도체 재료가 널리 알려져 있지만, 다른 재료로서 산화물 반도체가 주목을 받고 있다.

[0004] 예를 들어, 산화물 반도체로서 산화 아연, 또는 In-Ga-Zn계 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술이 개시(開示)되어 있다(특허문헌 1 및 특허문헌 2 참조).

[0005] 또한, 근년에는 전자 기기의 고성능화, 소형화, 또는 경량화에 따라, 미세화된 트랜지스터 등의 반도체 소자를 고밀도로 집적한 집적 회로의 요구가 높아지고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 제2007-123861호

(특허문헌 0002) 일본 공개특허공보 제2007-096055호

발명의 내용

해결하려는 과제

[0007] 본 발명의 일 형태는 반도체 장치에 양호한 전기 특성을 부여하는 것을 과제 중 하나로 한다. 또는, 미세화에 적합한 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는, 집적도가 높은 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 저소비 전력의 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신뢰성이 높은 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공하는 것을 목적 중 하나로 한다. 또는, 신규 반도체 장치를 제공하는 것을 목적 중 하나로 한다.

[0008] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 외의 과제가 추출될 수 있다.

과제의 해결 수단

[0009] 본 발명의 일 형태는 채널 형성 영역에 산화물 반도체층을 포함하고, 상기 산화물 반도체층의 채널 폭(W) 방향의 단면 형상에 특징이 있는 트랜지스터에 관한 것이다.

[0010] 본 발명의 일 형태는 절연층과, 절연층 위의 반도체층과, 반도체층과 전기적으로 접속되는 소스 전극층 및 드레

인 전극층과, 반도체층, 소스 전극층, 및 드레인 전극층 위의 게이트 절연막과, 게이트 절연막을 개재(介在)하여 반도체층, 소스 전극층의 일부, 및 드레인 전극층의 일부와 중첩되는 게이트 전극층을 포함하고, 반도체층의 채널 폭 방향의 단면에서 반도체층은, 반도체층의 한쪽 측부에 위치하고 한쪽 단부가 절연층에 접촉하는 제 1 영역과, 반도체층의 상부에 위치하고 한쪽 단부가 제 1 영역의 다른 쪽 단부에 접촉하는 제 2 영역과, 반도체층의 다른 쪽 측부에 위치하고 한쪽 단부가 제 2 영역의 다른 쪽 단부에 접촉하고 다른 쪽 단부가 절연층에 접촉하는 제 3 영역을 각각 게이트 절연막에 접촉하도록 포함하고, 제 2 영역 중 게이트 절연막과의 계면은 곡률 반경이 각각 R1인 영역, R2인 영역, R3인 영역이 제 2 영역의 한쪽 단부로부터 다른 쪽 단부를 향하여 순차적으로 연속되는 볼록 형상이고, R2는 R1 및 R3보다 큰, 반도체 장치이다.

[0011] 또한, 본 명세서 등에서 '제 1', '제 2' 등의 서수사는 구성 요소의 혼동을 피하기 위해서 사용되는 것이며, 이들 서수사는 구성 요소를 수적으로 한정하는 것은 아니다.

[0012] 또한, 본 발명의 다른 일 형태는 절연층과, 절연층 위의 반도체층과, 반도체층과 전기적으로 접속되는 소스 전극층 및 드레인 전극층과, 반도체층, 소스 전극층, 및 드레인 전극층 위의 게이트 절연막과, 게이트 절연막을 개재하여 반도체층, 소스 전극층의 일부, 및 드레인 전극층의 일부와 중첩되는 게이트 전극층을 포함하고, 반도체층의 채널 폭 방향의 단면에서 반도체층은, 반도체층의 한쪽 측부에 위치하고 한쪽 단부가 절연층에 접촉하는 제 1 영역과, 반도체층의 상부에 위치하고 한쪽 단부가 제 1 영역의 다른 쪽 단부에 접촉하는 제 2 영역과, 반도체층의 다른 쪽 측부에 위치하고 한쪽 단부가 제 2 영역의 다른 쪽 단부에 접촉하고 다른 쪽 단부가 절연층에 접촉하는 제 3 영역을 각각 게이트 절연막에 접촉하도록 포함하고, 제 2 영역 중 게이트 절연막과의 계면은 곡률 반경이 각각 R1인 영역, R2인 영역, R3인 영역이 제 2 영역의 한쪽 단부로부터 다른 쪽 단부를 향하여 순차적으로 연속되는 볼록 형상이고, 제 1 영역의 한쪽 단부 중 게이트 절연막과의 계면은 곡률 반경이 R4인 오목 형상이고, 제 3 영역의 다른 쪽 단부 중 게이트 절연막과의 계면은 곡률 반경이 R5인 오목 형상이고, R2는 R1 및 R3보다 크고, R1 및 R3은 R4 및 R5보다 큰, 반도체 장치이다.

[0013] 상기 반도체 장치에 있어서, R2는 R1 및 R3 중 더 작은 값의 2배 이상인 것이 바람직하다.

[0014] 또한, R1 및 R3은 R4 및 R5 중 더 작은 값의 3배 이상인 것이 바람직하다.

[0015] 또한, R1을 R3으로 나눈 값 및 R4를 R5로 나눈 값은 각각 0.7 이상 1.3 이하인 것이 바람직하다.

[0016] 또한, 제 1 영역과 게이트 절연막의 계면에 일치하고 게이트 전극층 측으로 연장된 선 및 제 3 영역과 게이트 절연막의 계면에 일치하고 게이트 전극층 측으로 연장된 선이 이루는 각도는 5° 이상 45° 이하인 것이 바람직하다.

[0017] 또한, 채널 폭 방향의 단면에서 반도체층의 높이가 30nm 이상 3000nm 이하인 것이 바람직하다.

[0018] 또한, 채널 폭 방향의 단면에서 반도체층의 높이를 채널 폭으로 나눈 값은 0.5 이상인 것이 바람직하다.

[0019] 또한, 상기 반도체 장치는 절연층을 개재하여 반도체층과 중첩되는 도전층이 형성된 구성으로 하여도 좋다.

[0020] 또한, 반도체층에는 산화물 반도체층을 사용할 수 있다.

[0021] 상기 산화물 반도체층은 절연층 측으로부터 제 1 산화물 반도체층, 제 2 산화물 반도체층, 제 3 산화물 반도체층의 순서로 형성된 적층이어야도 좋다.

[0022] 또한, 제 1 산화물 반도체층 내지 제 3 산화물 반도체층은 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd, 또는 Hf)을 포함하고, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 제 2 산화물 반도체층에 비하여 In에 대한 M의 원자수비가 높은 것이 바람직하다.

[0023] 또한, 산화물 반도체층은 c축이 배향되는 결정을 포함하는 것이 바람직하다.

[0024] 또한, 본 발명의 다른 일 형태는 절연층과, 절연층 위의 제 1 반도체층, 제 2 반도체층의 순서로 형성된 적층과, 적층의 일부와 전기적으로 접속되는 소스 전극층 및 드레인 전극층과, 적층의 일부, 소스 전극층의 일부, 및 드레인 전극층의 일부를 덮는 제 3 반도체층과, 적층의 일부, 소스 전극층의 일부, 드레인 전극층의 일부, 및 제 3 반도체층과 중첩되는 게이트 절연막 및 게이트 전극층을 포함하고, 제 3 반도체층이 적층을 덮는 영역의 채널 폭 방향의 단면에서, 제 3 반도체층은 적층의 한쪽 측부 및 절연층의 일부를 덮는 제 1 영역과, 제 2 반도체층의 상부를 덮는 제 2 영역과, 적층의 다른 쪽 측부 및 절연층의 일부를 덮는 제 3 영역을 포함하고, 제 2 영역 중 게이트 절연막과의 계면은 곡률 반경이 각각 R1인 영역, R2인 영역, R3인 영역이 한쪽 단부로부터 다른 쪽 단부를 향하여 순차적으로 연속되는 볼록 형상이고, R2는 R1 및 R3보다 큰, 반도체 장치이다.

[0025] 또한, 본 발명의 다른 일 형태는 절연층과, 절연층 위의 제 1 반도체층, 제 2 반도체층의 순서로 형성된 적층과, 적층의 일부와 전기적으로 접속되는 소스 전극층 및 드레인 전극층과, 적층의 일부, 소스 전극층의 일부, 및 드레인 전극층의 일부를 덮는 제 3 반도체층과, 적층의 일부, 소스 전극층의 일부, 드레인 전극층의 일부, 및 제 3 반도체층과 중첩되는 게이트 절연막 및 게이트 전극층을 포함하고, 제 3 반도체층이 적층을 덮는 영역의 채널 폭 방향의 단면에서, 제 3 반도체층은 적층의 한쪽 측부 및 절연층의 일부를 덮는 제 1 영역과, 제 2 반도체층의 상부를 덮는 제 2 영역과, 적층의 다른 쪽 측부 및 절연층의 일부를 덮는 제 3 영역을 포함하고, 제 2 영역 중 게이트 절연막과의 계면은 곡률 반경이 각각 R1인 영역, R2인 영역, R3인 영역이 한쪽 단부로부터 다른 쪽 단부를 향하여 순차적으로 연속되는 볼록 형상이고, 제 1 영역 중 절연층의 일부를 덮는 부분에서의 게이트 절연막과의 계면은 곡률 반경이 R4인 오목 형상이고, 제 3 영역 중 절연층의 일부를 덮는 부분에서의 게이트 절연막과의 계면은 곡률 반경이 R5인 오목 형상이고, R2는 R1 및 R3보다 크고, R1 및 R3은 R4 및 R5보다 큰, 반도체 장치이다.

[0026] 상기 반도체 장치에 있어서, R2는 R1 및 R3 중 더 작은 값의 2배 이상인 것이 바람직하다.

[0027] 또한, R1 및 R3은 R4 및 R5 중 더 작은 값의 3배 이상인 것이 바람직하다.

[0028] 또한, R1을 R3으로 나눈 값 및 R4를 R5로 나눈 값은 각각 0.7 이상 1.3 이하인 것이 바람직하다.

[0029] 또한, 제 1 영역과 게이트 절연막의 계면에 일치하고 게이트 전극층 측으로 연장된 선 및 제 3 영역과 게이트 절연막의 계면에 일치하고 게이트 전극층 측으로 연장된 선이 이루는 각도는 5° 이상 45° 이하인 것이 바람직하다.

[0030] 또한, 채널 폭 방향의 단면에서 제 1 반도체층 내지 제 3 반도체층의 총 높이는 30nm 이상 3000nm 이하인 것이 바람직하다.

[0031] 또한, 채널 폭 방향의 단면에서 제 1 반도체층 내지 제 3 반도체층의 총 높이를 채널 폭으로 나눈 값은 0.5 이상인 것이 바람직하다.

[0032] 또한, 상기 반도체 장치는 절연층을 개재하여 제 1 반도체층 내지 제 3 반도체층과 중첩되는 도전층이 형성된 구조으로 하여도 좋다.

[0033] 또한, 제 1 반도체층 내지 제 3 반도체층에는 산화물 반도체층을 사용할 수 있다.

[0034] 또한, 제 1 반도체층 내지 제 3 반도체층에 상당하는 제 1 산화물 반도체층 내지 제 3 산화물 반도체층은 In-M-Zn 산화물(M은 Al, Ti, Ga, Y, Zr, Sn, La, Ce, Nd, 또는 Hf)을 포함하고, 제 1 산화물 반도체층 및 제 3 산화물 반도체층은 제 2 산화물 반도체층에 비하여 In에 대한 M의 원자수비가 높은 것이 바람직하다.

[0035] 또한, 제 1 산화물 반도체층 내지 제 3 산화물 반도체층은 c축이 배향되는 결정을 포함하는 것이 바람직하다.

[0036] 또한, 소스 전극층의 일부 또는 드레인 전극층의 일부와 중첩되는 게이트 전극층의 채널 길이 방향으로의 길이는 3nm 이상 300nm 미만인 것이 바람직하다.

발명의 효과

[0037] 본 발명의 일 형태를 사용함으로써, 반도체 장치에 양호한 전기 특성을 부여할 수 있다. 또는, 미세화에 적합한 반도체 장치를 제공할 수 있다. 또는, 집적도가 높은 반도체 장치를 제공할 수 있다. 또는, 저소비 전력의 반도체 장치를 제공할 수 있다. 또는, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또는, 전원이 차단되어도 데이터가 유지되는 반도체 장치를 제공할 수 있다. 또는, 신규 반도체 장치를 제공할 수 있다.

[0038] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것이 아니다. 또한, 본 발명의 일 형태는 반드시 이들 효과 모두를 가질 필요는 없다. 또한, 이들 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며, 명세서, 도면, 및 청구항 등의 기재로부터 이들 외의 효과를 얻을 수 있다.

도면의 간단한 설명

[0039] 도 1은 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 2는 트랜지스터의 채널 폭 방향의 단면을 설명하기 위한 도면.

도 3은 트랜지스터의 채널 폭 방향의 단면을 설명하기 위한 도면.

도 4는 트랜지스터의 채널 폭 방향의 단면을 설명하기 위한 도면.

도 5는 트랜지스터를 설명하기 위한 단면도.

도 6은 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 7은 트랜지스터를 설명하기 위한 상면도 및 단면도.

도 8은 트랜지스터의 채널 폭 방향의 단면을 설명하기 위한 도면.

도 9는 트랜지스터의 채널 폭 방향의 단면을 설명하기 위한 도면.

도 10은 트랜지스터를 설명하기 위한 단면도.

도 11은 트랜지스터의 제작 방법을 설명하기 위한 도면.

도 12는 트랜지스터의 제작 방법을 설명하기 위한 도면.

도 13은 트랜지스터의 제작 방법을 설명하기 위한 도면.

도 14는 트랜지스터의 제작 방법을 설명하기 위한 도면.

도 15는 CAAC-OS의 단면에서의 Cs 보정 고분해능 TEM 이미지 및 CAAC-OS의 단면 모식도.

도 16은 CAAC-OS의 평면에서의 Cs 보정 고분해능 TEM 이미지.

도 17은 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 해석을 설명하기 위한 도면.

도 18은 반도체 장치의 단면도 및 회로도.

도 19는 기억 장치의 단면도 및 회로도.

도 20은 RF 태그의 구성예를 설명하기 위한 도면.

도 21은 CPU의 구성예를 설명하기 위한 도면.

도 22는 기억 소자의 회로도.

도 23은 표시 장치의 구성예를 설명하기 위한 도면 및 화소의 회로도.

도 24는 표시 모듈을 설명하기 위한 도면.

도 25는 전자 기기를 설명하기 위한 도면.

도 26은 RF 태그의 사용예를 설명하기 위한 도면.

도 27은 트랜지스터의 단면 TEM 사진.

도 28은 트랜지스터의 단면 TEM 사진.

도 29는 트랜지스터의 단면 TEM 사진.

도 30은 CAAC-OS의 전자 회절 패턴.

도 31은 전자 조사에 의한 In-Ga-Zn 산화물의 결정부의 변화를 나타낸 그래프.

도 32는 CAAC-OS 및 nc-OS의 성막(成膜) 모델을 설명하기 위한 모식도.

도 33은 $InGaZnO_4$ 의 결정 및 펠릿을 설명하기 위한 도면.

도 34는 CAAC-OS의 성막 모델을 설명하기 위한 모식도.

발명을 실시하기 위한 구체적인 내용

[0040] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것은 아니다. 또한, 이하에서 설명하는 발명의 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는

동일한 부호를 다른 도면들에 공통적으로 이용하며, 그 반복되는 설명은 생략하는 경우가 있다. 또한, 도면을 구성하는 같은 요소의 해칭을, 다른 도면들에서 적절히 생략 또는 변경하는 경우도 있다.

[0041] 본 명세서 등에 있어서, 예를 들어 'X와 Y가 접속된다'라고 명시적으로 기재된 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우를 뜻한다. 따라서, 소정의 접속 관계, 예를 들어 도면이나 문장에 나타낸 접속 관계에 한정되지 않고, 도면이나 문장에 나타내지 않은 접속 관계도 본 명세서 등에 개시되어 있는 것으로 한다.

[0042] 여기서, X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 뜻한다.

[0043] X와 Y가 직접 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 접속되지 않는 경우를 들 수 있으며, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)를 통하지 않고 X와 Y가 접속되는 경우를 가리킨다.

[0044] X와 Y가 전기적으로 접속되는 경우의 일례로서는, X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 스위치는 온 상태와 오프 상태가 제어된다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는다. 또는, 스위치는 전류를 흘리는 경로를 선택하여 전환하는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되는 경우는 X와 Y가 직접 접속되는 경우도 포함한다.

[0045] X와 Y가 기능적으로 접속되는 경우의 일례로서는, X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어, 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 바꾸는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속되어 있는 경우를 들 수 있다. 또한, 일례로서, X와 Y 사이에 다른 회로가 존재하더라도 X로부터 출력된 신호가 Y로 전달된다면 X와 Y는 기능적으로 접속되는 것으로 한다. 또한, X와 Y가 기능적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우와 X와 Y가 전기적으로 접속되는 경우를 포함하는 것으로 한다.

[0046] 또한, 본 명세서 등에 있어서, 'X와 Y가 전기적으로 접속된다'라고 명시적으로 기재된 경우에는, X와 Y가 전기적으로 접속되는 경우(즉 X와 Y가, 사이에 다른 소자 또는 다른 회로를 개재하여 접속되는 경우)와, X와 Y가 기능적으로 접속되는 경우(즉 X와 Y가, 사이에 다른 회로를 개재하여 기능적으로 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉 X와 Y가, 사이에 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)를 뜻한다. 즉, 본 명세서 등에 있어서 '전기적으로 접속된다'라고 명시적으로 기재된 경우에는, 단순히 '접속된다'고만 명시적으로 기재되는 경우와 같은 내용이다.

[0047] 또한, 예를 들어 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 각각 전기적으로 접속되어 있는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와, Z1의 다른 일부가 X와, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와, Z2의 다른 일부가 Y와 각각 직접 접속되어 있는 경우에는 이하와 같이 표현할 수 있다.

[0048] 예를 들어, 'X와 Y와 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 X와, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되어 있으며, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서로 전기적으로 접속되어 있다'라고 표현할 수 있다. 또는, 'X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다'라고 표현할 수 있다. 이와 같은 표현 방법을 이용하여 회로 구성에서의 접속 순서를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다.

[0049] 또는, 다른 표현 방법으로서, 예를 들어 '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 통

하여 X와 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한, 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, 상기 제 1 접속 경로는 Z1을 통한 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않고, 상기 제 3 접속 경로는 Z2를 통한 경로이다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로에 의하여 Z1을 통하여 X와 전기적으로 접속되고, 상기 제 1 접속 경로는 제 2 접속 경로를 갖지 않고, 상기 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 갖고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로에 의하여 Z2를 통하여 Y와 전기적으로 접속되고, 상기 제 3 접속 경로는 상기 제 2 접속 경로를 갖지 않는다'라고 표현할 수 있다. 또는, '트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 전기적 경로에 의하여 Z1을 통하여 X와 전기적으로 접속되고, 상기 제 1 전기적 경로는 제 2 전기적 경로를 갖지 않고, 상기 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)으로의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 전기적 경로에 의하여 Z2를 통하여 Y에 전기적으로 접속되고, 상기 제 3 전기적 경로는 제 4 전기적 경로를 갖지 않고, 상기 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)로의 전기적 경로이다'라고 표현할 수 있다. 이와 같은 표현 방법을 이용하여 회로 구성에서의 접속 경로를 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다.

[0050] 다만, 이러한 표현 방법은 일례이며, 이들에 한정되지 않는다. 여기서, X, Y, Z1, Z2는 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)을 뜻한다.

[0051] 또한, 회로도상으로는 독립되어 있는 구성 요소들이 서로 전기적으로 접속되는 것처럼 도시되어 있는 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 가지고 있는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는 하나의 도전막이 배선 및 전극의 양쪽 구성 요소의 기능을 가지고 있다. 따라서, 본 명세서에서 '전기적으로 접속'이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 가지고 있는 경우도 그 범주에 포함한다.

[0052] 또한, '막'이라는 말과 '층'이라는 말은 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, '도전층'이라는 용어를 '도전막'이라는 용어로 바꿀 수 있는 경우가 있다. 또는 '절연막'이라는 용어를 '절연층'이라는 용어로 바꿀 수 있는 경우가 있다.

[0053] (실시형태 1)

[0054] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치에 대해서 도면을 사용하여 설명한다.

[0055] 본 발명의 일 형태에 따른 트랜지스터는 실리콘(스트레인드 실리콘을 포함함), 게르마늄, 실리콘 게르마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인듐 인, 질화 갈륨, 유기 반도체, 또는 산화물 반도체 등을 채널 형성 영역에 사용할 수 있다. 특히 실리콘보다 벤드 갭이 큰 산화물 반도체를 포함하여 채널 형성 영역을 형성하는 것이 바람직하다.

[0056] 예를 들어, 상기 산화물 반도체로서 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 더 바람직하게는 In-M-Zn계 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)로 표기되는 산화물을 포함하는 구성으로 한다.

[0057] 아래에서는 특별한 설명이 없는 한, 일례로서 채널 형성 영역에 산화물 반도체를 포함하는 반도체 장치에 대하여 설명한다.

[0058] 도 1은 본 발명의 일 형태에 따른 트랜지스터(101)의 상면도 및 단면도이다. 도 1의 (A)는 상면도이고, 도 1의 (B)는 도 1의 (A)를 일점 쇄선 A1-A2 방향으로 절단한 단면도에 상당한다. 또한, 도 1의 (C)는 도 1의 (A)를 일점 쇄선 A3-A4 방향으로 절단한 단면도에 상당한다. 또한, 도 1에서는 도면의 명료화를 위하여 일부의 요소를 확대, 축소, 또는 생략하였다. 또한, 일점 쇄선 A1-A2 방향을 채널 길이 방향, 일점 쇄선 A3-A4 방향을 채널 폭 방향으로 부르는 경우가 있다.

[0059] 또한, 채널 길이란, 예를 들어 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온 상태일 때, 반도체 중에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역 중 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한, 한 트랜지스터의 채널 길이가 모든 영역에서 같은 값이 되지 않을 수도 있다. 즉, 한 트랜지스터의 채널 길이는 하나의 값으로 정해지지

않는 경우가 있다. 그러므로, 본 명세서에서 채널 길이란, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.

[0060] 채널 폭이란, 예를 들어 반도체(또는 트랜지스터가 온 상태일 때 반도체 중에서 전류가 흐르는 부분)와 게이트 전극이 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인의 마주보는 부분의 길이를 가리킨다. 또한, 한 트랜지스터의 채널 폭이 모든 영역에서 같은 값이 되지 않을 수도 있다. 즉, 한 트랜지스터의 채널 폭은 하나의 값으로 정해지지 않는 경우가 있다. 그러므로 본 명세서에서 채널 폭이란, 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.

[0061] 또한, 트랜지스터의 구조에 따라서는 실제로 채널이 형성되는 영역에서의 채널 폭(이하에서 '실효적인 채널 폭'으로 부름)과, 트랜지스터의 상면도에 도시된 채널 폭(이하에서 '외견상 채널 폭'으로 부름)이 상이하게 되는 경우가 있다. 예를 들어, 입체적인 구조를 갖는 트랜지스터에서는 실효적인 채널 폭이 트랜지스터의 상면도에 도시된 외견상 채널 폭보다 크게 되고, 이로 인한 영향이 무시할 수 없을 정도가 되는 경우가 있다. 예를 들어, 미세하고 입체적인 구조를 갖는 트랜지스터에서는 반도체의 상면에 형성되는 채널 영역의 비율에 대한 반도체의 측면에 형성되는 채널 영역의 비율이 크게 되는 경우가 있다. 이 경우에는 상면도에 도시된 외견상 채널 폭보다 실제로 채널이 형성되는 실효적인 채널 폭이 크게 된다.

[0062] 그런데, 입체적인 구조를 갖는 트랜지스터는 실효적인 채널 폭을 살펴하여 어렵잖기 어려운 경우가 있다. 예를 들어, 설계값으로부터 실효적인 채널 폭을 어렵잖기 위해서는 가정으로서 반도체의 형상을 미리 알아야 한다. 따라서 반도체의 형상을 정확히 확인할 수 없는 경우에는 실효적인 채널 폭을 정확히 측정하기 어렵다.

[0063] 그러므로, 본 명세서에서는 트랜지스터의 상면도에서 반도체와 게이트 전극이 중첩되는 영역에서의 소스와 드레인이 마주보는 부분의 길이를 가리키는 외견상 채널 폭을 'Surrounded Channel Width(SCW)'로 부르는 경우가 있다. 또한, 본 명세서에서는 단순히 채널 폭으로 기재한 경우에는 SCW 또는 외견상 채널 폭을 가리키는 경우가 있다. 또는, 본 명세서에서는 단순히 채널 폭으로 기재한 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실효적인 채널 폭, 외견상 채널 폭, SCW 등은 단면 TEM 이미지 등을 취득하여 이 화상을 해석하는 등에 의하여 값을 결정할 수 있다.

[0064] 또한, 트랜지스터의 전계 효과 이동도나 채널 폭당 전류값 등을 산출할 때, SCW를 이용하여 계산하는 경우가 있다. 이 경우에는 실효적인 채널 폭을 이용하여 계산하는 경우와는 상이한 값이 될 수 있다.

[0065] 트랜지스터(101)는 기판(110) 위의 절연층(120)과, 절연층(120) 위의 산화물 반도체층(130)과, 산화물 반도체층(130)과 전기적으로 접속되는 소스 전극층(140) 및 드레인 전극층(150)과, 산화물 반도체층(130), 소스 전극층(140) 및 드레인 전극층(150) 위의 게이트 절연막(160)과, 산화물 반도체층(130), 소스 전극층(140)의 일부, 및 드레인 전극층(150)의 일부와 게이트 절연막(160)을 개재하여 중첩되는 게이트 전극층(170)을 포함한다. 또한, 게이트 절연막(160) 및 게이트 전극층(170) 위에 절연층(180)이 제공되어도 좋다. 또한, 절연층(180) 위에 산화물로 형성된 절연층(185)이 제공되어도 좋다. 상기 절연층은 필요에 따라 제공하면 좋고 그 위에 다른 절연층을 더 제공하여도 좋다.

[0066] 또한, 트랜지스터의 '소스'나 '드레인'의 기능은 상이한 극성을 갖는 트랜지스터가 적용되는 경우나, 회로 동작에서 전류 방향이 변화되는 경우 등에 서로 바뀔 수 있다. 따라서, 본 명세서에서 '소스' 및 '드레인'이라는 용어는 서로 바꿔 사용할 수 있다.

[0067] 또한, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 제공된다.

[0068] 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 접촉한다. 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 적어도 일부(또는 전체)에 접촉한다.

[0069] 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)와 전기적으로 접속된다. 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 적어도 일부(또는 전체)와 전기적으로 접속된다.

[0070] 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의

반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)에 근접하여 배치된다. 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 적어도 일부(또는 전체)에 근접하여 배치된다.

[0071] 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 옆에 배치된다. 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 적어도 일부(또는 전체)의 옆에 배치된다.

[0072] 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 비스듬히 위쪽에 배치된다. 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 적어도 일부(또는 전체)의 비스듬히 위쪽에 배치된다.

[0073] 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 표면, 측면, 상면, 및/또는 하면의 적어도 일부(또는 전체)의 위쪽에 배치된다. 또는, 소스 전극층(140)(및/또는 드레인 전극층(150))의 적어도 일부(또는 전체)는 산화물 반도체층(130) 등의 반도체층의 적어도 일부(또는 전체)의 위쪽에 배치된다.

[0074] 본 발명의 일 형태에 따른 트랜지스터는 채널 길이가 10nm 이상 300nm 이하이고 톱 게이트(top-gate) 구조이다. 또한, 게이트 전극층(170)과 소스 전극층(140)이 중첩되는 영역(191)(LovS) 및 게이트 전극층(170)과 드레인 전극층(150)이 중첩되는 영역(192)(LovD)을 갖는다. 영역(191) 및 영역(192)의 채널 길이 방향으로의 폭은 기생 용량을 작게 하기 위하여 3nm 이상 300nm 미만으로 하는 것이 바람직하다.

[0075] 도 2의 (A)는 도 1의 (C)에 도시된 트랜지스터(101)의 채널 폭 방향의 단면 중 일부 요소를 확대한 도면이다. 상기 단면에서 산화물 반도체층(130)은, 한쪽 단부가 절연층(120)에 접촉하는 제 1 영역(201)과, 산화물 반도체층(130)의 상부에 위치하고 한쪽 단부가 제 1 영역(201)의 다른 쪽 단부에 접촉하는 제 2 영역(202)과, 한쪽 단부가 제 2 영역(202)의 다른 쪽 단부에 접촉하고 다른 쪽 단부가 절연층(120)에 접촉하는 제 3 영역(203)을 갖는다.

[0076] 또한, 도 2의 (B)에 도시된 바와 같이, 제 2 영역(202) 중 게이트 절연막(160)과의 계면은 곡률 반경이 각각 R1인 영역(211), R2인 영역(212), R3인 영역(213)이 제 2 영역(202)의 한쪽 단부로부터 다른 쪽 단부를 향하여 순차적으로 연속되는 볼록 형상이다.

[0077] 또한, 제 1 영역(201)의 한쪽 단부 중 게이트 절연막(160)과의 계면에는 곡률 반경이 R4인 오목 형상의 영역(214)이 있으며, 제 3 영역(203)의 다른 쪽 단부 중 게이트 절연막(160)과의 계면에는 곡률 반경이 R5인 오목 형상의 영역(215)이 있다. 또한, 영역(214) 및 영역(215)의 곡률 반경을 산출할 때는 절연층(120)의 오목 형상의 영역을 포함하여도 좋다.

[0078] 여기서, R2는 R1 및 R3보다 큰 것이 바람직하다. 또한, R2는 R1 및 R3 중 더 작은 값의 2배 이상인 것이 더 바람직하다. 또한, R1 및 R3은 실질적으로 동일하고, R1/R3=0.7 이상 1.3 이하인 것이 바람직하다. 또한, R4 및 R5는 실질적으로 동일하고, R4/R5=0.7 이상 1.3 이하인 것이 바람직하다. 또한, R1 및 R3은 R4 및 R5보다 큰 것이 바람직하다. 또한, R1 및 R3은 R4 및 R5 중 더 작은 값의 3배 이상인 것이 더 바람직하다. 또한, 채널 폭이 큰 경우에는, 도 3에 도시된 바와 같이 R2는 무한대로 커지고 영역(212)은 실질적으로 평坦하게 된다.

[0079] 또한, 도 4에 도시된 바와 같이, 제 1 영역(201)과 게이트 절연막(160)의 계면에 일치하고 게이트 전극층(170) 측으로 연장된 선 및 제 3 영역(203)과 게이트 절연막(160)의 계면에 일치하고 게이트 전극층(170) 측으로 연장된 선이 이루는 각도 θ는 5° 이상 45° 이하, 바람직하게는 8° 이상 30° 이하, 더 바람직하게는 10° 이상 25° 이하로 한다.

[0080] 또한, 산화물 반도체층(130)의 채널 폭 방향의 단면에서의 높이(H)는 30nm 이상 3000nm 이하로 하는 것이 바람직하다. 예를 들어, 100nm~200nm로 할 수도 있다. 또한, 상기 값에 절연층(120)의 오버 에칭에 의하여 형성된 볼록부의 높이가 포함되어도 좋다.

[0081] 또한, 산화물 반도체층(130)의 채널 폭 방향의 단면에서의 높이를 채널 폭으로 나눈 값은 0.5 이상으로 한다. 예를 들어, 5~10인 것이 바람직하다.

[0082] 상술한 구성으로 함으로써, 산화물 반도체층(130)에 대한 게이트 절연막(160)의 피복성이 향상되므로 게이트 절

연막(160)의 박막화가 용이하게 된다. 또한, 전계가 집중되는 국소적인 볼록부 또는 오목부가 없는 산화물 반도체층(130)으로 할 수 있으므로 게이트 내압이 높은 트랜지스터를 형성할 수 있다.

[0083] 또한, 트랜지스터(101)는 도 5에 도시된 바와 같이 산화물 반도체층(130)과 기판(110) 사이에 도전막(172)을 구비하여도 좋다. 상기 도전막을 제 2 게이트 전극(백 게이트)으로서 사용함으로써 온 전류를 증가시키거나 문턱 전압을 제어할 수 있다. 온 전류를 증가시키기 위해서는, 예를 들어 게이트 전극층(170)과 도전막(172)을 같은 전위로 하며 상기 트랜지스터를 듀얼 게이트 트랜지스터로서 구동시키면 좋다. 또한, 문턱 전압을 제어하기 위해서는 게이트 전극층(170)과 다른 정전위를 도전막(172)에 공급하면 좋다.

[0084] 또한, 본 발명의 일 형태에 따른 트랜지스터는 도 6에 도시된 구성을 가져도 좋다. 도 6의 (A)는 상면도이고, 도 6의 (B)는 도 6의 (A)를 일점 쇄선 B1-B2 방향으로 절단한 단면도에 상당한다. 또한, 도 6의 (C)는 도 6의 (A)를 일점 쇄선 B3-B4 방향으로 절단한 단면도에 상당한다. 또한, 도 6에서는 도면의 명료화를 위하여 일부의 요소를 확대, 축소, 또는 생략하였다. 또한, 일점 쇄선 B1-B2 방향을 채널 길이 방향, 일점 쇄선 B3-B4 방향을 채널 폭 방향으로 부르는 경우가 있다.

[0085] 도 6에 도시된 트랜지스터(102)는 산화물 반도체층(130)이 절연층(120) 측으로부터 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 이 순서로 형성된 적층인 점이 트랜지스터(101)와 다르다.

[0086] 예를 들어, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에는 각각 조성이 다른 산화물 반도체층 등을 사용할 수 있다.

[0087] 또한, 트랜지스터(101)의 산화물 반도체층(130)의 형상에 관한 설명은 트랜지스터(102)에도 적용할 수 있으며, 같은 효과를 얻을 수 있다. 또한, 도 5에 도시된 구성을 트랜지스터(102)에 적용할 수도 있다.

[0088] 또한, 본 발명의 일 형태에 따른 트랜지스터는 도 7에 도시된 구성을 가져도 좋다. 도 7의 (A)는 상면도이고, 도 7의 (B)는 도 7의 (A)를 일점 쇄선 C1-C2 방향으로 절단한 단면도에 상당한다. 또한, 도 7의 (C)는 도 7의 (A)를 일점 쇄선 C3-C4 방향으로 절단한 단면도에 상당한다. 또한, 도 7에서는 도면의 명료화를 위하여 일부의 요소를 확대, 축소, 또는 생략하였다. 또한, 일점 쇄선 C1-C2 방향을 채널 길이 방향, 일점 쇄선 C3-C4 방향을 채널 폭 방향으로 부르는 경우가 있다.

[0089] 도 7에 도시된 트랜지스터(103)는 산화물 반도체층(130)이 절연층(120) 측으로부터 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132)이 이 순서로 형성된 적층과, 이 적층의 일부를 덮는 제 3 산화물 반도체층(133)을 갖는다는 점이 트랜지스터(101) 및 트랜지스터(102)와 다르다.

[0090] 예를 들어, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에는 각각 조성이 다른 산화물 반도체층 등을 사용할 수 있다.

[0091] 구체적으로는, 트랜지스터(103)는 기판(110) 위의 절연층(120)과, 절연층(120) 위의, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132)이 이 순서로 형성된 적층과, 이 적층의 일부와 전기적으로 접속되는 소스 전극층(140) 및 드레인 전극층(150)과, 상기 적층의 일부, 소스 전극층(140)의 일부, 및 드레인 전극층(150)의 일부를 덮는 제 3 산화물 반도체층(133)과, 상기 적층의 일부, 소스 전극층(140)의 일부, 드레인 전극층(150)의 일부, 제 3 산화물 반도체층(133)과 중첩되는 게이트 절연막(160) 및 게이트 전극층(170)을 포함한다. 또한, 소스 전극층(140), 드레인 전극층(150), 및 게이트 전극층(170) 위에 절연층(180)이 제공되어도 좋다. 또한, 절연층(180) 위에 산화물로 형성된 절연층(185)이 제공되어도 좋다. 상기 절연층은 필요에 따라 제공하면 좋고 그 위에 다른 절연층을 더 제공하여도 좋다.

[0092] 도 8의 (A)는 도 7의 (C)에 도시된 트랜지스터(103)의 채널 폭 방향의 단면 중 일부 요소를 확대한 도면이다. 상기 단면에서 제 3 산화물 반도체층(133)은 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)으로 이루어진 적층의 한쪽 측부 및 절연층(120)의 일부를 덮는 제 1 영역(1331)과, 제 2 산화물 반도체층(132)의 상부를 덮는 제 2 영역(1332)과, 상기 적층의 다른 쪽 측부 및 절연층(120)의 일부를 덮는 제 3 영역(1333)을 포함한다.

[0093] 또한, 도 8의 (B)에 도시된 바와 같이, 제 2 영역(1332) 중 게이트 절연막(160)과의 계면은 곡률 반경이 각각 R1인 영역(221), R2인 영역(222), R3인 영역(223)이 제 2 영역(1332)의 한쪽 단부로부터 다른 쪽 단부를 향하여 순차적으로 연속되는 볼록 형상이다.

[0094] 또한, 제 1 영역(1331)의 한쪽 단부 중 게이트 절연막(160)과의 계면에는 곡률 반경이 R4인 오목 형상의 영역

(224)이 있으며, 제 3 영역(1333)의 다른 쪽 단부 중 게이트 절연막(160)과의 계면에는 곡률 반경이 R5인 오목 형상의 영역(225)이 있다.

[0095] 여기서, R2는 R1 및 R3보다 큰 것이 바람직하다. 또한, R2는 R1 및 R3 중 더 작은 값의 2배 이상인 것이 더 바람직하다. 또한, R1 및 R3은 실질적으로 동일하고, R1/R3=0.7 이상 1.3 이하인 것이 바람직하다. 또한, R4 및 R5는 실질적으로 동일하고, R4/R5=0.7 이상 1.3 이하인 것이 바람직하다. 또한, R1 및 R3은 R4 및 R5보다 큰 것이 바람직하다. 또한, R1 및 R3은 R4 및 R5 중 더 작은 값의 3배 이상인 것이 더 바람직하다. 또한, 채널 폭이 큰 경우에는, 도 3에 도시된 트랜지스터와 마찬가지로 R2는 무한대로 커지고 영역(222)은 실질적으로 평坦하게 된다.

[0096] 또한, 도 9에 도시된 바와 같이, 제 1 영역(1331)과 게이트 절연막(160)의 계면에 일치하고 게이트 전극층(170) 측으로 연장된 선 및 제 3 영역(1333)과 게이트 절연막(160)의 계면에 일치하고 게이트 전극층(170) 측으로 연장된 선이 이루는 각도 θ 는 5° 이상 45° 이하, 바람직하게는 8° 이상 30° 이하, 더 바람직하게는 10° 이상 25° 이하로 한다.

[0097] 또한, 산화물 반도체층(130)의 채널 폭 방향의 단면에서의 높이(H)는 30nm 이상 3000nm 이하로 하는 것이 바람직하다. 예를 들어, 100nm~200nm로 할 수도 있다. 또한, 상기 값에 절연층(120)의 오버 에칭에 의하여 형성된 볼록부의 높이가 포함되어도 좋다.

[0098] 또한, 산화물 반도체층(130)의 채널 폭 방향의 단면에서의 높이를 채널 폭으로 나눈 값은 0.5 이상으로 한다. 예를 들어, 5~10인 것이 바람직하다.

[0099] 상술한 구성으로 함으로써, 산화물 반도체층(130)에 대한 게이트 절연막(160)의 피복성이 향상되므로 게이트 절연막(160)의 박막화가 용이하게 된다. 또한, 전계가 집중되는 국소적인 볼록부 또는 오목부가 없는 산화물 반도체층(130)으로 할 수 있으므로 게이트 내압이 높은 트랜지스터를 형성할 수 있다.

[0100] 또한, 트랜지스터(103)는 도 10에 도시된 바와 같이 산화물 반도체층(130)과 기판(110) 사이에 도전막(172)을 구비하여도 좋다. 상기 도전막을 제 2 게이트 전극(백 게이트)으로서 사용함으로써 온 전류를 증가시키거나 문턱 전압을 제어할 수 있다. 온 전류를 증가시키기 위해서는, 예를 들어 게이트 전극층(170)과 도전막(172)을 같은 전위로 하며 상기 트랜지스터를 듀얼 게이트 트랜지스터로서 구동시키면 좋다. 또한, 문턱 전압을 제어하기 위해서는 게이트 전극층(170)의 전위와 다른 정전위를 도전막(172)에 공급하면 좋다.

[0101] 도 1에 도시된 트랜지스터(101)의 채널이 형성되는 영역에서 산화물 반도체층(130)은 하나의 층으로 이루어지지만, 도 6에 도시된 트랜지스터(102)에서는 채널이 형성되는 영역에서 산화물 반도체층(130)은 기판(110) 측으로부터 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 적층된 3층 구조를 갖는다. 또한, 도 7에 도시된 트랜지스터(103)는 트랜지스터(102)와 마찬가지로 3층 구조의 산화물 반도체층(130)을 가지지만, 채널 형성 영역에서 제 2 산화물 반도체층(132)은 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)으로 둘러싸인 구조를 갖는다.

[0102] 상술한 구성은 모두 게이트 전극층(170)이 채널 폭 방향으로 산화물 반도체층(130)을 전기적으로 둘러싸기 때문에, 온 전류를 높일 수 있다. 이와 같은 트랜지스터 구조를 Surrounded Channel(S-Channel) 구조로 부른다. 또한, 트랜지스터(102) 및 트랜지스터(103)의 구조에서, 산화물 반도체층(130)을 구성하는 3층의 재료를 적절히 선택함으로써, 전류를 제 2 산화물 반도체층(132) 전체에 흘릴 수 있다. 산화물 반도체층(130) 내의 제 2 산화물 반도체층(132)에 전류가 흐르면 계면 산란의 영향을 받기 어렵기 때문에, 높은 온 전류를 얻을 수 있다. 또한, 제 2 산화물 반도체층(132)을 두껍게 하면, 온 전류를 향상시킬 수 있다. 예를 들어, 제 2 산화물 반도체층(132)의 두께를 100nm~200nm로 하여도 좋다.

[0103] 다음에, 본 발명의 일 형태에 따른 트랜지스터의 구성 요소에 대하여 자세히 설명한다.

[0104] 기판(110)은 단순한 지지 재료에 한정되지 않으며, 트랜지스터 등 다른 디바이스가 형성된 기판이어도 좋다. 이 경우에는 트랜지스터의 게이트 전극층(170), 소스 전극층(140), 및 드레인 전극층(150) 중 적어도 하나는 상기 다른 디바이스와 전기적으로 접속되어도 좋다.

[0105] 절연층(120)은 기판(110)으로부터의 불순물 확산을 방지하는 기능뿐만 아니라, 산화물 반도체층(130)에 산소를 공급하는 기능도 가질 수 있다. 따라서, 절연층(120)은 산소를 포함한 절연막인 것이 바람직하며, 화학양론적 조성보다 많은 산소를 포함한 절연막이면 더 바람직하다. 예를 들어, 막의 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 온도 범위에서 실시되는 TDS 분석에서 산소 원자로 환산한 산소의 방출량

이 1.0×10^{19} atoms/cm³ 이상인 막으로 한다. 또한, 기판(110)이 상술한 바와 같은 다른 디바이스가 형성된 기판인 경우, 절연층(120)은 충간 절연막으로서의 기능도 갖는다. 이 경우에는 표면이 평坦하게 되도록 CMP(Chemical Mechanical Polishing)법 등으로 평탄화 처리를 수행하는 것이 바람직하다.

[0106] 또한, 본 실시형태에서는 주로 산화물 반도체층(130)이 3층 구조인 경우에 대하여 자세히 설명하지만, 적층 수는 이에 한정되지 않는다. 트랜지스터(101)와 같이 산화물 반도체층(130)이 하나의 층으로 이루어지는 경우, 본 실시형태에서 설명하는 제 2 산화물 반도체층(132)에 상당하는 층을 사용하면 좋다. 또한, 산화물 반도체층(130)이 2층 구조인 경우, 예를 들어 트랜지스터(102) 또는 트랜지스터(103)의 산화물 반도체층(130)의 구성에 있어서, 제 3 산화물 반도체층(133)을 제공하지 않는 구성으로 하면 좋다. 이 구성의 경우, 제 2 산화물 반도체층(132)과 제 1 산화물 반도체층(131)을 서로 바꿀 수 있다. 또한, 산화물 반도체층(130)이 4층 이상의 구조인 경우에는 예를 들어, 본 실시형태에서 설명하는 3층 구조의 적층에 다른 산화물 반도체층을 적층한 구성이나 상기 3층 구조 중 어느 계면에 다른 산화물 반도체층을 삽입한 구성으로 할 수 있다.

[0107] 일례로서 제 2 산화물 반도체층(132)에는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 전자 친화력(진공 준위로부터 전도대 하단까지의 에너지)이 큰 산화물 반도체를 사용한다. 전자 친화력은 진공 준위와 가전자대 상단의 에너지 차이(이온화 페텐셜)로부터, 전도대 하단과 가전자대 상단의 에너지 차이(에너지 갭)를 뺏으로써 산출할 수 있다.

[0108] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 포함하고, 예를 들어 전도대 하단의 에너지가 제 2 산화물 반도체층(132)보다 0.05eV, 0.07eV, 0.1eV, 0.15eV 중 어느 값 이상, 2eV, 1eV, 0.5eV, 0.4eV 중 어느 값 이하만큼 진공 준위에 가까운 산화물 반도체로 형성하는 것이 바람직하다.

[0109] 이러한 구조에 있어서, 게이트 전극층(170)에 전계를 인가하면 산화물 반도체층(130) 중 전도대 하단의 에너지가 가장 작은 제 2 산화물 반도체층(132)에 채널이 형성된다.

[0110] 또한, 제 1 산화물 반도체층(131)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 포함하여 구성되기 때문에 제 2 산화물 반도체층(132)과 절연층(120)이 접촉하는 경우의 그 계면과 비교하여, 제 2 산화물 반도체층(132)과 제 1 산화물 반도체층(131)의 계면에는 계면 준위가 형성되기 어렵다. 상기 계면 준위는 채널을 형성하는 경우가 있기 때문에 트랜지스터의 문턱 전압이 변동될 수 있다. 따라서, 제 1 산화물 반도체층(131)을 제공함으로써 트랜지스터의 전기 특성(문턱 전압 등)의 편차를 저감할 수 있다. 또한, 상기 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0111] 또한, 제 3 산화물 반도체층(133)은 제 2 산화물 반도체층(132)을 구성하는 금속 원소를 1종류 이상 포함하여 구성되기 때문에, 제 2 산화물 반도체층(132)과 게이트 절연막(160)이 접촉하는 경우의 그 계면과 비교하여, 제 2 산화물 반도체층(132)과 제 3 산화물 반도체층(133)의 계면에서 캐리어의 산란(散亂)이 일어나기 어렵다. 따라서, 제 3 산화물 반도체층(133)을 제공함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0112] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에는, 예를 들어 제 2 산화물 반도체층(132)보다 높은 원자수비로 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf을 포함한 재료를 사용할 수 있다. 구체적으로는 제 2 산화물 반도체층(132)보다 상기 원소의 원자수비를 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 상술한 원소는 산소와 강하게 결합하므로 산화물 반도체층에 산소 결손이 발생되는 것을 억제하는 기능을 갖는다. 즉, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에는 제 2 산화물 반도체층(132)보다 산소 결손이 발생되기 어렵다고 할 수 있다.

[0113] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)이 인듐, 아연, 및 M(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, 또는 Hf 등의 금속)을 적어도 포함한 In-M-Zn 산화물인 경우, 제 1 산화물 반도체층(131)을 In:M:Zn=x₁:y₁:z₁[원자수비], 제 2 산화물 반도체층(132)을 In:M:Zn=x₂:y₂:z₂[원자수비], 제 3 산화물 반도체층(133)을 In:M:Zn=x₃:y₃:z₃[원자수비]으로 하면, y₁/x₁ 및 y₃/x₃○ y₂/x₂보다 큰 것이 바람직하다. y₁/x₁ 및 y₃/x₃은 y₂/x₂보다 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상으로 한다. 이 경우에 제 2 산화물 반도체층(132)에서 y₂가 x₂ 이상이면 트랜지스터의 전기 특성을 안정화시킬 수 있다. 다만, y₂가 x₂의 3배 이상인 경우, 트랜지스터의 전계 효과 이동도가 저하되기 때문에, y₂는 x₂의 3배 미만인 것이 바람직하다.

- [0114] 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133) 중 Zn 및 O를 제외한 In 및 M의 원자수 비율은 In이 50atomic% 미만이고 M이 50atomic% 이상인 것이 바람직하고, In이 25atomic% 미만이고 M이 75atomic% 이상이면 더 바람직하다. 또한, 제 2 산화물 반도체층(132) 중 Zn 및 O를 제외한 In 및 M의 원자수 비율은 In이 25atomic% 이상이고 M이 75atomic% 미만인 것이 바람직하고, In이 34atomic% 이상이고 M이 66atomic% 미만이면 더 바람직하다.
- [0115] 제 1 산화물 반도체층(131)의 두께 및 제 3 산화물 반도체층(133)의 두께는 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 제 2 산화물 반도체층(132)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다. 또한, 제 2 산화물 반도체층(132)의 두께는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)보다 두꺼운 것이 바람직하다.
- [0116] 또한, 산화물 반도체층을 채널로서 사용하는 트랜지스터에 안정된 전기 특성을 부여하기 위해서는, 산화물 반도체층 내의 불순물 농도를 저감시켜, 산화물 반도체층을 진성 또는 실질적으로 진성으로 하는 것이 유효하다. 여기서, '실질적으로 진성'이란, 산화물 반도체층의 캐리어 밀도가 $1 \times 10^{17}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 미만인 것을 뜻한다.
- [0117] 또한, 산화물 반도체층에 있어서, 수소, 질소, 탄소, 실리콘, 및 주성분 이외의 금속 원소는 불순물이다. 예를 들어, 수소 및 질소는 도너 준위의 형성에 기여하며 캐리어 밀도를 증대시킨다. 또한, 실리콘은 산화물 반도체층에서 불순물 준위의 형성에 기여한다. 상기 불순물 준위는 트랩이 되어, 트랜지스터의 전기 특성을 열화시키는 경우가 있다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)의 총 내나 각 계면에서의 불순물 농도를 저감시키는 것이 바람직하다.
- [0118] 산화물 반도체층을 진성 또는 실질적으로 진성으로 하기 위해서는 SIMS(Secondary Ion Mass Spectrometry) 분석에서 예를 들어, 산화물 반도체층 중 어느 깊이 또는 어느 영역의 실리콘 농도를 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만으로 한다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역의 수소 농도를 $2 \times 10^{20}/\text{atoms}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{19}/\text{atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 이하로 한다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역의 질소 농도를 $5 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{atoms}/\text{cm}^3$ 이하로 한다.
- [0119] 또한, 산화물 반도체층이 결정을 포함하는 경우, 실리콘이나 탄소가 고농도로 함유되면, 산화물 반도체층의 결정성이 저하될 수 있다. 산화물 반도체층의 결정성을 저하시키지 않기 위해서는, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에 실리콘 농도가 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만인 부분을 가지면 좋다. 또한, 예를 들어 산화물 반도체층 중 어느 깊이 또는 어느 영역에서의 탄소 농도가 $1 \times 10^{19}/\text{atoms}/\text{cm}^3$ 미만, 바람직하게는 $5 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18}/\text{atoms}/\text{cm}^3$ 미만이다.
- [0120] 또한, 상술한 바와 같이 고순도화된 산화물 반도체막이 채널 형성 영역에 사용된 트랜지스터의 오프 전류는 매우 작다. 예를 들어 소스와 드레인 간의 전압을 0.1V, 5V, 또는 10V 정도로 한 경우에, 트랜지스터의 채널 폭으로 정규화된 오프 전류를 수A/ μm ~수zA/ μm 로 저감할 수 있다.
- [0121] 또한, 트랜지스터의 게이트 절연막으로서는 실리콘을 함유한 절연막이 흔히 사용되기 때문에, 산화물 반도체층의 채널이 되는 영역은 상술한 이유로 본 발명의 일 형태에 따른 트랜지스터와 같이 게이트 절연막에 접촉하지 않는 구조가 바람직하다고 할 수 있다. 또한, 게이트 절연막과 산화물 반도체층 계면에 채널이 형성되는 경우에, 상기 계면에서 캐리어의 산란이 일어나 트랜지스터의 전계 효과 이동도가 낮게 될 수 있다. 이러한 관점에서 봐도, 산화물 반도체층의 채널이 되는 영역과 게이트 절연막은 서로 떨어져 제공되는 것이 바람직하다고 할 수 있다.
- [0122] 따라서, 산화물 반도체층(130)을 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)의 적층 구조로 함으로써, 제 2 산화물 반도체층(132)에 채널을 형성할 수 있어, 높은 전계 효과 이동도 및 안정된 전기 특성을 갖는 트랜지스터를 형성할 수 있다.

- [0123] 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 밴드 구조에서는 전도대 하단의 에너지가 연속적으로 변화된다. 이것은 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 제 3 산화물 반도체층(133)의 조성이 근사되어 산소가 상호로 확산되기 쉽다는 것으로부터도 이해된다. 따라서, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)은 조성이 상이한 층으로 이루어지는 적층체이지만, 물성적으로 연속된다고 할 수도 있고, 본 명세서에 따른 도면에서 상기 적층체 중 각 층의 계면을 점선으로 도시하였다.
- [0124] 공통된 주성분을 함유한 층이 적층된 산화물 반도체층(130)은 각 층을 단순히 적층하지 않고 연속 접합(여기서는 특히 전도대 하단의 에너지가 각 층 사이에서 연속적으로 변화되는 U자형 웰 구조(U-shaped well))가 형성되도록 제작한다. 즉, 각 층의 계면에 트랩 중심이나 재결합 중심 등의 결합 준위를 형성하는 바와 같은 불순물이 존재하지 않도록 적층 구조를 형성한다. 만약 적층된 산화물 반도체층의 층간에 불순물이 혼재하고 있으면, 에너지 밴드의 연속성이 없어져 계면에서 캐리어가 포획되거나 또는 재결합되어 소멸된다.
- [0125] 예를 들어, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)에 $In:Ga:Zn=1:3:2$, $1:3:3$, $1:3:4$, $1:3:6$, $1:6:4$, 또는 $1:9:6$ [원자수비]의 In-Ga-Zn 산화물, 제 2 산화물 반도체층(132)에 $In:Ga:Zn=1:1:1$, $5:5:6$, 또는 $3:1:2$ [원자수비] 등의 In-Ga-Zn 산화물 등을 사용할 수 있다. 또한, 제 1 산화물 반도체층(131)에 $In:Ga:Zn=1:6:4$ 또는 $1:9:6$ [원자수비]의 In-Ga-Zn 산화물, 제 3 산화물 반도체층(133)에 $In:Ga:Zn=1:3:2$, $1:3:3$, $1:3:4$ [원자수비]의 In-Ga-Zn 산화물 등을 사용하여도 좋다.
- [0126] 산화물 반도체층(130) 중 제 2 산화물 반도체층(132)은 웰(우물)로서 기능하여, 산화물 반도체층(130)을 사용한 트랜지스터에서 채널이 제 2 산화물 반도체층(132)에 형성된다. 또한, 산화물 반도체층(130)은 전도대 하단의 에너지가 연속적으로 변화되기 때문에, U자형 웰로 부를 수도 있다. 또한, 이와 같은 구성으로 형성된 채널을 매몰 채널로 부를 수도 있다.
- [0127] 또한, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)과, 산화 실리콘막 등 절연막 사이의 계면 근방에는 불순물이나 결함에 기인한 트랩 준위가 형성될 수 있다. 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133)이 있음으로써, 제 2 산화물 반도체층(132)을 상기 트랩 준위와 떨어뜨릴 수 있다.
- [0128] 다만, 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133) 각각의 전도대 하단의 에너지와, 제 2 산화물 반도체층(132)의 전도대 하단의 에너지 차이가 작은 경우, 제 2 산화물 반도체층(132)의 전자가 상기 에너지 차이를 넘어서 트랩 준위에 도달할 수 있다. 음 전하가 되는 전자가 트랩 준위에 포획됨으로써, 트랜지스터의 문턱 전압은 양 방향으로 변동된다.
- [0129] 따라서 트랜지스터의 문턱 전압의 변동을 저감하기 위해서는 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133) 각각의 전도대 하단의 에너지와 제 2 산화물 반도체층(132)의 전도대 하단의 에너지 사이에 일정 이상 차이를 제공할 필요가 있다. 제 1 산화물 반도체층(131) 및 제 3 산화물 반도체층(133) 각각의 전도대 하단의 에너지와 제 2 산화물 반도체층(132)의 전도대 하단의 에너지의 차이는 $0.1eV$ 이상이 바람직하고, $0.15eV$ 이상이면 더 바람직하다.
- [0130] 또한, 제 1 산화물 반도체층(131), 제 2 산화물 반도체층(132), 및 제 3 산화물 반도체층(133)에 결정부가 포함되는 것이 바람직하다. 특히 c축이 배향된 결정을 사용함으로써, 트랜지스터의 전기 특성을 안정화시킬 수 있다.
- [0131] 소스 전극층(140) 및 드레인 전극층(150)에는, 산화물 반도체막으로부터 산소를 뽑아내는 성질을 갖는 도전막을 사용하는 것이 바람직하다. 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, W 등을 사용할 수 있다. 상술한 재료 중에서 특히 산소와 결합되기 쉬운 Ti나, 이후의 공정 온도를 비교적 높게 할 수 있는 등의 이유로 용점이 높은 W을 사용하는 것이 더 바람직하다.
- [0132] 산화물 반도체막으로부터 산소를 뽑아내는 성질을 갖는 도전막의 작용에 의하여, 산화물 반도체막 내의 산소가 이탈되어 산화물 반도체막 내에 산소 결손이 형성된다. 막 내에 약간 포함되는 수소와 상기 산소 결손이 결합됨으로써, 그 영역이 현저하게 n형화된다. 이 n형화된 영역은 트랜지스터의 소스 또는 드레인으로서 작용할 수 있다.
- [0133] 게이트 절연막(160)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 1종류 이상을 포함한 절연막을 사용할 수 있다. 또한, 게이트 절연막(160)은 상기 재료의 적

층이어도 좋다. 또한, 게이트 절연막(160)은 란타넘(La), 질소, 지르코늄(Zr) 등을 불순물로서 포함하여도 좋다.

[0134] 또한, 게이트 절연막(160)의 적층 구조의 일례에 대하여 설명한다. 게이트 절연막(160)은 예를 들어, 산소, 질소, 실리콘, 하프늄 등을 포함한다. 구체적으로는, 산화 하프늄, 및 산화 실리콘 또는 산화질화 실리콘을 포함하는 것이 바람직하다.

[0135] 산화 하프늄은 산화 실리콘이나 산화질화 실리콘에 비하여 비유전율이 높다. 따라서, 등가 산화막 두께에 대한 물리적인 막 두께를 크게 할 수 있기 때문에, 등가 산화막 두께를 10nm 이하, 또는 5nm 이하로 한 경우에도 터널 전류로 인한 누설 전류를 작게 할 수 있다. 즉, 오프 전류가 작은 트랜지스터를 실현할 수 있다. 또한, 결정 구조를 갖는 산화 하프늄은 비정질 구조를 갖는 산화 하프늄에 비하여 높은 비유전율을 갖는다. 따라서, 오프 전류가 작은 트랜지스터로 하기 위해서는 결정 구조를 갖는 산화 하프늄을 사용하는 것이 바람직하다. 결정 구조의 예로서는 단사정계나 입방정계 등을 들 수 있다. 다만, 본 발명의 일 형태는 이들에 한정되지 않는다.

[0136] 그런데, 결정 구조를 갖는 산화 하프늄 내에 결함에 기인한 계면 준위가 포함되는 경우가 있다. 상기 계면 준위는 트랩 중심으로서 기능하는 경우가 있다. 그러므로, 산화 하프늄이 트랜지스터의 채널 영역에 근접하여 배치되면, 상기 계면 준위에 의하여 트랜지스터의 전기 특성이 열화되는 경우가 있다. 따라서, 상기 계면 준위의 영향을 저감하기 위하여 트랜지스터의 채널 영역과 산화 하프늄 사이에 다른 막을 배치함으로써 서로 이격시키는 것이 바람직한 경우가 있다. 이 막은 완충 기능을 갖는다. 완충 기능을 갖는 막에는 게이트 절연막(160)에 포함되어도 좋고, 산화물 반도체층(130)에 포함되어도 좋다. 즉, 완충 기능을 갖는 막에는 산화 실리콘, 산화질화 실리콘, 산화물 반도체 등을 사용할 수 있다. 또한, 완충 기능을 갖는 막에는, 예를 들어 채널 영역이 되는 반도체보다 에너지 갭이 큰 반도체 또는 절연체를 사용한다. 또는, 완충 기능을 갖는 막에는, 예를 들어 채널 영역이 되는 반도체보다 전자 친화력이 작은 반도체 또는 절연체를 사용한다. 또한, 완충 기능을 갖는 막에는, 예를 들어 채널 영역이 되는 반도체보다 이온화 에너지가 큰 반도체 또는 절연체를 사용한다.

[0137] 한편, 상술한 결정 구조를 갖는 산화 하프늄 내의 계면 준위(트랩 중심)에 전하를 포획함으로써, 트랜지스터의 문턱 전압을 제어할 수 있는 경우가 있다. 상기 전하를 안정적으로 존재시키기 위해서는, 예를 들어 채널 영역과 산화 하프늄 사이에 산화 하프늄보다 에너지 갭이 큰 절연체를 배치하면 좋다. 또는, 산화 하프늄보다 전자 친화력이 작은 반도체 또는 절연체를 배치하면 좋다. 또는, 완충 기능을 갖는 막에는 산화 하프늄보다 이온화 에너지가 큰 반도체 또는 절연체를 사용하면 좋다. 이와 같은 반도체 또는 절연체를 사용함으로써, 계면 준위에 포획된 전하가 방출되기 어려워져, 전하를 오랫동안 유지할 수 있다.

[0138] 이와 같은 절연체로서, 예를 들어 산화 실리콘, 산화질화 실리콘을 들 수 있다. 게이트 절연막(160) 내의 계면 준위에 전하를 포획하기 위해서는 산화물 반도체층(130)으로부터 게이트 전극층(170)을 향하여 전자를 이동시키면 좋다. 구체적인 예로서는 높은 온도(예를 들어, 125°C 이상 450°C 이하, 대표적으로는 150°C 이상 300°C 이하)에서 게이트 전극층(170)의 전위를 소스 전극이나 드레인 전극의 전위보다 높은 상태로 1초 이상, 대표적으로는 1분 이상 유지시켜 전자를 이동시키면 좋다.

[0139] 이와 같이 게이트 절연막(160) 등의 계면 준위에 원하는 양의 전자를 포획시킨 트랜지스터는 문턱 전압이 양 측으로 변동된다. 게이트 전극층(170)의 전압이나 전압을 인가하는 시간을 조정함으로써, 전자 포획량(문턱 전압의 변동량)을 제어할 수 있다. 또한, 전하를 포획할 수 있으면, 게이트 절연막(160) 내가 아니어도 된다. 같은 구조를 갖는 적층막을 다른 절연층에 사용하여도 된다.

[0140] 게이트 전극층(170)에는 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, 및 W 등의 도전막을 사용할 수 있다. 또한, 상기 게이트 전극층은 상술한 재료의 적층이어도 좋다. 또한, 상기 게이트 전극층에는 질소를 함유한 도전막을 사용하여도 좋다.

[0141] 게이트 절연막(160) 및 게이트 전극층(170) 위에 형성되는 절연층(180)은 산화 알루미늄막을 포함하는 것이 바람직하다. 산화 알루미늄막은 수소나 수분 등 불순물과 산소의 양쪽 모두를 투과시키지 않도록 차단하는 효과가 높다. 따라서, 산화 알루미늄막은 트랜지스터의 제작 공정 중 및 제작 후에, 트랜지스터의 전기 특성의 변동 요인이 되는 수소나 수분 등 불순물이 산화물 반도체층(130)에 혼입되거나, 산화물 반도체층(130)을 구성하는 주성분 재료인 산소가 산화물 반도체층으로부터 방출되거나, 절연층(120)으로부터 산소가 쓸데없이 방출되는 것을 방지하는 효과를 갖는 보호막으로서 사용하기에 적합하다. 또한, 산화 알루미늄막에 함유된 산소를 산화물 반도체층 내에 확산시킬 수도 있다.

[0142] 또한, 절연층(180) 위에 절연층(185)이 형성되는 것이 바람직하다. 상기 절연층에는 산화 마그네슘, 산화 실리

콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 중 1종류 이상을 함유한 절연막을 사용할 수 있다. 또한, 상기 절연층은 상술한 재료를 적층한 것이라도 좋다.

[0143] 여기서, 절연층(185)은 절연층(120)과 마찬가지로 화학양론적 조성보다 많은 산소를 함유하는 것이 바람직하다. 절연층(185)으로부터 방출되는 산소는 게이트 절연막(160)을 통하여 산화물 반도체층(130)의 채널 형성 영역에 확산시킬 수 있기 때문에, 채널 형성 영역에 형성된 산소 결손에 산소를 보전(補填)할 수 있다. 따라서, 트랜지스터의 전기 특성을 안정화시킬 수 있다.

[0144] 반도체 장치의 고집적화를 위해서는 트랜지스터의 미세화가 필수이다. 한편, 트랜지스터를 미세화함으로써 트랜지스터의 전기 특성이 악화되는 것이 알려져 있으며, 채널 폭이 축소되면 온 전류가 저하된다.

[0145] 예를 들어, 도 7에 도시된 본 발명의 일 형태에 따른 트랜지스터에서는 상술한 바와 같이 채널이 형성되는 제 2 산화물 반도체층(132)을 덮도록 제 3 산화물 반도체층(133)이 형성되어, 채널이 형성되는 층과 게이트 절연막이 접촉하지 않는 구성이 되어 있다. 그러므로, 채널이 형성되는 층과 게이트 절연막의 계면에서 발생되는 캐리어의 산란을 억제할 수 있어, 트랜지스터의 온 전류를 향상시킬 수 있다.

[0146] 본 발명의 일 형태에 따른 트랜지스터는 상술한 바와 같이, 산화물 반도체층(130)을 채널 폭 방향으로 전기적으로 둘러싸도록 게이트 전극층(170)이 형성되기 때문에, 산화물 반도체층(130)에는 수직 방향으로부터의 게이트 전계에 대하여 축면 방향으로부터의 게이트 전계가 인가된다. 즉, 산화물 반도체층(130) 전체에 게이트 전계가 인가되어, 전류는 채널이 되는 제 2 산화물 반도체층(132) 전체에 흐르게 되므로, 온 전류를 더 높일 수 있다.

[0147] 또한, 본 발명의 일 형태에 따른 트랜지스터는 제 2 산화물 반도체층(132)을 제 1 산화물 반도체층(131) 위에 형성함으로써 계면 준위가 형성되기 어렵게 하는 효과나, 제 2 산화물 반도체층(132)을 3층 구조 중의 중간에 위치하는 층으로 함으로써 상하로부터의 불순물 혼입의 영향을 배제할 수 있는 효과 등도 갖는다. 그러므로, 상술한 트랜지스터의 온 전류 향상과 함께 문턱 전압의 안정화나 S값(subthreshold value) 저감을 실현할 수 있다. 따라서, Icut(게이트 전압 VG가 0V일 때의 전류)를 작게 할 수 있어 소비 전력을 저감할 수 있다. 또한, 트랜지스터의 문턱 전압이 안정화됨으로써 반도체 장치의 장기 신뢰성을 향상시킬 수 있다.

[0148] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.

[0149] (실시형태 2)

[0150] 본 실시형태에서는 실시형태 1에서 설명한 트랜지스터(101), 트랜지스터(102), 및 트랜지스터(103)의 제작 방법을 설명한다.

[0151] 우선, 도 11 및 도 12를 사용하여 트랜지스터(102)의 제작 방법을 설명한다. 또한, 산화물 반도체층(130)의 구성을 다른 트랜지스터(101)의 제작 방법을 함께 설명한다. 도 11 및 도 12에서, 도면의 왼쪽은 트랜지스터의 채널 길이 방향의 단면도이고, 오른쪽은 채널 폭 방향의 단면도이다. 또한, 채널 폭 방향의 도면은 확대도이므로, 각 요소의 외관상 막 두께는 좌우 도면에서 다르다.

[0152] 기판(110)으로서는 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 사용할 수 있다. 또한, 실리콘 또는 탄소화 실리콘으로 이루어진 단결정 반도체 기판이나 다결정 반도체 기판, 실리콘 게르마늄으로 이루어진 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 사용할 수도 있으며, 이러한 기판 위에 반도체 소자가 제공된 것을 기판으로서 사용하여도 좋다.

[0153] 절연층(120)은 플라즈마 CVD법 또는 스퍼터링법 등에 의하여 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등 산화물 절연막, 질화 실리콘, 질화산화 실리콘, 질화 알루미늄, 질화산화 알루미늄 등 질화물 절연막, 또는 이들의 혼합 재료를 사용하여 형성할 수 있다. 또한, 상기 재료의 적층이어도 좋고, 적어도 산화물 반도체층(130)에 접촉하는 상층은 산화물 반도체층(130)에 대한 산소의 공급원이 될 수 있도록, 과잉 산소를 함유한 재료로 형성되는 것이 바람직하다.

[0154] 또한, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 절연층(120)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써 절연층(120)으로부터 산화물 반도체층(130)으로의 산소 공급을 더 용이하게 할 수 있다.

[0155] 또한, 기판(110)의 표면이 절연체이고 나중에 제공하는 산화물 반도체층(130)에 대한 불순물 확산의 영향이 없는 경우에는 절연층(120)을 제공하지 않는 구성으로 할 수 있다.

- [0156] 다음에, 절연층(120) 위에 제 1 산화물 반도체층(131)이 되는 제 1 산화물 반도체막(131a), 제 2 산화물 반도체층(132)이 되는 제 2 산화물 반도체막(132a), 및 제 3 산화물 반도체층(133)이 되는 제 3 산화물 반도체막(133a)을 스퍼터링법, CVD법, MBE법 등을 이용하여 성막한다(도 11의 (A) 참조).
- [0157] 또한, 도 1에 도시된 트랜지스터(101)를 형성하는 경우에는 제 2 산화물 반도체막(132a) 단층을 제공하면 좋다.
- [0158] 산화물 반도체층(130)이 적층 구조인 경우, 산화물 반도체막은 로드록 체임버를 포함한 멀티 체임버 성막 장치(예를 들어 스퍼터링 장치)를 이용하여 각 층을 대기애 노출시키지 않고 연속적으로 적층하는 것이 바람직하다. 스퍼터링 장치에서의 각 체임버는 산화물 반도체에 있어서 불순물인 물 등을 가능한 한 제거하도록 크라이오 펌프와 같은 흡착식 진공 배기 펌프를 이용하여 고진공 배기(5×10^{-7} Pa~ 1×10^{-4} Pa 정도까지)할 수 있고, 또한 성막되는 기관을 100°C 이상, 바람직하게는 500°C 이상으로 가열할 수 있는 것이 바람직하다. 또는, 터보 분자 펌프와 롤드 트랩을 조합하여 배기계로부터 체임버 내에 탄소 성분이나 수분 등을 함유한 가스가 역류되지 않도록 하는 것이 바람직하다.
- [0159] 고순도 진성 산화물 반도체를 얻기 위해서는 체임버 내를 고진공으로 배기할 뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하까지 고순도화된 산소 가스나 아르곤 가스를 사용함으로써, 산화물 반도체막에 수분 등이 혼입되는 것을 가능한 한 방지할 수 있다.
- [0160] 제 1 산화물 반도체막(131a), 제 2 산화물 반도체막(132a), 및 제 3 산화물 반도체막(133a)에는 실시형태 1에서 설명한 재료를 사용할 수 있다. 예를 들어, 제 1 산화물 반도체막(131a)에 In:Ga:Zn=1:3:6, 1:3:4, 1:3:3, 또는 1:3:2[원자수비]의 In-Ga-Zn 산화물, 제 2 산화물 반도체막(132a)에 In:Ga:Zn=1:1:1, 3:1:2, 또는 5:5:6[원자수비]의 In-Ga-Zn 산화물, 제 3 산화물 반도체막(133a)에 In:Ga:Zn=1:3:6, 1:3:4, 1:3:3, 또는 1:3:2[원자수비]의 In-Ga-Zn 산화물을 사용할 수 있다.
- [0161] 또한, 제 1 산화물 반도체막(131a), 제 2 산화물 반도체막(132a), 및 제 3 산화물 반도체막(133a)에 사용할 수 있는 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또는 In 및 Zn의 양쪽을 포함하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기 특성의 편차를 저감하기 위하여, 상술한 것과 함께 스테빌라이저(stabilizer)를 포함하는 것이 바람직하다.
- [0162] 스테빌라이저로서는 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 또는 지르코늄(Zr) 등이 있다. 또한, 이들 외의 스테빌라이저로서는, 란타노이드인, 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 티튬(Tm), 이테르븀(Yb), 루테튬(Lu) 등이 있다.
- [0163] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 갈륨, 산화 주석, 산화 아연, In-Zn 산화물, Sn-Zn 산화물, Al-Zn 산화물, Zn-Mg 산화물, Sn-Mg 산화물, In-Mg 산화물, In-Ga 산화물, In-Ga-Zn 산화물, In-Al-Zn 산화물, In-Sn-Zn 산화물, Sn-Ga-Zn 산화물, Al-Ga-Zn 산화물, Sn-Al-Zn 산화물, In-Hf-Zn 산화물, In-La-Zn 산화물, In-Ce-Zn 산화물, In-Pr-Zn 산화물, In-Nd-Zn 산화물, In-Sm-Zn 산화물, In-Eu-Zn 산화물, In-Gd-Zn 산화물, In-Tb-Zn 산화물, In-Dy-Zn 산화물, In-Ho-Zn 산화물, In-Er-Zn 산화물, In-Tm-Zn 산화물, In-Yb-Zn 산화물, In-Lu-Zn 산화물, In-Sn-Ga-Zn 산화물, In-Hf-Ga-Zn 산화물, In-Al-Ga-Zn 산화물, In-Sn-Al-Zn 산화물, In-Sn-Hf-Zn 산화물, In-Hf-Al-Zn 산화물을 사용할 수 있다.
- [0164] 여기서, 예를 들어 In-Ga-Zn 산화물이란, In, Ga, 및 Zn을 주성분으로서 함유한 산화물을 뜻한다. 또한, In과 Ga과 Zn 이외의 금속 원소가 함유되어도 좋다. 또한, 본 명세서에 있어서, In-Ga-Zn 산화물로 구성된 막을 IGZO막으로도 부른다.
- [0165] 또한, $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$, 및 m 은 정수가 아님)으로 표기되는 재료를 사용하여도 좋다. 또한, M은 Ga, Y, Zr, La, Ce, 또는 Nd 중에서 선택된 하나 또는 복수의 금속 원소이다. 또한, $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ ($n > 0$, 및 n 은 정수)으로 표기되는 재료를 사용하여도 좋다.
- [0166] 다만, 실시형태 1에 상세하게 기재한 바와 같이, 제 1 산화물 반도체막(131a) 및 제 3 산화물 반도체막(133a)은 제 2 산화물 반도체막(132a)보다 전자 친화력이 작게 되도록 재료를 선택한다.
- [0167] 또한, 스퍼터링법을 이용하여 산화물 반도체막을 성막하는 것이 바람직하다. 스퍼터링법으로서는 RF 스퍼터링 법, DC 스퍼터링법, AC 스퍼터링법 등을 이용할 수 있다.

- [0168] 제 1 산화물 반도체막(131a), 제 2 산화물 반도체막(132a), 및 제 3 산화물 반도체막(133a)에 In-Ga-Zn 산화물을 사용하는 경우, In, Ga, 및 Zn의 원자수비가 예를 들어, In:Ga:Zn=1:1:1, In:Ga:Zn=2:2:1, In:Ga:Zn=3:1:2, In:Ga:Zn=5:5:6, In:Ga:Zn=1:3:2, In:Ga:Zn=1:3:3, In:Ga:Zn=1:3:4, In:Ga:Zn=1:3:6, In:Ga:Zn=1:4:3, In:Ga:Zn=1:5:4, In:Ga:Zn=1:6:6, In:Ga:Zn=2:1:3, In:Ga:Zn=1:6:4, In:Ga:Zn=1:9:6, In:Ga:Zn=1:1:4, In:Ga:Zn=1:1:2 중 어느 값인 재료를 사용할 수 있다.
- [0169] 또한, 제 2 산화물 반도체막(132a)은 제 1 산화물 반도체막(131a) 및 제 3 산화물 반도체막(133a)보다 인듐의 함유량을 많게 하면 좋다. 산화물 반도체는 주로 중금속의 s궤도가 캐리어 전도에 기여하는데, In의 함유율을 많게 함으로써 더 많은 s궤도가 중첩되기 때문에 In이 Ga보다 많은 조성을 갖는 산화물은 In이 Ga과 동등하거나 또는 In이 Ga보다 적은 조성을 갖는 산화물에 비하여 이동도가 높게 된다. 그러므로, 제 2 산화물 반도체층(132)에 In의 함유량이 많은 산화물을 사용함으로써, 이동도가 높은 트랜지스터를 실현할 수 있다.
- [0170] 제 3 산화물 반도체막(133a)의 형성 후에, 제 1 열처리를 수행하여도 좋다. 제 1 열처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하의 온도로 불활성 가스 분위기, 산화성 가스를 10ppm 이상 포함하는 분위기, 또는 감압 상태에서 수행하면 좋다. 또한, 제 1 열처리의 분위기는 불활성 가스 분위기에서 열처리한 후에, 이탈된 산소를 보전하기 위해서 산화성 가스를 10ppm 이상 포함하는 분위기에서 수행하여도 좋다. 제 1 열처리에 의하여, 제 1 산화물 반도체막(131a) 내지 제 3 산화물 반도체막(133a)의 결정성을 높이고, 절연층(120), 및 제 1 산화물 반도체막(131a) 내지 제 3 산화물 반도체막(133a)으로부터 수소나 물 등 불순물을 제거 할 수 있다. 또한, 제 1 열처리는 제 1 산화물 반도체층(131) 내지 제 3 산화물 반도체층(133)을 형성하는 에칭(후술) 후에 수행하여도 좋다.
- [0171] 다음에, 제 1 레지스트 마스크를 제 3 산화물 반도체막(133a) 위에 형성한다. 레지스트 마스크는 예를 들어, 전자빔 노광, 액침 노광, EUV 노광 등을 이용한 포토리소그래피법으로 형성하는 것이 바람직하다. 이 때, 네거티브 포토레지스트 재료를 사용하여 제 1 레지스트 마스크를 형성함으로써, 노광 공정에 필요한 시간을 단축 할 수 있다. 상기 레지스트 마스크를 이용하여 제 3 산화물 반도체막(133a), 제 2 산화물 반도체막(132a), 및 제 1 산화물 반도체막(131a)을 선택적으로 에칭하여, 제 3 산화물 반도체층(133), 제 2 산화물 반도체층(132), 및 제 1 산화물 반도체층(131)의 적층으로 이루어진 산화물 반도체층(130)을 형성한다(도 11의 (B) 참조). 또한, 제 3 산화물 반도체막(133a) 위에 금속막이나 절연막 등을 형성하고, 상기 금속막 또는 절연막을 제 2 레지스트 마스크를 이용하여 선택적으로 에칭한 층을 하드마스크로 이용하여 산화물 반도체층(130)을 형성하여도 좋다. 또한, 도 1에 도시된 트랜지스터(101)를 형성하는 경우에는 형성한 산화물 반도체막을 상술한 방법으로 에칭하여 산화물 반도체층(130)을 형성하면 좋다.
- [0172] 이 때, 산화물 반도체층(130)의 모서리부 등이 실시형태 1에서 설명한 형상이 되도록 에칭 조건 등을 적절히 조정한다. 또한, 도시된 바와 같이 절연층(120)의 일부가 에칭되어도 좋다.
- [0173] 다음에, 산화물 반도체층(130) 위에 제 1 도전막을 형성한다. 제 1 도전막으로서는 Al, Cr, Cu, Ta, Ti, Mo, W의 단층, 적층, 또는 합금을 사용할 수 있다. 예를 들어, 스퍼터링법이나 CVD법 등을 이용하여 두께 100nm의 텅스텐막을 형성한다.
- [0174] 다음에, 제 1 도전막 위에 제 2 레지스트 마스크를 형성한다. 그리고, 제 2 레지스트 마스크를 마스크로 이용하여 제 1 도전막을 선택적으로 에칭하여 소스 전극층(140), 드레인 전극층(150)을 형성한다(도 11의 (C) 참조).
- [0175] 다음에, 산화물 반도체층(130), 소스 전극층(140), 및 드레인 전극층(150) 위에 게이트 절연막(160)을 형성한다(도 12의 (A) 참조). 게이트 절연막(160)에는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 게르마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 및 산화 탄탈 등을 사용할 수 있다. 또한, 게이트 절연막(160)은 상기 재료의 적층이어도 좋다. 게이트 절연막(160)은 스퍼터링법, CVD법, MBE법 등을 이용하여 형성할 수 있다.
- [0176] 다음에, 게이트 절연막(160) 위에 게이트 전극층(170)이 되는 제 2 도전막을 형성한다. 제 2 도전막에는 Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ru, Ag, Ta, W의 단층, 적층, 또는 합금을 사용할 수 있다. 제 2 도전막은 스퍼터링법이나 CVD법 등에 의하여 형성할 수 있다. 또한, 제 2 도전막으로서는 질소를 함유한 도전막을 사용하여도 좋고 상기 재료를 함유한 도전막과 질소를 함유한 도전막의 적층을 사용하여도 좋다.
- [0177] 다음에, 제 2 도전막 위에 제 3 레지스트 마스크를 형성하고, 이 레지스트 마스크를 이용하여 제 2 도전막을 선택적으로 에칭하여 게이트 전극층(170)을 형성한다(도 12의 (B) 참조).

- [0178] 다음에, 게이트 절연막(160) 및 게이트 전극층(170) 위에 절연층(180) 및 절연층(185)을 형성한다(도 12의 (C) 참조). 절연층(180) 및 절연층(185)은 절연층(120)과 같은 재료나 방법을 이용하여 형성할 수 있다. 또한, 절연층(180)에는 산화 알루미늄을 사용하는 것이 특히 바람직하다.
- [0179] 또한, 이온 주입법, 이온 도핑법, 플라즈마 잠입 이온 주입법 등으로 절연층(180) 및/또는 절연층(185)에 산소를 첨가하여도 좋다. 산소를 첨가함으로써 절연층(180) 및/또는 절연층(185)으로부터 산화물 반도체층(130)으로의 산소 공급을 더 용이하게 할 수 있다.
- [0180] 다음에, 제 2 열처리를 수행하여도 좋다. 제 2 열처리는 제 1 열처리와 같은 조건으로 수행할 수 있다. 제 2 열처리에 의하여 절연층(120), 절연층(180), 절연층(185)으로부터 과잉 산소가 방출되기 쉬워져 산화물 반도체층(130)의 산소 결손을 저감할 수 있다.
- [0181] 상술한 공정을 거쳐, 도 6에 도시된 트랜지스터(102)를 제작할 수 있다. 또한, 상술한 바와 같이 산화물 반도체층(130)을 단층 구조로 함으로써, 도 1의 트랜지스터(101)를 제작할 수 있다.
- [0182] 다음에, 도 7에 도시된 트랜지스터(103)의 제작 방법에 대하여 설명한다. 또한, 트랜지스터(101) 및 트랜지스터(102)의 제작 방법과 중복되는 공정의 설명은 생략한다.
- [0183] 기판(110) 위에 절연층(120)을 형성하고, 절연층(120) 위에 제 1 산화물 반도체층(131)이 되는 제 1 산화물 반도체막(131a), 및 제 2 산화물 반도체층(132)이 되는 제 2 산화물 반도체막(132a)을 스퍼터링법, CVD법, MBE법 등을 이용하여 성막한다(도 13의 (A) 참조).
- [0184] 다음에, 제 1 레지스트 마스크를 제 2 산화물 반도체막(132a) 위에 형성한다. 상기 레지스트 마스크를 이용하여 제 2 산화물 반도체막(132a) 및 제 1 산화물 반도체막(131a)을 선택적으로 에칭하여, 제 2 산화물 반도체층(132) 및 제 1 산화물 반도체층(131)으로 이루어진 적층을 형성한다(도 13의 (B) 참조).
- [0185] 다음에, 제 2 산화물 반도체층(132) 및 제 1 산화물 반도체층(131)으로 이루어진 적층 위에 제 1 도전막을 형성한다. 상기 공정은 상술한 트랜지스터(101) 및 트랜지스터(102)의 제 1 도전막에 관한 설명을 참조할 수 있다.
- [0186] 다음에, 제 1 도전막 위에 제 2 레지스트 마스크를 형성한다. 그리고, 제 2 레지스트 마스크를 마스크로 이용하여 제 1 도전막을 선택적으로 에칭하여 소스 전극층(140), 드레인 전극층(150)을 형성한다(도 13의 (C) 참조).
- [0187] 다음에, 스퍼터링법, CVD법, MBE법 등을 이용하여, 제 1 산화물 반도체층(131) 및 제 2 산화물 반도체층(132)으로 이루어진 적층 위, 및 소스 전극층(140)과 드레인 전극층(150) 위에, 제 3 산화물 반도체층(133)이 되는 제 3 산화물 반도체막(133a)을 성막한다.
- [0188] 다음에, 제 3 산화물 반도체막(133a) 위에 게이트 절연막(160)을 형성한다. 상기 공정은 상술한 트랜지스터(101) 및 트랜지스터(102)의 게이트 절연막(160)에 관한 설명을 참조할 수 있다.
- [0189] 다음에, 게이트 절연막(160) 위에 게이트 전극층(170)이 되는 제 2 도전막(170a)을 형성한다. 상기 공정은 상술한 트랜지스터(101) 및 트랜지스터(102)의 제 2 도전막에 관한 설명을 참조할 수 있다.
- [0190] 다음, 제 2 도전막(170a) 위에 제 3 레지스트 마스크(190)를 형성한다(도 14의 (A) 참조). 그리고, 이 레지스트 마스크를 이용하여 제 2 도전막(170a)을 선택적으로 에칭하여 게이트 전극층(170)을 형성한다.
- [0191] 이어서, 게이트 전극층(170)을 마스크로 이용하여 게이트 절연막(160)을 선택적으로 에칭한다.
- [0192] 다음에, 게이트 전극층(170) 또는 게이트 절연막(160)을 마스크로 이용하여 제 3 산화물 반도체막(133a)을 에칭하여 제 3 산화물 반도체층(133)을 형성한다(도 14의 (B) 참조).
- [0193] 상기 제 2 도전막(170a), 게이트 절연막(160), 및 제 3 산화물 반도체막(133a)의 에칭은 층마다 독립적으로 수행하여도 좋고, 연속적으로 수행하여도 좋다. 또한, 에칭 방법은 드라이 에칭 및 웨트 에칭 중 어느 쪽을 이용하여도 좋으며, 층마다 각각 적절한 에칭 방법을 선택하여도 좋다.
- [0194] 다음에, 소스 전극층(140), 드레인 전극층(150), 및 게이트 전극층(170) 위에 절연층(180) 및 절연층(185)을 형성한다(도 14의 (C) 참조). 상기 공정은 상술한 트랜지스터(101) 및 트랜지스터(102)의 절연층(180) 및 절연층(185)에 관한 설명을 참조할 수 있다.
- [0195] 상술한 공정을 거쳐, 도 7에 도시된 트랜지스터(103)를 제작할 수 있다.

- [0196] 또한, 본 실시형태에서 설명한 금속막, 반도체막, 무기 절연막 등 각종 막은 대표적으로는 스퍼터링법이나 플라즈마 CVD법으로 형성할 수 있지만, 다른 방법, 예를 들어 열 CVD(Chemical Vapor Deposition)법으로 형성하여도 좋다. 열 CVD법의 예로서는 MOCVD(Metal Organic Chemical Vapor Deposition)법이나 ALD(Atomic Layer Deposition)법 등을 들 수 있다.
- [0197] 열 CVD법은 플라즈마를 사용하지 않는 성막 방법이기 때문에, 플라즈마 대미지로 인한 결함이 생성되지 않는다는 장점을 갖는다.
- [0198] 또한, 열 CVD법에 의한 성막은 원료 가스와 산화제를 동시에 체임버 내에 도입하고 체임버 내를 대기압 또는 감압 하로 하고 기판 근방 또는 기판 위에서 반응시킴으로써 수행하여도 좋다.
- [0199] ALD법은 체임버 내를 대기압 또는 감압 하로 하고, 반응을 위한 원료 가스가 순차적으로 체임버에 도입되고, 그 가스 도입 절차를 반복함으로써 성막을 수행하여도 좋다. 예를 들어, 각각 스위칭 밸브(고속 밸브로도 부름)를 전환하여 2종류 이상의 원료 가스를 순차적으로 체임버에 공급한다. 즉, 복수 종류의 원료 가스가 혼합되지 않도록 제 1 원료 가스와 동시에 또는 제 1 원료 가스를 도입한 후에 불활성 가스(아르곤 또는 질소 등) 등을 도입하고 나서 제 2 원료 가스를 도입한다. 또한, 불활성 가스를 동시에 도입하는 경우 불활성 가스는 캐리어 가스가 되고, 또한 제 2 원료 가스를 도입할 때에도 불활성 가스를 동시에 도입하여도 좋다. 또한, 불활성 가스의 도입 대신에 진공 배기에 의하여 제 1 원료 가스를 배출한 후, 제 2 원료 가스를 도입하여도 좋다. 제 1 원료 가스가 기판 표면에 흡착됨으로써 제 1 층이 성막되고, 나중에 도입되는 제 2 원료 가스와 제 1 층이 반응함으로써 제 1 층 위에 제 2 층이 적층되어, 박막이 형성된다. 이 가스 도입 절차를 제어하면서 원하는 두께가 될 때까지 여러 번 반복함으로써 우수한 단차 피복성을 갖는 박막을 형성할 수 있다. 박막의 두께는 가스 도입 절차의 반복 횟수에 따라 조절이 가능하기 때문에 막 두께를 정밀하게 조절할 수 있어 ALD법은 미세한 FET를 제작하는 경우에 적합하다.
- [0200] MOCVD법이나 ALD법 등의 열 CVD법은 상술한 실시형태에 제시된 금속막, 반도체막, 무기 절연막 등 다양한 막을 형성할 수 있고, 예를 들어, In-Ga-Zn-O막을 성막하는 경우에는, 트라이메틸인듐, 트라이메틸갈륨, 및 다이에틸아연을 사용할 수 있다. 또한, 트라이메틸인듐의 화학식은 $In(CH_3)_3$ 이다. 또한, 트라이메틸갈륨의 화학식은 $Ga(CH_3)_3$ 이다. 또한, 다이에틸아연의 화학식은 $Zn(C_2H_5)_2$ 이다. 또한, 이러한 조합에 한정되지 않고, 트라이메틸갈륨 대신에 트라이에틸갈륨(화학식 $Ga(C_2H_5)_3$)을 사용할 수도 있고, 다이에틸아연 대신에 다이메틸아연(화학식 $Zn(CH_3)_2$)을 사용할 수도 있다.
- [0201] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 하프늄막을 형성하는 경우에는, 용매와 하프늄 전구체 화합물을 함유하는 액체(하프늄알콕시드 용액, 대표적으로는, 테트라키스다이메틸아마이드하프늄(TDMAH))을 기화시킨 원료 가스와, 산화제로서 오존(O_3)의 2종류의 가스를 사용한다. 또한, 테트라키스다이메틸아마이드하프늄의 화학식은 $Hf[N(CH_3)_2]_4$ 이다. 또한, 다른 재료액으로서 테트라키스(에틸메틸아마이드)하프늄 등이 있다.
- [0202] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 알루미늄막을 형성하는 경우에는, 용매와 알루미늄 전구체 화합물을 함유하는 액체(트라이메틸알루미늄(TMA) 등)를 기화시킨 원료 가스와, 산화제로서 H_2O 의 2종류의 가스를 사용한다. 또한, 트라이메틸알루미늄의 화학식은 $Al(CH_3)_3$ 이다. 또한, 다른 재료액으로서는 트리스(다이메틸아마이드)알루미늄, 트라이아이소부틸알루미늄, 알루미늄트리스(2,2,6,6-테트라메틸-3,5-헵탄다이오네이트) 등이 있다.
- [0203] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화 실리콘막을 형성하는 경우에는, 헥사클로로다이실레인을 피성막면에 흡착시키고, 흡착물에 함유되는 염소를 제거하고, 산화성 가스(O_2 , 일산화이질소)의 라디칼을 공급하여 흡착물과 반응시킨다.
- [0204] 예를 들어, ALD를 이용하는 성막 장치에 의하여 텅스텐막을 형성하는 경우에는 WF_6 가스와 B_2H_6 가스를 순차적으로 반복하여 도입함으로써 초기 텅스텐막을 형성한 후에, WF_6 가스와 H_2 가스를 동시에 도입하여 텅스텐막을 형성한다. 또한, B_2H_6 가스 대신에 SiH_4 가스를 사용하여도 좋다.
- [0205] 예를 들어, ALD를 이용하는 성막 장치에 의하여 산화물 반도체막, 예를 들어, In-Ga-Zn-O막을 형성하는 경우에는 $In(CH_3)_3$ 가스와 O_3 가스를 순차적으로 반복하여 도입함으로써 $In-O$ 층을 형성한 후, $Ga(CH_3)_3$ 가스와 O_3 가스를 동

시에 도입함으로써 Ga-O층을 형성하고, 그 다음에 $Zn(CH_3)_2$ 와 O_3 가스를 동시에 도입함으로써 Zn-O층을 형성한다. 또한, 이들 층의 순서는 여기에 든 예에 한정되지 않는다. 또한, 이들 가스를 섞어서 In-Ga-O층이나 In-Zn-O층, Ga-Zn-O층 등의 혼합 화합물층을 형성하여도 좋다. 또한, O_3 가스 대신에 Ar 등의 불활성 가스로 베블링하여 얻어진 H_2O 가스를 사용하여도 좋지만 H를 포함하지 않는 O_3 가스를 사용하는 것이 더 바람직하다. 또한, $In(CH_3)_3$ 가스 대신에 $In(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한, $Ga(CH_3)_3$ 가스 대신에 $Ga(C_2H_5)_3$ 가스를 사용하여도 좋다. 또한, $Zn(CH_3)_2$ 가스를 사용하여도 좋다.

[0206] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.

[0207] (실시형태 3)

[0208] <산화물 반도체의 구조에 대하여>

[0209] 이하에서 산화물 반도체의 구조에 대하여 설명한다.

[0210] 본 명세서에 있어서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다. 또한, '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

[0211] 또한, 본 명세서에 있어서, 삼방정 및 능면체정(rhombohedral crystal system)은 육방정계에 포함된다.

[0212] 산화물 반도체는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 등이 있다.

[0213] 또한, 다른 관점에서는 산화물 반도체는 비정질 산화물 반도체와 그 이외의 결정성 산화물 반도체로 나누어진다. 결정성 산화물 반도체로서는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체 등이 있다.

[0214] <CAAC-OS>

[0215] 우선, CAAC-OS에 대하여 설명한다. CAAC-OS는 CANC(C-Axis Aligned nanocrystals)를 포함하는 산화물 반도체로 부를 수도 있다.

[0216] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 포함하는 산화물 반도체의 하나이다.

[0217] 투과 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿이 확인된다. 그러나, 고분해능 TEM 이미지를 관찰하여도 펠릿들의 경계, 즉 결정 입계(그레인 바운더리(grain boundary)라고도 함)는 명확히 확인되지 않는다. 그러므로, CAAC-OS는 결정 입계에 기인한 전자 이동도 저하가 일어나기 어렵다고 할 수 있다.

[0218] 이하에서는 TEM에 의하여 관찰한 CAAC-OS에 대하여 설명한다. 도 15의 (A)는 시료 면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지이다. 고분해능 TEM 이미지의 관찰에는 구면 수차 보정(spherical aberration corrector) 기능을 이용하였다. 특히 구면 수차 보정 기능을 이용한 고분해능 TEM 이미지를 Cs 보정 고분해능 TEM 이미지로 부른다. Cs 보정 고분해능 TEM 이미지는 예를 들어, 원자 분해능 분석 전자 현미경(JEM-ARM200F, JEOL Ltd. 제조) 등에 의하여 얻을 수 있다.

[0219] 도 15의 (B)는 도 15의 (A) 중 영역 (1)을 확대한 Cs 보정 고분해능 TEM 이미지이다. 도 15의 (B)를 보면, 펠릿에서 금속 원자가 층상으로 배열되어 있는 것이 확인된다. 금속 원자의 각종은 CAAC-OS의 막이 형성되는 면(괴형성면이라고도 함) 또는 CAAC-OS의 상면의 요철을 반영한 배열을 가지고, CAAC-OS의 괴형성면 또는 상면에 평행하게 된다.

[0220] 도 15의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 15의 (C)에서는 특징적인 원자 배열을 보조선으로 나타내었다. 도 15의 (B) 및 (C)로부터, 하나의 펠릿의 크기는 1nm 이상 3nm 이하 정도이며, 펠릿들 사이의 기울기에 의하여 생긴 틈의 크기는 0.8nm 정도임을 알 수 있다. 따라서, 펠릿을 나노결정(nc: nanocrystal)으로 부를 수도 있다.

- [0221] 여기서, Cs 보정 고분해능 TEM 이미지에 따라 기판(5120) 위의 CAAC-OS의 펠릿(5100)의 배치를 모식적으로 도시하면, 벽돌 또는 블록이 쌓인 것과 같은 구조가 된다(도 15의 (D) 참조). 도 15의 (C)에서 관찰된 펠릿들 사이에 기울기가 생긴 부분은 도 15의 (D) 중 영역(5161)에 상당한다.
- [0222] 또한, 도 16의 (A)는 시료 면에 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지이다. 도 16의 (B), 도 16의 (C), 및 도 16의 (D)는 각각 도 16의 (A) 중 영역 (1), 영역 (2), 및 영역 (3)을 확대한 Cs 보정 고분해능 TEM 이미지이다. 도 16의 (B)~(D)로부터, 펠릿은 금속 원자가 삼각형, 사각형, 또는 육각형으로 배열되어 있는 것이 확인된다. 그러나, 상이한 펠릿들 사이에서 금속 원자의 배열에 규칙성이 보이지 않는다.
- [0223] 다음에, X선 회절(XRD: X-Ray Diffraction)에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO_4 의 결정을 포함하는 CAAC-OS의 구조 해석을 수행하면, 도 17의 (A)에 나타낸 바와 같이 회절각(2θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO_4 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS의 결정이 c축 배향성을 갖고 c축이 CAAC-OS의 괴형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 확인할 수 있다.
- [0224] 또한, out-of-plane법에 의하여 CAAC-OS의 구조 해석을 수행하면, 2θ 가 31° 근방일 때 나타나는 피크에 더하여 2θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS 내의 일부에, c축 배향성을 갖지 않는 결정이 포함되는 것을 뜻한다. 더 바람직한 CAAC-OS는 out-of-plane법에 의한 구조 해석을 수행하면, 2θ 가 31° 근방일 때 피크가 나타나고 2θ 가 36° 근방일 때 피크가 나타나지 않는다.
- [0225] 한편, c축에 실질적으로 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의하여 CAAC-OS의 구조 해석을 수행하면, 2θ 가 56° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO_4 의 결정의 (110)면에 귀속된다. CAAC-OS의 경우에는, 2θ 를 56° 근방에 고정하고 시료 면의 법선 벡터를 축(ϕ 축)으로 시료를 회전시키면서 분석(ϕ 스캔)을 수행하여도 도 17의 (B)와 같이 명확한 피크가 나타나지 않는다. 한편, InGaZnO_4 의 단결정 산화물 반도체의 경우에는, 2θ 를 56° 근방에 고정하고 ϕ 스캔을 수행하면, 도 17의 (C)와 같이 (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 따라서, XRD를 이용한 구조 해석으로부터, CAAC-OS는 a축 및 b축의 배향이 불규칙한 것이 확인된다.
- [0226] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, InGaZnO_4 의 결정을 포함하는 CAAC-OS에 대하여, 프로브 직경이 300nm인 전자 빔을 시료 면에 평행하게 입사시키면, 도 30의 (A)와 같은 회절 패턴(제한 시야 투과 전자 회절 패턴이라고 함)이 나타나는 경우가 있다. 이 회절 패턴에는 InGaZnO_4 의 결정의 (009)면에 기인한 스폷이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고 c축이 CAAC-OS의 괴형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 알 수 있다. 한편, 도 30의 (B)는 같은 시료에 대하여 프로브 직경이 300nm인 전자 빔을 시료 면에 수직으로 입사시킨 경우의 회절 패턴이다. 도 30의 (B)를 보면 알 수 있듯이 고리 형상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축이 배향성을 갖지 않는 것을 알 수 있다. 또한, 도 30의 (B) 중 제 1 고리는 InGaZnO_4 의 결정의 (010)면 및 (100)면 등에 기인하는 것으로 생각된다. 또한, 도 30의 (B) 중 제 2 고리는 (110)면 등에 기인하는 것으로 생각된다.
- [0227] 또한, CAAC-OS는 결함 준위 밀도가 낮은 산화물 반도체이다. 산화물 반도체의 결함으로서는 예를 들어, 불순물에 기인한 결함이나 산소 결손 등이 있다. 따라서, CAAC-OS는 불순물 농도가 낮은 산화물 반도체라고도 할 수 있다. 또한, CAAC-OS는 산소 결손이 적은 산화물 반도체라고 할 수도 있다.
- [0228] 산화물 반도체에 포함되는 불순물은 캐리어 트랩이 되거나 캐리어 발생원이 되는 경우가 있다. 또한, 산화물 반도체 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포함함으로써 캐리어 발생원이 되는 경우가 있다.
- [0229] 불순물은 산화물 반도체의 주성분 이외의 원소이며, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(예를 들어 실리콘 등)는 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등 중금속, 아르곤, 이산화탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다.

- [0230] 또한, 결합 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체는 캐리어 밀도를 낮게 할 수 있다. 이와 같은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체로 부른다. CAAC-OS는 불순물 농도가 낮고 결합 준위 밀도가 낮다. 즉, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 트랩이 적다. 산화물 반도체의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어, 마치 고정 전하처럼 행동하는 경우가 있다. 따라서, 불순물 농도가 높고 결합 준위 밀도가 높은 산화물 반도체를 사용한 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다. 한편, CAAC-OS를 사용한 트랜지스터는 전기 특성의 변동이 작으며 신뢰성이 높은 트랜지스터가 된다.
- [0231] 또한, CAAC-OS는 결합 준위 밀도가 낮기 때문에, 광 조사 등에 의하여 생성된 캐리어가 결합 준위에 포획되는 일이 적다. 따라서, CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성 변동이 작다.
- [0232] <미결정 산화물 반도체>
- [0233] 다음에, 미결정 산화물 반도체에 대하여 설명한다.
- [0234] 미결정 산화물 반도체는 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 결정부가 명확히 확인되지 않는 영역을 갖는다. 미결정 산화물 반도체에 포함되는 결정부의 크기는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하인 경우가 많다. 특히 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정을 포함한 산화물 반도체를 nc-OS(nanocrystalline Oxide Semiconductor)로 부른다. nc-OS는 예를 들어, 고분해능 TEM 이미지에서 결정 입체가 명확히 확인되지 않는 경우가 있다. 또한, 나노 결정은 CAAC-OS에 포함되는 펠릿과 기원이 같을 가능성이 있다. 그러므로, 이하에서는 nc-OS의 결정부를 펠릿으로 부르는 경우가 있다.
- [0235] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서, 막 전체에서 배향성이 확인되지 않는다. 그러므로, 분석 방법에 따라서는 nc-OS와 비정질 산화물 반도체를 구별하지 못하는 경우가 있다. 예를 들어, 펠릿보다 큰 직경을 갖는 X선을 이용하는 XRD 장치를 이용하여 out-of-plane법에 의하여 nc-OS의 구조 해석을 수행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 펠릿보다 프로브 직경이 큰(예를 들어, 50nm 이상) 전자빔을 이용하여 관찰한 nc-OS의 전자 회절 패턴(제한 시야 전자 회절 패턴이라고도 함)에는 헤일로(halo) 패턴과 같은 회절 패턴이 관측된다. 한편, 프로브 직경이 펠릿의 크기와 가깝거나 펠릿보다 작은 전자빔을 이용하여 관찰한 nc-OS의 나노빔 전자 회절 패턴에는 스포트이 관측된다. 또한, nc-OS의 나노빔 전자 회절 패턴에는, 휘도가 높은 환상(고리 형상)의 영역이 관측되는 경우가 있다. 또한, 고리 형상의 영역에 복수의 스포트이 관측되는 경우도 있다.
- [0236] 이와 같이 펠릿(나노 결정) 사이에서는 결정 방위에 규칙성이 보이지 않는 것으로부터, nc-OS를 RANC(Random Aligned nanocrystals)를 포함하는 산화물 반도체 또는 NANC(Non-Aligned nanocrystals)를 포함하는 산화물 반도체로 부를 수도 있다.
- [0237] nc-OS는 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체이다. 따라서, nc-OS는 비정질 산화물 반도체보다 결합 준위 밀도가 낮다. 다만, nc-OS는 상이한 펠릿들 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS는 CAAC-OS에 비하여 결합 준위 밀도가 높다.
- [0238] <비정질 산화물 반도체>
- [0239] 다음에, 비정질 산화물 반도체에 대하여 설명한다.
- [0240] 비정질 산화물 반도체는 막 내의 원자 배열이 불규칙하고 결정부를 포함하지 않는 산화물 반도체이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체가 그 일례이다.
- [0241] 비정질 산화물 반도체는 고분해능 TEM 이미지에서 결정부가 확인되지 않는다.
- [0242] XRD 장치를 이용하여 out-of-plane법에 의하여 비정질 산화물 반도체의 구조 해석을 수행하면, 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체의 전자 회절 패턴에는 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체의 나노빔 전자 회절 패턴에는 스포트이 관측되지 않고 헤일로 패턴만 관측된다.
- [0243] 비정질 구조에 대해서는 다양한 견해가 있다. 예를 들어 원자 배열에 질서성이 전혀 없는 구조를 완전한 비정

질 구조(completely amorphous structure)로 부르는 경우가 있다. 또한, 최근접 원자간 거리 또는 제 2 근접 원자간 거리까지 질서성을 가지며 장거리 질서성을 갖지 않는 구조를 비정질 구조로 부르는 경우도 있다. 따라서, 가장 엄격한 정의에 따르면, 원자 배열에 약간이라도 질서성을 갖는 산화물 반도체는 비정질 산화물 반도체로 부를 수 없다. 또한, 적어도 장거리 질서성을 갖는 산화물 반도체는 비정질 산화물 반도체로 부를 수는 없다. 그러므로, 예를 들어 CAAC-OS 및 nc-OS는 결정부를 포함하기 때문에, 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체로 부를 수 없다.

[0244] <a-like OS>

[0245] 또한, 산화물 반도체는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는 경우가 있다. 이와 같은 구조를 갖는 산화물 반도체를 특히 a-like OS(amorphous-like Oxide Semiconductor)로 부른다.

[0246] a-like OS의 고분해능 TEM 이미지에서는 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지를 관찰하면, 결정부가 명확히 확인되는 영역과, 결정부가 확인되지 않는 영역이 있다.

[0247] a-like OS는 공동을 가지므로 불안정한 구조이다. 이하에서는 a-like OS가 CAAC-OS 및 nc-OS에 비하여 불안정한 구조임을 나타내기 위하여, 전자 조사에 의한 구조의 변화에 대하여 설명한다.

[0248] 전자 조사를 수행하는 시료로서 a-like OS(시료 A로 표기함), nc-OS(시료 B로 표기함), 및 CAAC-OS(시료 C로 표기함)를 준비한다. 이들의 시료로서는 모두 In-Ga-Zn 산화물을 사용한다.

[0249] 우선, 각 시료의 고분해능 단면 TEM 이미지를 취득한다. 고분해능 단면 TEM 이미지를 보면, 이들 모든 시료가 결정부를 갖는 것을 알 수 있다.

[0250] 또한, 어느 부분을 하나의 결정부로 간주하는지의 판정은 아래와 같이 수행하면 좋다. 예를 들어, InGaZnO_4 의 결정의 단위 격자는 $\text{In}-0\text{층 } 3\text{층}$ 과 $\text{Ga-Zn}-0\text{층 } 6\text{층}$ 의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는 것이 알려져 있다. 이들 근접하는 층 사이의 간격은 (009)면의 격자면 간격(d 값이라고도 함)과 같은 정도이며, 그 값은 결정 구조 해석으로부터 0.29nm 로 산출된다. 그러므로, 격자 줄무늬(lattice fringe)의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO_4 의 결정부로 간주할 수 있다. 격자 줄무늬는 InGaZnO_4 의 결정의 a-b면에 대응한다.

[0251] 도 31은 각 시료의 결정부(22균데~45균데)의 평균 크기를 조사하여 나타낸 것이다. 다만, 상술한 격자 줄무늬의 길이를 결정부의 크기로 간주한다. 도 31로부터, a-like OS는 누적 전자 조사량에 따라 결정부가 커지는 것을 알 수 있다. 구체적으로는, 도 31 중 (1)로 표시된 바와 같이, TEM에 의한 관찰 초기에 크기가 1.2nm 정도 이었던 결정부(초기핵이라고도 함)는, 누적 전자 조사량이 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 가 되면 2.6nm 정도의 크기로 성장하는 것을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사 시작 시점으로부터 누적 전자 조사량이 $4.2 \times 10^8 \text{e}^-/\text{nm}^2$ 가 될 때까지의 범위에서 결정부의 크기가 변화되지 않는 것을 알 수 있다. 구체적으로는, 도 31 중 (2) 및 (3)으로 표시된 바와 같이 누적 전자 조사량에 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.4nm 정도 및 2.1nm 정도임을 알 수 있다.

[0252] 이와 같이 a-like OS에서는 전자 조사에 의한 결정부의 성장이 관찰되는 경우가 있다. 한편, nc-OS 및 CAAC-OS에서는 전자 조사에 의한 결정부의 성장이 거의 관찰되지 않는 것을 알 수 있다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 불안정한 구조임을 알 수 있다.

[0253] 또한, a-like OS는 공동을 가지므로 nc-OS 및 CAAC-OS에 비하여 밀도가 낮은 구조를 갖는다. 구체적으로는, a-like OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 밀도가 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.

[0254] 예를 들어, $\text{In}: \text{Ga}: \text{Zn} = 1:1:1$ [원자수비]을 만족시키는 산화물 반도체에 있어서 능면체정 구조를 갖는 단결정 InGaZnO_4 의 밀도는 6.357g/cm^3 이다. 따라서 예를 들어, $\text{In}: \text{Ga}: \text{Zn} = 1:1:1$ [원자수비]을 만족시키는 산화물 반도체에 있어서 nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm^3 이상 6.3g/cm^3 미만이다.

- [0255] 또한, 같은 조성을 갖는 단결정 산화물 반도체가 존재하지 않는 경우가 있다. 이 경우에는 조성이 다른 단결정 산화물 반도체를 임의의 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도를 어렵잖을 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도는 조성이 다른 단결정 산화물 반도체를 조합하는 비율에 대하여 각종 평균을 이용하여 어렵잖으면 좋다. 다만, 밀도를 어렵잖을 때는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하는 것이 바람직하다.
- [0256] 이와 같이 산화물 반도체는 다양한 구조를 가지며 각각이 다양한 특성을 갖는다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, CAAC-OS 중 2종류 이상을 갖는 적층막이어도 좋다.
- [0257] <성막 모델>
- [0258] 이하에서 CAAC-OS 및 nc-OS의 성막 모델의 일례에 대하여 설명한다.
- [0259] 도 32의 (A)는 스퍼터링법에 의하여 CAAC-OS가 성막되는 모양을 도시한 성막실 내의 모식도이다.
- [0260] 백킹 플레이트에 타깃(5130)이 접착된다. 백킹 플레이트를 개재하여 타깃(5130)과 대향하는 위치에는 복수의 자석(magnet)이 배치된다. 상기 복수의 자석에 의하여 자기장이 발생된다. 자석의 자기장을 이용하여 성막 속도를 높이는 스퍼터링법은 마그네트론 스퍼터링법으로 불린다.
- [0261] 기판(5120)은 타깃(5130)과 대향하도록 배치되며 그 거리 d(타깃-기판간 거리(T-S간 거리)라고도 함)는 0.01m 이상 1m 이하, 바람직하게는 0.02m 이상 0.5m 이하로 한다. 성막실 내의 대부분은 성막 가스(예를 들어, 산소, 아르곤, 또는 산소를 5vol% 이상의 비율로 함유한 혼합 가스)로 충전되고, 압력은 0.01Pa 이상 100Pa 이하, 바람직하게는 0.1Pa 이상 10Pa 이하로 제어된다. 여기서, 타깃(5130)에 일정 이상의 전압을 인가하면 방전이 시작되어 플라즈마가 확인된다. 또한, 타깃(5130)의 근방에는 자기장에 의하여 고밀도 플라즈마 영역이 형성된다. 고밀도 플라즈마 영역에서는 성막 가스가 이온화됨으로써, 이온(5101)이 발생된다. 이온(5101)은 예를 들어, 산소의 양이온(O^+)이나 아르곤의 양이온(Ar^+) 등이다.
- [0262] 여기서, 타깃(5130)은 복수의 결정립을 포함하는 다결정 구조를 가지고, 어느 결정립에 벽개면(劈開面)이 포함된다. 도 33의 (A)에 일례로서 타깃(5130)에 포함되는 InGaZnO₄의 결정 구조를 도시하였다. 또한, 도 33의 (A)는 b축에 평행한 방향으로부터 InGaZnO₄의 결정을 관찰한 경우의 구조이다. 도 33의 (A)로부터, 근접하는 2개의 Ga-Zn-0층에 있어서, 각 층에서 산소 원자들이 근거리에 배치되어 있는 것을 알 수 있다. 그리고, 산소 원자가 음 전하를 가짐으로써, 근접하는 2개의 Ga-Zn-0층 사이에는 척력(斥力)이 발생된다. 이로써, InGaZnO₄의 결정은 근접하는 2개의 Ga-Zn-0층 사이의 결합이 약해져 벽개면을 갖는다.
- [0263] 고밀도 플라즈마 영역에서 발생된 이온(5101)은 전계에 의하여 타깃(5130) 측에 가속되어, 타깃(5130)과 충돌된다. 이 때, 벽개면으로부터 평판 형상 또는 펠릿 형상의 스퍼터링 입자인 펠릿(5100a) 및 펠릿(5100b)이 박리되어 튀어나간다. 또한, 펠릿(5100a) 및 펠릿(5100b)은 이온(5101) 충돌의 충격에 의하여 구조에 스트레인이 발생되는 경우가 있다.
- [0264] 펠릿(5100a)은 삼각형, 예를 들어 정삼각형의 평면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자이다. 또한, 펠릿(5100b)은 육각형, 예를 들어 정육각형의 평면을 갖는 평판 형상 또는 펠릿 형상의 스퍼터링 입자이다. 또한, 펠릿(5100a) 및 펠릿(5100b) 등의 평판 형상 또는 펠릿 형상의 스퍼터링 입자를 총칭하여 펠릿(5100)으로 부른다. 펠릿(5100)의 평면의 형상은 삼각형, 육각형에 한정되지 않는다. 예를 들어, 복수의 삼각형이 결합된 형상인 경우가 있다. 그 일례로서, 삼각형(예를 들어, 정삼각형) 2개가 결합된 사각형(예를 들어, 능형)인 경우도 있다.
- [0265] 펠릿(5100)은 성막 가스의 종류 등에 따라 두께가 결정된다. 이유는 후술하지만, 펠릿(5100)의 두께는 균일하게 하는 것이 바람직하다. 또한, 스퍼터링 입자는 두께가 두꺼운 주사위 형상보다 두께가 얇은 펠릿 형상인 것이 바람직하다. 예를 들어, 펠릿(5100)의 두께를 0.4nm 이상 1nm 이하, 바람직하게는 0.6nm 이상 0.8nm 이하로 한다. 또한, 예를 들어 펠릿(5100)의 폭을 1nm 이상 3nm 이하, 바람직하게는 1.2nm 이상 2.5nm 이하로 한다. 펠릿(5100)은 상술한 도 31 중 (1)로 표시된 초기핵에 상당한다. 예를 들어, In-Ga-Zn 산화물을 갖는 타깃(5130)에 이온(5101)을 충돌시키면, 도 33의 (B)에 도시된 바와 같이 Ga-Zn-0층, In-0층, 및 Ga-Zn-0층의 3층을 갖는 펠릿(5100)이 박리된다. 도 33의 (C)는 박리한 펠릿(5100)을 c축에 평행한 방향으로부터 관찰한 구조를 도시한 것이다. 펠릿(5100)의 구조는 2개의 Ga-Zn-0층(빵)과 In-0층(속 재료)을 갖는 나노 사이즈의 샌드위

치 구조로 부를 수도 있다.

[0266] 펠릿(5100)은 플라즈마를 통과할 때, 측면이 음 또는 양으로 대전되는 경우가 있다. 펠릿(5100)은 예를 들어, 측면에 위치하는 산소 원자가 음으로 대전될 가능성이 있다. 측면이 같은 극성의 전하를 가짐으로써, 전하들이 서로 반발하여 평판 형상 또는 펠릿 형상을 유지할 수 있게 된다. 또한, CAAC-OS가 In-Ga-Zn 산화물인 경우, 인듐 원자와 결합된 산소 원자가 음으로 대전될 가능성이 있다. 또는, 인듐 원자, 갈륨 원자, 또는 아연 원자와 결합된 산소 원자가 음으로 대전될 가능성이 있다. 또한, 펠릿(5100)은 플라즈마를 통과할 때 플라즈마 중의 인듐 원자, 갈륨 원자, 아연 원자, 및 산소 원자 등과 결합됨으로써 성장하는 경우가 있다. 상술한 도 31 중 (2)와 (1)의 크기 차이가 플라즈마 내에서의 성장량에 상당한다. 여기서, 기판(5120)이 실온 정도인 경우, 기판(5120) 위에서 펠릿(5100)의 성장이 일어나기 어렵기 때문에 nc-OS가 된다(도 32의 (B) 참조). 실온 정도의 온도에서 성막할 수 있기 때문에, 기판(5120)이 대면적이어도 nc-OS의 성막이 가능하다. 또한, 펠릿(5100)을 플라즈마 내에서 성장시키기 위해서는 스퍼터링법에 이용되는 성막 전력을 높이는 것이 효과적이다. 성막 전력을 높임으로써, 펠릿(5100)의 구조를 안정시킬 수 있다.

[0267] 도 32의 (A) 및 (B)에 도시된 바와 같이, 예를 들어 펠릿(5100)은 플라즈마 내를 연처럼 비상하여 기판(5120)까지 팔랑팔랑 날아올라간다. 펠릿(5100)은 전하로 대전되어 있기 때문에, 다른 펠릿(5100)이 이미 퇴적된 영역에 가까워지면, 척력이 발생된다. 여기서, 기판(5120)의 상면에서는 기판(5120)의 상면에 평행한 방향의 자기장(수평 자기장이라고도 함)이 발생된다. 또한, 기판(5120)과 타깃(5130) 사이에는 전위차가 주어지기 때문에, 기판(5120)으로부터 타깃(5130)을 향하는 방향으로 전류가 흐른다. 따라서, 펠릿(5100)은 기판(5120)의 상면에서 자기장 및 전류의 작용에 의하여 힘(로런츠 힘)을 받는다. 이것은 플레밍의 원손 법칙에 따라 설명할 수 있다.

[0268] 펠릿(5100)은 하나의 원자에 비하여 질량이 크다. 그러므로, 기판(5120)의 상면을 이동하기 위해서는 어떤 힘을 외부로부터 가하는 것이 중요하다. 그 힘의 하나가 자기장 및 전류의 작용으로 발생되는 힘일 가능성이 있다. 또한, 펠릿(5100)이 기판(5120)의 상면을 이동할 수 있도록 펠릿(5100)에 충분한 힘을 가하기 위해서는 기판(5120)의 상면에 평행한 방향의 자기장이 10G 이상, 바람직하게는 20G 이상, 더 바람직하게는 30G 이상, 보다 바람직하게는 50G 이상인 영역을 기판(5120)의 상면에 제공하면 좋다. 또는, 기판(5120)의 상면에 평행한 방향의 자기장이 기판(5120)의 상면에 수직인 방향의 자기장의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상, 보다 바람직하게는 5배 이상인 영역을 기판(5120)의 상면에 제공하면 좋다.

[0269] 이 때, 자석과 기판(5120)이 상대적으로 이동 또는 회전함으로써, 기판(5120)의 상면에서의 수평 자기장의 방향은 계속 변화된다. 따라서, 기판(5120)의 상면에서 펠릿(5100)은 다양한 방향으로부터 힘을 받아 다양한 방향으로 이동할 수 있다.

[0270] 또한, 도 32의 (A)에 도시된 바와 같이 기판(5120)이 가열되어 있는 경우, 펠릿(5100)과 기판(5120) 사이에서 마찰 등에 의한 저항이 작은 상태가 된다. 이로써, 펠릿(5100)은 기판(5120)의 상면을 미끄러지듯이 이동한다. 펠릿(5100)의 이동은 평면을 기판(5120)으로 향한 상태에서 일어난다. 이 후, 이미 퇴적된 다른 펠릿(5100)의 측면까지 도달되면, 측면들이 서로 결합된다. 이 때, 펠릿(5100)의 측면에 있는 산소 원자가 이탈된다. 이탈된 산소 원자가 CAAC-OS 내의 산소 결손을 보전하는 경우가 있으므로, 결합 준위 밀도가 낮은 CAAC-OS가 된다. 또한, 기판(5120)의 상면 온도는 예를 들어, 100°C 이상 500°C 미만, 150°C 이상 450°C 미만, 또는 170°C 이상 400°C 미만으로 하면 좋다. 따라서, CAAC-OS는 기판(5120)이 대면적인 경우에도 성막할 수 있다.

[0271] 또한, 펠릿(5100)은 기판(5120) 위에서 가열됨으로써 원자가 재배열되어 이온(5101) 충돌에 의하여 발생된 구조의 스트레인이 완화된다. 스트레인이 완화된 펠릿(5100)은 실질적으로 단결정이 된다. 펠릿(5100)이 실질적으로 단결정이 됨으로써, 펠릿(5100)들이 서로 결합된 후에 가열되더라도 펠릿(5100) 자체의 신축은 거의 일어날 수가 없다. 따라서, 펠릿(5100)들 사이의 틈이 넓어짐으로써 결정 입계 등의 결합을 형성하는 일이 없어, 크레바스가 생기지 않는다.

[0272] 또한, CAAC-OS에서는 단결정 산화물 반도체가 한 장의 판자가 아니라, 펠릿(5100)(나노 결정)의 집합체가 벽돌 또는 블록이 쌓인 것과 같이 배열된다. 또한, 펠릿(5100)들 사이에는 결정 입계가 없다. 그러므로, 성막 시의 가열, 성막 후의 가열 또는 굴곡 등에 의하여 CAAC-OS가 수축되는 등 변형되어도 국부 용력을 완화하거나 또는 스트레인을 분산할 수 있다. 따라서, 가요성을 갖는 반도체 장치에 사용하기에 적합한 구조이다. 또한, nc-OS에서는 펠릿(5100)(나노 결정)이 무질서하게 쌓인 것과 같이 배열된다.

[0273] 타깃(5130)을 이온(5101)으로 스퍼터링하였을 때, 펠릿(5100)뿐만 아니라 산화 아연 등이 박리되는 경우가

있다. 산화 아연은 펠릿(5100)보다 가볍기 때문에 먼저 기판(5120) 상면에 도달된다. 그리고, 두께 0.1nm 이상 10nm 이하, 0.2nm 이상 5nm 이하, 또는 0.5nm 이상 2nm 이하의 산화 아연층(5102)을 형성한다. 도 34는 그 단면 모식도이다.

[0274] 도 34의 (A)에 도시된 바와 같이, 산화 아연층(5102) 위에는 펠릿(5105a)과 펠릿(5105b)이 퇴적된다. 여기서, 펠릿(5105a)과 펠릿(5105b)은 서로 측면이 접촉하도록 배치된다. 또한, 펠릿(5105c)은 펠릿(5105b) 위에 퇴적된 후, 펠릿(5105b) 위를 미끄러지듯이 이동한다. 또한, 펠릿(5105a)의 다른 측면에서, 산화 아연과 함께 타깃으로부터 박리된 복수의 입자(5103)가 기판(5120)의 열을 받아 결정화되어 영역(5105a1)을 형성한다. 또한, 복수의 입자(5103)는 산소, 아연, 인듐, 및 갈륨 등을 함유할 가능성이 있다.

[0275] 그리고, 도 34의 (B)에 도시된 바와 같이, 영역(5105a1)은 펠릿(5105a)과 일체화되어 펠릿(5105a2)이 된다. 또한, 펠릿(5105c)은 그 측면이 펠릿(5105b)의 다른 측면에 접촉하도록 배치된다.

[0276] 더구나, 도 34의 (C)에 도시된 바와 같이 펠릿(5105d)이 펠릿(5105a2) 위 및 펠릿(5105b) 위에 퇴적된 후, 펠릿(5105a2) 위 및 펠릿(5105b) 위를 미끄러지듯이 이동한다. 더구나, 펠릿(5105c)의 다른 측면을 향하여 펠릿(5105e)이 산화 아연층(5102) 위를 미끄러지듯이 이동한다.

[0277] 그리고, 도 34의 (D)에 도시된 바와 같이, 펠릿(5105d)은 그 측면이 펠릿(5105a2)의 측면에 접촉하도록 배치된다. 또한, 펠릿(5105e)은 그 측면이 펠릿(5105c)의 다른 측면에 접촉하도록 배치된다. 또한, 펠릿(5105d)의 다른 측면에서 산화 아연과 함께 타깃(5130)으로부터 박리된 복수의 입자(5103)가 기판(5120)의 열을 받아 결정화되어 영역(5105d1)을 형성한다.

[0278] 상술한 바와 같이, 퇴적된 펠릿들이 서로 접촉하도록 배치되고 펠릿의 측면에서 성장이 일어남으로써 기판(5120) 위에 CAAC-OS가 형성된다. 따라서, CAAC-OS는 nc-OS보다 각 펠릿의 크기가 커진다. 상술한 도 31 중의 (3)과 (2)의 크기 차이가 퇴적 후의 성장량에 상당한다.

[0279] 또한, 펠릿들 사이의 틈이 매우 작게 됨으로써, 하나의 큰 펠릿이 형성되는 경우가 있다. 하나의 큰 펠릿은 단결정 구조를 갖는다. 예를 들어, 펠릿의 크기가 상면으로부터 보아 10nm 이상 200nm 이하, 15nm 이상 100nm 이하, 또는 20nm 이상 50nm 이하가 되는 경우가 있다. 이 때, 미세한 트랜지스터에 사용하는 산화물 반도체에 있어서, 채널 형성 영역은 하나의 큰 펠릿에 들어가는 크기인 경우가 있다. 즉, 단결정 구조를 갖는 영역을 채널 형성 영역으로서 사용할 수 있다. 또한, 펠릿이 커짐으로써, 단결정 구조를 갖는 영역을 트랜지스터의 채널 형성 영역, 소스 영역, 및 드레인 영역으로서 사용할 수 있는 경우가 있다.

[0280] 이와 같이, 단결정 구조를 갖는 영역에 트랜지스터의 채널 형성 영역 등이 형성됨으로써, 트랜지스터의 주파수 특성을 높일 수 있는 경우가 있다.

[0281] 상술한 모델과 같이 펠릿(5100)이 기판(5120) 위에 퇴적되는 것으로 생각된다. 피형성면이 결정 구조를 갖지 않는 경우에도 CAAC-OS를 성막할 수 있기 때문에 에피택셜 성장과 다른 성장 기구임을 알 수 있다. 또한, CAAC-OS는 레이저 결정화가 필요 없으며 대면적 유리 기판 등에도 균일한 성막이 가능하다. 예를 들어, 기판(5120)의 상면(피형성면)의 구조가 비정질 구조(예를 들어 비정질 산화 실리콘)인 경우에도 CAAC-OS를 성막할 수 있다.

[0282] 또한, CAAC-OS는 피형성면인 기판(5120)의 상면에 요철이 있는 경우에도 그 형상을 따라 펠릿(5100)이 배열되는 것을 알 수 있다. 예를 들어, 기판(5120)의 상면이 원자 수준으로 평탄한 경우, 펠릿(5100)은 a-b면에 평행한 평면인 평판면이 하방을 향하도록 배열된다. 펠릿(5100)의 두께가 균일한 경우, 두께가 균일하고 평탄하며 높은 결정성을 갖는 층이 형성된다. 그리고, 상기 층이 n단(n은 자연수) 쌓임으로써, CAAC-OS를 얻을 수 있다.

[0283] 한편, 기판(5120)의 상면이 요철을 갖는 경우에도 CAAC-OS는 펠릿(5100)이 기판의 요철을 따라 배열된 층이 n단(n은 자연수) 쌓인 구조가 된다. 기판(5120)이 요철을 갖기 때문에, CAAC-OS는 펠릿(5100)들 사이에 틈이 발생되기 쉬운 경우가 있다. 다만, 이 경우에도 펠릿(5100)들 사이에서 문자간 힘이 생겨, 펠릿(5100)들은 요철이 있어도 펠릿들 사이의 틈이 가능한 한 작게 되도록 배열된다. 따라서, 기판에 요철이 있어도 높은 결정성을 갖는 CAAC-OS로 할 수 있다.

[0284] 이와 같은 모델에 따라 CAAC-OS가 성막되기 때문에, 스퍼터링 입자는 두께가 얇은 펠릿 형상인 것이 바람직하다. 또한, 스퍼터링 입자가 두께가 두꺼운 주사위 형상인 경우, 기판(5120)을 향하는 면이 일정하게 되지 않아, 두께나 결정의 배향이 균일하게 되지 않는 경우가 있다.

- [0285] 상술한 성막 모델에 따르면, 비정질 구조를 갖는 괴형성면 위에도 높은 결정성을 갖는 CAAC-OS를 얻을 수 있다.
- [0286] (실시형태 4)
- [0287] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터를 사용한 회로의 일례에 대하여 도면을 참조하여 설명한다.
- [0288] [단면 구조]
- [0289] 도 18의 (A)는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다. 도 18의 (A)에 도시된 반도체 장치는 제1 반도체 재료를 사용한 트랜지스터(2200)를 하부에 구비하고, 제2 반도체 재료를 사용한 트랜지스터(2100)를 상부에 구비한다. 도 18의 (A)에는, 제2 반도체 재료를 사용한 트랜지스터(2100)로서 상술한 실시형태에 예시된 트랜지스터를 적용한 예를 도시하였다. 또한, 일점 쇄선보다 왼쪽이 트랜지스터의 채널 길이 방향의 단면, 오른쪽이 채널 폭 방향의 단면이다.
- [0290] 제1 반도체 재료와 제2 반도체 재료는 서로 다른 밴드 갭을 갖는 재료인 것이 바람직하다. 예를 들어, 제1 반도체 재료는 산화물 반도체 이외의 반도체 재료(실리콘(스테레인드 실리콘을 포함함), 게르마늄, 실리콘 게르마늄, 탄소화 실리콘, 갈륨 비소, 알루미늄 갈륨 비소, 인듐 인, 질화 갈륨, 유기 반도체 등)로 하고, 제2 반도체 재료는 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료로서 단결정 실리콘 등을 사용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는 오프 전류가 작다.
- [0291] 트랜지스터(2200)는 n채널형 트랜지스터 및 p채널형 트랜지스터 중 어느 쪽이라도 좋고, 회로에 따라 적절한 트랜지스터를 사용하면 좋다. 또한, 산화물 반도체를 사용한 본 발명의 일 형태에 따른 트랜지스터를 사용하기만 하면, 사용하는 재료나 구조 등 반도체 장치의 구체적인 구성을 여기서 제시하는 것에 한정할 필요는 없다.
- [0292] 도 18의 (A)에 도시된 구성에서는 트랜지스터(2200)의 상부에 절연막(2201) 및 절연막(2207)을 개재하여 트랜지스터(2100)가 제공되어 있다. 또한, 트랜지스터(2200)와 트랜지스터(2100) 사이에 복수의 배선(2202)이 제공되어 있다. 또한, 각종 절연막에 매립된 복수의 플러그(2203)에 의하여, 절연막의 상층과 하층에 각각 제공된 배선이나 전극이 전기적으로 접속되어 있다. 또한, 트랜지스터(2100)를 덮는 절연막(2204)과, 절연막(2204) 위의 배선(2205)과, 트랜지스터(2100)의 한 쌍의 전극과 동일한 도전막을 가공하여 형성된 배선(2206)이 제공되어 있다.
- [0293] 이와 같이 2종류의 트랜지스터를 적층함으로써, 회로의 점유 면적이 저감되기 때문에 복수의 회로를 더 고밀도로 배치할 수 있다.
- [0294] 여기서, 하부에 제공되는 트랜지스터(2200)에 실리콘계 반도체 재료가 사용된 경우, 트랜지스터(2200)의 반도체 막 근방에 제공되는 절연막 내의 수소는 실리콘의 댕글링 본드를 종단하여, 트랜지스터(2200)의 신뢰성을 향상시키는 효과가 있다. 한편, 상부에 제공되는 트랜지스터(2100)에 산화물 반도체가 사용된 경우, 트랜지스터(2100)의 반도체막 근방에 제공되는 절연막 내의 수소는 산화물 반도체막 내에 캐리어를 생성하는 요인 중 하나가 되기 때문에, 트랜지스터(2100)의 신뢰성을 저하시키는 요인이 될 수 있다. 따라서, 산화물 반도체를 사용한 트랜지스터(2100)를 실리콘계 반도체 재료를 사용한 트랜지스터(2200) 위에 적층하여 제공하는 경우, 이들 사이에 수소 확산을 방지하는 기능을 갖는 절연막(2207)을 제공하는 것이 특히 효과적이다. 절연막(2207)에 의하여, 하부에 수소를 가둠으로써 트랜지스터(2200)의 신뢰성을 향상시킬 수 있으며, 하부로부터 상부로 수소가 확산되는 것이 억제됨으로써 트랜지스터(2100)의 신뢰성도 동시에 향상시킬 수 있다.
- [0295] 절연막(2207)으로서는, 예를 들어 산화 알루미늄, 산화질화 알루미늄, 산화 갈륨, 산화질화 갈륨, 산화 이트륨, 산화질화 이트륨, 산화 하프늄, 산화질화 하프늄, 이트리아 안정화 지르코니아(YSZ) 등을 사용할 수 있다.
- [0296] 또한, 산화물 반도체막을 포함하는 트랜지스터(2100)를 덮도록, 트랜지스터(2100) 위에 수소 확산을 방지하는 기능을 갖는 블로킹막(2208)(트랜지스터(101)~트랜지스터(103)에서는 절연층(180)에 상당)을 형성하는 것이 바람직하다. 블로킹막(2208)으로서는, 절연막(2207)과 같은 재료를 사용할 수 있으며, 특히 산화 알루미늄을 적용하는 것이 바람직하다. 산화 알루미늄막은 수소나 수분 등 불순물 및 산소 양쪽이 막을 투과하지 않도록 차단(블로킹)하는 효과가 높다. 따라서, 트랜지스터(2100)를 덮는 블로킹막(2208)으로서 산화 알루미늄막을 사용함으로써, 트랜지스터(2100)에 포함되는 산화물 반도체막으로부터의 산소 이탈을 방지하며 산화물 반도체막으로의 물 및 수소의 혼입을 방지할 수 있다.
- [0297] 또한, 트랜지스터(2200)는 플래너형 트랜지스터뿐만 아니라 다양한 트랜지스터로 할 수 있다. 예를 들어, FIN 형, TRI-GATE형 등의 트랜지스터 등으로 할 수 있다. 이와 같은 트랜지스터의 단면도의 예를 도 18의 (D)에 도

시하였다. 반도체 기판(2211) 위에 절연막(2212)이 제공되어 있다. 반도체 기판(2211)은 선단이 가는 볼록부 (FIN이라고도 함)를 갖는다. 또한, 볼록부 위에는 절연막이 제공되어도 좋다. 상기 절연막은 볼록부를 형성할 때, 반도체 기판(2211)이 애칭되지 않도록 하기 위한 마스크로서 기능한다. 또한, 볼록부는 선단이 가늘지 않아도 좋고, 예를 들어 실질적으로 직육면체의 볼록부이어도 좋고, 선단이 긁은 볼록부이어도 좋다. 반도체 기판(2211)의 볼록부 위에는 게이트 절연막(2214)이 제공되고, 그 위에 게이트 전극(2213)이 제공된다. 반도체 기판(2211)에는 소스 영역 및 드레인 영역(2215)이 제공된다. 여기서는 반도체 기판(2211)이 볼록부를 갖는 예를 제시하였지만, 본 발명의 일 형태에 따른 반도체 장치는 이에 한정되지 않는다. 예를 들어, SOI 기판을 가공하여 볼록부를 갖는 반도체 영역을 형성하여도 좋다.

[0298] [회로 구성 예]

[0299] 상기 구성에서 트랜지스터(2100)나 트랜지스터(2200)의 전극의 접속 구성을 변형함으로써 다양한 회로를 구성할 수 있다. 이하에서는 본 발명의 일 형태에 따른 반도체 장치를 사용함으로써 실현할 수 있는 회로 구성의 예를 설명한다.

[0300] [CMOS 회로]

[0301] 도 18의 (B)의 회로도는 p채널형 트랜지스터(2200)와 n채널형 트랜지스터(2100)가 직렬로 접속되고, 각각의 게이트를 접속한 소위 CMOS 회로의 구성을 도시한 것이다.

[0302] [아날로그 스위치]

[0303] 또한, 도 18의 (C)의 회로도는 트랜지스터(2100)와 트랜지스터(2200) 각각의 소스와 드레인을 접속시킨 구성을 도시한 것이다. 이와 같은 구성으로 함으로써 소위 아날로그 스위치로서 기능할 수 있다.

[0304] [기억 장치의 예]

[0305] 본 발명의 일 형태에 따른 트랜지스터를 사용함으로써, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하며 기록 횟수에 대한 제한도 없는 반도체 장치(기억 장치)의 일례를 도 19를 참조하여 설명한다.

[0306] 도 19의 (A)에 도시된 반도체 장치는 제 1 반도체 재료를 사용한 트랜지스터(3200)와 제 2 반도체 재료를 사용한 트랜지스터(3300), 및 용량 소자(3400)를 구비한다. 또한, 트랜지스터(3300)로서는, 상술한 실시형태에서 설명한 트랜지스터를 사용할 수 있다.

[0307] 도 19의 (B)는 도 19의 (A)의 도시된 반도체 장치의 단면도이다. 상기 반도체 장치의 단면도에는 트랜지스터(3300)에 백 게이트를 제공한 구성을 도시하였지만, 백 게이트를 제공하지 않는 구성이어도 좋다.

[0308] 트랜지스터(3300)는 산화물 반도체를 갖는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(3300)는 오프 전류가 작기 때문에, 이것을 사용하면 오랫동안 기억 내용을 유지할 수 있다. 즉, 리프레시 동작이 불필요하거나, 또는 리프레시 동작의 빈도가 매우 적은 반도체 기억 장치로 할 수 있어 소비 전력을 충분히 저감할 수 있다.

[0309] 도 19의 (A)에서, 제 1 배선(3001)은 트랜지스터(3200)의 소스 전극과 전기적으로 접속되고, 제 2 배선(3002)은 트랜지스터(3200)의 드레인 전극과 전기적으로 접속된다. 또한, 제 3 배선(3003)은 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 하나와 전기적으로 접속되고, 제 4 배선(3004)은 트랜지스터(3300)의 게이트 전극과 전기적으로 접속된다. 그리고, 트랜지스터(3200)의 게이트 전극은 트랜지스터(3300)의 소스 전극 및 드레인 전극 중 다른 하나 및 용량 소자(3400)의 한쪽 전극과 전기적으로 접속되고, 제 5 배선(3005)은 용량 소자(3400)의 다른 쪽 전극과 전기적으로 접속되어 있다.

[0310] 도 19의 (A)에 도시된 반도체 장치에서는, 트랜지스터(3200)의 게이트 전극의 전위가 유지 가능하다는 특징을 살림으로써, 다음과 같이 정보의 기록, 유지, 판독이 가능하다.

[0311] 정보의 기록 및 유지에 대하여 설명한다. 우선, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 온 상태가 되는 전위로 설정하여 트랜지스터(3300)를 온 상태로 한다. 이로써, 제 3 배선(3003)의 전위가 트랜지스터(3200)의 게이트 전극 및 용량 소자(3400)에 공급된다. 즉, 트랜지스터(3200)의 게이트 전극에는 소정의 전하가 공급된다(기록). 여기서는, 2개의 다른 전위 레벨을 부여하는 전하(이하에서 Low 레벨 전하, High 레벨 전하라고 함) 중 어느 하나가 공급되는 것으로 한다. 이 후, 제 4 배선(3004)의 전위를 트랜지스터(3300)가 오프 상태가 되는 전위로 설정하여 트랜지스터(3300)를 오프 상태로 함으로써, 트랜지스터(3200)의 게이트 전극에 공급된 전하가 유지된다(유지).

- [0312] 트랜지스터(3300)의 오프 전류는 매우 작기 때문에, 트랜지스터(3200)의 게이트 전극의 전하는 오랫동안 유지된다.
- [0313] 다음에, 정보의 관독에 대하여 설명한다. 제 1 배선(3001)에 소정의 전위(정전위)를 공급한 상태에서 제 5 배선(3005)에 적절한 전위(관독 전위)를 공급하면, 트랜지스터(3200)의 게이트 전극에 유지된 전하량에 따라 제 2 배선(3002)의 전위가 달라진다. 일반적으로, 트랜지스터(3200)를 n채널형 트랜지스터로 하면, 트랜지스터(3200)의 게이트 전극에 High 레벨 전하가 공급된 경우의 외견상 문턱 전압(V_{th_H})은 트랜지스터(3200)의 게이트 전극에 Low 레벨 전하가 공급된 경우의 외견상 문턱 전압 (V_{th_L})보다 낮아지기 때문이다. 여기서, 외견상 문턱 전압이란, 트랜지스터(3200)를 온 상태로 하기 위하여 필요한 제 5 배선(3005)의 전위를 말한다. 따라서, 제 5 배선(3005)의 전위를 V_{th_H} 와 V_{th_L} 의 중간의 전위 V_0 으로 설정함으로써 트랜지스터(3200)의 게이트 전극에 공급된 전하를 판별할 수 있다. 예를 들어, 기록 동작할 때 High 레벨 전하가 공급되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0 (> V_{th_H})$ 이 되면 트랜지스터(3200)는 온 상태가 된다. Low 레벨 전하가 공급되어 있는 경우에는, 제 5 배선(3005)의 전위가 $V_0 (< V_{th_L})$ 이 되어도 트랜지스터(3200)는 그대로 오프 상태가 유지된다. 따라서, 제 2 배선(3002)의 전위를 판별함으로써, 유지되어 있는 데이터를 판독할 수 있다.
- [0314] 또한, 메모리 셀을 어레이 형태로 배치하여 사용하는 경우에는 원하는 메모리 셀의 정보만을 판독할 수 있을 필요가 있다. 이와 같이 정보를 판독하지 않는 경우에는, 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 오프 상태가 되는 전위, 즉 V_{th_H} 보다 낮은 전위를 제 5 배선(3005)에 공급하면 좋다. 또는, 게이트 전극의 상태에 상관없이 트랜지스터(3200)가 온 상태가 되는 전위, 즉 V_{th_L} 보다 큰 전위를 제 5 배선(3005)에 공급하면 좋다.
- [0315] 도 19의 (C)에 도시된 반도체 장치는 트랜지스터(3200)를 제공하지 않은 점에서 도 19의 (A)와 다르다. 이 경우에도 상기와 같은 동작에 의하여 정보의 기록 및 유지 동작이 가능하다.
- [0316] 다음에, 정보의 관독에 대하여 설명한다. 트랜지스터(3300)가 온 상태가 되면, 부유 상태인 제 3 배선(3003)과 용량 소자(3400)가 도통되어 제 3 배선(3003)과 용량 소자(3400) 사이에서 전하가 재분배된다. 이로써, 제 3 배선(3003)의 전위가 변화된다. 제 3 배선(3003)의 전위의 변화량은 용량 소자(3400)의 한쪽 전극의 전위(또는 용량 소자(3400)에 축적된 전하)에 따라 변동된다.
- [0317] 예를 들어, 용량 소자(3400)의 한쪽 전극의 전위를 V , 용량 소자(3400)의 용량을 C , 제 3 배선(3003)이 갖는 용량 성분을 CB , 전하가 재분배되기 전의 제 3 배선(3003)의 전위를 $VB0$ 으로 하면, 전하가 재분배된 후의 제 3 배선(3003)의 전위는, $(CB \times VB0 + C \times V) / (CB + C)$ 가 된다. 따라서, 메모리 셀의 상태로서 용량 소자(3400)의 한쪽 전극의 전위가 $V1$ 과 $V0 (V1 > V0)$ 의 2개의 상태를 취한다고 가정하면, 전위 $V1$ 을 유지하고 있는 경우의 제 3 배선(3003)의 전위($= (CB \times VB0 + C \times V1) / (CB + C)$)는 전위 $V0$ 을 유지하고 있는 경우의 제 3 배선(3003)의 전위($= (CB \times VB0 + C \times V0) / (CB + C)$)보다 높은 것을 알 수 있다.
- [0318] 그리고, 제 3 배선(3003)의 전위를 소정의 전위와 비교함으로써 정보를 판독할 수 있다.
- [0319] 이 경우, 메모리 셀을 구동시키기 위한 구동 회로에 상기 제 1 반도체 재료가 적용된 트랜지스터를 사용하고, 트랜지스터(3300)로서 제 2 반도체 재료가 적용된 트랜지스터를 구동 회로 위에 적층하여 제공하는 구성으로 하면 좋다.
- [0320] 본 실시형태에 따른 반도체 장치에서는 채널 형성 영역에 산화물 반도체가 사용되어 있으며 오프 전류가 매우 작은 트랜지스터를 적용함으로써, 매우 오랫동안 기억 내용을 유지할 수 있다. 즉, 리프레시 동작을 수행할 필요가 없게 되거나, 또는 리프레시 동작의 빈도를 매우 적게 하는 것이 가능하게 되므로, 소비 전력을 충분히 저감할 수 있다. 또한, 전력이 공급되지 않는 경우(다만, 전위는 고정되어 있는 것이 바람직함)에도 오랫동안 기억 내용을 유지할 수 있다.
- [0321] 또한, 본 실시형태에 따른 반도체 장치에서는, 정보의 기록에 높은 전압을 필요로 하지 않으며 소자의 열화 문제도 없다. 예를 들어, 종래의 비휘발성 메모리와 같이, 플로팅 게이트로 전자를 주입하거나, 플로팅 게이트로부터 전자를 뽑아낼 필요가 없기 때문에, 게이트 절연막의 열화 등의 문제가 전혀 발생되지 않는다. 즉, 본 발명에 따른 반도체 장치에서는 종래의 비휘발성 메모리에서 문제가 되어 있는 재기록 가능 횟수에 대한 제한이 없고, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터가 온 상태 또는 오프 상태가 됨으로써 정보가 기록되기 때문에 고속 동작도 용이하게 실현할 수 있다.

- [0322] 또한, 본 명세서 등에서는 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 모든 단자에 관하여, 그 접속처가 특정되지 않아도, 당업자이면 발명의 일 형태를 구성할 수 있는 경우가 있다. 즉, 접속처를 특정하지 않더라도, 발명의 일 형태가 명확하다고 할 수 있다. 그리고, 접속처가 특정된 내용이 본 명세서 등에 기재되어 있을 때, 접속처를 특정하지 않은 발명의 일 형태가 본 명세서 등에 기재되어 있다고 판단할 수 있는 경우가 있다. 특히, 단자가 복수의 부분에 접속될 수 있는 경우에는, 그 단자의 접속처를 특정한 부분으로 한정할 필요는 없다. 따라서, 능동 소자(트랜지스터, 다이오드 등), 수동 소자(용량 소자, 저항 소자 등) 등이 갖는 일부의 단자만 그 접속처를 특정함으로써, 발명의 일 형태를 구성할 수 있는 경우가 있다.
- [0323] 또한, 본 명세서 등에서는 어떤 회로의 적어도 접속처를 특정하기만 하면, 당업자가 발명을 특정할 수 있는 경우가 있다. 또는, 본 명세서 등에서는 어떤 회로의 적어도 기능을 특정하기만 하면, 당업자가 발명을 특정할 수 있는 경우가 있다. 즉, 기능을 특정하면, 발명의 일 형태는 명확하다고 할 수 있다. 그리고, 기능이 특정된 발명의 일 형태가 본 명세서 등에 기재된다고 판단할 수 있는 경우가 있다. 따라서, 어떤 회로의 기능을 특정하지 않아도 접속처를 특정하면, 발명의 일 형태로서 개시된 것이며, 발명의 일 형태를 구성할 수 있다. 또는, 어떤 회로의 기능을 특정하지 않아도 기능을 특정하면, 발명의 일 형태로서 개시된 것이며, 발명의 일 형태를 구성할 수 있다.
- [0324] 또한, 본 명세서 등에서는 어느 하나의 실시형태에 따른 도면 또는 문장에서 그 일부를 추출하여 발명의 일 형태를 구성할 수 있다. 따라서, 어떤 부분에 대하여 설명하는 도면 또는 문장에서는 그 일부분의 도면 또는 문장을 발췌한 내용도 발명의 일 형태로서 제시된 것이며, 발명의 일 형태를 구성할 수 있다. 그러므로, 예를 들어, 능동 소자(트랜지스터, 다이오드 등), 배선, 수동 소자(용량 소자, 저항 소자 등), 도전층, 절연층, 반도체 층, 유기 재료, 무기 재료, 부품, 장치, 동작 방법, 제조 방법 등이 단수 또는 복수로 기재된 도면 또는 문장에서, 그 일부를 발췌하여 발명의 일 형태를 구성하는 것이 가능한 것으로 한다. 예를 들어, N개(N은 정수)의 회로 소자(트랜지스터, 용량 소자 등)가 제공된 회로로부터 M개(M은 정수이고, M<N)의 회로 소자(트랜지스터, 용량 소자 등)를 발췌하여 발명의 일 형태를 구성할 수 있다. 다른 예로서는, N개(N은 정수)의 층이 제공된 단면도로부터 M개(M은 정수이고, M<N)의 층을 발췌하여 발명의 일 형태를 구성할 수 있다. 또한, 다른 예로서는 N개(N은 정수)의 요소가 제공된 흐름도로부터 M개(M은 정수이고, M<N)의 요소를 추출하여 발명의 일 형태를 구성할 수 있다.
- [0325] 본 실시형태는 본 명세서에 제시되는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0326] (실시형태 5)
- [0327] 본 실시형태에서는, 상술한 실시형태에서 설명한 트랜지스터, 또는 기억 장치를 포함한 RF 태그에 대하여 도 20을 참조하여 설명한다.
- [0328] 본 실시형태에 제시되는 RF 태그는 내부에 기억 회로를 갖고, 기억 회로에 필요한 정보를 기억하고, 비접촉 수단, 예를 들어 무선 통신을 사용하여 외부와 정보를 주고 받는 것이다. 이와 같은 특징에 따라, RF 태그는 물품 등의 개체(個體) 정보를 판독함으로써 물품을 식별하는 개체 인증 시스템 등에 사용할 수 있다. 또한, 이를 용도에 사용하기 위해서는 매우 높은 신뢰성이 요구된다.
- [0329] RF 태그의 구성을 도 20을 사용하여 설명한다. 도 20은 RF 태그의 구성예를 도시한 블록도이다.
- [0330] 도 20에 도시된 바와 같이, RF 태그(800)는 통신기(801)(질문기, 또는 리더/라이터(reader/writer)라고도 함)에 접속된 안테나(802)로부터 송신되는 무선 신호(803)를 수신하는 안테나(804)를 구비한다. 또한, RF 태그(800)는 정류 회로(805), 정전압 회로(806), 복조 회로(807), 변조 회로(808), 논리 회로(809), 기억 회로(810), ROM(811)을 구비한다. 또한, 복조 회로(807)에 포함되는 정류(整流) 작용을 갖는 트랜지스터는 역방향 전류를 충분히 억제할 수 있는 재료, 예를 들어 산화물 반도체가 사용된 구성으로 하여도 좋다. 이로써, 역방향 전류에 기인하는 정류 작용의 저하를 억제하여 복조 회로의 출력이 포화 상태가 되는 것을 방지할 수 있다. 즉, 복조 회로의 입력에 대한 복조 회로의 출력을 선형 관계(linear relation)에 가깝게 할 수 있다. 또한, 데이터의 전송 방식은 한 쌍의 코일을 대향 배치하여 상호 유도에 의하여 교신하는 전자기 결합 방식, 유도 전자기장에 의하여 교신하는 전자기 유도 방식, 전파를 이용하여 교신하는 전파 방식의 3개로 대별된다. 본 실시형태에서 제시하는 RF 태그(800)에서는, 이들 방식 중 어느 것이 이용되어도 좋다.
- [0331] 다음에, 각 회로의 구성을 설명한다. 안테나(804)는 통신기(801)에 접속된 안테나(802)와의 사이에서 무선 신호(803)를 송수신한다. 또한, 정류 회로(805)는 안테나(804)에서 무선 신호를 수신함으로써 생성되는 입력 교

류 신호를 정류하고(예를 들어 반파(半波) 2배전압 정류하고), 후단(後段)에 제공된 용량 소자에 의하여 정류 신호를 평활화함으로써 입력 전위를 생성하는 회로이다. 또한, 정류 회로(805)의 입력측 또는 출력측에는 리미터 회로를 제공하여도 좋다. 리미터 회로란, 입력 교류 신호의 진폭이 크고, 내부 생성 전압이 큰 경우에, 일정 전력 이상의 전력을 후단의 회로에 입력하지 않도록 제어하는 회로이다.

[0332] 정전압 회로(806)는 입력 전위로부터 안정된 전원 전압을 생성하고 각 회로에 공급하는 회로이다. 또한, 정전압 회로(806)는 내부에 리셋 신호 생성 회로를 가져도 좋다. 리셋 신호 생성 회로는 안정적인 전원 전압의 상승을 이용하여 논리 회로(809)의 리셋 신호를 생성하는 회로이다.

[0333] 복조 회로(807)는 포락선 검출(envelope detection)에 의하여 입력 교류 신호를 복조하고, 복조 신호를 생성하는 회로이다. 또한, 변조 회로(808)는 안테나(804)로부터 출력되는 데이터에 따라 변조를 수행하는 회로이다.

[0334] 논리 회로(809)는 복조 신호를 해석하여 처리를 수행하는 회로이다. 기억 회로(810)는 입력된 데이터를 유지하는 회로이며, 행 디코더(row decoder), 열 디코더(column decoder), 기억 영역 등을 구비한다. 또한, ROM(811)은 식별 번호(ID) 등을 저장하고, 처리에 따라 이를 출력하는 회로이다.

[0335] 또한, 상술한 각 회로는 필요에 따라 적절히 제공하는지 여부를 선택할 수 있다.

[0336] 여기서, 상술한 실시형태에서 설명한 기억 장치를 기억 회로(810)에 사용할 수 있다. 본 발명의 일 형태에 따른 기억 회로는 전원이 차단된 상태에서도 데이터를 유지할 수 있기 때문에 RF 태그에 사용하기에 적합하다. 또한, 본 발명의 일 형태에 따른 기억 회로는 데이터의 기록에 필요한 전력(전압)이 종래의 비휘발성 메모리에 비하여 현저히 작기 때문에, 데이터 판독 시와 기록 시의 최대 통신 거리의 차이를 발생시키지 않는 것도 가능하다. 또한, 데이터 기록 시에 전력이 부족하여 오동작되거나 잘못 기록되는 것을 억제할 수 있다.

[0337] 또한, 본 발명의 일 형태에 따른 기억 회로는 비휘발성 메모리로서 사용할 수 있기 때문에 ROM(811)에 적용할 수도 있다. 이 경우, 사용자가 마음대로 데이터를 재기록할 수 없도록, 생산자는 ROM(811)에 데이터를 기록하기 위한 명령을 별도 준비하는 것이 바람직하다. 생산자가 출하하기 전에 식별 번호를 기록하고 제품을 출하함으로써, 제작한 모든 RF 태그에 식별 번호를 부여하는 것이 아니라 출하하는 우량품에만 식별 번호를 할당하는 것이 가능하게 되므로, 출하 후의 제품의 식별 번호가 연속되지 않게 되는 일이 없어 출하 후의 제품에 대응한 고객 관리가 용이하게 된다.

[0338] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.

[0339] (실시형태 6)

[0340] 본 실시형태에서는 상술한 실시형태에서 설명한 기억 장치를 포함한 CPU에 대하여 설명한다.

[0341] 도 21은 상술한 실시형태에서 설명한 트랜지스터가 적어도 일부에 사용된 CPU의 일례의 구성을 도시한 블록도이다.

[0342] 도 21에 도시된 CPU는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198)(Bus I/F), 재기록이 가능한 ROM(1199), 및 ROM 인터페이스(1189)(ROM I/F)를 구비한다. 기판(1190)은 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 물론, 도 21에 도시된 CPU는 그 구성을 간략화하여 도시된 일례에 불과하며, 실제의 CPU는 그 용도에 따라 다종다양한 구성을 갖는다. 예를 들어, 도 21에 도시된 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 이 코어를 복수로 포함하며 각각의 코어가 병렬로 동작하는 구조으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스에서 취급되는 비트 수를, 예를 들어 8비트, 16비트, 32비트, 64비트 등으로 할 수 있다.

[0343] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0344] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코드된 명령에 기초하여 각종 제어를 수행한다. 구체적으로는 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램을 실행하는 동안에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 수행한

다.

[0345] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는 기준 클록 신호(CLK1)를 바탕으로 내부 클록 신호(CLK2)를 생성하는 내부 클록 생성부를 구비하며, 내부 클록 신호(CLK2)를 상기 각종 회로에 공급한다.

[0346] 도 21에 도시된 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서, 상술한 실시형태에 제시된 트랜지스터를 사용할 수 있다.

[0347] 도 21에 도시된 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 수행한다. 즉 레지스터(1196)가 갖는 메모리 셀에서 플립플롭에 의한 데이터 유지를 수행할지 또는 용량 소자에 의한 데이터 유지를 수행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에서의 데이터 유지가 선택되어 있는 경우, 용량 소자의 데이터 채기록이 실시되고, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.

[0348] 도 22는 레지스터(1196)로서 사용할 수 있는 기억 소자의 회로도의 일례이다. 기억 소자(1200)는 전원 차단에 의하여 기억 데이터가 휘발되는 회로(1201), 전원이 차단되어도 기억 데이터가 휘발되지 않는 회로(1202), 스위치(1203), 스위치(1204), 논리 소자(1206), 용량 소자(1207), 및 선택 기능을 갖는 회로(1220)를 구비한다. 회로(1202)는 용량 소자(1208), 트랜지스터(1209), 및 트랜지스터(1210)를 구비한다. 또한, 기억 소자(1200)는 필요에 따라 다이오드, 저항 소자, 인덕터 등 다른 소자를 더 구비하여도 좋다.

[0349] 여기서, 회로(1202)에는 상술한 실시형태에서 설명한 기억 장치를 사용할 수 있다. 기억 소자(1200)에 대한 전원 전압 공급이 정지되었을 때, 회로(1202)의 트랜지스터(1209)의 게이트에는 접지 전위(0V), 또는 트랜지스터(1209)가 오프 상태가 되는 전위가 계속 입력되는 구성으로 한다. 예를 들어, 트랜지스터(1209)의 게이트가 저항 등 부하를 통하여 접지되는 구성으로 한다.

[0350] 스위치(1203)가 하나의 도전형(예를 들어 n채널형)을 갖는 트랜지스터(1213)를 사용하여 구성되고 스위치(1204)가 상기 하나의 도전형과 반대의 도전형(예를 들어 p채널형)을 갖는 트랜지스터(1214)를 사용하여 구성된 예에 대하여 제시한다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 하나에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 하나에 대응하고, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(1213)의 온 상태 또는 오프 상태)이 선택된다. 또한, 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 하나에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 하나에 대응하고, 스위치(1204)는 트랜지스터(1214)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 또는 비도통(즉 트랜지스터(1214)의 온 상태 또는 오프 상태)이 선택된다.

[0351] 트랜지스터(1209)의 소스 및 드레인 중 하나는 용량 소자(1208)의 한 쌍의 전극 중 하나, 및 트랜지스터(1210)의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드 M2로 한다. 트랜지스터(1210)의 소스 및 드레인 중 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속되고, 소스 및 드레인 중 다른 하나는 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 하나)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 하나)는 전원 전위 VDD를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 하나)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)와, 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 하나)와, 논리 소자(1206)의 입력 단자와, 용량 소자(1207)의 한 쌍의 전극 중 하나는 전기적으로 접속된다. 여기서, 접속 부분을 노드 M1로 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 하나는 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 하나는 저전위 전원을 공급할 수 있는 배선(예를 들어 GND선)과 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 하나는 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 하나는 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)과 전기적으로 접속된다.

- [0352] 또한, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써, 용량 소자(1207) 및 용량 소자(1208)를 생략할 수도 있다.
- [0353] 트랜지스터(1209)의 제 1 게이트(제 1 게이트 전극)에는 제어 신호 WE가 입력된다. 스위치(1203) 및 스위치(1204)는 제어 신호 WE와 상이한 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택되며, 스위치(1203) 및 스위치(1204) 중 하나의 제 1 단자와 제 2 단자 사이가 도통 상태일 때, 다른 하나의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.
- [0354] 또한, 도 22의 트랜지스터(1209)에서는 제 2 게이트(제 2 게이트 전극: 백 게이트)를 구비하는 구성을 도시하였다. 제 1 게이트에는 제어 신호 WE를 입력하고 제 2 게이트에는 제어 신호 WE2를 입력할 수 있다. 제어 신호 WE2는 일정한 전위의 신호로 하면 좋다. 상기 일정한 전위로서는, 예를 들어, 접지 전위(GND)나 트랜지스터(1209)의 소스 전위보다 작은 전위 등이 선택된다. 이 때, 제어 신호 WE2는 트랜지스터(1209)의 문턱 전압을 제어하기 위한 전위 신호이며, 트랜지스터(1209)의 Icut를 더 저감시킬 수 있다. 또한, 제어 신호 WE2는 제어 신호 WE와 같은 전위 신호이어도 좋다. 또한, 트랜지스터(1209)로서는 제 2 게이트를 구비하지 않는 트랜지스터를 사용할 수도 있다.
- [0355] 트랜지스터(1209)의 소스 및 드레인 중 다른 하나에는 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 22는 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 하나에 입력되는 예를 도시한 것이다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호는 논리 소자(1206)에 의하여 그 논리값이 반전된 반전 신호가 되고 회로(1220)를 통하여 회로(1201)에 입력된다.
- [0356] 또한, 도 22에는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호가 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력되는 예를 도시하였지만, 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호는 논리값이 반전되는 않고 회로(1201)에 입력되어도 좋다. 예를 들어, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 하나)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.
- [0357] 또한, 도 22에 있어서, 기억 소자(1200)에 사용되는 트랜지스터 중 트랜지스터(1209) 이외의 트랜지스터는 산화물 반도체 이외의 반도체로 이루어진 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 사용되는 모든 트랜지스터를, 채널이 산화물 반도체층으로 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(1200)는 트랜지스터(1209) 이외에도 채널이 산화물 반도체층으로 형성되는 트랜지스터를 포함하여도 좋고, 나머지 트랜지스터를, 산화물 반도체 이외의 반도체로 이루어진 층 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.
- [0358] 도 22의 회로(1201)에는 예를 들어 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(1206)에는, 예를 들어 인버터나 클록드 인버터 등을 사용할 수 있다.
- [0359] 본 발명의 일 형태에 따른 반도체 장치에서는, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에는, 회로(1201)에 기억된 데이터를 회로(1202)에 제공된 용량 소자(1208)에 의하여 유지할 수 있다.
- [0360] 또한, 산화물 반도체층에 채널이 형성되는 트랜지스터는 오프 전류가 매우 작다. 예를 들어, 산화물 반도체층에 채널이 형성되는 트랜지스터의 오프 전류는 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비하여 현저하게 작다. 그러므로, 상기 트랜지스터를 트랜지스터(1209)로서 사용함으로써, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에도 용량 소자(1208)에 유지된 신호가 오랫동안 유지된다. 따라서, 기억 소자(1200)는 전원 전압의 공급이 정지되는 동안에도 기억 내용(데이터)을 유지할 수 있다.
- [0361] 또한, 스위치(1203) 및 스위치(1204)를 제공함으로써 프리차지 동작을 수행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압 공급을 재개한 후에 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 단축할 수 있다.
- [0362] 또한, 회로(1202)에 있어서, 용량 소자(1208)에 의하여 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 그러므로, 기억 소자(1200)로의 전원 전압 공급이 재개된 후, 용량 소자(1208)에 의하여 유지된 신호를 트랜지스터(1210)의 상태(온 상태 또는 오프 상태)로 변환하여, 회로(1202)로부터 판독할 수 있다. 그러므로, 용량

소자(1208)에 유지된 신호에 대응하는 전위가 약간 변동되어 있어도, 원래의 신호를 정확하게 판독할 수 있다.

[0363] 프로세서가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 상술한 바와 같은 기억 소자(1200)를 사용함으로써, 전원 전압의 공급 정지로 인한 기억 장치 내의 데이터 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 재개한 후, 단시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나 또는 복수의 논리 회로에서 짧은 시간이라도 전원을 정지할 수 있으므로 소비 전력을 억제할 수 있다.

[0364] 본 실시형태에서는 기억 소자(1200)를 CPU에 사용하는 예를 설명하였지만, 기억 소자(1200)는 DSP(Digital Signal Processor)나 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF(Radio Frequency) 태그에도 응용할 수 있다.

[0365] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.

[0366] (실시형태 7)

[0367] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터를 사용한 표시 장치의 구성예에 대하여 설명한다.

[0368] [구성예]

[0369] 도 23의 (A)는 본 발명의 일 형태에 따른 표시 장치의 상면도이며, 도 23의 (B)는 본 발명의 일 형태에 따른 표시 장치의 화소에 액정 소자를 적용한 경우에 사용할 수 있는 화소 회로를 설명하기 위한 회로도이다. 또한, 도 23의 (C)는 본 발명의 일 형태에 따른 표시 장치의 화소에 유기 EL 소자를 적용하는 경우에 사용할 수 있는 화소 회로를 설명하기 위한 회로도이다.

[0370] 화소부에 배치되는 트랜지스터는 상술한 실시형태에 따라 형성할 수 있다. 또한, 상기 트랜지스터는 n채널형 트랜지스터로 하기 쉽기 때문에, 구동 회로에서 n채널형 트랜지스터를 사용하여 형성될 수 있는 구동 회로의 일부를, 화소부의 트랜지스터와 동일 기판 위에 형성한다. 이와 같이 화소부나 구동 회로에 상기 실시형태에 제시된 트랜지스터를 사용함으로써, 신뢰성이 높은 표시 장치를 제공할 수 있다.

[0371] 액티브 매트릭스형 표시 장치의 상면도의 일례를 도 23의 (A)에 도시하였다. 표시 장치의 기판(700) 위에는 화소부(701), 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)를 구비한다. 화소부(701)에는 복수의 신호선이 신호선 구동 회로(704)로부터 연장하여 배치되고, 복수의 주사선이 제 1 주사선 구동 회로(702), 및 제 2 주사선 구동 회로(703)로부터 연장하여 배치되어 있다. 또한, 주사선과 신호선의 교차 영역에는, 각각 표시 소자를 갖는 화소가 매트릭스 형태로 배치된다. 또한, 표시 장치의 기판(700)은 FPC(Flexible Printed Circuit) 등의 접속부를 통하여 타이밍 제어 회로(컨트롤러, 제어 IC라고도 함)에 접속되어 있다.

[0372] 도 23의 (A)에서, 제 1 주사선 구동 회로(702), 제 2 주사선 구동 회로(703), 신호선 구동 회로(704)는 화소부(701)와 같은 기판(700) 위에 형성된다. 이로써, 외부에 제공하는 구동 회로 등의 부품 수를 줄일 수 있기 때문에 비용을 절감할 수 있다. 또한, 기판(700) 외부에 구동 회로를 제공한 경우에는 배선을 연장시킬 필요가 생기고, 배선간의 접속수가 증가된다. 같은 기판(700) 위에 구동 회로를 제공한 경우에는 그 배선간의 접속 수를 줄일 수 있어, 신뢰성의 향상 또는 제조 수율의 향상을 도모할 수 있다.

[0373] [액정 표시 장치]

[0374] 또한, 도 23의 (B)는 화소의 회로 구성의 일례를 도시한 것이다. 여기서는, 일례로서 VA형 액정 표시 장치의 화소에 적용할 수 있는 화소 회로를 도시하였다.

[0375] 이 화소 회로는 하나의 화소가 복수의 화소 전극층을 갖는 구성에 적용할 수 있다. 각각의 화소 전극층은 다른 트랜지스터에 접속되고 각 트랜지스터는 다른 게이트 신호로 구동되도록 구성되어 있다. 이에 의하여, 멀티 도메인 설계된 화소의 각 화소 전극층에 인가되는 신호를 독립적으로 제어할 수 있다.

[0376] 트랜지스터(716)의 게이트 배선(712)과, 트랜지스터(717)의 게이트 배선(713)에는, 다른 게이트 신호를 공급할 수 있도록 분리되어 있다. 한편, 데이터선(714)은 트랜지스터(716)와 트랜지스터(717)로 공통적으로 사용된다. 트랜지스터(716)와 트랜지스터(717)는 상술한 실시형태에서 설명한 트랜지스터를 적절히 사용할 수 있다. 이로써, 신뢰성이 높은 액정 표시 장치를 제공할 수 있다.

[0377] 트랜지스터(716)와 전기적으로 접속되는 제 1 화소 전극층과, 트랜지스터(717)와 전기적으로 접속하는 제 2 화

소 전극층의 형상에 대하여 설명한다. 제 1 화소 전극층과 제 2 화소 전극층의 형상은 슬릿에 의하여 분리되어 있다. 제 1 화소 전극층은 V자형으로 넓어지는 형상을 갖고, 제 2 화소 전극층은 제 1 화소 전극층의 외측을 둘러싸도록 형성된다.

[0378] 트랜지스터(716)의 게이트 전극은 게이트 배선(712)과 접속되고, 트랜지스터(717)의 게이트 전극은 게이트 배선(713)과 접속된다. 게이트 배선(712)과 게이트 배선(713)에 다른 게이트 신호를 공급하여 트랜지스터(716)와 트랜지스터(717)의 동작 타이밍을 다르게 함으로써 액정의 배향을 제어할 수 있다.

[0379] 또한, 용량 배선(710)과, 유전체로서 기능하는 게이트 절연막과, 제 1 화소 전극층 또는 제 2 화소 전극층과 전기적으로 접속되는 용량 전극으로 유지 용량을 형성하여도 좋다.

[0380] 멀티 도메인 구조는 하나의 화소에 제 1 액정 소자(718)와 제 2 액정 소자(719)를 구비한다. 제 1 액정 소자(718)는 제 1 화소 전극층과 대향 전극층과 이들 사이의 액정층으로 구성되고, 제 2 액정 소자(719)는 제 2 화소 전극층과 대향 전극층과 이들 사이의 액정층으로 구성된다.

[0381] 다만, 본 발명에 따른 화소 회로는 도 23의 (B)에 도시한 것에 한정되지 않는다. 예를 들어, 도 23의 (B)에 도시된 화소에 스위치, 저항 소자, 용량 소자, 트랜지스터, 센서, 또는 논리 회로 등을 추가하여도 좋다.

[유기 EL 표시 장치]

[0383] 도 23의 (C)는 화소의 회로 구성의 다른 일례이다. 여기서는, 유기 EL 소자를 사용한 표시 장치의 화소 구조를 도시하였다.

[0384] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 발광성 유기 화합물을 함유하는 층에 한 쌍의 전극 중 하나로부터 전자가, 다른 하나로부터 정공이 각각 주입되어 전류가 흐른다. 그리고, 전자 및 정공이 재결합됨으로써 발광성 유기 화합물이 여기되고, 그 여기 상태로부터 기저 상태로 되돌아갈 때 발광한다. 이와 같은 메커니즘 때문에, 이러한 발광 소자는 전류 여기형 발광 소자로 불린다.

[0385] 도 23의 (C)는 적용 가능한 화소 회로의 일례를 도시한 도면이다. 여기서, 하나의 화소는 2개의 n채널형 트랜지스터를 포함한다. 또한, 본 발명의 일 형태에 따른 금속 산화물막은 n채널형 트랜지스터의 채널 형성 영역에 사용할 수 있다. 또한, 상기 화소 회로에는 디지털 시간 계조 구동을 적용할 수 있다.

[0386] 적용 가능한 화소 회로의 구성 및 디지털 시간 계조 구동을 적용한 경우의 화소의 동작에 대하여 설명한다.

[0387] 화소(720)는 스위칭용 트랜지스터(721), 구동용 트랜지스터(722), 발광 소자(724), 및 용량 소자(723)를 구비한다. 스위칭용 트랜지스터(721)는 게이트 전극층이 주사선(726)에 접속되고, 제 1 전극(소스 전극층 및 드레인 전극층 중 하나)이 신호선(725)에 접속되고, 제 2 전극(소스 전극층 및 드레인 전극층 중 다른 하나)이 구동용 트랜지스터(722)의 게이트 전극층에 접속된다. 구동용 트랜지스터(722)는 게이트 전극층이 용량 소자(723)를 통하여 전원선(727)에 접속되고, 제 1 전극이 전원선(727)에 접속되고, 제 2 전극이 발광 소자(724)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(724)의 제 2 전극은 공통 전극(728)에 상당한다. 공통 전극(728)은 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다.

[0388] 스위칭용 트랜지스터(721) 및 구동용 트랜지스터(722)에는 상술한 실시형태에서 설명하는 트랜지스터를 적절히 사용할 수 있다. 이로써, 신뢰성이 높은 유기 EL 표시 장치를 제공할 수 있다.

[0389] 발광 소자(724)의 제 2 전극(공통 전극(728))의 전위는 저전원 전위로 설정한다. 또한, 저전원 전위는 전원선(727)에 공급되는 고전원 전위보다 낮은 전위이며, 예를 들어 GND, OV 등을 저전원 전위로서 설정할 수 있다. 발광 소자(724)의 순방향 문턱 전압 이상이 되도록 고전원 전위와 저전원 전위를 설정하고, 그 전위차를 발광 소자(724)에 인가함으로써, 발광 소자(724)에 전류를 흘려서 발광시킨다. 또한, 발광 소자(724)의 순방향 전압이란, 원하는 회도로 할 때의 전압을 가리키며, 적어도 순방향 문턱 전압을 포함한다.

[0390] 또한, 용량 소자(723)는 구동용 트랜지스터(722)의 게이트 용량을 대용함으로써 생략할 수 있다. 구동용 트랜지스터(722)의 게이트 용량에 대해서는 채널 형성 영역과 게이트 전극층 사이에서 용량이 형성되어도 좋다.

[0391] 다음에, 구동용 트랜지스터(722)에 입력되는 신호에 대하여 설명한다. 전압 입력 전압 구동 방식의 경우, 구동용 트랜지스터(722)가 충분히 온 상태 또는 오프 상태의 2가지 상태가 되는 비디오 신호를 구동용 트랜지스터(722)에 입력한다. 또한, 구동용 트랜지스터(722)를 선형 영역에서 동작시키기 위하여, 전원선(727)의 전압보다 높은 전압을 구동용 트랜지스터(722)의 게이트 전극층에 인가한다. 또한, 신호선(725)에는 전원선 전압에 구동용 트랜지스터(722)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 인가한다.

- [0392] 아날로그 계조 구동을 수행하는 경우, 구동용 트랜지스터(722)의 게이트 전극층에 발광 소자(724)의 순방향 전압에 구동용 트랜지스터(722)의 문턱 전압(V_{th})을 더한 값 이상의 전압을 인가한다. 또한, 구동용 트랜지스터(722)가 포화 영역에서 동작하도록 비디오 신호를 입력하고, 발광 소자(724)에 전류를 흘린다. 또한, 구동용 트랜지스터(722)를 포화 영역에서 동작시키기 위해서, 전원선(727)의 전위를 구동용 트랜지스터(722)의 게이트 전위보다 높게 한다. 비디오 신호로서 아날로그 신호를 사용함으로써, 발광 소자(724)에 비디오 신호에 따른 전류를 흘리고, 아날로그 계조 구동을 수행할 수 있다.
- [0393] 또한, 화소 회로의 구성은 도 23의 (C)에 도시된 화소 구성에 한정되지 않는다. 예를 들어, 도 23의 (C)에 도시된 화소 회로에 스위치, 저항 소자, 용량 소자, 센서, 트랜지스터, 또는 논리 회로 등을 추가하여도 좋다.
- [0394] 도 23에서 예시한 회로에 상술한 실시형태에서 예시한 트랜지스터를 적용하는 경우, 저전위 측에 소스 전극(제 1 전극), 고전위 측에 드레인 전극(제 2 전극)이 각각 전기적으로 접속되는 구성으로 한다. 또한, 제어 회로 등에 의하여 제 1 게이트 전극의 전위를 제어하고 제 2 게이트 전극에는 소스 전극에 공급되는 전위보다 낮은 전위 등, 상기에서 예시한 전위를 배선(미도시)을 통하여 입력 가능한 구성으로 하면 좋다.
- [0395] 예를 들어, 본 명세서 등에 있어서, 표시 소자, 표시 소자를 갖는 장치인 표시 장치, 발광 소자, 및 발광 소자를 갖는 장치인 발광 장치에는 다양한 형태를 사용하거나, 다양한 소자가 제공될 수 있다. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치의 일례로서는, EL(일렉트로루미네스نس) 소자(유기물 및 무기물을 포함하는 EL 소자, 유기 EL 소자, 무기 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동 소자, GLV(Grating Light Valve), PDP(Plasma Display Panel), MEMS(Micro Electro Mechanical System), DMD(digital micromirror device), DMS(Digital Micro Shutter), MIRASOL(등록 상표), IMOD(Interferometric Modulator Display) 소자, 일렉트로웨팅 소자, 압전 세라믹 디스플레이, 카본 나노튜브 등, 전기 자기적 작용에 의하여, 콘트라스트, 휙도, 반사율, 투과율 등이 변화되는 표시 매체를 갖는 것이다. EL 소자를 사용한 표시 장치의 일례로서는 EL 디스플레이 등이 있다. 전자 방출 소자를 이용한 표시 장치의 일례로서는, 필드 에미션 디스플레이(FED) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는, 전자 종이 등이 있다.
- [0396] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0397] (실시형태 8)
- [0398] 본 실시형태에서는 본 발명의 일 형태에 따른 반도체 장치를 적용한 표시 모듈에 대하여 도 24를 참조하여 설명한다.
- [0399] 도 24에 도시된 표시 모듈(8000)은 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트 유닛(8007), 프레임(8009), 프린트 기판(8010), 배터리(8011)를 구비한다. 또한, 백 라이트 유닛(8007), 배터리(8011), 터치 패널(8004) 등은 제공되지 않을 수도 있다.
- [0400] 본 발명의 일 형태에 따른 반도체 장치는 예를 들어, 표시 패널(8006)에 사용할 수 있다.
- [0401] 상부 커버(8001) 및 하부 커버(8002)는 터치 패널(8004) 및 표시 패널(8006)의 크기에 맞추어 형상이나 치수를 적절히 변경할 수 있다.
- [0402] 터치 패널(8004)은 저항막 방식 또는 정전 용량 방식의 터치 패널을 표시 패널(8006)에 중첩하여 사용할 수 있다. 또한, 표시 패널(8006)의 대향 기판(밀봉 기판)이 터치 패널 기능을 가질 수도 있다. 또는, 표시 패널(8006)의 각 화소 내에 광 센서를 제공하고, 광학식 터치 패널로 할 수도 있다. 또는, 표시 패널(8006)의 각 화소 내에 터치 센서용 전극을 제공하고, 용량 방식 터치 패널로 할 수도 있다.
- [0403] 백 라이트 유닛(8007)은 광원(8008)을 구비한다. 광원(8008)을 백 라이트 유닛(8007)의 단부에 제공하고 광 확산판을 사용하여도 좋다.
- [0404] 프레임(8009)은 표시 패널(8006)의 보호 기능뿐만 아니라, 프린트 기판(8010)의 동작에 의하여 발생되는 전자기파를 차단하기 위한 전자기 실드로서의 기능도 갖는다. 또한, 프레임(8009)은 방열판으로서의 기능을 가져도

좋다.

- [0405] 프린트 기판(8010)은 전원 회로, 비디오 신호 및 클록 신호를 출력하기 위한 신호 처리 회로를 구비한다. 전원 회로에 전력을 공급하는 전원은 외부의 상용 전원이어도 좋고, 별도로 제공된 배터리(8011)이어도 좋다. 또한, 상용 전원을 사용하는 경우에는 배터리(8011)를 생략할 수 있다.
- [0406] 또한, 표시 모듈(8000)에는 편광판, 위상차판, 프리즘 시트 등의 부재를 추가하여 제공하여도 좋다.
- [0407] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0408] (실시형태 9)
- [0409] 본 발명의 일 형태에 따른 반도체 장치는 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD(Digital Versatile Disc) 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 그 외에, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말기, 전자 서적, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카 오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 25에 도시하였다.
- [0410] 도 25의 (A)는 휴대형 게임기이며, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 구비한다. 또한, 도 25의 (A)에 도시된 휴대형 게임기는 2 개의 표시부(903)와 표시부(904)를 구비하지만, 휴대형 게임기가 갖는 표시부의 개수는 이에 한정되지 않는다.
- [0411] 도 25의 (B)는 휴대 정보 단말기이며, 제 1 하우징(911), 제 2 하우징(912), 제 1 표시부(913), 제 2 표시부(914), 접속부(915), 조작 키(916) 등을 구비한다. 제 1 표시부(913)는 제 1 하우징(911)에 제공되고, 제 2 표시부(914)는 제 2 하우징(912)에 제공된다. 그리고, 제 1 하우징(911)과 제 2 하우징(912)은 접속부(915)에 의하여 접속되고, 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도는 접속부(915)에 의하여 변경할 수 있다. 제 1 표시부(913)에서의 영상을, 접속부(915)에서의 제 1 하우징(911)과 제 2 하우징(912) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 제 1 표시부(913) 및 제 2 표시부(914)의 적어도 하나에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토센서로도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다.
- [0412] 도 25의 (C)는 노트북 퍼스널 컴퓨터이며, 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등을 구비한다.
- [0413] 도 25의 (D)는 전기 냉동 냉장고이며, 하우징(931), 냉장실 도어(932), 냉동실 도어(933) 등을 구비한다.
- [0414] 도 25의 (E)는 비디오 카메라이며, 제 1 하우징(941), 제 2 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 접속부(946) 등을 구비한다. 조작 키(944) 및 렌즈(945)는 제 1 하우징(941)에 제공되고, 표시부(943)는 제 2 하우징(942)에 제공된다. 그리고, 제 1 하우징(941)과 제 2 하우징(942)은 접속부(946)에 의하여 접속되어 있고, 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도는 접속부(946)에 의하여 변경이 가능하다. 표시부(943)에 표시되는 영상을, 접속부(946)에서의 제 1 하우징(941)과 제 2 하우징(942) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.
- [0415] 도 25의 (F)는 자동차이며, 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 구비한다.
- [0416] 또한, 본 실시형태는 본 명세서에 제시된 다른 실시형태 또는 실시예와 적절히 조합할 수 있다.
- [0417] (실시형태 10)
- [0418] 본 실시형태에서는 본 발명의 일 형태에 따른 RF 태그의 사용예에 대하여 도 26을 참조하여 설명한다. RF 태그의 용도는 다방면에 걸치며, 예를 들어, 지폐, 동전, 유가증권류, 무기명 채권류, 증서류(운전 면허증이나 주민 등록증 등(도 26의 (A) 참조)), 기록 매체(DVD나 비디오 테이프 등(도 26의 (B) 참조)), 포장용 용기류(포장지나 병 등(도 26의 (C) 참조)), 탈 것들(자전거 등(도 26의 (D) 참조)), 개인 소지품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활용품류, 약품이나 약제를 포함하는 의료품, 또는 전자 기기(액정 표시 장치, EL 표시 장치, 텔레비전, 휴대 전화기) 등의 물품, 또는 각 물품에 달리는 태그(도 26의 (E), 도 26의 (F) 참조) 등에 제공하여 사용할 수 있다.

- [0419] 본 발명의 일 형태에 따른 RF 태그(4000)는 표면에 부착시키거나 내장시켜 물품에 고정한다. 예를 들어, 책의 경우 종이에 내장하고, 유기 수지로 이루어진 패키지의 경우 상기 유기 수지에 함유시켜, 각 물품에 고정한다. 본 발명의 일 형태에 따른 RF 태그(4000)는 소형, 박형, 경량이기 때문에, 물품에 고정된 후에도 그 물품 자체의 디자인성을 유지할 수 있다. 또한, 지폐, 동전, 유가 증권류, 무기명 채권류, 또는 증서류 등에 본 발명의 일 형태에 따른 RF 태그(4000)를 제공함으로써 인증 기능을 제공할 수 있고, 이 인증 기능을 활용하면 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 개인 소지품, 식품류, 의류, 생활용품류, 또는 전자 기기 등에 본 발명의 일 형태에 따른 RF 태그를 부착함으로써, 검품 시스템 등 시스템의 효율화를 도모할 수 있다. 또한, 탈 것들에도, 본 발명의 일 형태에 따른 RF 태그를 부착함으로써, 도난 등에 대한 보안성을 높일 수 있다.
- [0420] 상술한 바와 같이, 본 발명의 일 형태에 따른 RF 태그를 본 실시형태에 예로 든 각 용도에 사용함으로써, 정보의 기록이나 판독을 포함한 동작 전력을 저감할 수 있기 때문에, 최대 통신 거리를 길게 할 수 있다. 또한, 전력이 차단된 상태에서도 정보를 매우 오랫동안 유지 할 수 있기 때문에, 기록이나 판독의 빈도가 낮은 용도에도 적합하게 사용할 수 있다.
- [0421] 본 실시형태는 본 명세서에서 제시하는 다른 실시형태 및 실시예와 적절히 조합할 수 있다.
- [0422] (실시예)
- [0423] 본 실시예에서는, 트랜지스터를 제작하고 그 단면 관찰을 수행한 결과를 설명한다.
- [0424] [시료 제작]
- [0425] 단면 관찰용 시료는 실시형태 2에서 설명한 방법을 이용하여, 실시형태 1에서 설명한 트랜지스터(103)에 상당하는 구조, 및 트랜지스터(101)에 상당하는 구조로 각각 제작하였다. 또한, 트랜지스터(103)에 상당하는 시료로서는 채널 폭이 다른 시료를 2가지 제작하였다.
- [0426] 기판으로서 실리콘 웨이퍼를 사용하고, 상기 실리콘 웨이퍼를 열 산화함으로써 열 산화막을 형성하고, 상기 열 산화막 위에 산화질화 실리콘막을 플라즈마 CVD법에 의하여 성막하였다.
- [0427] 다음에, 트랜지스터(103)에 상당하는 시료에서는 두께 약 20nm의 제 1 산화물 반도체막과, 이와 조성이 다른 두께 약 40nm의 제 2 산화물 반도체막을 스퍼터링법에 의하여 순차적으로 성막하였다. 또한, 트랜지스터(101)에 상당하는 시료에서는 두께 약 20nm의 산화물 반도체막을 스퍼터링법에 의하여 성막하였다.
- [0428] 다음에, 트랜지스터(103)에 상당하는 시료에서는 제 2 산화물 반도체막 위에, 트랜지스터(101)에 상당하는 시료에서는 산화물 반도체막 위에, 텅스텐막 및 유기 수지를 형성하고, 네거티브 레지스트막을 형성하고, 레지스트막에 전자빔을 주사하여 노광하고 현상 처리를 함으로써 레지스트막의 패턴을 형성하였다.
- [0429] 그리고, 상기 레지스트막을 마스크로 이용하여 유기 수지 및 텅스텐막을 선택적으로 에칭하였다. 에칭에는 유도 결합 방식의 드라이 에칭 장치를 이용하였다.
- [0430] 다음에, 유기 수지 및 텅스텐막을 마스크로 이용하여 트랜지스터(103)에 상당하는 시료에서는 제 1 산화물 반도체막 및 제 2 산화물 반도체막을, 트랜지스터(101)에 상당하는 시료에서는 산화물 반도체막을 각각 선택적으로 에칭함으로써, 트랜지스터(103)에 상당하는 시료에서는 제 1 산화물 반도체층 및 제 2 산화물 반도체층으로 이루어진 적층, 트랜지스터(101)에 상당하는 시료에서는 산화물 반도체층을 각각 형성하였다.
- [0431] 다음에, 애칭 공정에 의하여 레지스트막 및 유기 수지를 제거하고, 애칭 공정에 의하여 텅스텐막을 제거하였다.
- [0432] 다음에, 트랜지스터(103)에 상당하는 시료에서는 제 2 산화물 반도체층 위에, 트랜지스터(101)에 상당하는 시료에서는 산화물 반도체층 위에 텅스텐막을 스퍼터링법에 의하여 성막하였다. 그리고, 텅스텐막 위에 레지스트막의 패턴을 형성하고, 이것을 이용하여 텅스텐막을 선택적으로 애칭함으로써 소스 전극층 및 드레인 전극층을 형성하였다.
- [0433] 다음에, 트랜지스터(103)에 상당하는 시료의 제 1 산화물 반도체층 및 제 2 산화물 반도체층으로 이루어진 적층, 소스 전극층, 및 드레인 전극층 위에 두께 5nm의 제 3 산화물 반도체막을 스퍼터링법에 의하여 형성하였다.
- [0434] 다음에, 트랜지스터(103)에 상당하는 시료에서는 제 3 산화물 반도체막 위에, 트랜지스터(101)에 상당하는 시료에서는 산화물 반도체층, 소스 전극층, 및 드레인 전극층 위에 게이트 절연막이 되는 산화질화 실리콘막을 플라즈마 CVD법에 의하여 성막하였다.

- [0435] 그리고, 질화 티타늄막과 텉스텐막을 스퍼터링법에 의하여 연속적으로 성막하였다. 이 후, 텉스텐막 위에 레지스트막의 패턴을 형성하였다.
- [0436] 트랜지스터(103)에 상당하는 시료에서는 상기 질화 티타늄막과 텉스텐막을 레지스트막을 이용하여 선택적으로 에칭함으로써 게이트 전극층을 형성하고, 상기 게이트 전극층을 마스크로 이용하여 게이트 절연막 및 제 3 산화물 반도체막을 에칭하여 제 3 산화물을 반도체층을 형성하였다.
- [0437] 트랜지스터(101)에 상당하는 시료에서는 상기 질화 티타늄과 텉스텐막을 레지스트막을 이용하여 선택적으로 에칭함으로써 게이트 전극층을 형성하였다.
- [0438] 다음에, 절연층으로서 산화 알루미늄막 및 산화질화 실리콘막을 성막하였다.
- [0439] 상술한 공정을 거쳐 트랜지스터(103)에 상당하는 시료 및 트랜지스터(101)에 상당하는 시료를 제작하였다.
- [0440] [단면 관찰]
- [0441] 주사 투과 전자 현미경(STEM: Scanning Transmission Electron Microscope)에 의하여, 제작한 시료 1 내지 시료 3의 단면을 관찰하였다.
- [0442] 도 27의 (A), (B)는 트랜지스터(103)에 상당하는 시료 1의 단면 사진이다. 도 27의 (A)는 채널 길이 방향의 단면, 도 27의 (B)는 채널 폭 방향의 단면이다. 또한, 도 27의 (A), (B)의 단면 사진에서 계측한 채널 길이는 68.3nm, 채널 폭은 34.3nm이었다.
- [0443] 도 8의 (B) 및 도 9에서 정의된 R1 내지 R5, 및 Θ 를 도 27의 (B)에서 계측하면, R1 및 R3은 약 8.8nm, R2는 약 19.0nm, R4 및 R5는 약 7.3nm, Θ 는 20.5° 이었다. 또한, 트랜지스터의 전기 특성도 양호하였다.
- [0444] 따라서, 시료 1은 실시형태 1에서 설명한 R2는 R1 및 R3보다 크고, R1 및 R3은 실질적으로 동일하고, R4 및 R5는 실질적으로 동일하고, R1 및 R3은 R4 및 R5보다 크고, Θ 가 5° 이상 45° 이하인 것이 확인되었다.
- [0445] 도 28은 트랜지스터(103)에 상당하는, 시료 1과 채널 폭이 다른 시료 2의 채널 폭 방향의 단면 사진이다. 또한, 도 28의 단면 사진에서 계측된 채널 폭은 91.3nm이었다.
- [0446] 도 8의 (B) 및 도 9에서 정의된 R1 내지 R5, 및 Θ 를 도 28에서 계측하면, R1 및 R3은 약 4.8nm, R2는 계측 불가능(실질적으로 무한대로 판단할 수 있음), R4 및 R5는 약 3.9nm, Θ 는 21.0° 이었다. 또한, 트랜지스터의 전기 특성도 양호하였다.
- [0447] 따라서, 시료 2는 실시형태 1에서 설명한 R2는 R1 및 R3보다 크고, R1 및 R3은 실질적으로 동일하고, R4 및 R5는 실질적으로 동일하고, R1 및 R3은 R4 및 R5보다 크고, Θ 가 5° 이상 45° 이하인 것이 확인되었다.
- [0448] 도 29는 트랜지스터(101)에 상당하는, 시료 3의 채널 폭 방향의 단면 사진이다. 또한, 도 29의 단면 사진에서 계측된 채널 폭은 82.7nm이었다.
- [0449] 도 2의 (B)에서 정의된 R1 내지 R3을 도 29에서 계측하면, R1 및 R3은 약 16.1nm, R2는 약 421nm이었다. 또한, 트랜지스터의 전기 특성도 양호하였다.
- [0450] 따라서, 시료 3은 실시형태 1에서 설명한 R2는 R1 및 R3보다 크고, R1 및 R3은 실질적으로 동일한 것이 확인되었다.
- [0451] 또한, 도 29의 단면 사진으로부터 R4, R5, 및 Θ 를 정확히 계측하기 어려웠다. 더 높은 배율의 TEM 관찰을 수행하면, R4, R5, 및 Θ 를 정확히 계측할 수 있다.
- [0452] 상술한 실시예의 결과에 의하여, 본 발명의 일 형태에 따른 트랜지스터는 양호한 전기 특성을 나타내는 트랜지스터의 형태인 것이 확인되었다.
- [0453] 본 실시예는 본 명세서에서 제시하는 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

- [0454] 101: 트랜지스터
 102: 트랜지스터
 103: 트랜지스터

- 110: 기판
120: 절연층
130: 산화물 반도체층
131: 산화물 반도체층
131a: 산화물 반도체막
132: 산화물 반도체층
132a: 산화물 반도체막
133: 산화물 반도체층
133a: 산화물 반도체막
140: 소스 전극층
150: 드레인 전극층
160: 게이트 절연막
170: 게이트 전극층
170a: 도전막
172: 도전막
180: 절연층
185: 절연층
190: 레지스트 마스크
191: 영역
192: 영역
201: 영역
202: 영역
203: 영역
211: 영역
212: 영역
213: 영역
214: 영역
215: 영역
221: 영역
222: 영역
223: 영역
224: 영역
225: 영역
331: 산화물 반도체막
332: 산화물 반도체막
333: 산화물 반도체막

- 700: 기판
- 701: 화소부
- 702: 주사선 구동 회로
- 703: 주사선 구동 회로
- 704: 신호선 구동 회로
- 710: 용량 배선
- 712: 게이트 배선
- 713: 게이트 배선
- 714: 데이터선
- 716: 트랜지스터
- 717: 트랜지스터
- 718: 액정 소자
- 719: 액정 소자
- 720: 화소
- 721: 스위칭용 트랜지스터
- 722: 구동용 트랜지스터
- 723: 용량 소자
- 724: 발광 소자
- 725: 신호선
- 726: 주사선
- 727: 전원선
- 728: 공통 전극
- 800: RF 태그
- 801: 통신기
- 802: 안테나
- 803: 무선 신호
- 804: 안테나
- 805: 정류 회로
- 806: 정전압 회로
- 807: 복조 회로
- 808: 변조 회로
- 809: 논리 회로
- 810: 기억 회로
- 811: ROM
- 901: 하우징
- 902: 하우징

- 903: 표시부
904: 표시부
905: 마이크로폰
906: 스피커
907: 조작 키
908: 스타일러스
911: 하우징
912: 하우징
913: 표시부
914: 표시부
915: 접속부
916: 조작 키
921: 하우징
922: 표시부
923: 키보드
924: 포인팅 디바이스
931: 하우징
932: 냉장실 도어
933: 냉동실 도어
941: 하우징
942: 하우징
943: 표시부
944: 조작 키
945: 렌즈
946: 접속부
951: 차체
952: 차륜
953: 대시보드
954: 라이트
1189: ROM 인터페이스
1190: 기판
1191: ALU
1192: ALU 컨트롤러
1193: 인스트럭션 디코더
1194: 인터럽트 컨트롤러
1195: 타이밍 컨트롤러

1196: 레지스터

1197: 레지스터 컨트롤러

1198: 버스 인터페이스

1199: ROM

1200: 기억 소자

1201: 회로

1202: 회로

1203: 스위치

1204: 스위치

1206: 논리 소자

1207: 용량 소자

1208: 용량 소자

1209: 트랜지스터

1210: 트랜지스터

1213: 트랜지스터

1214: 트랜지스터

1220: 회로

1331: 영역

1332: 영역

1333: 영역

2100: 트랜지스터

2200: 트랜지스터

2201: 절연막

2202: 배선

2203: 플러그

2204: 절연막

2205: 배선

2206: 배선

2207: 절연막

2208: 블로킹막

2211: 반도체 기판

2212: 절연막

2213: 게이트 전극

2214: 게이트 절연막

2215: 드레인 영역

3001: 배선

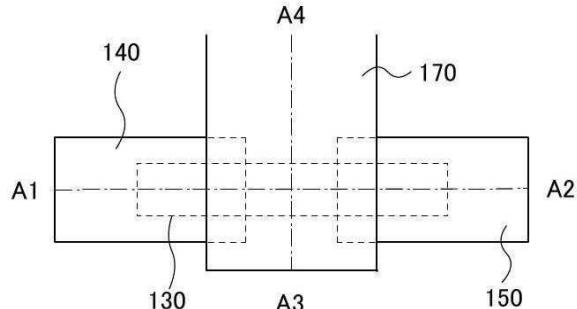
3002: 배선
3003: 배선
3004: 배선
3005: 배선
3200: 트랜지스터
3300: 트랜지스터
3400: 용량 소자
4000: RF 태그
5100: 펠럿
5100a: 펠럿
5100b: 펠럿
5101: 이온
5102: 산화 아연층
5103: 입자
5105a: 펠럿
5105a1: 영역
5105a2: 펠럿
5105b: 펠럿
5105c: 펠럿
5105d: 펠럿
5105d1: 영역
5105e: 펠럿
5120: 기판
5130: 타깃
5161: 영역
8000: 표시 모듈
8001: 상부 커버
8002: 하부 커버
8003: FPC
8004: 터치 패널
8005: FPC
8006: 표시 패널
8007: 백 라이트 유닛
8008: 광원
8009: 프레임
8010: 프린트 기판

8011: 배터리

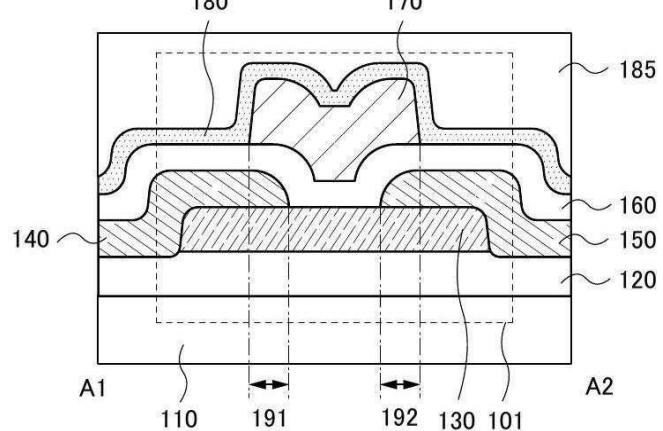
도면

도면1

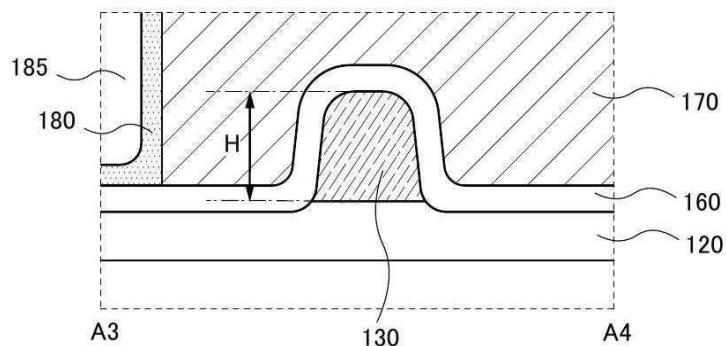
(A)



(B)

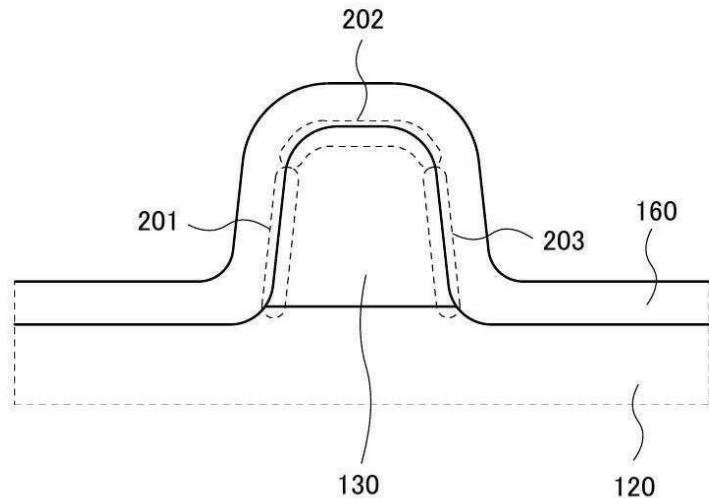


(C)

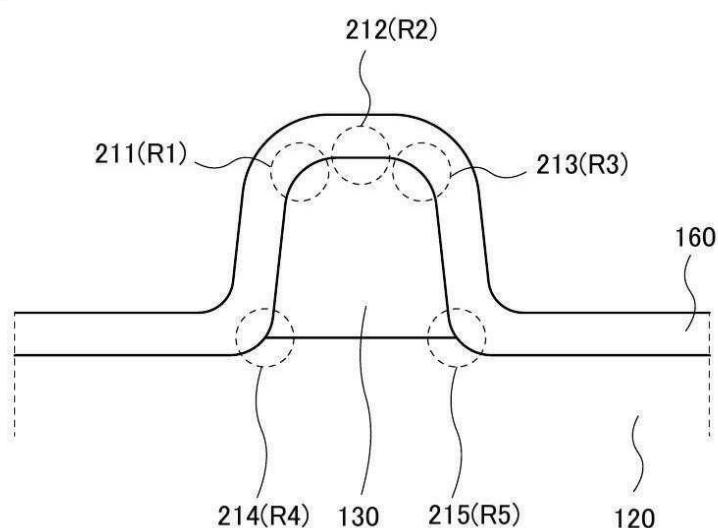


도면2

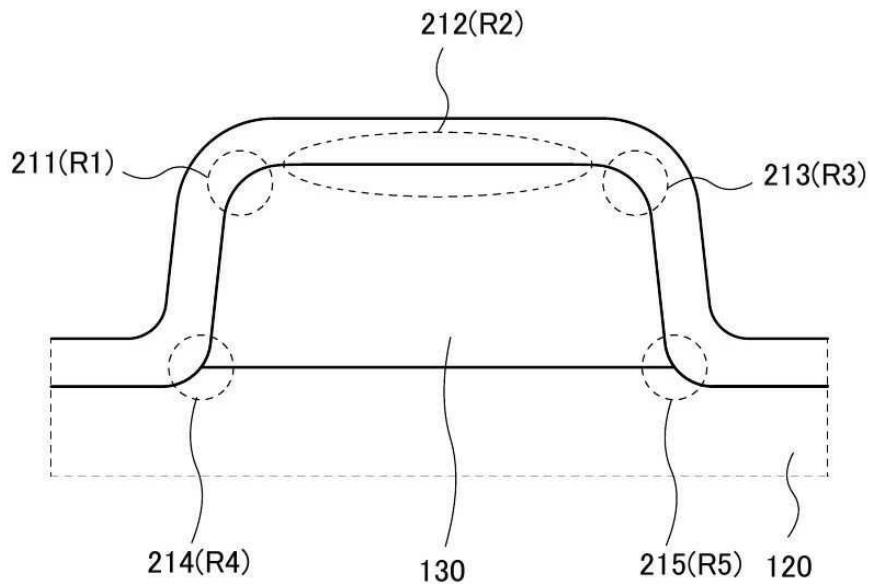
(A)



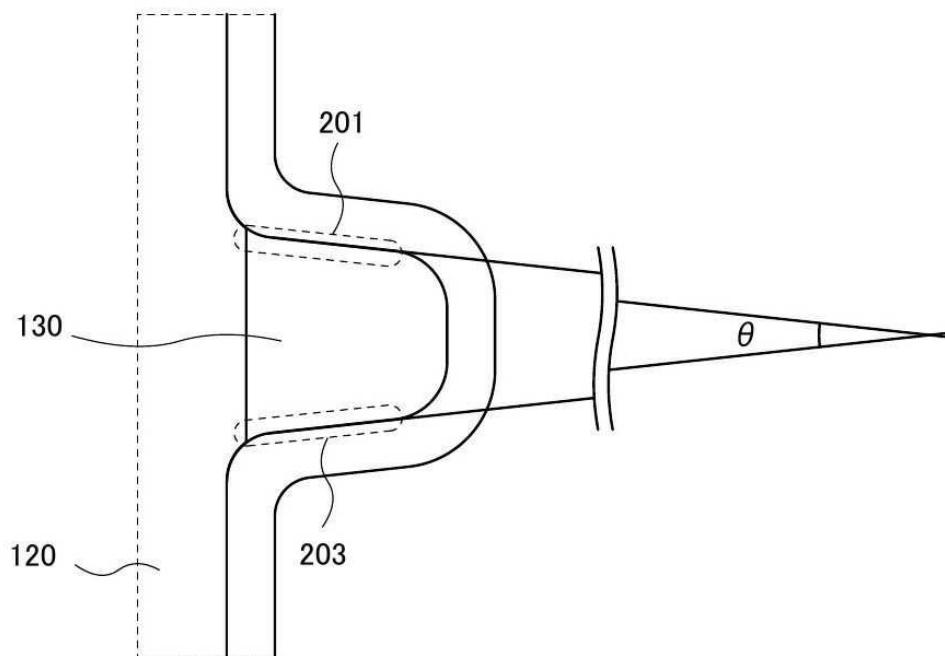
(B)



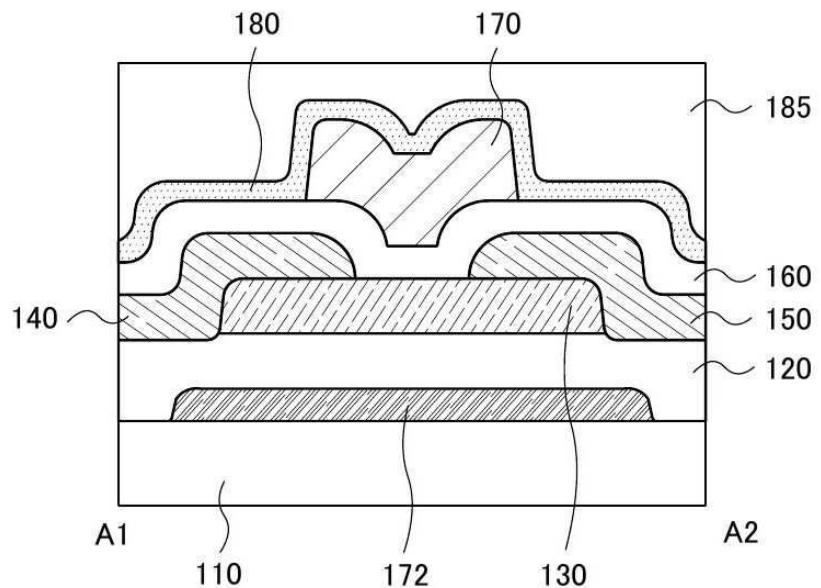
도면3



도면4

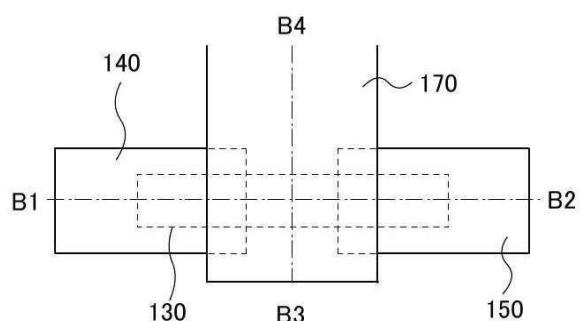


도면5

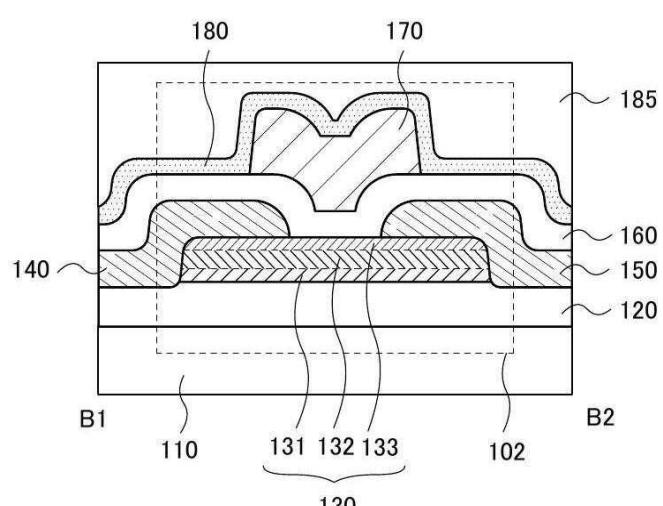


도면6

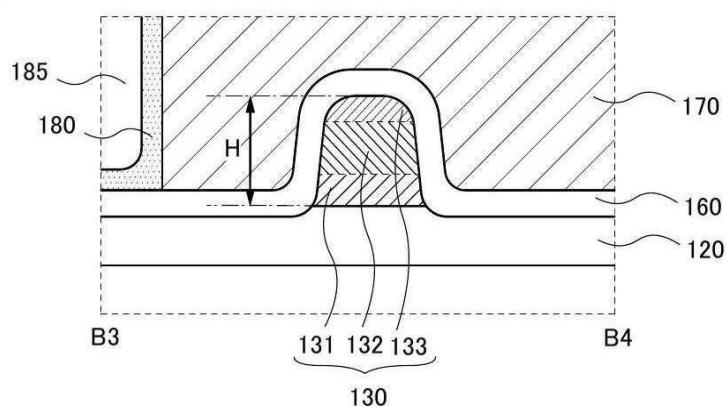
(A)



(B)

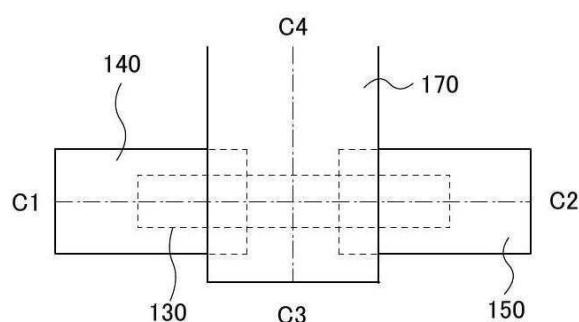


(C)

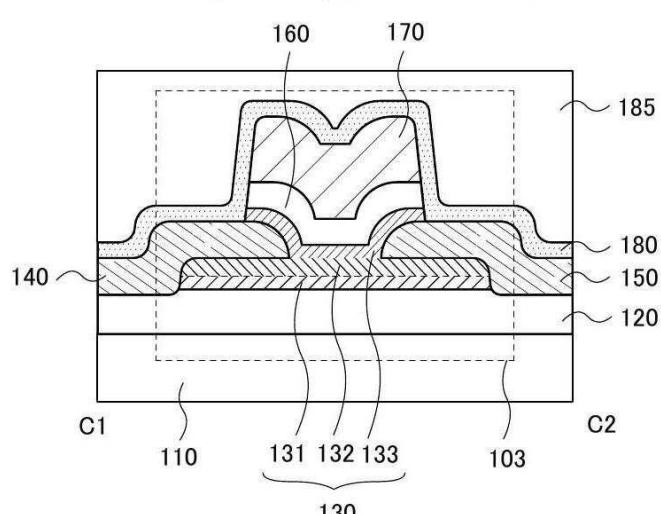


도면7

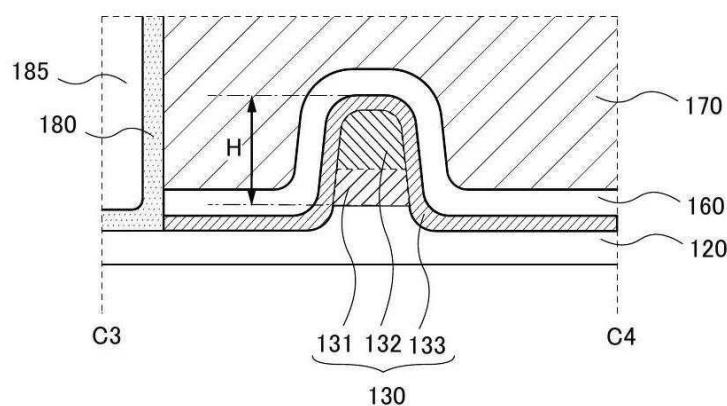
(A)



(B)

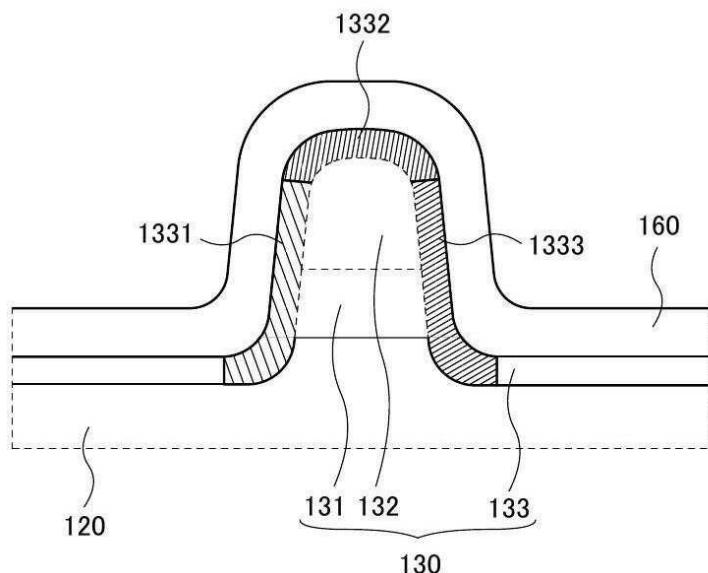


(C)

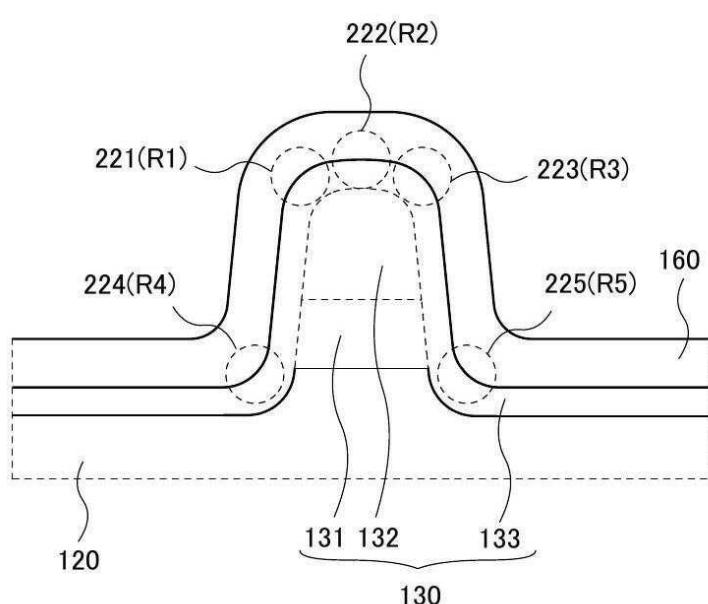


도면8

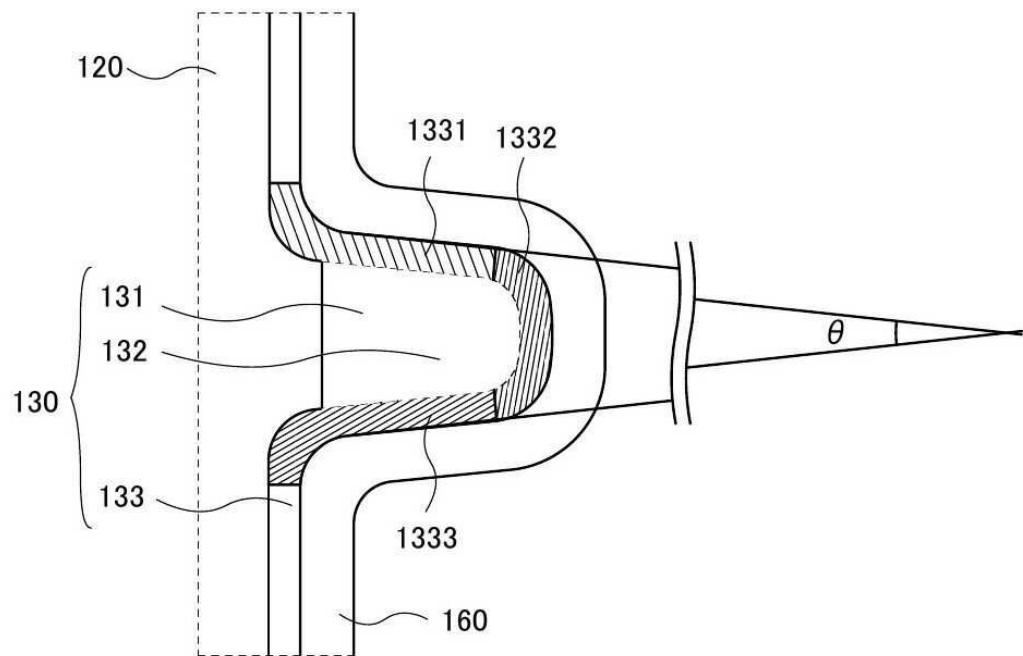
(A)



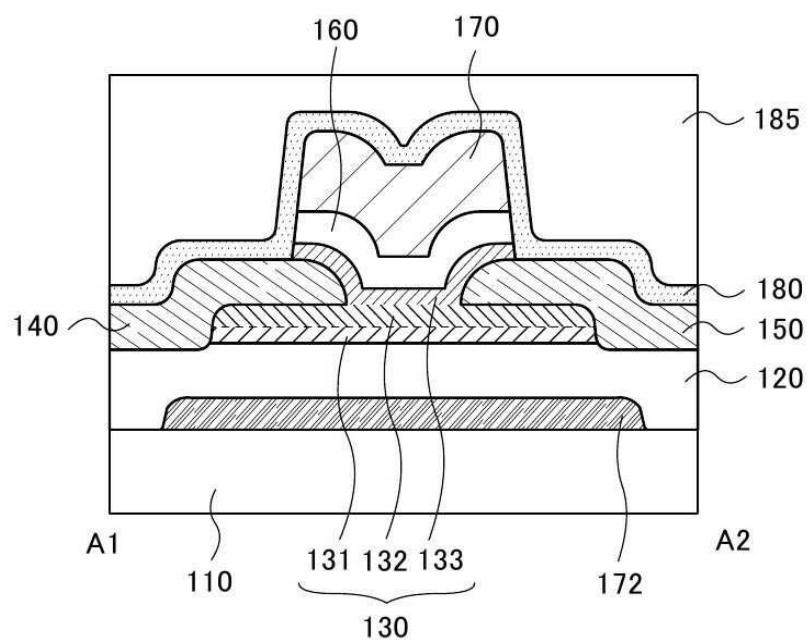
(B)



도면9

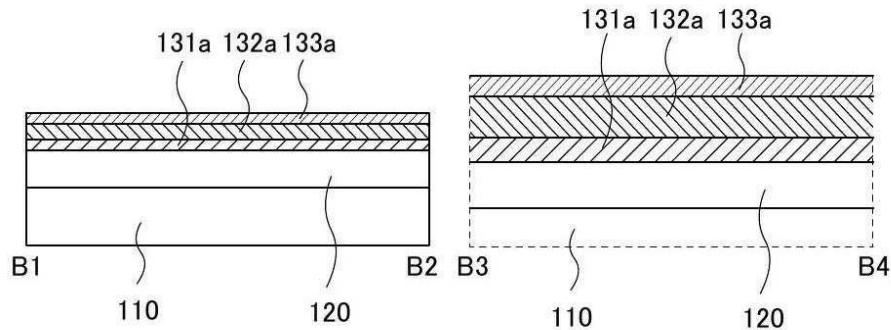


도면10

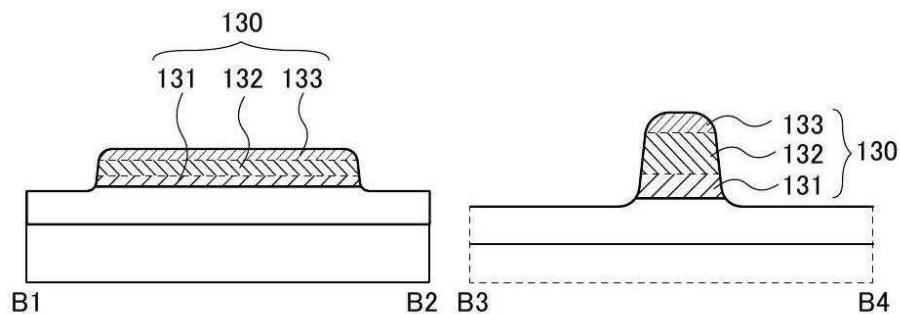


도면11

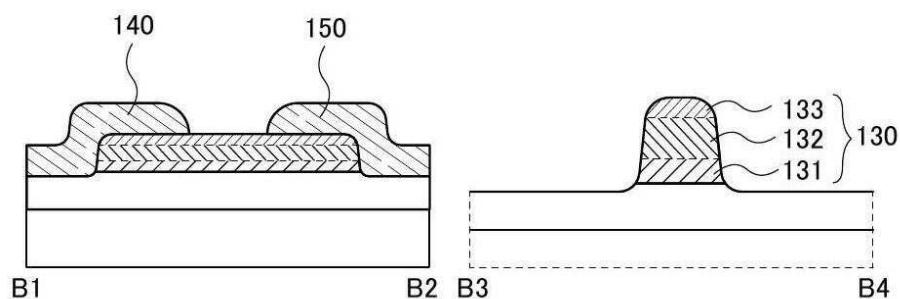
(A)



(B)

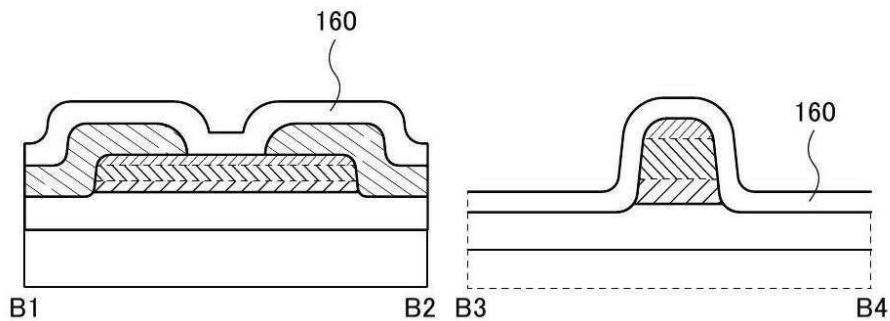


(C)

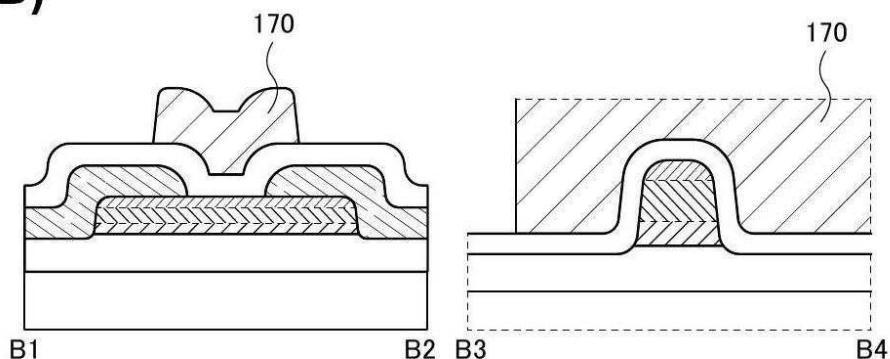


도면12

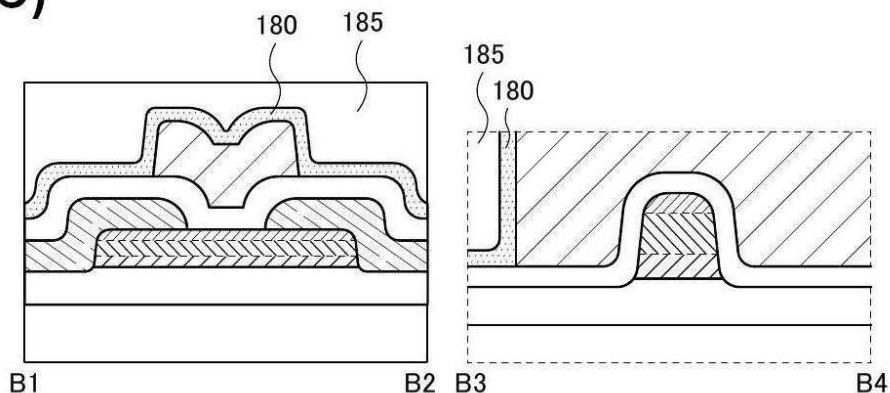
(A)



(B)

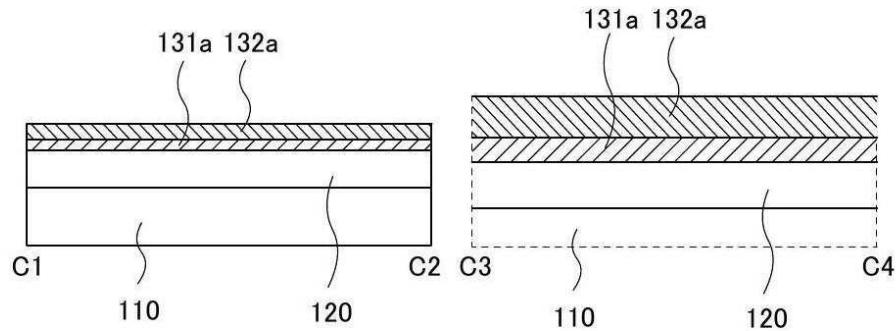


(C)

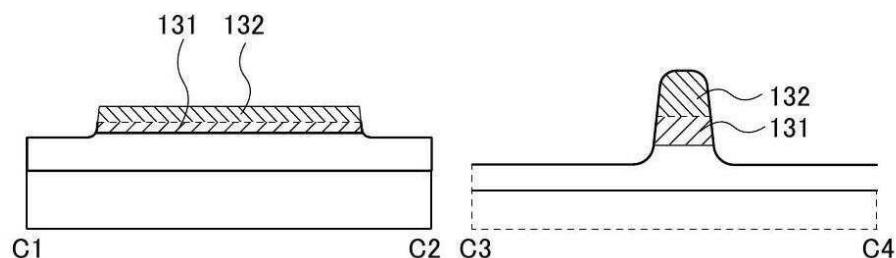


도면13

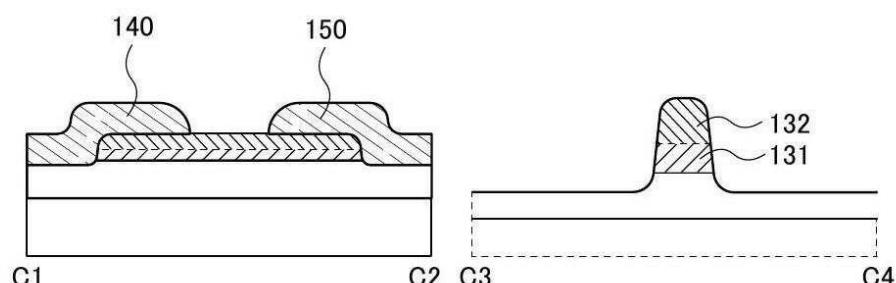
(A)



(B)

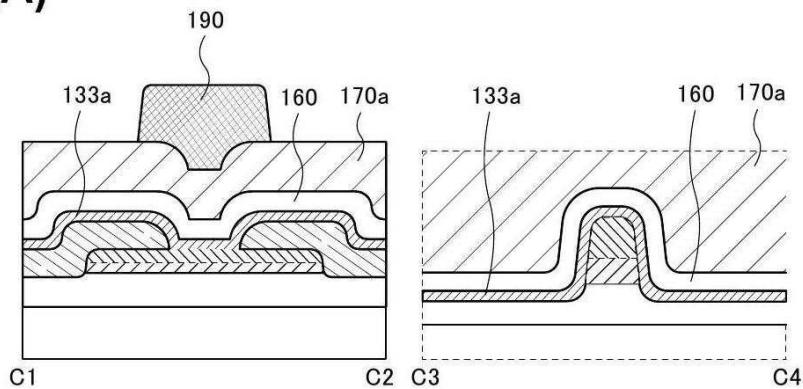


(C)

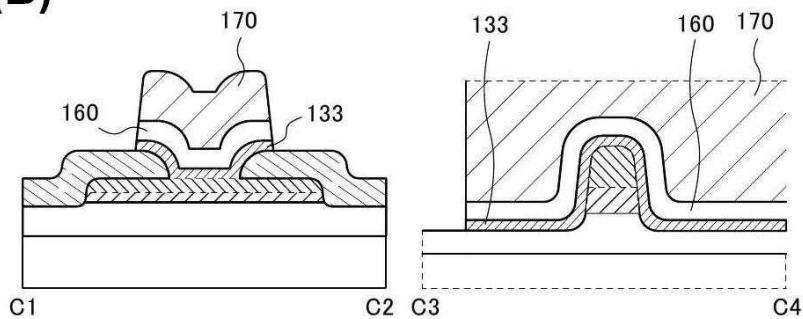


도면14

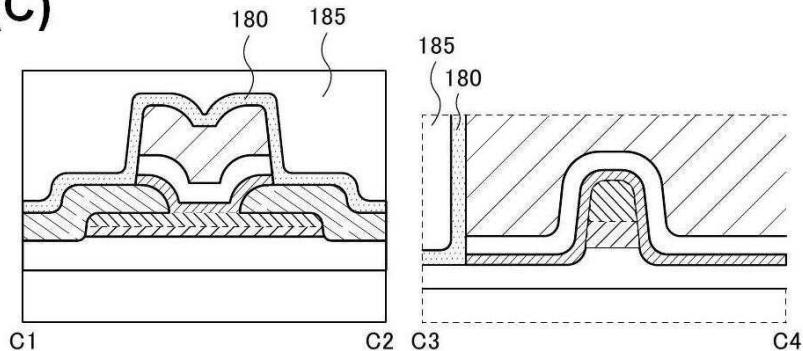
(A)



(B)

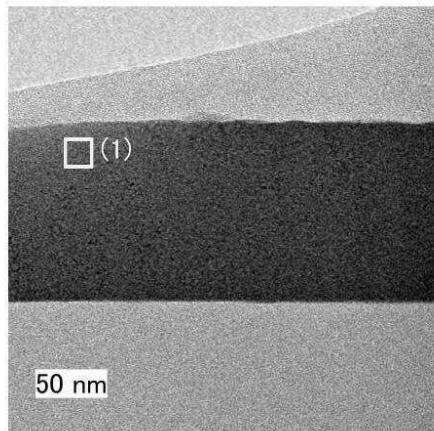


(C)

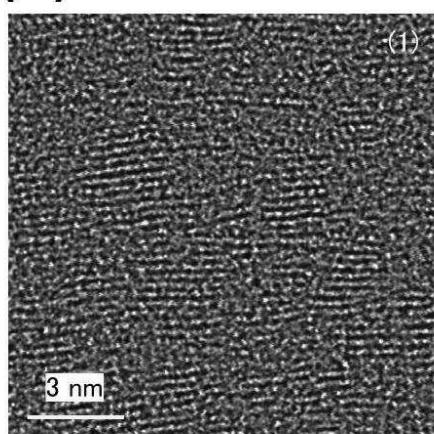


도면15

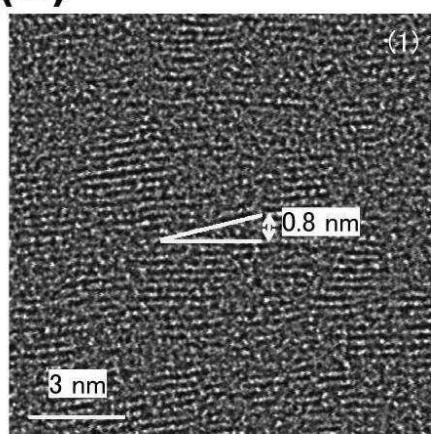
(A)



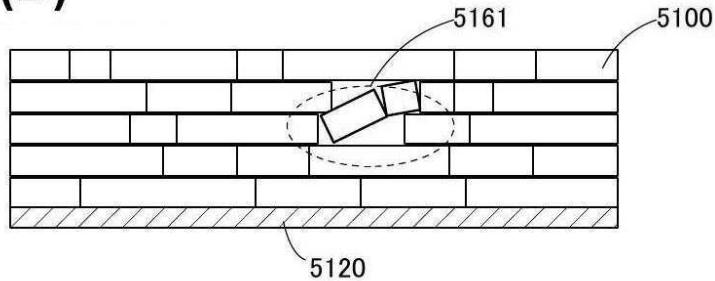
(B)



(C)

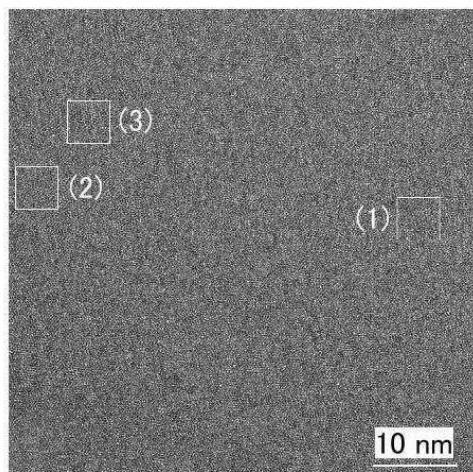


(D)

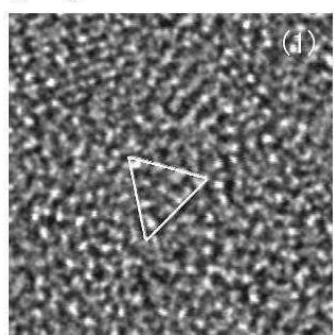


도면16

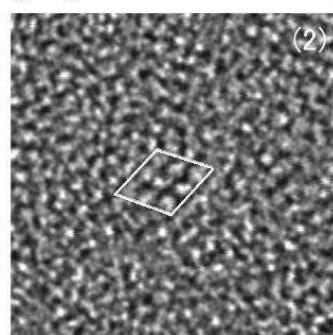
(A)



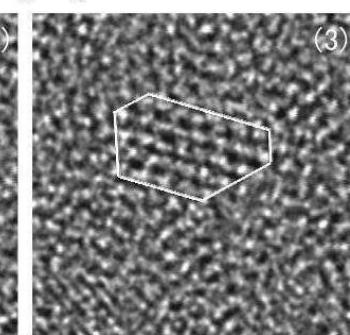
(B)



(C)

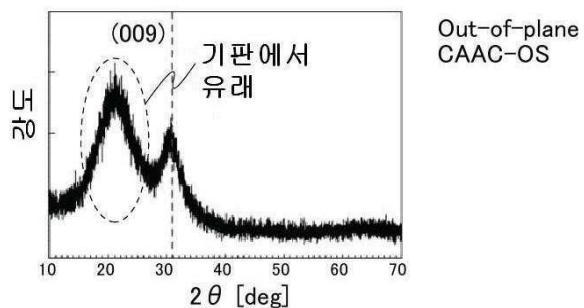


(D)

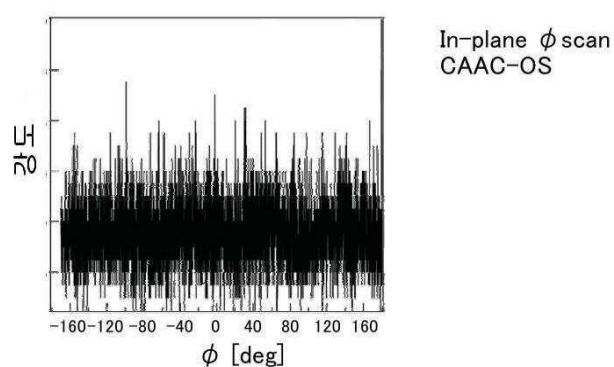


도면17

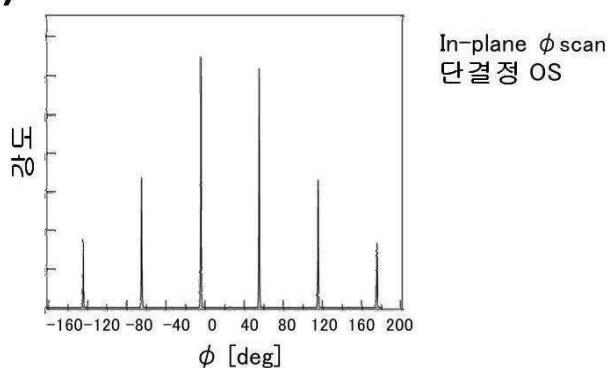
(A)



(B)

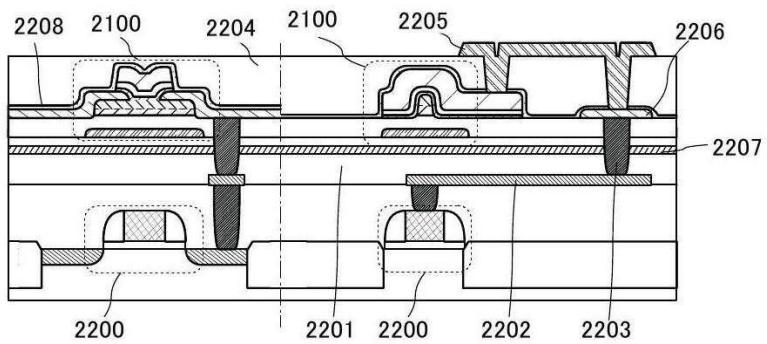


(C)

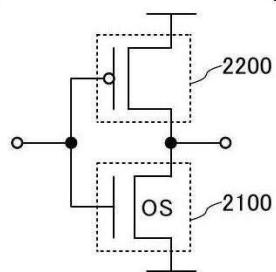


도면18

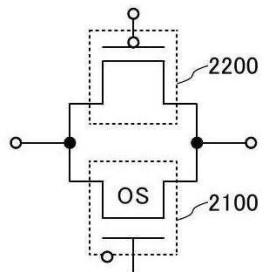
(A)



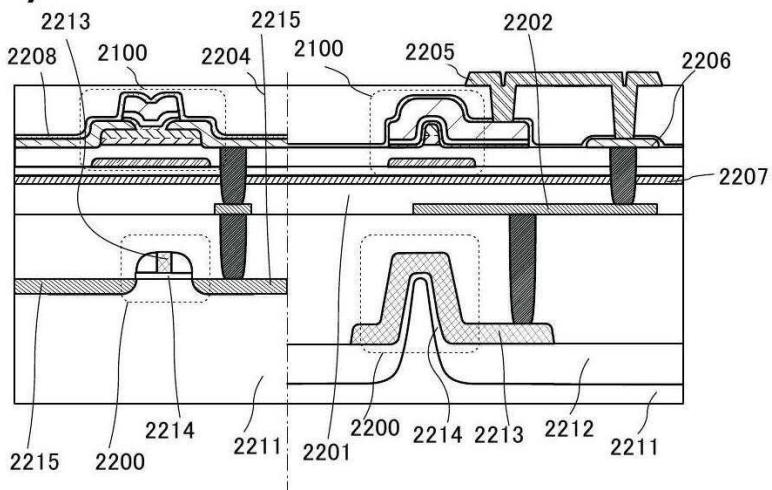
(B)



(C)

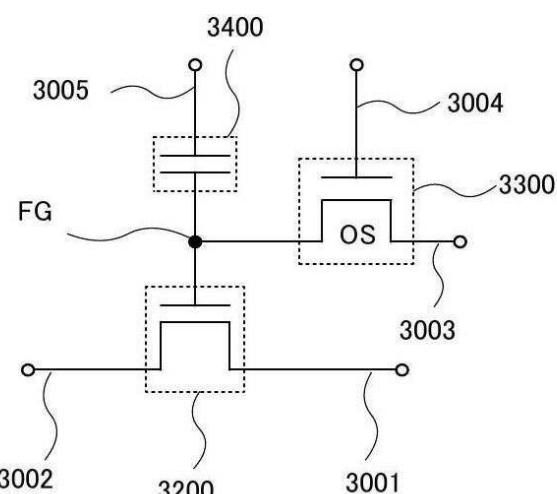


(D)

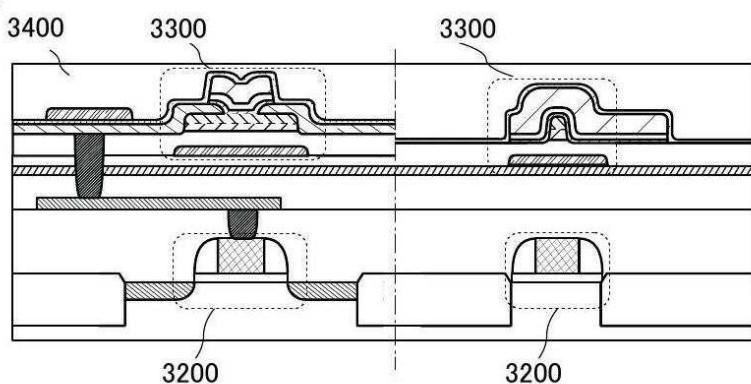


도면19

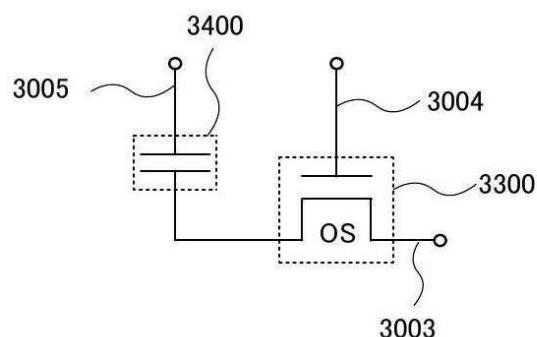
(A)



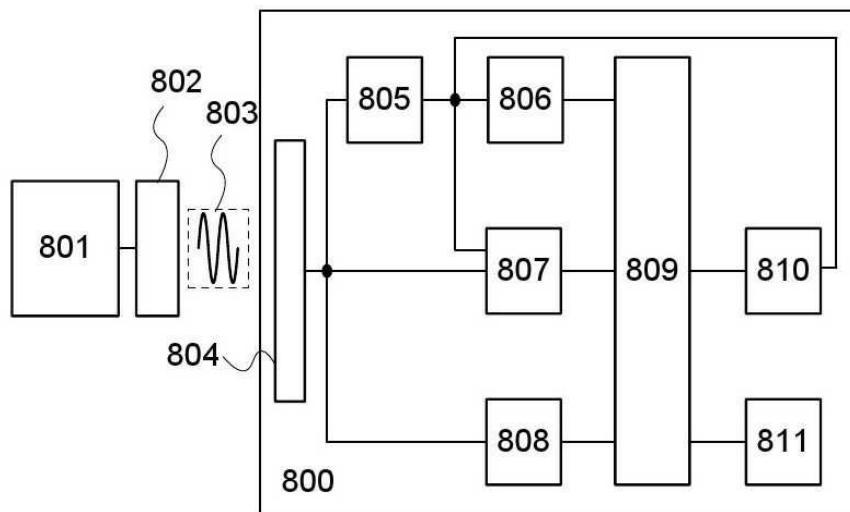
(B)



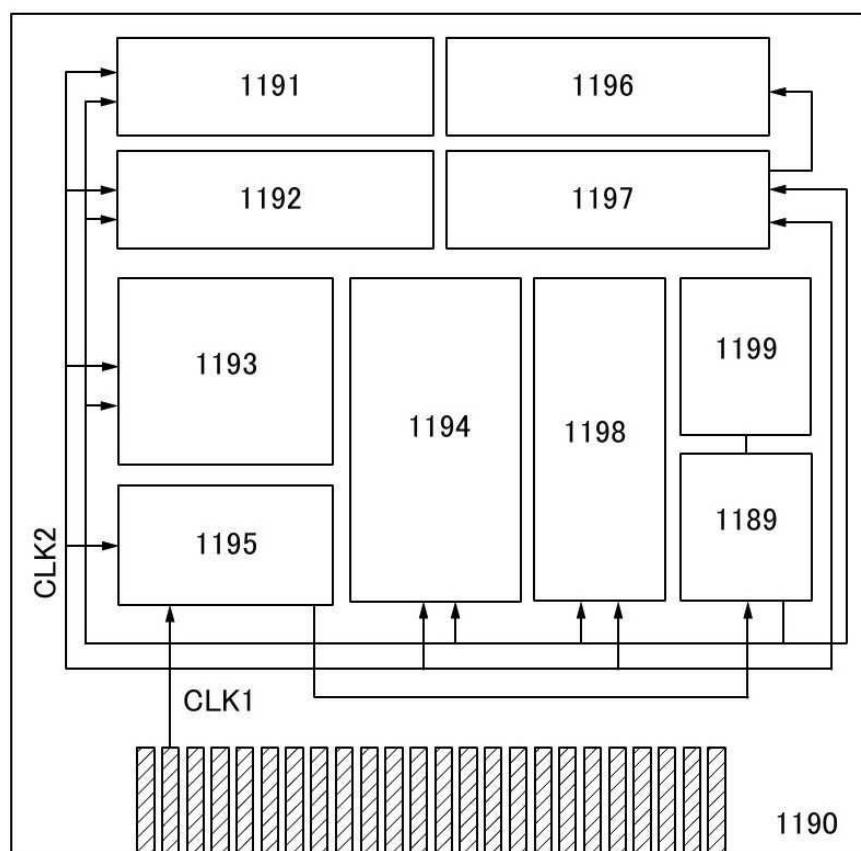
(C)



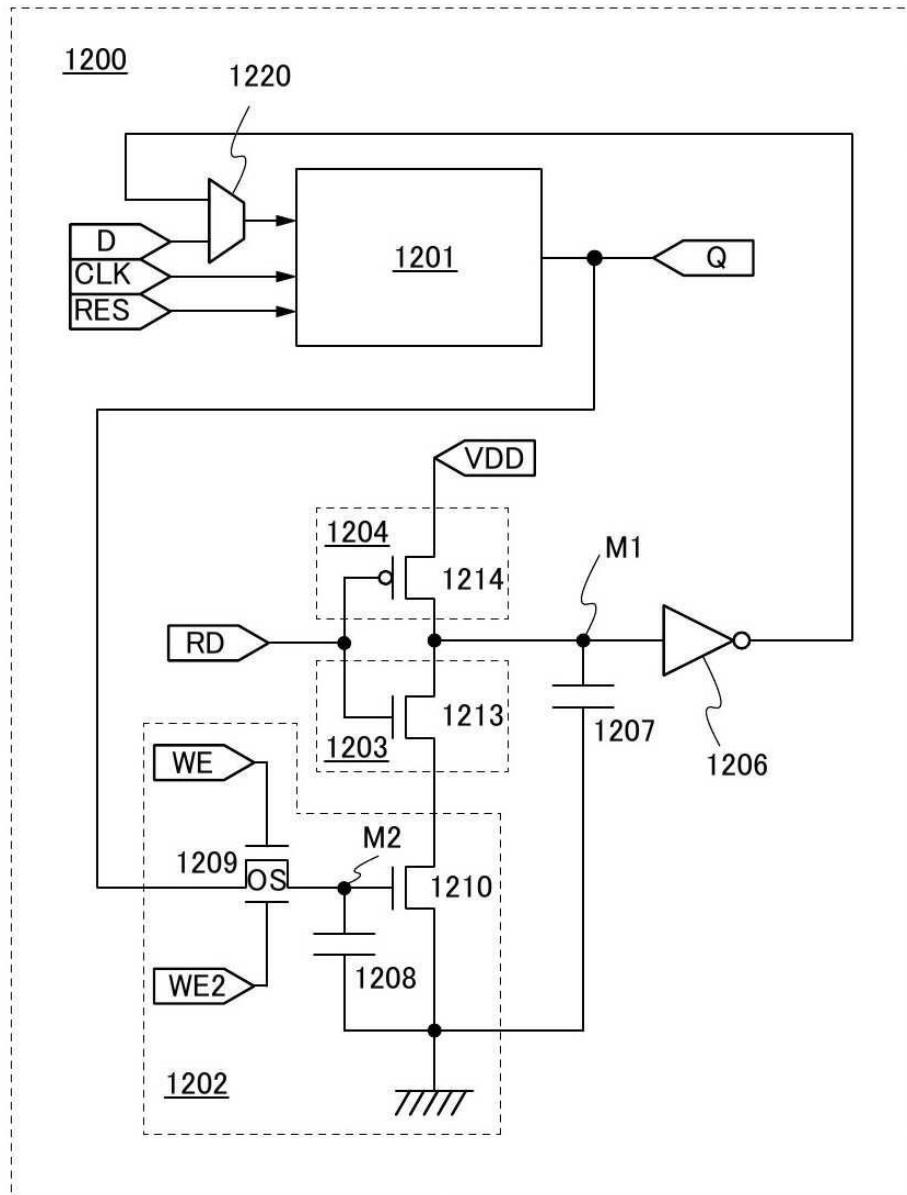
도면20



도면21

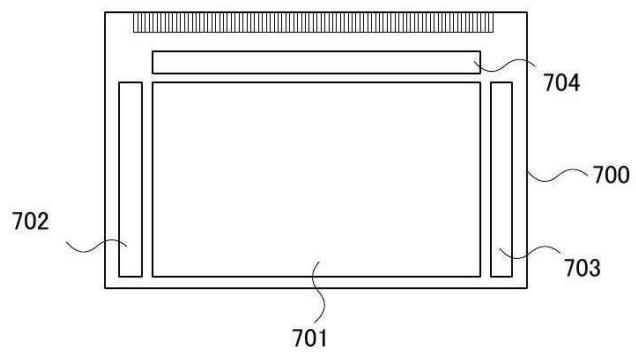


도면22

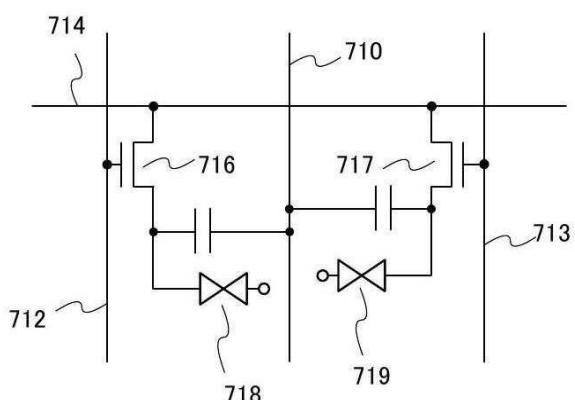


도면23

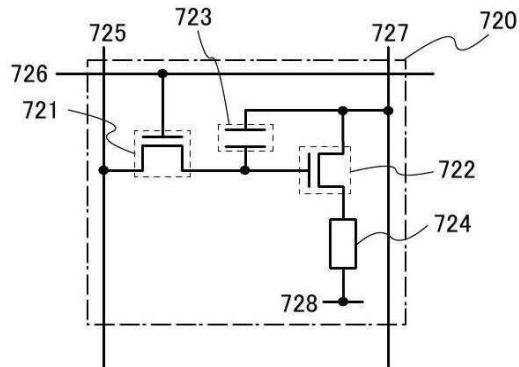
(A)



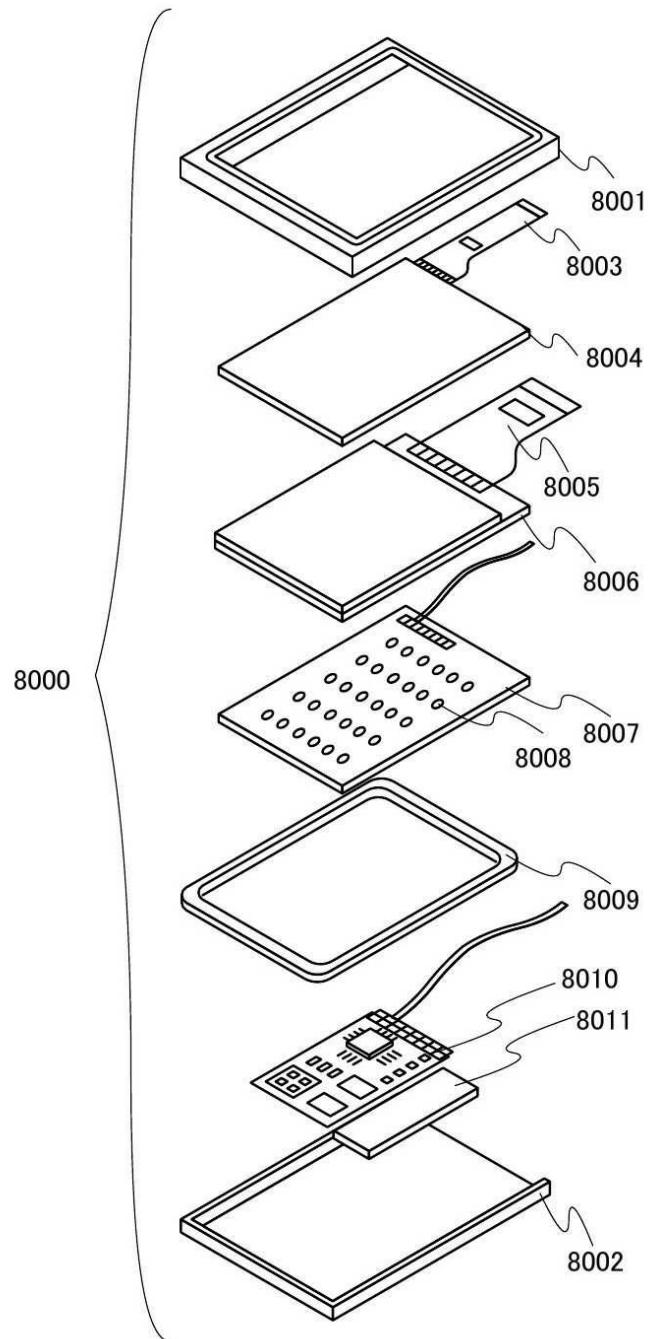
(B)



(C)

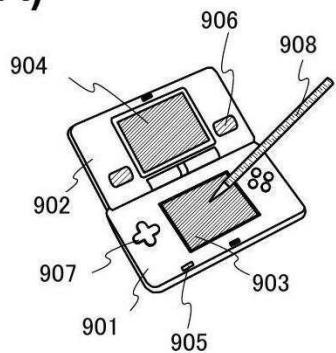


도면24

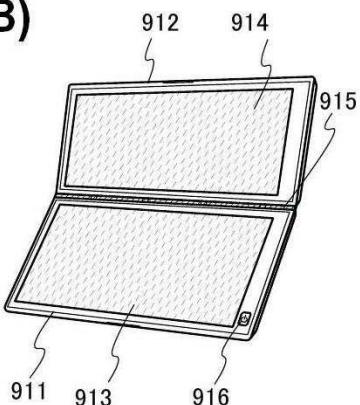


도면25

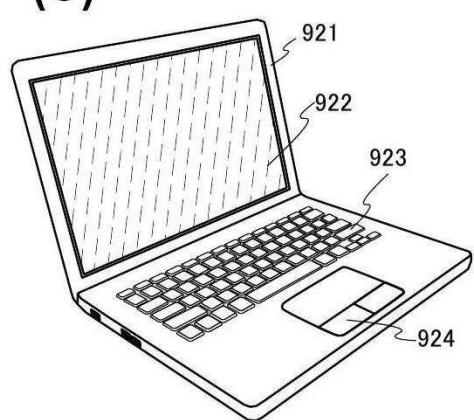
(A)



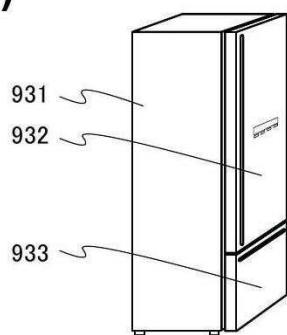
(B)



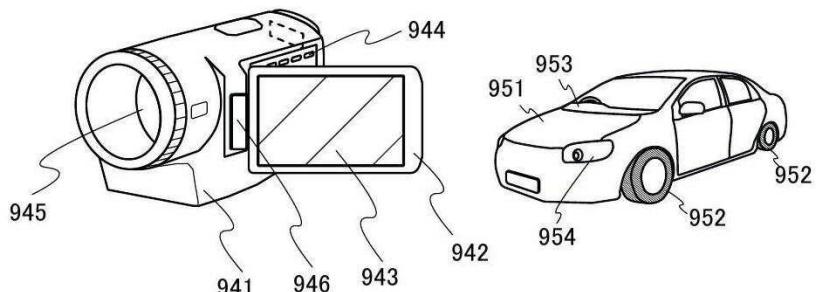
(C)



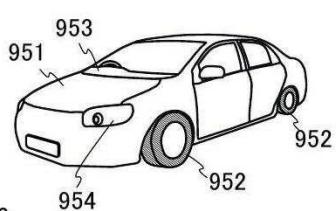
(D)



(E)

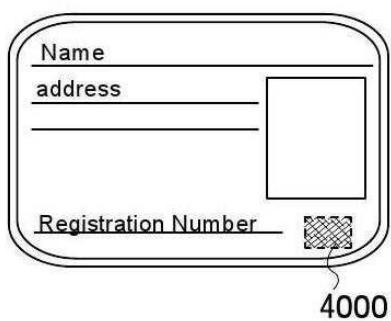


(F)

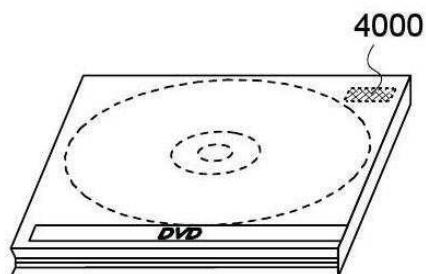


도면26

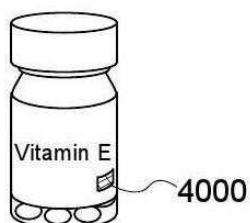
(A)



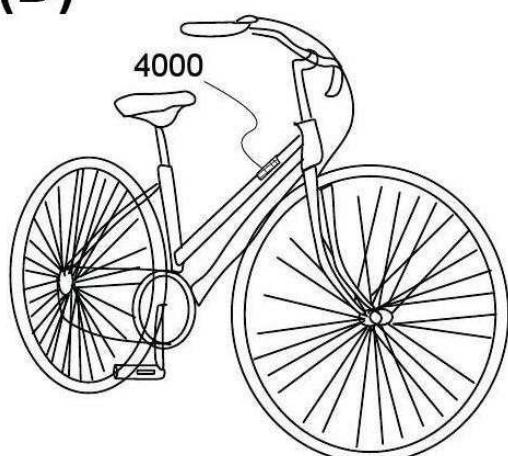
(B)



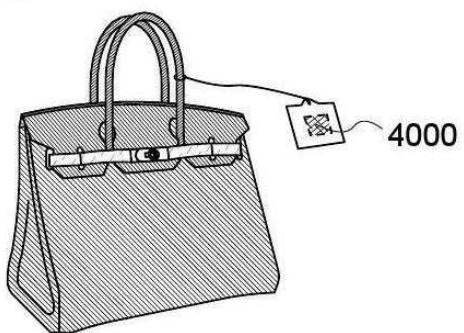
(C)



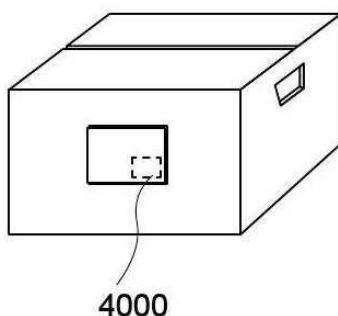
(D)



(E)

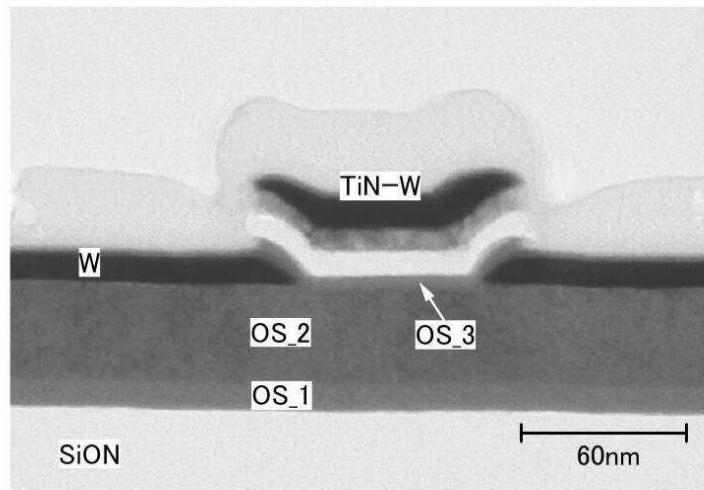


(F)

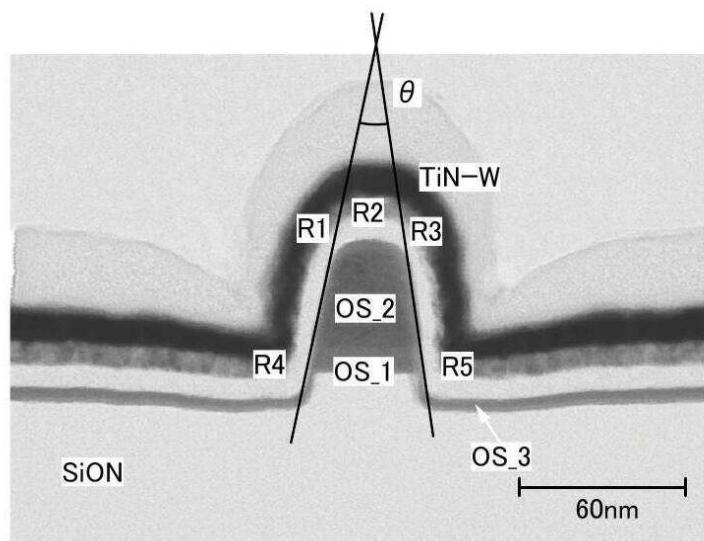


도면27

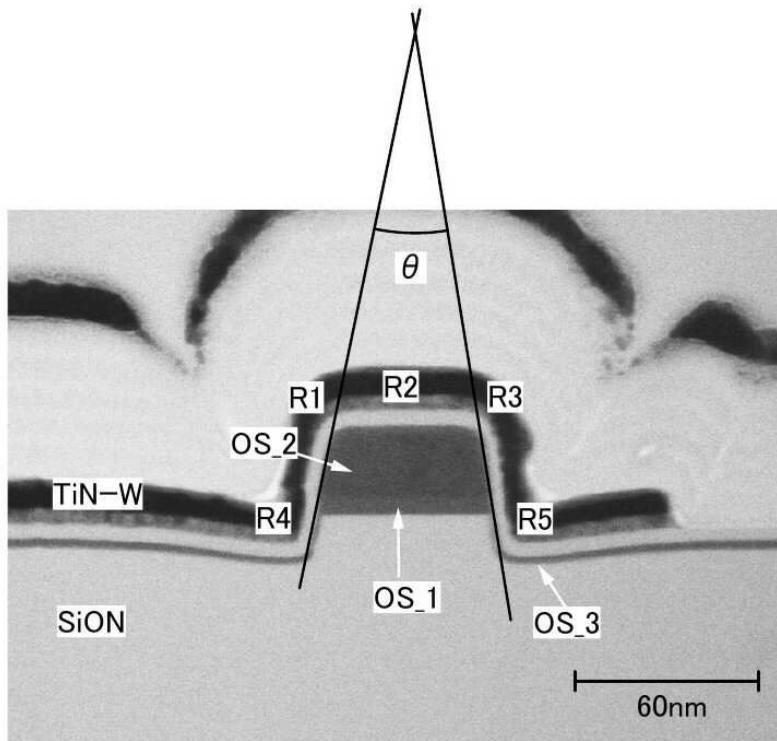
(A)



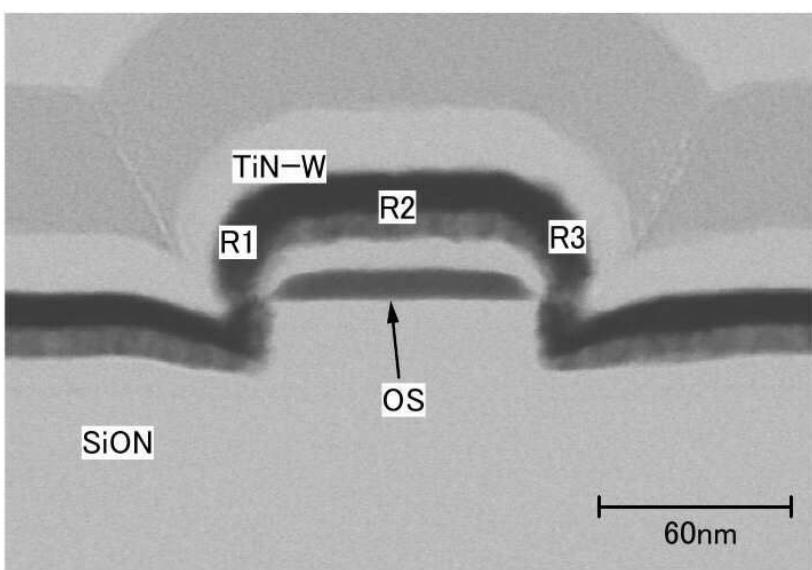
(B)



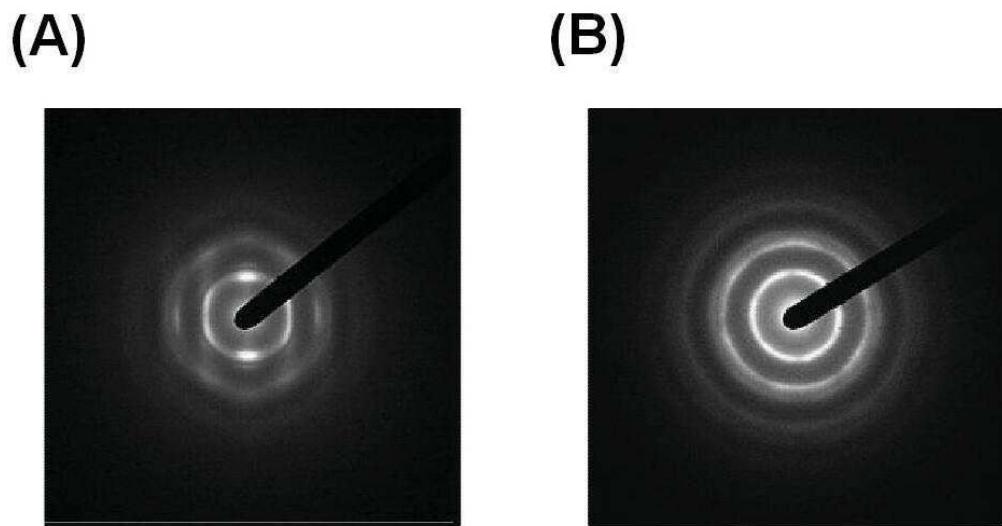
도면28



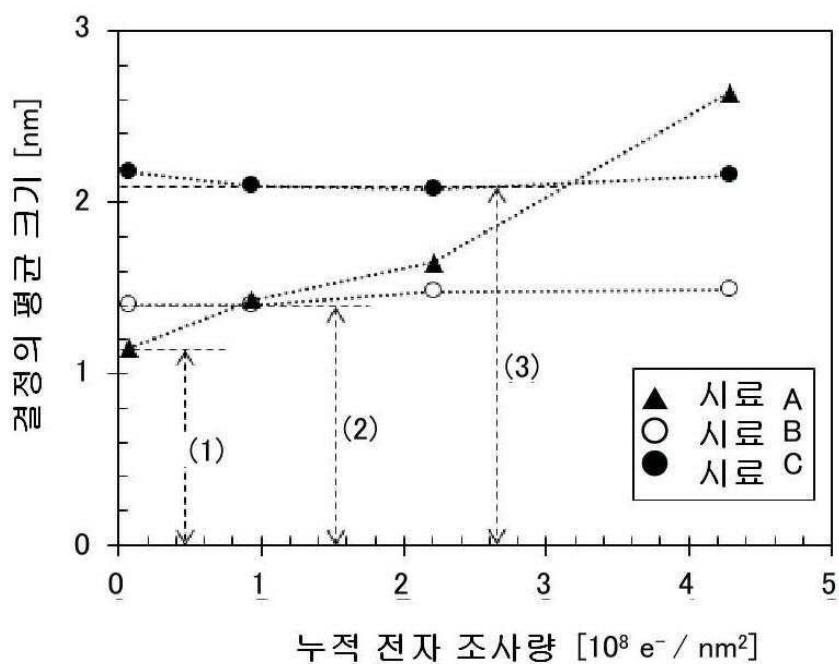
도면29



도면30

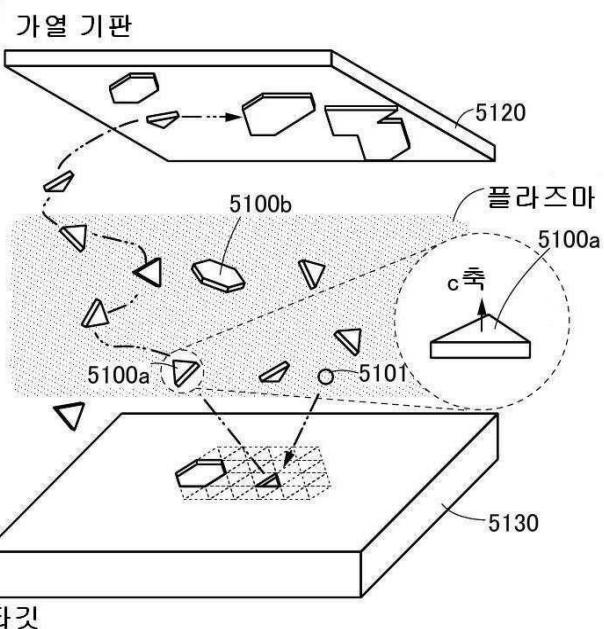


도면31

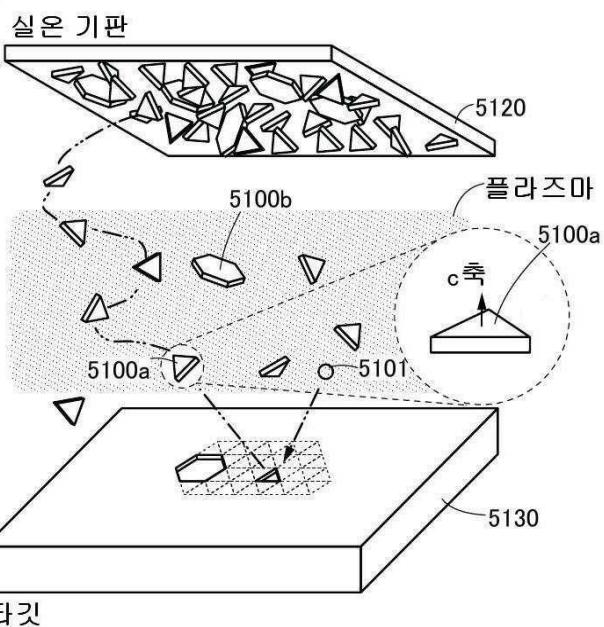


도면32

(A)

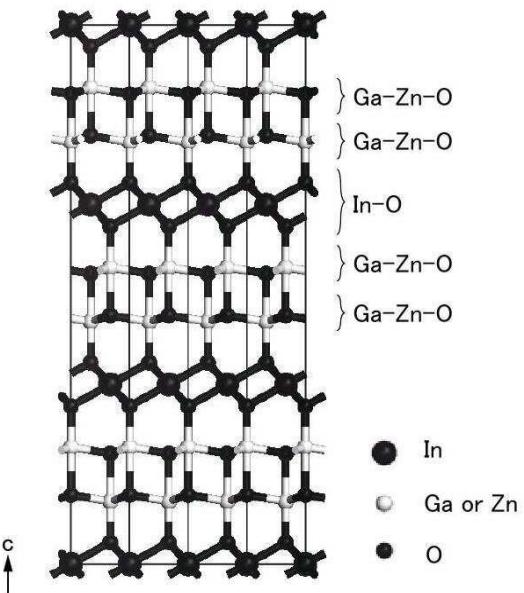


(B)

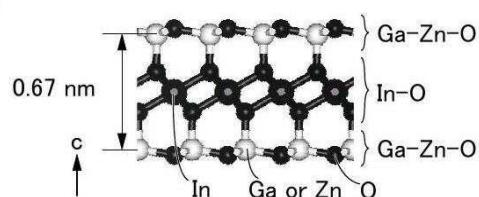


도면33

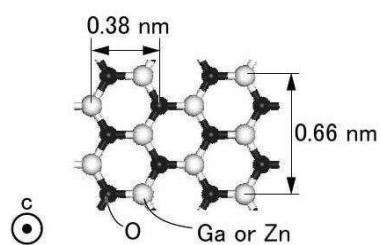
(A)



(B)

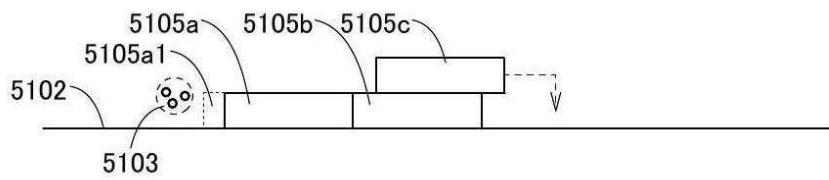


(C)

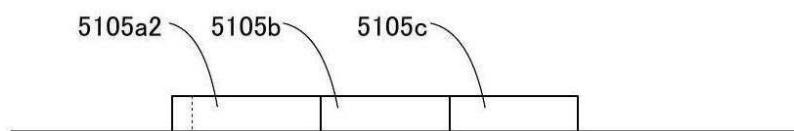


도면34

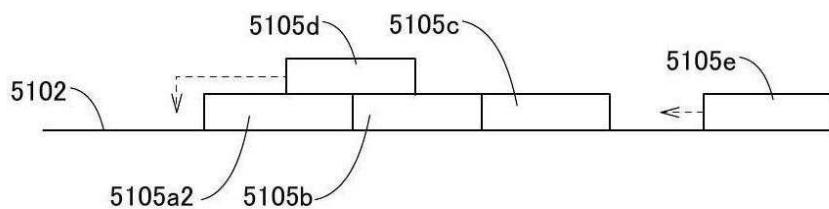
(A)



(B)



(C)



(D)

