

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4059939号
(P4059939)

(45) 発行日 平成20年3月12日 (2008. 3. 12)

(24) 登録日 平成19年12月28日 (2007. 12. 28)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 E

H O 1 L 29/739 (2006. 01)

H O 1 L 29/78 6 5 5 A

H O 1 L 21/322 (2006. 01)

H O 1 L 21/322 Q

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 5 8 A

請求項の数 27 (全 24 頁)

(21) 出願番号 特願平8-241257
 (22) 出願日 平成8年8月23日 (1996. 8. 23)
 (65) 公開番号 特開平10-65165
 (43) 公開日 平成10年3月6日 (1998. 3. 6)
 審査請求日 平成15年8月14日 (2003. 8. 14)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 福永 健司
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 川村 裕二

最終頁に続く

(54) 【発明の名称】 パワーMOSデバイス及びその作製方法

(57) 【特許請求の範囲】

【請求項 1】

結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャネル形成領域と、

前記チャネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、

を有し、

前記チャネル形成領域にはボロンが添加されており、

前記チャネル形成領域はキャリアが移動する領域と、

前記ドリフト領域より前記チャネル形成領域および前記ソース領域に向かって広がる空乏層をピニングする不純物領域と、を有し、

前記不純物領域は、偏析した前記ボロンを含む熱酸化物を有することを特徴とするパワーMOSデバイス。

【請求項 2】

結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャネル形成領域と、

前記チャネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、

を有し、

前記チャネル形成領域にはボロンが添加されており、

前記チャネル形成領域はキャリアが移動する領域と、

前記ドリフト領域より前記チャネル形成領域および前記ソース領域に向かって広がる空

乏層をピニングし、かつ、キャリアの移動経路を規定する不純物領域と、を有し、
前記不純物領域は、偏析した前記ボロンを含む熱酸化物を有することを特徴とするパワ
 ー MOS デバイス。

【請求項 3】

結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャネル形成領域と、

前記チャネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、

を有し、

前記チャネル形成領域にはボロンが添加されており、

前記チャネル形成領域はキャリアが移動する領域と、

10

不純物元素の添加により形成され、しきい値電圧を制御するための不純物領域と、を有し、

前記不純物領域は、偏析した前記ボロンを含む熱酸化物を有することを特徴とするパワ
 ー MOS デバイス。

【請求項 4】

結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャネル形成領域と、

前記チャネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、

を有し、

前記チャネル形成領域にはボロンが添加されており、

20

前記チャネル形成領域はキャリアが移動する領域と、

不純物元素の添加により形成され、しきい値電圧を制御し、かつ、キャリアの移動経路を規定する不純物領域と、を有し、

前記不純物領域は、偏析した前記ボロンを含む熱酸化物を有することを特徴とするパワ
 ー MOS デバイス。

【請求項 5】

請求項 1 または請求項 2 において、

前記不純物領域にはエネルギーバンド幅 (Eg) を広げる不純物元素が添加されていることを特徴とするパワー MOS デバイス。

【請求項 6】

30

請求項 3 または請求項 4 において、

前記不純物元素はエネルギーバンド幅 (Eg) を広げることを特徴とするパワー MOS デバイス。

【請求項 7】

請求項 5 または請求項 6 において、

前記不純物元素は酸素であることを特徴とするパワー MOS デバイス。

【請求項 8】

請求項 1 乃至請求項 4 のいずれか一項において、

前記キャリアが移動する領域においてはキャリアの不純物散乱を防止する手段若しくはキャリアの格子散乱以外の要因による移動度低下を防止する手段が施されていることを特徴とするパワー MOS デバイス。

40

【請求項 9】

請求項 1 乃至請求項 4 のいずれか一項において、

前記チャネル形成領域の幅 W に対して前記不純物領域および前記不純物領域間の幅が占有する割合をそれぞれ W_{pi} 、 W_{pa} とする時、前記 W、前記 W_{pi} および前記 W_{pa} との間には、 $W_{pi} / W = 0.1 \sim 0.9$ 、 $W_{pa} / W = 0.1 \sim 0.9$ 、 $W_{pi} / W_{pa} = 1/9 \sim 9$ の関係式が成り立つことを特徴とするパワー MOS デバイス。

【請求項 10】

請求項 1 乃至請求項 4 のいずれか一項において、

前記チャネル形成領域のチャネル方向に垂直な少なくとも一断面は、実質的に前記不純

50

物領域により区切られた複数のチャネル形成領域の集合体と見なせることを特徴とするパワー MOS デバイス。

【請求項 1 1】

請求項 1 乃至請求項 4 のいずれか一項において、

前記チャネル形成領域において駆動時に生じる短チャネル効果に伴うしきい値電圧の低下は、前記不純物領域を利用することで得られる狭チャネル効果に伴うしきい値電圧の増加により緩和されることを特徴とするパワー MOS デバイス。

【請求項 1 2】

請求項 1 または請求項 3 において、

前記不純物領域はドットパターン形状を有していることを特徴とするパワー MOS デバイス。 10

【請求項 1 3】

請求項 1 2 において、

前記ドットパターン形状は、円形、楕円形、正方形、長方形、交互にかみ合うように配置したパターン形状のいずれか一であることを特徴とするパワー MOS デバイス。

【請求項 1 4】

請求項 2 または請求項 4 において、

前記不純物領域はチャネル方向と概略平行に形成された線状パターンであることを特徴とするパワー MOS デバイス。

【請求項 1 5】

20

請求項 1 乃至請求項 1 4 のいずれか 1 項において、

前記ドリフト領域は、前記ソース領域より弱い導電性を有することを特徴とするパワー MOS デバイス。

【請求項 1 6】

請求項 1 乃至請求項 1 5 のいずれか 1 項において、

前記結晶半導体は単結晶シリコンであることを特徴とするパワー MOS デバイス。

【請求項 1 7】

結晶半導体を利用してソース領域、ドレイン領域、ドリフト領域およびボロンが添加されたチャネル形成領域を形成する工程と、

前記チャネル形成領域に不純物領域を形成する工程と、

30

前記チャネル形成領域上にゲイト絶縁膜およびゲイト電極を形成する工程と、

を少なくとも有するパワー MOS デバイスの作製方法において、

前記チャネル形成領域はキャリアが移動する領域と前記不純物領域とで構成され、

前記不純物領域はエネルギーバンド幅 (E_g) を広げる不純物元素を添加することによって形成され、前記不純物元素の添加後、加熱処理を行うことにより、偏析した前記ボロンを含む熱酸化物が形成されることを特徴とするパワー MOS デバイスの作製方法。

【請求項 1 8】

請求項 1 7 において、

前記不純物元素は酸素であることを特徴とするパワー MOS デバイスの作製方法。

【請求項 1 9】

40

請求項 1 7 において、

前記キャリアが移動する領域においてはキャリアの不純物散乱を防止する手段若しくはキャリアの格子散乱以外の要因による移動度低下を防止する手段が施されていることを特徴とするパワー MOS デバイスの作製方法。

【請求項 2 0】

請求項 1 7 において、

前記チャネル形成領域の幅 W に対して前記不純物領域および前記不純物領域間の幅が占有する割合をそれぞれ W_{pi} 、 W_{pa} とする時、前記 W 、前記 W_{pi} および前記 W_{pa} との間には、 $W_{pi} / W = 0.1 \sim 0.9$ 、 $W_{pa} / W = 0.1 \sim 0.9$ 、 $W_{pi} / W_{pa} = 1/9 \sim 9$ の関係式が成り立つことを特徴とするパワー MOS デバイスの作製方法。 50

【請求項 2 1】

請求項 1 7 において、

前記チャネル形成領域のチャネル方向に垂直な少なくとも一断面は、実質的に前記不純物領域により区切られた複数のチャネル形成領域の集合体と見なせることを特徴とするパワー MOS デバイスの作製方法。

【請求項 2 2】

請求項 1 7 において、

前記チャネル形成領域において駆動時に生じる短チャネル効果に伴うしきい値電圧の低下は、前記不純物領域を利用することで得られる狭チャネル効果に伴うしきい値電圧の増加により緩和されることを特徴とするパワー MOS デバイスの作製方法。

10

【請求項 2 3】

請求項 1 7 において、

前記不純物領域はドットパターン形状を有していることを特徴とするパワー MOS デバイスの作製方法。

【請求項 2 4】

請求項 2 3 において、

前記ドットパターン形状は、円形、楕円形、正方形、長方形、交互にかみ合うように配置したパターン形状のいずれかであることを特徴とするパワー MOS デバイスの作製方法。

【請求項 2 5】

請求項 1 7 において、

前記不純物領域はチャネル方向と概略平行に形成された線状パターンであることを特徴とするパワー MOS デバイスの作製方法。

20

【請求項 2 6】

請求項 1 7 乃至請求項 2 5 のいずれか 1 項において、

前記ドリフト領域は、前記ソース領域より弱い導電性を有することを特徴とするパワー MOS デバイスの作製方法。

【請求項 2 7】

請求項 1 7 乃至請求項 2 6 のいずれか 1 項において、

前記結晶半導体は単結晶シリコンであることを特徴とするパワー MOS デバイスの作製方法。

30

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本明細書で開示する発明は、大電力制御用の絶縁ゲート型半導体装置、特にパワー MOS デバイスとよばれる半導体装置およびその作製方法に関する。代表的には MOS ゲート・デバイスであるパワー MOS ・ FET (以後、単にパワー MOS と略記する) や IGBT (Insulated Gate Bipolar Transistor) 等が挙げられる。

【0002】

【従来の技術】

近年、半導体素子は益々微細化の一途を辿る傾向にあり、ディープサブミクロン領域の加工寸法が要求される様になっている。しかし、MOS ・ FET においてチャネル形成領域がディープサブミクロン領域の寸法になると短チャネル効果という現象が問題となることが知られている。

40

【0003】

短チャネル効果とは、ゲート電極の線幅が短くなる、即ちチャネル形成領域が短くなるにつれて、チャネル形成領域の電荷がゲート電圧だけでなく、ソース/ドレイン領域の空乏層電荷や電界および電位分布の影響を大きく受ける様になるために引き起こされる現象である。そして、短チャネル効果によりしきい値電圧の低下、サブスレッショルド特性の劣化、耐圧の劣化といった諸問題が発生することが知られている。

50

【0004】

この現象はチャネルを形成することで動作するMOS構造のデバイス全般に共通する問題であり、大電力制御用のパワーMOSデバイスにおいても例外ではない。パワーMOSデバイスは大電流、大電圧を扱うので高耐圧を必要とする場合が多く、短チャネル効果による耐圧の劣化は非常に大きな問題となる。

【0005】

一般的にパワーMOSデバイスとは電子機器のスイッチング素子などとして用いられる半導体装置（半導体素子）を指し、パワーMOS、IGBTなどの高速MOS系パワー・デバイスなどが知られている。これらは大電圧、大電流を扱うためにICやLSIとは構造が異なる点に特徴がある。

10

【0006】

ここで、パワーMOSの単一セルにおける基本的な構造を図2に示す。なお、図中において+や-で表す記号は導電性の相対的な強弱を示す指針として用いている。即ち、例えば N^- よりも N^+ の方が強いN型を示すことを表している。

【0007】

図2において、 N^+ 型を有する半導体基板201上にはエピタキシャル成長によりドリフト領域と呼ばれる弱いN型（ N^- ）領域202が形成されている。このN型を有する半導体基板201はそのままドレイン領域として機能する。

【0008】

また、ドリフト領域202には強いP型（ P^+ ）領域203が不純物拡散によって形成され、さらにその中に N^+ 型を有するソース領域204が配置される。この強いP型領域203はゲート電極直下の一部がチャネル形成領域として機能する。そして、半導体表面にはゲート絶縁膜205を介してゲート電極206が配置された構造となる。

20

【0009】

このようなパワーMOS構造の場合、ゲート電極206に対して正の電圧を印加するとゲート電極206近傍のP型領域（チャネル形成領域）203にチャネル領域207が形成されて矢印の方向に電流が流れる（エンハンスメント型のNチャネル型FETの場合）。

【0010】

この様に、ICやLSIに用いられるMOS・ICでは半導体基板の表面近傍において横方向に電流が流れる構成であるのに対し、図2に示すパワーMOSにおいては半導体基板を挟んでソース/ドレイン領域が配置されて縦方向に電流が流れる点に特徴がある。

30

【0011】

この様にパワーMOSで縦方向に電流が流れる様な構造とする理由はオン抵抗（ドレイン電流が流れる全ての領域の抵抗値）を小さくして電流密度を上げるためであり、大電流を扱い、高速動作を主旨とするパワーMOSには重要な構成の一つである。

【0012】

従って、高速動作特性を要求される場合はドリフト領域の比抵抗は小さいことが望ましく、逆に高耐圧特性を要求される場合はドリフト領域比抵抗を大きくして耐圧を向上させる工夫が成されていた。

【0013】

しかしながら、高速動作特性を要求される場合、ドリフト領域の比抵抗を小さくすると短チャネル効果による耐圧の劣化が発生した時に耐圧限界を超えて素子が破壊されるといった問題が起こり得る。

40

【0014】

ここで、パワーMOSに短チャネル効果が生じた場合の様子を簡略化して図3に示す。なお、図3は図2のチャネル領域207の周辺を拡大した図を表している。

【0015】

図3において、301は弱いN型（ N^- ）で形成されるドリフト領域、302は強いP型（ P^+ ）で形成されるチャネル形成領域、303は強いN型（ N^+ ）で形成されるソース領域、304はチャネル領域、305はゲート電極である。また、306で示される点線

50

はドレイン電圧が小さい時に形成される空乏層を表している。

【 0 0 1 6 】

通常、チャネル領域 3 0 4 を流れる電流はゲート電圧のみで制御される。この場合、3 0 6 で示される様に、チャネル領域 3 0 4 近傍の空乏層はチャネルに概略平行となり、均一な電界が形成される。

【 0 0 1 7 】

しかし、ドレイン電圧が高くなると、ドリフト領域 3 0 1 近傍の空乏層がチャネル領域 3 0 4、ソース領域 3 0 3 の方へと広がり、3 0 7 で示される実線で表される様に、ドレイン空乏層の電荷や電界がソース領域 3 0 3、チャネル領域 3 0 4 近傍の空乏層へと影響を及ぼすようになる。即ち、オン電流が複雑な電界分布により変化し、ゲート電圧のみで制御することが困難な状況となるのである。

10

【 0 0 1 8 】

ここで、短チャネル効果が生じる場合におけるチャネル形成領域周辺のエネルギー状態を図 4 を用いて説明する。図 4 において実線で示す状態図はドレイン電圧が 0 V の時のソース領域 4 0 1、P 型領域（チャネル形成領域）4 0 2、ドリフト領域 4 0 3 近傍のエネルギーバンド図である。

【 0 0 1 9 】

この状態において十分大きいドレイン電圧 V_d が印加されると、図 4 において点線で示す様な状態へと変化する。即ち、ドレイン電圧 V_d により形成されたドリフト領域の空乏層電荷や電界が、ソースおよびチャネル形成領域 4 0 1、4 0 2 の空乏層電荷に影響を与え、エネルギー（電位）状態はソース領域 4 0 1 からドリフト領域 4 0 3 にかけて連続的に変化するようになる。

20

【 0 0 2 0 】

そして、このような短チャネル効果が半導体素子に与える影響として、しきい値電圧（ V_{th} ）の低下やパンチスルー現象が生じる。また、パンチスルー現象によってドレイン電流に対するゲート電圧の影響が低下するとサブスレッショルド特性が悪くなる。

【 0 0 2 1 】

まず、しきい値電圧の低下は N チャネル型 FET に対しても P チャネル型 FET に対しても同様に見られる現象である。また、この低下の度合いはドレイン電圧に依存するばかりでなく、基板不純物濃度、ソース/ドレイン拡散層深さ、ゲート酸化膜厚、基板バイアス等の様々なパラメータに依存する。

30

【 0 0 2 2 】

しきい値電圧の低下は消費電力を小さくするといった意味では望ましいことであるが、一般的には集積回路の駆動電圧が小さくなることで周波数特性が高くないといったデメリットが問題となってしまう。

【 0 0 2 3 】

そのため、これまではしきい値電圧を制御するための手段としてはチャネル形成領域全体に、均一に一導電性を付与する不純物元素を添加して、その添加量でもってしきい値電圧を制御するのが一般的であった。しかし、この方法でもやはり短チャネル効果自体を防ぐことはできず、パンチスルー現象などが発生してしまっていた。また、添加した不純物がキャリアを散乱させるのでキャリアの移動度を低下させる要因ともなっていた。

40

【 0 0 2 4 】

また、パンチスルー現象に伴うサブスレッショルド特性の劣化とはサブスレッショルド係数（S 値）が大きくなる、即ち FET のスイッチング特性が劣化することを意味している。ここでサブスレッショルド特性に及ぼす短チャネル効果の影響を図 5 に示す。

【 0 0 2 5 】

図 5 は横軸にゲート電圧 V_g 、縦軸にドレイン電流 I_d の対数をとったグラフであり、5 0 1 の領域における傾き（サブスレッショルド特性）の逆数が S 値である。この図 5 ではチャネル長を徐々に短くした時の特性の変化を比較しており、矢印の方向に向かってチャネル長は短くなっている。

50

【 0 0 2 6 】

その結果、チャネル長が短くなるに従って特性の傾きが小さくなる、即ちS値が大きくなる傾向にあることが確認できる。このことは、チャネル長が短くなるに従って半導体素子のスイッチング特性が劣化することを意味する。

【 0 0 2 7 】

【発明が解決しようとする課題】

以上の様に、短チャネル効果という現象はパワーMOSデバイスにおいても大きな問題であり、今後の微細化に向けて解決すべき問題である。

【 0 0 2 8 】

特に、パワーMOSデバイスでは高速動作特性と高耐圧特性がトレードオフの関係にあり、高速動作特性に重きを置いた場合には短チャネル効果による耐圧の劣化が素子破壊の問題として顕在化する。

10

【 0 0 2 9 】

そこで本明細書で開示する発明は、上記問題点を解決して、高速動作特性と高耐圧特性の両特性を同時に実現する絶縁ゲイト型半導体装置、特にパワーMOSデバイスおよびその作製方法を提供することを課題とする。

【 0 0 3 0 】

【課題を解決するための手段】

本明細書で開示する発明の構成は、

結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャネル形成領域と、

20

前記チャネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、

を少なくとも有する絶縁ゲイト型半導体装置であって、

前記チャネル形成領域はキャリアが移動する領域と、

前記ドリフト領域より前記チャネル形成領域およびソース領域に向かって広がる空乏層をピニングするために人為的かつ局部的に形成された不純物領域と、
を有することを特徴とする。

【 0 0 3 1 】

また、他の発明の構成は、

結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャネル形成領域と、

30

前記チャネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、

を少なくとも有する絶縁ゲイト型半導体装置であって、

前記チャネル形成領域はキャリアが移動する領域と、

不純物元素の添加により所定のしきい値電圧に制御するために人為的かつ局部的に形成された不純物領域と、

を有することを特徴とする。

【 0 0 3 2 】

なお、本明細書において、結晶半導体とは現在のIC、LSIレベルで一般的に用いられている水準の単結晶シリコンを代表的な例としているが、さらに高水準の単結晶シリコン（究極的には宇宙空間で作製された様な理想状態の単結晶シリコン）もその範疇に含まれる。

40

【 0 0 3 3 】

本発明の主旨は、チャネル形成領域に人為的かつ局部的に形成した不純物領域によりドリフト領域からチャネル形成領域に向かって広がる空乏層を効果的に抑制し、短チャネル効果によって引き起こされるパンチスルー現象、サブスレッショルド特性の劣化、耐圧の劣化などの諸問題を防止することにある。

【 0 0 3 4 】

本出願人はあたかもチャネル形成領域に不純物領域のピンを形成することに似ていることから、本発明によるデバイスをピニング型パワーMOSデバイスと呼んでいる。なお、本

50

明細書中において「ピニング」とは「抑止」を意味しており、「ピニングする」とは「抑止する」という意味で用いている。

【 0 0 3 5 】

即ち、チャンネル形成領域に対して局部的に不純物領域を形成し、その領域をエネルギー的な障壁として利用するものである。そして、不純物領域をエネルギー的な障壁として利用することでドリフト領域側の空乏層がチャンネル形成領域側へ広がるのをエネルギー的に抑止し、それによってチャンネル形成領域に形成される電界がゲイト電圧のみによって制御される様にする。

【 0 0 3 6 】

本発明は上記構成をなすために不純物領域を形成する不純物元素としてエネルギーバンド幅 (E g) を広げる不純物元素を用いている。その様な不純物元素としては炭素 (C) 、窒素 (N) 、酸素 (O) から選ばれた一種または複数種類の元素が挙げられる。

【 0 0 3 7 】

この場合、添加された不純物はチャンネル形成領域に局部的にエネルギーバンド幅の大きいエネルギー障壁を形成する。本発明の様に炭素、窒素、酸素を用いた場合には、図 6 (A) で示す状態であったエネルギーバンドを図 6 (B) で示す状態とし、エネルギーバンド幅 (E g) を広げることで障壁 E がさらに大きな障壁 E ' となる。例えば、酸素を添加した場合には SiO_x で示される様な構造の絶縁性の高抵抗領域となり電氣的にも障壁となる。

【 0 0 3 8 】

また、上記不純物元素以外にエネルギーバンド幅をシフトさせる不純物元素を用いることもできる。その様な不純物元素としては 1 3 族の元素 (代表的にはボロン) や 1 5 族の元素 (代表的にはリンまたは砒素) が挙げられる。本発明では N チャンネル型パワー MOS を作製する場合には 1 3 族元素を用い、 P チャンネル型パワー MOS を作製する場合には 1 5 族元素を用いる。

【 0 0 3 9 】

ただし、どちらを用いる場合もチャンネル形成領域と不純物領域は同一導電型となるので、不純物領域の方の濃度を高くしておくことが望ましい。また、チャンネル形成領域が実質的に真性である場合には、不純物領域の濃度を低くすることができる。

【 0 0 4 0 】

この場合、添加された不純物はチャンネル形成領域において局部的にエネルギーバンドをシフトさせる。例えば、N チャンネル型パワー MOS に対してボロンを添加した場合には、図 7 (A) で示す状態であったエネルギーバンドを図 7 (B) で示す状態とし、フェルミレベル (E f) をシフトさせることで障壁 E がさらに大きな障壁 E ' となる。勿論この場合、フェルミレベルをシフトさせることは結果的にチャンネル形成領域のエネルギーバンドをシフトさせることに他ならない。

【 0 0 4 1 】

また、この領域はチャンネル領域とは逆の導電性を有し、抵抗値は低いもののエネルギー的には十分障壁となる。同様に P チャンネル型パワー MOS に対してリンまたは砒素を添加した場合にも逆導電性領域が形成されてエネルギー障壁として活用することができる。

【 0 0 4 2 】

また、他の発明の構成は、
結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャンネル形成領域と、
前記チャンネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、
を少なくとも有する絶縁ゲイト型半導体装置であって、
前記チャンネル形成領域はキャリアが移動する領域と、
前記ドリフト領域より前記チャンネル形成領域およびソース領域に向かって広がる空乏層をピニングし、かつ、該不純物領域によりキャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、

を有することを特徴とする。

【 0 0 4 3 】

また、他の発明の構成は、

結晶半導体を利用して形成されたソース領域、ドレイン領域、ドリフト領域およびチャンネル形成領域と、

前記チャンネル形成領域上に形成されたゲイト絶縁膜およびゲイト電極と、

を少なくとも有する絶縁ゲイト型半導体装置であって、

前記チャンネル形成領域はキャリアが移動する領域と、

不純物元素の添加により所定のしきい値電圧に制御し、かつ、キャリアの移動経路を規定するために人為的かつ局部的に形成された不純物領域と、

を有することを特徴とする。

10

【 0 0 4 4 】

不純物領域はチャンネル形成領域内においてドットパターン状に設けることもできるし、線状パターン形状に設けることも可能である。特に、不純物領域をチャンネル方向（キャリアが移動する方向）と概略平行な線状パターン形状に設けた場合、不純物領域が側壁となってキャリアが移動するレールの様な機能を果たす。その結果キャリアの移動経路を規定するため、キャリア同士の衝突による散乱確率が低減されて移動度が向上するといった利点が生まれる。

【 0 0 4 5 】

以上の様に、チャンネル形成領域に人為的かつ局部的に不純物領域を形成することで、キャリアが移動する領域と、ドリフト領域からチャンネル形成領域へ広がる空乏層をピニングするための不純物領域とを同一チャンネル形成領域内に配置することで短チャンネル効果による諸特性の劣化を防止することができる。

20

【 0 0 4 6 】

また、チャンネル長の微細化に伴う短チャンネル効果に起因する代表的現象であるしきい値電圧の低下を、不純物領域間に人為的に狭チャンネル効果を生じさせることで緩和してやることも本発明の重要な構成の一つである。

【 0 0 4 7 】

狭チャンネル効果とは、チャンネル形成領域が狭くなることでしきい値電圧の増加などの症状が現れる現象であり、MOS・ICで問題となることが多い。本発明はこの現象を利用して意図的に狭チャンネル効果を引き起こしてしきい値電圧を制御し、短チャンネル効果に伴うしきい値電圧の低下を相殺する効果もある。

30

【 0 0 4 8 】

また、他の発明の構成は、

結晶半導体を利用してソース領域、ドレイン領域ドリフト領域およびチャンネル形成領域とを形成する工程と、

前記チャンネル形成領域において人為的かつ局部的に不純物領域を形成する工程と、

前記チャンネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、

を少なくとも有する絶縁ゲイト型半導体装置の作製方法において、

前記チャンネル形成領域はキャリアが移動する領域と前記不純物領域とで構成され、

前記不純物領域にはエネルギーバンド幅（Eg）を広げる不純物元素が人為的かつ局部的に添加されていることを特徴とする。

40

【 0 0 4 9 】

また、他の発明の構成は、

結晶半導体を利用してソース領域、ドレイン領域ドリフト領域およびチャンネル形成領域とを形成する工程と、

前記チャンネル形成領域において人為的かつ局部的に不純物領域を形成する工程と、

前記チャンネル形成領域上にゲイト絶縁膜およびゲイト電極とを形成する工程と、

を少なくとも有する絶縁ゲイト型半導体装置の作製方法において、

前記チャンネル形成領域はキャリアが移動する領域と前記不純物領域とで構成され、

50

前記不純物領域にはエネルギーバンド幅（ E_g ）をシフトさせる不純物元素が人為的かつ局部的に添加されていることを特徴とする。

【0050】

以上の構成でなる本発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0051】

【実施例】

〔実施例１〕

図１に示すのは本発明を利用したパワーＭＯＳ・ＦＥＴの構造を示す一実施例図である。図１（Ａ）はパワーＭＯＳの上面図であり、本実施例には単一セル２個を記載するのみであるが通常はワンチップ上に数百～数万個のセルが配置されてパワーＭＯＳを構成している。

10

【0052】

そして、図１（Ｂ）は図１（Ａ）をＡ－Ａ’の破線で分断した時の分断面を示している。なお、図１（Ａ）の右側のセルはその断面に不純物領域が見える様に切っており、左側のセルはその断面に不純物領域が見えない様に切っている。また、図１（Ｃ）は図１（Ａ）において１００で示される円内の拡大図である。

【0053】

図１（Ｂ）において、１０１はドレイン領域となる半導体基板であり、本実施例ではＮチャンネル型ＦＥＴを例にするため N^+ 型のシリコン基板とする。１０２はエピタキシャル成長させた N^- 型のシリコン層であり、ドリフト領域として機能する。１０３はチャンネル形成領域となる P^+ 型の導電性領域で不純物拡散により形成する。そして、１０４はソース領域となる N^+ 型の導電性領域である。

20

【0054】

なお、チャンネル形成領域１０３は N^- 型のシリコン層をＰ型を付与する不純物元素（例えばボロン）で反転させて形成するが、不純物元素の濃度を調節してちょうどＮ型の導電性を相殺する様にすれば実質的に真性なチャンネル形成領域とすることも可能である。

【0055】

さらに、上記半導体層の上方には酸化珪素膜でなるゲイト絶縁膜１０５を介してポリシリコン膜でなるゲイト電極１０６が配置され、それを覆って珪化膜でなる層間絶縁膜１０７、導電性材料でなるソース電極１０８が形成されており、ドレイン領域１０１側には導電性材料でなるドレイン電極１０９が形成された構成となっている。

30

【0056】

ここまでの説明は代表的なパワーＭＯＳ構造である縦型二重拡散構造の説明にすぎない。本発明の特徴はチャンネル形成領域（ P^+ 型（又は実質的にＩ型）の導電性領域１０３とゲイト電極１０６とが重畳する領域）に対して、エネルギー障壁を形成するための不純物領域１１０を形成する点にある。

【0057】

不純物領域１１０は炭素、窒素、酸素から選ばれた一種または複数種類の元素を用いても良いし、本実施例の様にＮチャンネル型ＦＥＴならば１３族元素であるボロンを用いても良い。本実施例では不純物元素として酸素を用いた場合を説明する。

40

【0058】

不純物元素として酸素を用いた場合、不純物領域は例えば SiO_x で示される絶縁性領域を形成する。この様な不純物領域はエネルギーバンド幅を広げてエネルギー障壁として振る舞うため、ドリフト領域１０２からチャンネル形成領域１１１へと広がる空乏層を効果的に抑制（ピニング）する。

【0059】

また、不純物領域１１０は極めて微細な領域であるので、通常の露光法よりも電子描画法やＦＩＢ法といった微細リソグラフィ技術を利用することが望ましい。この様に、チャンネル形成領域全域に不純物注入を行うのではなく、人為的かつ局部的に不純物領域を形成す

50

る点に従来のチャネルドープとの相違がある。

【 0 0 6 0 】

不純物領域 1 1 0 を形成する位置はパワー MOS の上面から見ると、図 1 (A) の様になっている (図 1 (B) において不純物領域が図中に示す様に見えるのは線状パターンを縦に切断した断面を見ているからである) 。

【 0 0 6 1 】

図 1 (A) において、1 1 1 で示される閉じた領域は全て P⁺ 型の導電性領域 1 0 3 とゲイト電極 1 0 6 とが重畳する領域であり、チャネル形成領域を構成している。また、キャリアの流れる方向は 1 1 2 で示される矢印の方向であり、線状パターン形状の不純物領域がキャリアの流れる方向 (チャネル方向) と概略平行になる様に配置されている。なお、本実施例では N チャネル型 FET を例にしているのでキャリア (電子) の流れる方向と電流の方向とは逆向きである。

10

【 0 0 6 2 】

また、図 1 (A) の左側の図が示す様に、本明細書では「チャネル形成領域 1 1 1 の中心線を辿って一周した距離」をチャネル幅 W とし、「チャネル形成領域をキャリアが横切る距離」をチャネル長 L として考える。

【 0 0 6 3 】

本実施例ではチャネル形成領域 1 1 1 に線状パターン形状の不純物領域を形成することに特徴があるが、線状パターンにはある範囲の条件を満たす必要がある。そのことについての説明を行う。

20

【 0 0 6 4 】

まず、チャネル幅 W の内、不純物領域 1 1 0 が占有している幅を $\underline{W_{pi,n}}$ と定義する。 $\underline{W_{pi,n}}$ の値としては例えば 10 ~ 100 もあれば十分である。また、図 1 (C) に示す様に任意の不純物領域 1 1 0 の幅を $W_{pi,1}$ 、 $W_{pi,2}$ 、 $W_{pi,3}$ ・・・ $W_{pi,n}$ とすると、 W_{pi} は次式で表される。

【 0 0 6 5 】

【 数 1 】

$$W_{pi} = \sum_{n=1}^n w_{pi,n}$$

30

【 0 0 6 6 】

但し、本発明の構成を達成するためにはチャネル形成領域の端部以外の領域に、不純物領域が少なくとも一つ形成されている必要があるので n は 1 以上の整数である。

【 0 0 6 7 】

また、チャネル幅 W の内、不純物領域 1 1 0 間の領域 (電流の流れるパス) が占有している幅を $\underline{W_{pa,m}}$ と定義する。 $\underline{W_{pa,m}}$ の値としては例えば 100 ~ 3000 (代表的には 500 ~ 1500) とすることができる。また、図 1 (C) に示す様に任意の不純物領域 1 1 0 間の領域を $W_{pa,1}$ 、 $W_{pa,2}$ 、 $W_{pa,3}$ ・・・ $W_{pa,m}$ とすると、 W_{pa} は次式で表される。

40

【 0 0 6 8 】

【 数 2 】

$$W_{pa} = \sum_{m=1}^m w_{pa,m}$$

50

【 0 0 6 9 】

但し、前述の様にチャネル形成領域の端部以外の領域に不純物領域が少なくとも一つ形成されているので、チャネル形成領域は少なくとも2分されて m は2以上の整数となる。

【 0 0 7 0 】

即ち、全チャネル幅 W は $W = W_{pi} + W_{pa}$ 、かつ、 $n + m$ は3以上という関係が成り立っている。そして、 W と W_{pi} 、 W と W_{pa} および W_{pi} と W_{pa} との関係は、同時に以下の条件を満たすことが望ましい。

$$W_{pi} / W = 0.1 \sim 0.9$$

$$W_{pa} / W = 0.1 \sim 0.9$$

$$W_{pi} / W_{pa} = 1/9 \sim 9$$

10

【 0 0 7 1 】

これらの数式の意味するところは、 W_{pa} / W または W_{pi} / W が0または1であってはならないという事である。例えば、 $W_{pa} / W = 0$ ($W_{pi} / W = 1$ と同義)の場合、チャネル形成領域を完全に不純物領域で塞いでしまうので電流の流れるパスが存在しない状態となる。

【 0 0 7 2 】

逆に $W_{pa} / W = 1$ ($W_{pi} / W = 0$ と同義)の場合、チャネル形成領域に不純物領域が全く存在しないのでドリフト領域から広がる空乏層を抑えることができない。

【 0 0 7 3 】

以上の理由により、 W_{pa} / W および W_{pi} / W の関係式は $0.1 \sim 0.9$ (好ましくは $0.2 \sim 0.8$)の範囲に収まり、また、同時に $W_{pi} / W_{pa} = 1/9 \sim 9$ を満たすことが望ましい。

20

【 0 0 7 4 】

ここで、本発明を利用してパワーMOSを作製した場合において、短チャネル効果がどの様に抑制されるかを図8を用いて説明する。なお、図8(A)は図3と同一構造のチャネル形成領域を示す拡大図(符号は図3と同じものを用いる)である。

【 0 0 7 5 】

まず、図1に示す様な構造を有するパワーMOSに対してゲート電圧、ドレイン電圧を印加した場合には、図8(A)に示す様な状態でソース領域303近傍の空乏層801、チャネル領域304近傍の空乏層802、ドリフト領域301近傍の空乏層803が形成される。即ち、ドリフト領域301近傍の空乏層803は不純物領域804が障壁となって、チャネル領域304近傍において広がりを防止された形となる。

30

【 0 0 7 6 】

図8(A)では判りにくい但不純物領域804は図1(A)の右側の図に示す様に配置されているので、チャネル形成領域を塞ぐ格子状のフィルターでドリフト領域301の空乏層の広がりを抑えているというモデルで考えれば理解しやすい。

【 0 0 7 7 】

従って、本発明による構造のパワーMOSにおいては、図8(A)に示す様に空乏層が実質的に相互に干渉することなく分断される。即ち、ソース領域303近傍の空乏層801、チャネル領域304近傍の空乏層802が、ドリフト領域301近傍の空乏層803の影響を殆ど受けないで分布する。

40

【 0 0 7 8 】

即ち、図4に示した従来のエネルギー状態図と異なり、チャネル領域304のエネルギー状態は殆どゲート電圧による電界のみに制御されるので、チャネル領域304に対して概略平行な形状を有する。従って、短チャネル効果特有のパンチスルー現象の様な問題がなく、高い耐圧特性を有するパワーMOSを実現することができる。

【 0 0 7 9 】

さらに、図3と図8(A)とを比較すると明らかな様に、本発明においては空乏層の占める体積が、図3に示した様な従来のものと比べて減少しているため、従来よりも空乏層電荷が小さく、空乏層容量が小さい特徴がある。ここで、 S 値を導出する式は次式で表される。

50

【 0 0 8 0 】

【 数 3 】

$$S=d(V_g)/d(\log I_d)$$

【 0 0 8 1 】

即ち、前述の様に、図 5 に示すグラフにおいて 5 0 1 で示される領域における傾きの逆数を表していることが判る。また、数 3 の式は近似的に次式の様に表すことができる。

10

【 0 0 8 2 】

【 数 4 】

$$S \doteq \ln 10 \cdot kT/q [1+(C_d+C_{it})/C_{ox}]$$

【 0 0 8 3 】

数 4 において、 k はボルツマン定数、 T は絶対温度、 q は電荷量、 C_d は空乏層容量、 C_{it} は界面準位の等価容量、 C_{ox} はゲイト酸化膜容量である。従って、本発明によれば空乏層容量 C_d が従来よりも十分小さくなるので、 S 値を 85mV/decade 以下（好ましくは 70mV/decade 以下）の小さな値とすることができる、即ち優れたサブスレッショルド特性を得ることができるのである。

20

【 0 0 8 4 】

また、本発明が目指すところは、空乏層容量 C_d および界面準位の等価容量 C_{it} を 0 に可能な限り近づけることである。即ち、 $C_d = C_{it} = 0$ となる理想状態における S 値（60mV/decade）に近づけることにある。

【 0 0 8 5 】

また、本発明において線状パターン形状を有する不純物領域を図 1（A）に示す様に配置することは FET の性能を示す代表的なパラメータである移動度の向上に対して非常に大きな意味がある。その理由について以下に説明する。

30

【 0 0 8 6 】

移動度は半導体（本実施例ではシリコン基板）中のキャリアの散乱によって決まるが、シリコン基板における散乱は格子散乱と不純物散乱とに大別される。格子散乱はシリコン基板中の不純物濃度が低く、比較的高温で支配的であり、不純物散乱は不純物濃度が高く、比較的低温で支配的である。これらが影響し合って形成される全体的な移動度 μ は次式で表される。

【 0 0 8 7 】

【 数 5 】

$$\mu = (1/\mu_l + 1/\mu_i)^{-1}$$

40

【 0 0 8 8 】

この数 5 で示される式は、全体的な移動度 μ が、格子散乱の影響を受けた場合の移動度 μ_l （ l は lattice を意味する）の逆数および不純物散乱の影響を受けた場合の移動度 μ_i （ i は impurity を意味する）の逆数の和に反比例することを意味している。

【 0 0 8 9 】

50

ここで、格子散乱ではドリフト電界がそれほど強くなければ音響フォノンが重要な役割を果たし、その時の移動度 μ_i は、次式の様に温度の $-3/2$ 乗に比例する。従って、キャリアの有効質量 (m^*) と温度 (T) で決まってしまう。

【 0 0 9 0 】

【 数 6 】

$$\mu_i \propto (m^*)^{-5/2} T^{-3/2}$$

10

【 0 0 9 1 】

また、不純物散乱による移動度 μ_i は、次式の様に温度の $3/2$ 乗に比例し、イオン化した不純物の濃度 N_i に逆比例する。即ち、イオン化した不純物の濃度 N_i を調節することで変化させることができる。

【 0 0 9 2 】

【 数 7 】

$$\mu_i \propto (m^*)^{-1/2} N_i^{-1} T^{3/2}$$

20

【 0 0 9 3 】

これらの式によると、従来の様にチャネル形成領域全体に不純物を添加するチャネルドーピングでは不純物散乱の影響を受けて移動度を稼ぐことができない。しかしながら、本発明では局部的に不純物領域を形成しているので、隣接する不純物領域の間 (W_{pa} の幅を持つ領域) には不純物が添加されない。

【 0 0 9 4 】

即ち、理論的には数 7 においてイオン化した不純物の濃度 N_i を限りなく 0 に近づけることを意味するため、移動度 μ_i は限りなく無限大に近づいていくことになる。即ち、数 5 において $1/\mu_i$ の項を無視することができる程度にまで不純物を減少させることを意味するので全体の移動度 μ は限りなく移動度 μ_i に近づいていく。

30

【 0 0 9 5 】

また、キャリアの有効質量 (m^*) を小さくすることで移動度 μ_i をさらに大きくすることも理論的には可能である。これは極低温の領域において、キャリア (特に電子の場合) の有効質量が結晶軸の軸方位に依存して変化する現象を利用することで成しうる。

【 0 0 9 6 】

文献によれば、キャリアの移動する方向が単結晶シリコンの $\langle 100 \rangle$ 軸方向と一致する様に構成した時、最小の有効質量を得ることができる。但し、この例は 4°K という極低温領域における結果である。

40

【 0 0 9 7 】

また、結晶格子間をうまくキャリアがすり抜けて行ける様に、チャネル方向および不純物領域 110 の軸方向 (配列方向) と、結晶格子の軸方向とを概略平行 (軸方向のずれを $\pm 10^\circ$ 以内に収める) にさせることが望ましい。単結晶ならばシリコン原子は規則正しく配列しているので、結晶格子の配列方向と平行に移動するキャリアは格子散乱の影響を殆ど受けないで済む。

【 0 0 9 8 】

例えば、単結晶シリコン基板において上記の様な方向における回転軸を 0° とすると、他にも 90° 、 180° 、 270° の回転軸の場合において同様の効果を得ることができる

50

。従って、図 1 (A) の様にキャリアが移動するパワー MOS においては、角を除く全ての方向で上記構成を成すことが可能である。

【 0 0 9 9 】

以上の様に、チャネル形成領域を移動するキャリアはチャネル形成領域内に存在する不純物領域以外の領域を通る。このキャリアが移動する経路（以後、この領域をレーン領域と呼ぶ）のエネルギー状態は線状パターン形状の不純物領域によって図 9 に示す状態となっていると考えられる。

【 0 1 0 0 】

図 9 (A) において、9 0 1、9 0 2 で示される領域は不純物領域のエネルギー状態を示しており、エネルギー的に高い障壁となっている。そして、不純物領域から離れるに従って徐々にエネルギー的に低い領域 9 0 3 となる。即ち、チャネル領域を移動するキャリア（ここでは電子を例にとる）は 9 0 3 で示されるエネルギー状態の低い領域を優先的に移動し、9 0 1、9 0 2 で示されるエネルギー障壁（不純物領域）は壁の様な役割を果たす。

10

【 0 1 0 1 】

ここで、チャネル領域を移動するキャリア（電子）のイメージを模式的に図 9 (B) で表す。イメージ的には、チャネル領域を移動するキャリア 9 0 0 は図 9 (B) に表す様にまるで雨樋の中を転がる球体の様にその方向性が規定され、ソース領域からドレイン領域に向かってほぼ最短距離を移動する。

【 0 1 0 2 】

20

また、図 9 (B) に示す様に、チャネル形成領域には図 9 (A) に示した様なレーン領域が複数並列に配置されて構成されているが、9 0 1、9 0 2 で示される領域を越えることがないため、隣接するレーン領域との間においてキャリアの移動は行われない。

【 0 1 0 3 】

以上の理由によりキャリアが他のキャリアと衝突する確率は大幅に減少するため、移動度が大幅に向上する。即ち、本発明の構成は不純物散乱を低減するのみならず、キャリア同士の自己衝突による散乱をも低減することで大幅な移動度の向上を実現することができる。

【 0 1 0 4 】

この様に従来においては常に悪影響を及ぼすとされてきたエネルギー障壁（グレインバウンダリーなど）を逆に意図的に形成して利用するという本発明の発想は非常に新しいものである。

30

【 0 1 0 5 】

また、チャネル形成領域 1 1 1 に対して図 1 (A)、図 1 (C) に示す様に不純物領域 1 1 0 を配置することは短チャネル効果によるしきい値電圧の低下を低減する上で非常に重要である。なぜならば、この構成が意図的に狭チャネル効果を生み出すために必要な構成だからである。

【 0 1 0 6 】

例えば、図 1 (A) に示す様にチャネル形成領域 1 1 1 のチャネル幅 W は不純物領域 1 1 0 によって分断され、実質的に狭いチャネル幅 $W_{pa,m}$ を有する複数のチャネル形成領域の集合体と見なすことができる。

40

【 0 1 0 7 】

即ち、その複数の狭いチャネル幅 $W_{pa,m}$ を有する領域において狭チャネル効果が得られるのである。マクロ的に見ると図 1 (A) に示す様にチャネル形成領域全域においてこの様にして狭チャネル効果が得られるので、全体的に狭チャネル効果が得られる構成となり、しきい値電圧が増加するのである。

【 0 1 0 8 】

従って、チャネル長が短くなることで短チャネル効果によってしきい値電圧が低下したとしても、以上の理由により狭チャネル効果によってしきい値電圧を意図的に増加させてしきい値制御を行うことができるので、結果的にしきい値電圧の変化を緩和することが可能

50

となる。

【 0 1 0 9 】

〔実施例 2〕

本実施例では、チャネル形成領域に形成する不純物領域の形状をドットパターン状とする場合の例を示す。説明は図 1 0 を用いて行う。

【 0 1 1 0 】

図 1 0 に示すパワー MOS の構造は、図 1 において線状パターン形状を有する不純物領域をドットパターン形状に置き換えたものである。まず、図 1 と異なるのは図 1 0 (B) に示す様に不純物領域 1 0 0 1 が配置される点である。

【 0 1 1 1 】

そして、不純物領域 1 0 0 1 を上面から見たときの拡大図は図 1 0 (C) に示す様になる。なお、本実施例ではドットパターン状の不純物領域の例として円形の不純物領域を記載しているが、楕円形、正方形、長方形などであっても構わない。

【 0 1 1 2 】

例えば、図 1 1 (A) に示す様に不純物領域 1 1 0 1 が交互に噛み合う様に配置したパターンとすることができる。この場合、不純物領域 1 1 0 1 間の隙間を次の列で補う構成となるので、空乏層の広がりを効果的に抑制することができる。この構成は、チャネル長が特に短い領域において効果を発揮する。

【 0 1 1 3 】

また、図 1 1 (B) に示す様に、不純物領域をチャネル方向と垂直な楕円形とすることも、空乏層を広がりを抑えるためには非常に有効な構成である。

【 0 1 1 4 】

〔実施例 3〕

本発明において、チャネル形成領域に不純物領域を形成する手段として、不純物の偏析作用を利用した方法をとることもできる。本実施例では、その様な例として熱酸化膜近傍におけるボロン (B) およびリン (P) の偏析を利用した方法について図 1 4 を用いて説明する。

【 0 1 1 5 】

実施例 1 に示した構造のパワー MOS を作製するに際して、酸素を添加することによって不純物領域を形成した後に 800 ~ 1100 程度の加熱処理を行うと、添加された酸素とシリコン (Si) とが反応して熱酸化物が形成される。

【 0 1 1 6 】

そして、不純物領域の周辺に含有されていた不純物元素 (ボロンまたはリン) が酸化物領域に偏析する。ここで、熱酸化工程により熱酸化膜 / シリコン界面近傍のボロンまたはリンの濃度がどのような分布を示すかを図 1 4 を用いて説明する。

【 0 1 1 7 】

図 1 4 に示す様に、Si 中に存在する添加イオン (B 、 P) は酸化膜が形成されると再分布する。これは、シリコン (Si) 中および熱酸化膜 (SiO_x) 中において添加イオンの溶解度と拡散速度が異なるために起こる現象である。不純物の Si 中における溶解度を $[C]_{\text{Si}}$ とし、 SiO_x 中における溶解度を $[C]_{\text{SiO}_x}$ とする時、平衡偏析係数 m は次式で定義される。

$$m = [C]_{\text{Si}} / [C]_{\text{SiO}_x}$$

【 0 1 1 8 】

この時、Si / SiO_x 界面近傍の不純物の偏析は m の値に支配される。通常、Si 中における不純物の拡散係数が十分大きいとして、 $m < 1$ の場合、Si 中の不純物は SiO_2 中に取り込まれる (図 1 4 (A))。また、 $m > 1$ の場合、 SiO_x が不純物を排斥し、その結果として Si / SiO_x 界面近傍の不純物濃度が増大する (図 1 4 (B))。

【 0 1 1 9 】

文献値によると、ボロンの m の値は 0.3 程度であり、リンの m の値は 10 程度である。従って、本実施例における熱酸化工程後のボロンの濃度分布は図 1 4 (A) の様になり、熱酸

10

20

30

40

50

化膜中にボロンが取り込まれ、不純物領域の側面 (Si/SiO_x 界面近傍) におけるボロン濃度は極めて微量な状態となる。また、逆に形成された熱酸化物中には多量のボロンが含有される。

【0120】

このような熱酸化膜中へのボロンの取込み現象は既に知られていたが、本発明の様にエネルギー障壁 (不純物領域) を形成するためにこの現象を利用する発想は全く新しいものである。

【0121】

なお、図14(B)に示す様に、不純物元素としてリンを用いた場合には熱酸化膜とシリコンとの界面に偏析 (パイルアップ) する。この現象もまた、Pチャネル型FETに不純物領域を形成する際に活用することができる。

10

【0122】

以上の様に、本実施例の様な酸化物へのリンまたはボロンの偏析現象を利用することで大幅な移動度の向上を図ることが可能である。なぜならば、本実施例を実施すると不純物領域 (代表的には SiO_x で示される酸化物) 周辺の不純物 (リンまたはボロン) が不純物領域に収集されてしまうので、不純物領域間のキャリアが移動する領域における不純物散乱の影響を極めて少なくすることができるからである。

【0123】

このことは、先にも述べた様に数5において μ_i が大きくなることに相当するので、全体の移動度 μ は理想的に $\mu = \mu_i$ に近づいていく。即ち、実質的に格子散乱のみで決まる極めて大きな移動度を実現しうることを示す。

20

【0124】

〔実施例4〕

本明細書においてはパワーMOS・FETを代表例として説明してきたが、本発明はその他のパワーMOSデバイス全般に適用することが可能である。他のパワーMOSデバイスとしては、例えばIGBT (Insulated Gate Bipolar Transistor)、MCT (CMOS Controlled Thyristor)、EST (Emitter Switched Thyristor)、BRT (Base Resistance controlled Thyristor)、IEGT (Injection Enhanced Insulated Gate Bipolar Transistor)、DGMOS (Double Gate MOS) などが挙げられる。特に、最近ではパワーMOS・FET、IGBTの応用製品としてIPM (Intelligent Power Module)、パワーICなどが主流となってきた。

30

【0125】

本実施例では、上記パワーMOSデバイスの内、IGBT、MCT、ESTについて簡単な説明を行う。説明は図12を用いて行うこととする。

【0126】

まず、IGBTとはMOS・FETの高速スイッチング特性と、バイポーラトランジスタの低オン電圧特性をワンチップに構成したパワーデバイスである。図12(A)に示すNチャネル型IGBTの基本構造においてパワーMOS・FETと異なる点は、ドレイン側の N^+ 領域を P^+ 領域1201に置き換えてpn接合を1個追加してある点である。

【0127】

駆動時には P^+ 領域1201からドリフト領域となる N^- 領域1202へとホール (正孔) が打ち込まれ、 N^- 領域1202の電子を引きつけるため、 N^- 領域1202の電子密度が増加する。そのため、 N^- 領域1202の抵抗は極めて低くなり、結果的にパワーMOSよりも低い電圧でオンするという特徴を有する様になるのである。

40

【0128】

このIGBTは P^+ 領域1201と N^- 領域1202との間にバッファ層として N^+ 領域を挟み込んだ構造の非ラッチアップ構造や、トレンチ技術を用いてチップ単位面積当たりのセル数を向上させたトレンチ構造など、他にも様々な構造のものが開発されている。

【0129】

なお、図12(A)の左側の図はIGBTの等価回路であり、1203がゲイト端子、1

50

204はエミッタ端子、1205はコレクタ端子である。1206は P^+ 領域1201とエミッタ電極1207との間の抵抗である。また、1208で示されるのはNチャネル・エンハンスメント型のトランジスタである。

【0130】

次に、MCTについての説明を行う。なお、本実施例では主流であるPチャネル・エンハンスメント型MCTについての説明を行う。図12(B)に示す様に、MCTの構造は縦型三重拡散構造で、 N^+ 型のシリコン基板1209に P^+ 型シリコン層1210と P^- 型シリコン層1211をエピタキシャル成長させて構成する。

【0131】

さらに、N型拡散層1212、P型拡散層1213を形成した後、 P^+ 型拡散層1214、 N^+ 型拡散層1215を形成して三重拡散構造とする。なお、例えばN型とは N^+ 型よりも弱く、 N^- 型よりも強い導電性を有することを意味している。

【0132】

Pチャネル・エンハンスメント型MCTの特徴としては、オン電圧が低いにも関わらず耐圧が高いことであり、本発明を適用することでさらに信頼性の高い高耐圧特性を得ることが可能である。

【0133】

なお、図12(B)の左側の図はMCTの等価回路であり、1216がゲイト端子、1217はアノード端子、1218はカソード端子である。また、1219はPチャネル・エンハンスメント型トランジスタ(ON FETと呼ばれる)であり、1220はNチャネル・エンハンスメント型トランジスタ(OFF FETと呼ばれる)である。

【0134】

次に、ESTについての説明を行う。ESTはIGBTとサイリスタを横に並べた構成となっており、縦型二重拡散構造となっている。また、図12(C)に示す様に、ESTは P^+ 型のシリコン基板1221に N^+ 型シリコン層1222と N^- 型シリコン層1223をエピタキシャル成長させて構成する。

【0135】

さらに、 P^- 型拡散層1224、 P^+ 型拡散層1225を形成した後、 N^+ 型拡散層1226、1227を形成した構成とする。ESTの特徴としては、MCT同様、オン電圧が低いにも関わらず耐圧が高いことであり、本発明を適用することでさらに信頼性の高い高耐圧特性を得ることが可能である。

【0136】

なお、図12(C)の左側の図はESTの等価回路であり、1228がゲイト端子、1229はカソード端子、1230はアノード端子である。また、1231、1232は共にNチャネル・エンハンスメント型トランジスタである。

【0137】

以上の様に、本発明はゲイト絶縁型(MOSゲイト型)のあらゆるパワーMOSデバイスに応用することが可能であり、その応用範囲は産業上、極めて広範囲に渡るものである。

【0138】

〔実施例4〕

本発明を利用して作製したパワーMOSデバイスは極めて応用範囲の広いデバイスである。本実施例では、その代表的な例を簡単な図を用いて説明する。説明には図13を用いる。

【0139】

図13(A)に示すのはビデオデッキであり、1301は本体、1302はテープ挿入部、1303は外部端子部、1304は画像編集ダイヤル、1305は液晶表示部である。また、1306はビデオデッキ内部に組み込まれた集積化回路で、その中のパーツとしてパワーモジュールが組み込まれ、その構成デバイスとしてパワーMOSデバイス1307が用いられる。

【0140】

また、図 13 (B) に示すのは電池式シェーバーであり、1308 は本体、1309 はスイッチ、1310 はシェイピング部である。また、1311 はシェーバー内部に組み込まれた充電器であって、電池式シェーバーの電流制御用にパワー MOS デバイス 1312 が用いられる。

【0141】

また、図 13 (C) に示すのは蛍光灯であり、1313 は蛍光灯、1314 はかさ、1315 は制御部である。また、1316 は蛍光灯内部に組み込まれた集積化回路であって、蛍光灯のインバータ制御用にパワー MOS デバイス 1317 が用いられる。

【0142】

また、図 13 (D) に示すのは電導工具であり、1318 は本体、1319 はドリル、1320 はハンドリング部、1321 はコンセントである。また、1322 は蛍光灯内部に組み込まれた集積化回路であって、電導工具の速度制御用にパワー MOS デバイス 1323 が用いられる。

【0143】

以上示した他にも、パワー MOS デバイスは自動車の車両制御系および車体系装置、テレビ、カメラ、コンピュータ用電源、空調装置、プラグラマブル・ロジック・コントロールなどあらゆる分野の製品に用いられており、極めて応用範囲の広いデバイスである。

【0144】

【発明の効果】

本発明を利用することでチャンネル長が短くなった場合に生じる短チャンネル効果を防止することが可能となる。具体的には、まずドリフト領域近傍の空乏層がソース領域やチャンネル形成領域下に広がるのを、チャンネル形成領域に局部的に形成した不純物領域で遮り、チャンネル形成領域のエネルギー（電位）状態にドレイン電圧が影響しない構成とする。これによりパンチスルー現象やサブスレッショルド特性の劣化を防止することが可能となる。また、同時に高いドレイン耐圧を実現することができる。

【0145】

また、短チャンネル効果の特徴の一つであるしきい値電圧の低下を狭チャンネル効果によるしきい値電圧の増加によって抑制することができる。この狭チャンネル効果は、チャンネル形成領域に局部的に不純物領域を形成するという本発明の構成によって人為的に成しうる効果である。

【0146】

以上の様に、本発明を利用することでチャンネル長の短いディープサブミクロン領域におけるパワー MOS デバイスにおいても、短チャンネル効果を引き起こすことなく動作させることができる。

【0147】

また、本発明ではチャンネル形成領域にエネルギー的にスリット状のレーン領域を形成することでキャリアの移動方向を規定し、キャリア同士の自己衝突による散乱を低減することが可能である。

【0148】

即ち、キャリアの移動度低下を招く原因となる不純物散乱、格子散乱、キャリア同士の自己衝突による散乱が大幅に低減され、移動度が大きく向上する。

【0149】

以上の効果により、高速動作特性と高耐圧特性とを同時に実現できるパワー MOS デバイスを作製することが可能となる。従って、パワー MOS デバイスを用いるあらゆる分野の電子・電気機器の性能を向上させることができる。従って、本発明は工業・産業上、非常に有益な技術であると言える。

【図面の簡単な説明】

【図 1】 パワー MOS デバイスの構造を示す図。

【図 2】 パワー MOS デバイスの構造を示す図。

【図 3】 パワー MOS デバイスの構造を示す図。

10

20

30

40

50

- 【図 4】 エネルギー状態を説明するための図。
【図 5】 MOS デバイスの電気特性を示す図。
【図 6】 エネルギー状態を説明するための図。
【図 7】 エネルギー状態を説明するための図。
【図 8】 パワー MOS デバイスの構造を示す図。
【図 9】 キャリアの挙動を説明するための図。
【図 10】 パワー MOS デバイスの構造を示す図。
【図 11】 不純物領域の配置パターンを示す図。
【図 12】 パワー MOS デバイスの構造を示す図。
【図 13】 パワー MOS デバイスの応用製品を示す図。
【図 14】 不純物の偏析状態を説明するための図。

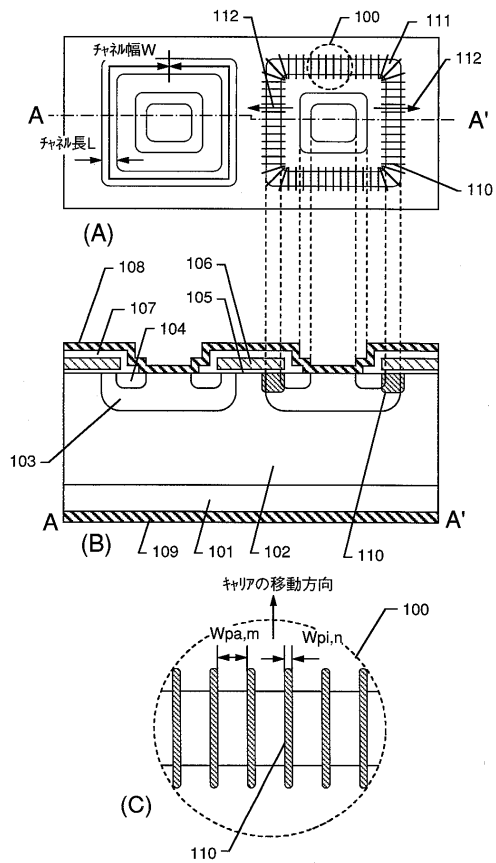
10

【符号の説明】

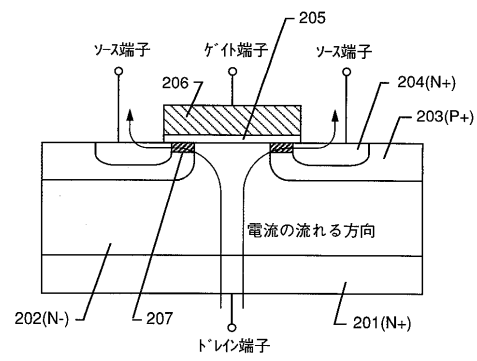
- | | |
|-------|-----------------------|
| 1 0 1 | N ⁺ 型半導体基板 |
| 1 0 2 | N ⁻ 型半導体基板 |
| 1 0 3 | P ⁺ 型半導体基板 |
| 1 0 4 | N ⁺ 型半導体基板 |
| 1 0 5 | ゲイト絶縁膜 |
| 1 0 6 | ゲイト電極 |
| 1 0 7 | 層間絶縁膜 |
| 1 0 8 | ソース電極 |
| 1 0 9 | ドレイン電極 |
| 1 1 0 | 不純物領域 |
| 1 1 1 | チャネル形成領域 |
| 1 1 2 | キャリアの流れる方向 |
| 3 0 4 | チャネル領域 |
| 3 0 6 | ドレイン電圧が小さい時の空乏層 |
| 3 0 7 | ドレイン電圧が大きい時の空乏層 |

20

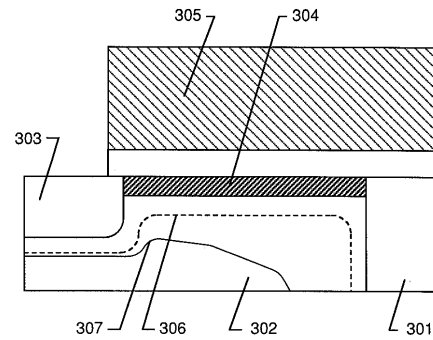
【図 1】



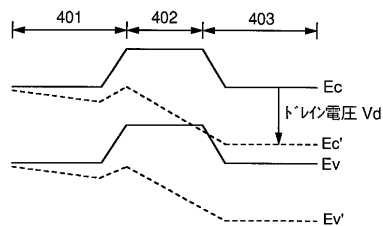
【図 2】



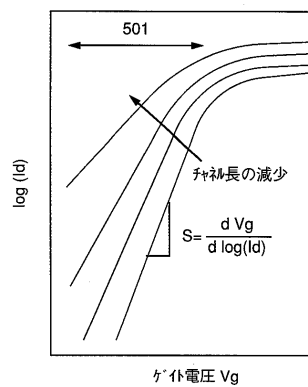
【図 3】



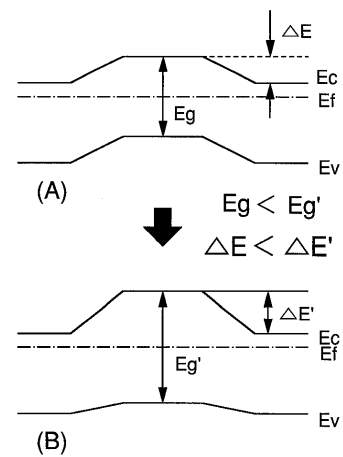
【図 4】



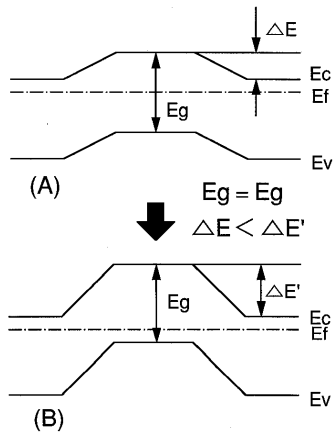
【図 5】



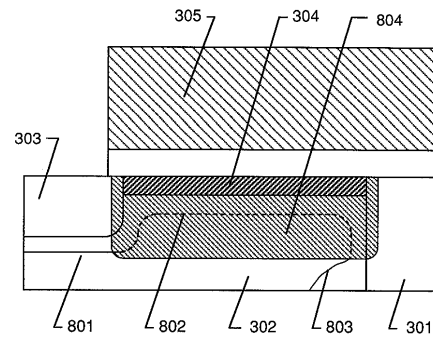
【図 6】



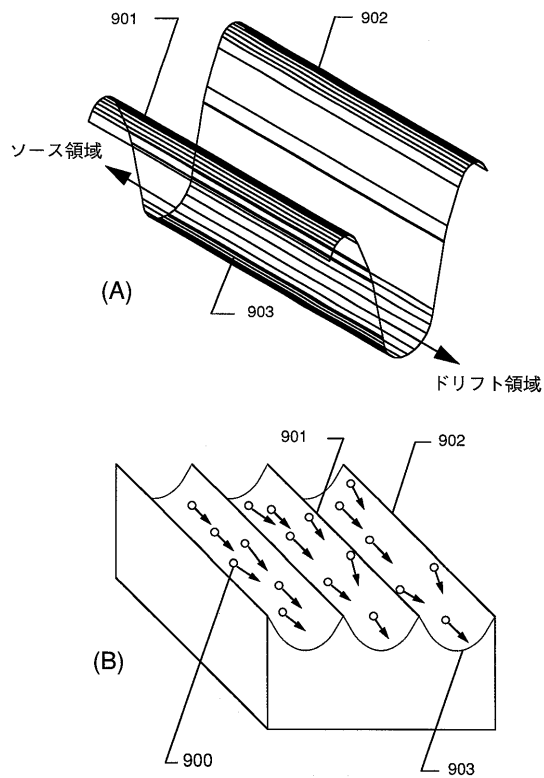
【図 7】



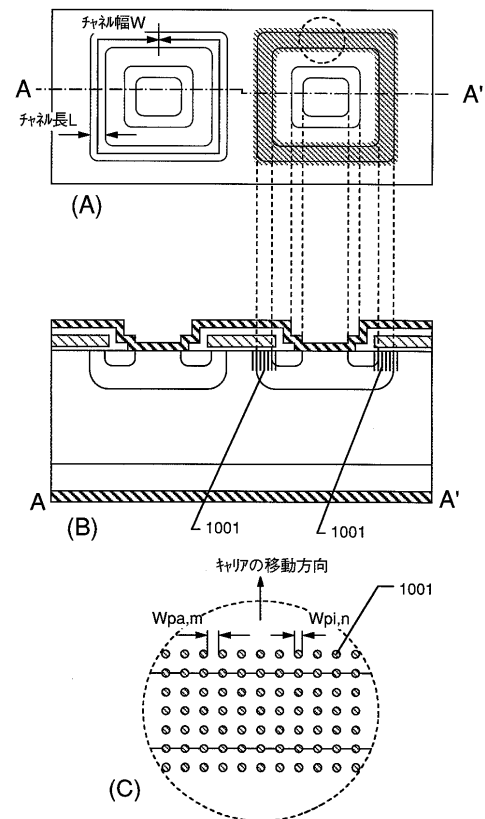
【図 8】



【図 9】



【図 10】



フロントページの続き

(56)参考文献 特開平 0 2 - 1 9 2 7 6 7 (J P , A)
特開昭 5 3 - 0 6 8 1 7 7 (J P , A)
特開昭 5 1 - 1 1 0 2 7 9 (J P , A)
特開昭 6 1 - 1 8 5 9 7 3 (J P , A)
特開昭 6 2 - 2 7 6 8 7 4 (J P , A)
特開平 0 4 - 0 0 3 4 6 8 (J P , A)
特開平 0 8 - 2 7 4 3 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 29/78
H01L 21/322
H01L 21/336
H01L 29/739