

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 10 月 14 日(14.10.2010)

PCT

(10) 国際公開番号
WO 2010/116974 A1

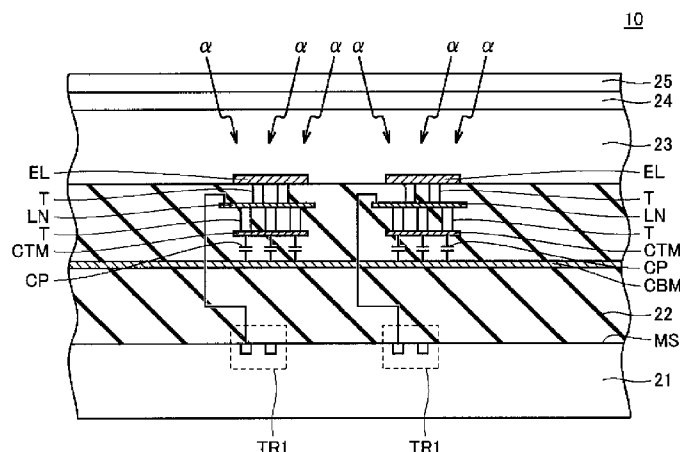
- (51) 国際特許分類:
H01L 27/146 (2006.01) H04N 5/335 (2006.01)
- (21) 国際出願番号: PCT/JP2010/056173
- (22) 国際出願日: 2010 年 4 月 5 日(05.04.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-093139 2009 年 4 月 7 日(07.04.2009) JP
特願 2009-093143 2009 年 4 月 7 日(07.04.2009) JP
特願 2009-102254 2009 年 4 月 20 日(20.04.2009) JP
特願 2009-102255 2009 年 4 月 20 日(20.04.2009) JP
特願 2009-102256 2009 年 4 月 20 日(20.04.2009) JP
特願 2009-102257 2009 年 4 月 20 日(20.04.2009) JP
特願 2009-102258 2009 年 4 月 20 日(20.04.2009) JP
特願 2009-154493 2009 年 6 月 30 日(30.06.2009) JP
特願 2009-254775 2009 年 11 月 6 日(06.11.2009) JP
- (71) 出願人 (米国を除く全ての指定国について):
ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 西山 寛 (NISHIYAMA, Hiroshi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP). 江角 尚史 (ESUMI, Takashi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー 2 2 階 深見特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PHOTOELECTRIC CONVERSION DEVICE AND IMAGE PICKUP DEVICE

(54) 発明の名称: 光電変換装置および撮像装置

[図7]



(57) Abstract: Disclosed is a photoelectric conversion device (3) which comprises a semiconductor substrate (21), an insulating layer (22) that is formed on the semiconductor substrate (21), an electrode (EL) that is formed on the insulating layer (22), a photoelectric conversion film (23) that is formed on the electrode (EL) and converts incident light into electric charges, a wiring line (LN) that is connected between the electrode (EL) and the semiconductor substrate (21), a first surface electrode (CTM) that is formed within the insulating layer (22) and connected to the electrode (EL), and a second surface electrode (CBM) that is arranged between the first surface electrode (CTM) and the semiconductor substrate (21) within the insulating layer (22).

(57) 要約: 光電変換装置 (3) は、半導体基板 (21) と、半導体基板 (21) 上に設けられた絶縁層 (22) と、絶縁層 (22) 上に設けられた電極 (EL) と、電極 (EL) 上に設けられ、受けた光を電荷に変換する光電変換膜 (23) と、電極 (EL) と半導体基板 (21) との間に接続された配線 (LN) と、絶縁層 (22) 内に設けられ、電極 (EL) に接続された第1の面状電極 (CTM) と、絶縁層 (22) 内において第1の面状電極 (CTM) と半導体基板 (21) の間に設けられた第2の面状電極 (CBM) とを備える。

WO 2010/116974 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 光電変換装置および撮像装置

技術分野

[0001] 本発明は、光電変換装置および撮像装置に関し、特に、光電変換膜を備えた光電変換装置および撮像装置に関する。

背景技術

[0002] CMOS (Complementary Metal Oxide Semiconductor) イメージセンサ等に用いられる固体撮像素子においては、たとえばシリコン基板において光電変換部が設けられており、光を基板面まで透過させる必要がある。しかしながら、シリコン基板の光電変換部近辺に設けられたトランジスタに光が入射すると、不要な電流が発生し、画質が劣化する場合がある。

[0003] 光の入射による不具合を防ぐための技術として、たとえば、特開2004-140309号公報（特許文献1）には、以下のような固体撮像素子が開示されている。すなわち、半導体基板に、少なくとも入射光に応じた電荷を生成して蓄積する光電変換素子と、上記光電変換素子によって生成および蓄積された信号電荷を転送する電荷転送部とが設けられる。そして、上記半導体基板上に少なくともゲート絶縁膜を介して上記電荷転送部用の転送電極と、上記光電変換素子の受光領域に対応する開口部を備えた遮光膜とが設けられる。さらに、上記ゲート絶縁膜上の光電変換素子の受光領域に対応する領域に透明絶縁膜を有する。上記遮光膜の開口部の内周形状が上記透明絶縁膜の外周形状に沿って埋め込まれ、かつ、上記開口部の下面部が上記ゲート絶縁膜に直接接触する状態で配置される。

[0004] また従来より、イメージセンサには、複数行複数列に配置された複数の画素回路が設けられている。各画素回路は、入射光量に応じた値の電流を出力する光電変換素子と、キャパシタと、光電変換素子とキャパシタの間に接続された転送トランジスタと、キャパシタの端子間電圧に応じたレベルの画素信号を生成する増幅トランジスタとを含む。

- [0005] また、画素信号の読出方式としては、全画素回路に露光しながら、複数の画素回路で生成された複数の画素信号を 1 行分ずつ順次読み出す X Y アドレス読出方式と、所定時間だけ全画素回路に一括して露光した後、複数の画素回路で生成された複数の画素信号を 1 行分ずつ順次読み出すグローバルシャッタ方式がある（たとえば、特開 2 0 0 8 - 4 2 7 1 4 号公報（特許文献 2）参照）。
- [0006] また、CMOS イメージセンサに用いられる固体撮像素子として、たとえば、特開 2 0 0 6 - 2 1 1 6 3 0 号公報（特許文献 3）には、以下のような構成が開示されている。すなわち、画素が斜め配列されるとともに、当該画素配列における奇数行の画素の各列ごとに奇数行垂直信号線群が、偶数行の画素の各列ごとに偶数行垂直信号線群がそれぞれ配線された画素アレイ部と、上記画素配列の奇数行の選択と偶数行の選択とを別々に行なう行選択手段と、上記奇数行垂直信号線群に繋がり、列間で画素の信号を加算する奇数行カラム処理回路群と、上記偶数行垂直信号線群に繋がり、列間で画素の信号を加算する偶数行カラム処理回路群と、上記奇数行カラム処理回路群の各カラム処理回路と上記偶数行カラム処理回路群の各カラム処理回路とを選択する列選択手段とを備える。
- [0007] また従来より、イメージセンサには、有効撮像部と光学的黒部が設けられている。有効撮像部には複数の画素が設けられており、各画素はフォトダイオードと、フォトダイオードで発生した光電流を読み出す読出回路とを含む。また、光学的黒部には、有効撮像部と同じ構成を有し、遮光層で覆われた画素が設けられている。光学的黒部の画素の読出回路は、入射光が無い場合にフォトダイオードで発生する黒電流を読み出す。有効撮像部の画素で読み出された光電流は、光学的黒部の画素で読み出された黒電流に基づいて補正される。
- [0008] また、遮光層で覆われていない有効撮像部の画素で発生する黒電流と、遮光層で覆われた光学的黒部の画素で発生する黒電流とのレベルの差を無くするため、有効撮像部のフォトダイオードの特性と光学的黒部のフォトダイオー

ドの特性に差を付ける方法がある（たとえば、特開平6-151806号公報（特許文献4）参照）。

[0009] また近年、 $\text{Cu}(\text{In}_x, \text{Ga}_{(1-x)})\text{Se}_2$ ($0 \leq x \leq 1$)（以下、CIGSと称す）のような化合物半導体を用いたイメージセンサの開発が進められている。従来の第1のイメージセンサでは、CIGS薄膜の表面に透明電極が形成され、CIGS薄膜の裏面に複数の画素電極が形成されている。CIGS薄膜に光が照射されると、光量に応じた量の電子-正孔対が発生する。CIGS薄膜に発生した電子-正孔対のうちの正孔すなわち正電荷は、画素電極を介して読出回路に流れる。

[0010] また、従来の第2のイメージセンサでは、CIGS薄膜がエッチングによって複数のCIGS層に分離され、各CIGS層の表面に透明電極が形成され、各CIGS層の裏面に画素電極が形成されている（たとえば、特開2007-123721号公報（特許文献5）参照）。

[0011] また、非特許文献1、非特許文献2および非特許文献4には、種々の計測対象を画面に表示するための技術が開示されている。非特許文献3には、CMOSイメージセンサおよびCIGSを用いたイメージセンサの分光特性表が開示されている。

先行技術文献

特許文献

[0012] 特許文献1：特開2004-140309号公報

特許文献2：特開2008-42714号公報

特許文献3：特開2006-211630号公報

特許文献4：特開平6-151806号公報

特許文献5：特開2007-123721号公報

非特許文献

[0013] 非特許文献1：“近赤外分光イメージングによる生体材料内の3次元氷結晶構造の可視化”、Trans. of the JSRAE、Vol. 22, No. 2 (2005)、pp. 185-192、平成16年11月30日

非特許文献2：“近赤外分光画像計測法による無侵襲末梢血管モニタリング装置を用いたヘモグロビン濃度の測定”、竹田真由他、京都大学医学部保険学科紀要 健康化学第2巻 2005年、pp. 9-13

非特許文献3：“イメージセンサ分光特性表”、ローム、2009年

非特許文献4：“静脈酸素化指標（VOI）測定原理”

発明の概要

発明が解決しようとする課題

- [0014] CIGSを用いた固体撮像素子のように、シリコン基板の上に配線層等を介して光電変換膜を設けた積層型の固体撮像素子では、光電変換膜および配線層等において吸収されなかった光、および光電変換膜および配線層等の隙間を通る光がシリコン基板に設けられたトランジスタに入射すると、不要な電流が発生して画質が劣化する場合がある。
- [0015] また、一般に、固体撮像素子では、光電変換によって得られる電荷は微小であることから、電荷を蓄え、蓄えた電荷を電圧として取り出すための容量（capacitance）が必要となる。そして、この容量を、たとえばシリコン基板にトランジスタを設けることによって得る。このため、従来の固体撮像素子では、シリコン基板においてトランジスタを設けるスペースが必要になってしまい、小型化を図ることが困難である。
- [0016] しかしながら、特許文献1には、このような問題点を解決するための構成は開示されていない。
- [0017] また、特許文献2に開示されたXYアドレス読出方式では、画素回路から画素信号を読み出す時刻が行毎に異なるので、高速移動体を撮影すると画像が歪むという問題がある。
- [0018] また、グローバルシャッタ方式では、読出期間中に光電変換素子から転送トランジスタを介してキャパシタに電流が漏れ、画素信号のレベルが変化するという問題がある。
- [0019] それゆえに、この発明の主たる目的は、半導体基板へ入射する光を遮光することにより画質の劣化を防ぎ、かつ小型化を図ることが可能な光電変換装

置および撮像装置を提供することである。

- [0020] また、この発明の他の目的は、グローバルシャッタ方式を実現することが可能な光電変換装置を提供することである。

課題を解決するための手段

- [0021] この発明に係る光電変換装置は、半導体基板と、半導体基板上に設けられた絶縁層と、絶縁層上に設けられた第1の電極と、第1の電極上に設けられ、受けた光を電荷に変換する光電変換膜と、第1の電極と半導体基板との間に接続された配線と、絶縁層内に設けられ、第1の電極に接続された第1の面状電極と、絶縁層内において第1の面状電極と半導体基板の間に設けられた第2の面状電極とを備えたものである。
- [0022] また、この発明に係る他の光電変換装置は、複数行複数列に配置された複数の画素回路と、第1の期間内に複数行を1行ずつ順次選択し、第2の期間内に複数行を1行ずつ順次選択する行選択回路とを備えたものである。各画素回路は、入射光量に応じた値の電流を出力する光電変換素子と、第1のノードと基準電圧のラインとの間に接続された第1のキャパシタと、第2のノードと基準電圧のラインとの間に接続された第2のキャパシタと、第1の期間の開始時に第1のノードを予め定められた電圧にリセットし、第2の期間の開始時に第2のノードを予め定められた電圧にリセットする第1のリセット回路と、第1の期間は光電変換素子の出力ノードと第1のノードとを接続し、第2の期間は光電変換素子の出力ノードと第2のノードとを接続する切換回路と、行選択回路によって対応の行が選択されている場合に活性化され、第1の期間は、光電変換素子の出力電流によって充電された第2のノードの電圧に応じたレベルの第1の画素信号を生成し、第2の期間は、光電変換素子の出力電流によって充電された第1のノードの電圧に応じたレベルの第2の画素信号を生成する信号発生回路とを含む。この光電変換装置は、さらに、各画素回路の信号発生回路で生成された第1および第2の画素信号を読み出す読出回路を備える。

発明の効果

[0023] この発明に係る光電変換装置では、光電変換膜の下に絶縁層内にキャパシタを構成する第1および第2の面状電極を設けたので、半導体基板へ入射する光を遮光することにより画質の劣化を防ぎ、かつ小型化を図ることができる。

[0024] この発明に係る他の光電変換装置では、第1の期間は、リセットされた第1のキャパシタに光電変換素子の出力電流を流しながら第2のキャパシタの電圧に基づいて第1の画素信号を生成し、第2の期間は、リセットされた第2のキャパシタに光電変換素子の出力電流を流しながら第1のキャパシタの電圧に基づいて第2の画素信号を生成する。したがって、グローバルシャッタ方式を実現することができる。また、第1の期間中に光電変換素子の出力電流が第2のキャパシタに流れたり、第2の期間中に光電変換素子の出力電流が第1のキャパシタに流れるのを防止することができ、画素信号のレベル変化を防止することができる。

図面の簡単な説明

[0025] [図1] この発明の実施の形態1による撮像装置の構成を示すブロック図である。

[図2] 図1に示した光電変換装置の構成を示すブロック図である。

[図3] 図2に示した画素の構成を示す図である。

[図4] 図2に示した画素アレイの要部の断面構造を示す図である。

[図5] 図4に示した画素アレイの断面構造および動作を模式的に示す図である。

[図6] 図5に示した画素アレイを上方から見た図である。

[図7] 図4に示した画素アレイの要部の断面構造を詳細に示す図である。

[図8] 図7に示した画素アレイの要部の斜視図である。

[図9] 図2に示した画素アレイにおける1画素分の回路の一例を示す図である。

[図10] この発明の実施の形態2による光電変換装置の全体構成を示すブロック図である。

[図11] 図 1 0 に示した画素の構成を示す回路図である。

[図12] 図 1 0 および図 1 1 に示した光電変換装置の動作を示すタイムチャートである。

[図13] 図 1 0 に示した画素アレイの要部を示す図である。

[図14] 図 1 1 に示したトランジスタのレイアウトを示す図である。

[図15] 実施の形態 2 の変更例を示す図である。

[図16] この発明の実施の形態 3 による撮像装置の画素アレイの断面構造および動作を模式的に示す図である。

[図17] 図 1 6 に示した画素アレイを上方から見た図である。

[図18] 図 1 7 に示した画素アレイにおける画素電極およびスイッチの関係を
示す図である。

[図19] 実施の形態 3 の変更例の構成および動作を概略的に示す図である。

[図20] 図 1 9 に示した変更例の他の動作を示す図である。

[図21] 実施の形態 3 の他の変更例の構成および動作を概略的に示す図である。
。

[図22] 図 2 1 に示した変更例の他の動作を示す図である。

[図23] 実施の形態 3 のさらに他の変更例の構成を概略的に示す図である。

[図24] 実施の形態 3 のさらに他の変更例の構成を概略的に示す図である。

[図25] 実施の形態 3 のさらに他の変更例の構成を概略的に示す図である。

[図26] 実施の形態 3 のさらに他の変更例の構成を概略的に示す図である。

[図27] 実施の形態 3 のさらに他の変更例の構成を概略的に示す図である。

[図28] 実施の形態 3 のさらに他の変更例の構成を概略的に示す図である。

[図29] この発明の実施の形態 4 に係る撮像装置の画素アレイの要部の断面構造を示す図である。

[図30] 図 2 9 に示した画素アレイの断面構造および動作を模式的に示す図である。

[図31] 図 3 0 に示した画素アレイにおける 1 画素分のカラーフィルタの色配置を示す図である。

[図32] ホワイト、イエローおよびシアンのカラースフィルタの透過率を示す図である。

[図33] レッド、グリーン、ブルーのカラースフィルタの透過率を示す図である。

[図34] 太陽光のスペクトル分布を示す図である。

[図35] 実施の形態4に係る撮像装置における1画素分のカラースフィルタの色配置の変更例を示す図である。

[図36] 図35に示す変更例におけるインタレース処理およびインタリーブ処理を示す図である。

[図37] 実施の形態4に係る撮像装置における1画素分のカラースフィルタの色配置の他の変更例を示す図である。

[図38] 実施の形態4に係る撮像装置における1画素分のカラースフィルタの色配置のさらに他の変更例を示す図である。

[図39] この発明の実施の形態5による光電変換装置の画素アレイの構成を示す平面図である。

[図40] 図39に示した画素アレイの要部を示す断面図である。

[図41] 図40に示した画素アレイの構成および動作を模式的に示す図である。

[図42] 図39～図41に示した画素アレイを備えた光電変換装置の構成を示す回路ブロック図である。

[図43] 図42に示した画素の構成を示す回路図である。

[図44] 実施の形態5の変更例を示す断面図である。

[図45] 図44に示した画素アレイの構成および動作を模式的に示す図である。

[図46] この発明の実施の形態6に係る光電変換装置の画素の構成を示す図である。

[図47] 図46に示した差動増幅器の回路構成を示す図である。

[図48] 図47に示した画素アレイの要部の断面構造を詳細に示す図である。

[図49]実施の形態6の変更例に係る差動増幅器の回路構成を示す図である。

[図50]図49に示した画素アレイの要部の断面構造を詳細に示す図である。

[図51]この発明の実施の形態7に係る光電変換装置の画素アレイの要部の断面構造を示す図である。

[図52]図51に示した画素アレイの断面構造および動作を模式的に示す図である。

[図53]図51に示した画素アレイを上方から見た図である。

[図54]実施の形態7に係る光電変換装置における画素電極およびスイッチの関係を示す図である。

[図55]図54に示した光電変換装置における入射光量と読出信号レベルとの関係を示すグラフ図である。

[図56]図51に示した光電変換装置における入射光量と画素信号レベルとの関係を示すグラフ図である。

[図57]図51に示した光電変換装置における入射光量と画素信号レベルと他の関係を示すグラフ図である。

[図58]図51に示した光電変換装置を上方から見た図である。

[図59]実施の形態7に係る光電変換装置の変更例における画素電極を上方から見た図である。

[図60]実施の形態7に係る光電変換装置の他の変更例における画素電極を上方から見た図である。

[図61]この発明の実施の形態8に係る光電変換装置における画素電極およびスイッチの関係を示す図である。

[図62]1つの画素電極群におけるスイッチ設定を示す図である。

[図63]図61に示した光電変換装置における入射光量と画素信号レベルとの関係を示すグラフ図である。

[図64]図61に示した光電変換装置における入射光量と画素信号レベルと他の関係を示すグラフ図である。

[図65]図61に示した光電変換装置の1つの画素電極群におけるスイッチの

他の設定例を示す図である。

[図66]図61に示した光電変換装置の1つの画素電極群におけるスイッチの他の設定例を示す図である。

[図67]実施の形態8に係る光電変換装置の変更例を示す図である。

[図68]実施の形態8に係る光電変換装置の変更例の画素電極群におけるスイッチSWKの他の設定例を示す図である。

[図69]この発明の実施の形態9によるイメージセンサの画素アレイの要部を示す断面図である。

[図70]図69に示した画素アレイの構成および動作を模式的に示す図である。

[図71]実施の形態9の比較例を示す図である。

[図72]実施の形態9の変更例を示す図である。

[図73]実施の形態9の他の変更例を示す断面図である。

[図74]実施の形態9のさらに他の変更例を示す断面図である。

[図75]図74に示した画素アレイの構成および動作を模式的に示す図である。

[図76]この発明の実施の形態10に係る撮像装置の構成を示す図である。

[図77]図76に示した撮像装置におけるカラーフィルタの透過率を示す図である。

[図78]図76に示した撮像装置が被写体の撮影を行なう際の動作手順を定めたフローチャートである。

[図79]図76に示した撮像装置が被写体の撮影を行なう際の動作手順を概念的に示す図である。

[図80]図76に示した撮像装置が被写体に光を照射する際の動作手順を示すタイムチャートである。

[図81]図76に示した撮像装置が被写体の画像を生成する際の動作手順を示すタイムチャートである。

[図82]図76に示した撮像装置の光特性を示す図である。

[図83] 医療用の応用波長を示す図である。

[図84] 実施の形態 10 の変更例に係る撮像装置が被写体の撮影を行なう際の動作手順を定めたフローチャートである。

発明を実施するための形態

[0026] 以下、本発明の実施の形態について図面を用いて説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。

[0027] [実施の形態 1]

図 1 は、本発明の実施の形態 1 に係る撮像装置 1 の構成を示す図である。

[0028] 図 1 を参照して、撮像装置 1 は、レンズ 2 と、光電変換装置 3 と、画像信号処理部 4 と、画像表示装置 5 とを備える。

[0029] 撮像装置 1 は、被写体を撮像して画面に表示する。より詳細には、レンズ 2 は、被写体からの光を光電変換装置 3 に集光する。光電変換装置 3 は、レンズ 2 から受けた光を電気信号である画素信号に変換して画像信号処理部 4 へ出力する。画像信号処理部 4 は、光電変換装置 3 から受けた各画素の画素信号に対して補間処理、色処理および補正処理等の種々の信号処理を行なって画像信号を生成し、画像表示装置 5 へ出力する。画像表示装置 5 は、画像信号処理部 4 から受けた画像信号に基づいて画像を表示する。

[0030] 図 2 は、本発明の実施の形態 1 に係る光電変換装置の構成を示す図である。

図 2 を参照して、光電変換装置 3 は、画素アレイ 10 と、複数の負荷回路 11 と、複数のアンプ Q と、垂直走査部 13 と、制御部 14 と、水平走査部 15 と、セレクト 16 と、出力部 17 とを備える。

[0031] 画素アレイ 10 は、複数行複数列に配列された複数の画素 P を含む。以下、行列状に配置された複数の画素 P の行および列をそれぞれ画素行および画素列とも称する。

[0032] 画素アレイ 10 は、さらに、各画素行に対応して設けられた制御信号線 C L と、各画素列に対応して設けられた信号線 S L とを含む。

[0033] 各信号線 S L の一方端は、負荷回路 11 を介して接地電圧 G N D の供給ノ

ードに接続されている。負荷回路 11 は、所定の抵抗値を有する。各信号線 SL の他方端は、アンプ Q の入力端子に接続されている。

[0034] 図 3 は、本発明の実施の形態 1 に係る画素 P の構成を示す図である。

図 3 を参照して、画素 P は、フォトダイオード PD と、読出回路 G と、スイッチ SWB とを含む。フォトダイオード PD のカソードにはカソード電圧 V_K が印加され、フォトダイオード PD のアノードにはアノード電圧 V_A が印加される。

[0035] フォトダイオード PD にレンズ 2 からの光 α が入射すると、その光量に応じた量の電荷が読出回路 G へ流れる。読出回路 G は、たとえば増幅器であり、フォトダイオード PD から流入した電荷の量に応じたレベルの電流 I_R を信号として対応の信号線 SL へ出力する。

[0036] スイッチ SWB は、対応の制御信号線 CL を介して受けた制御信号 CNT に基づいて、読出回路 G からの電流 I_R を対応の信号線 SL へ出力するか否かを切り替える。

[0037] 信号線 SL は、読出回路 G からの信号を伝達する。すなわち、信号線 SL の電圧レベルは、読出回路 G からの電流 I_R と負荷回路 11 の抵抗値との積となる。

[0038] アンプ Q は、対応の信号線 SL の電圧を増幅する。したがって、アンプ Q の出力電圧 V_D は、フォトダイオード PD に入射した光 α の量に応じて変化する。

[0039] 再び図 2 を参照して、垂直走査部 13 は、制御部 14 から与えられる垂直走査信号に基づいて、複数の画素行を 1 行ずつ順次選択し、選択した画素行の制御信号線 CL を介してその画素行の各スイッチ SWB に制御信号 CNT を与える。これにより、選択された画素行の各画素 P から対応の信号線 SL へ入射光量に応じたレベルの電流が出力され、各信号線 SL が入射光量に応じたレベルの電圧に充電される。各信号線 SL の電圧は、アンプ Q によって増幅されてセレクタ 16 に与えられる。

[0040] 水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づいて、

垂直走査部 13 によって 1 つの画素行が選択されている期間に、各画素列を 1 列ずつ順次選択する。セクタ 16 は、水平走査部 15 によって選択されている画素列に対応するアンプ Q の出力電圧 V_D を選択して出力部 17 に伝達する。

[0041] 出力部 17 は、セクタ 16 を介して与えられたアンプ Q の出力電圧 V_D に基づいて画素信号すなわち画素 P の受光量を示す信号を生成し、画像信号処理部 4 および制御部 14 へ出力する。

[0042] 図 4 は、本発明の実施の形態 1 に係る画素アレイ 10 の要部の断面構造を示す図である。図 4 を参照して、画素アレイ 10 は、半導体基板 21 と、読出回路層 22 と、複数の画素電極 E_L と、CIGS 薄膜 23 と、CdS（硫化カドミウム）層 24 と、透明電極 25 とを含む。

[0043] 半導体基板 21 の表面には、読出回路層 22 が形成されている。読出回路層 22 は絶縁層であり、MOS（Metal Oxide Semiconductor）トランジスタ、キャパシタ、配線およびビアホール等を含む。

[0044] 読出回路層 22 の表面には、矩形状の複数の画素電極 E_L が所定の間隔で配置されている。複数の画素電極 E_L は、複数行複数列に配列されている。各画素電極 E_L は、たとえば Mo（モリブデン）で形成されている。

[0045] 複数の画素電極 E_L を覆うようにして CIGS 薄膜 23 が形成され、CIGS 薄膜 23 の表面には CdS 層 24 および透明電極 25 がこの順番で積層されている。CIGS 薄膜 23 は p 型の化合物半導体薄膜であり、その厚さはたとえば 1.7 μm である。CdS 層 24 はバッファ層であり、その厚さはたとえば 50 nm である。透明電極 25 は低抵抗の n 型 ZnO 膜であり、その厚さはたとえば 1 μm である。したがって、CIGS 薄膜 23 および透明電極 25 によって PN 接合が形成される。

[0046] 換言すると、光電変換膜である CIGS 薄膜 23 の第 1 主表面にバッファ層である CdS 層 24 を介して透明電極 25 が形成され、CIGS 薄膜 23 の第 2 主表面において複数の画素電極 E_L が形成されている。各画素電極 E_L は、画素 P に対応している。

- [0047] 図5は、本発明の実施の形態1に係る画素アレイの断面構造および動作を模式的に示す図である。図6は、本発明の実施の形態1に係る画素アレイを上方から見た図である。
- [0048] 図5および図6を参照して、画素アレイ10は、さらに、複数のスイッチSWBを含む。
- [0049] 読出回路Gは、画素電極ELに対応して設けられ、図4に示した読出回路層22において対応の画素電極ELの下に形成されている。すなわち、読出回路Gは、対応の画素電極ELに対してCIGS薄膜23の反対側に設けられている。これにより、光電変換装置3の微細化を図ることができる。
- [0050] 読出回路Gは、動作時、対応の画素電極ELにたとえば1Vのアノード電圧VAを印加する。また、透明電極25にはアノード電圧VAよりも高いたとえば3Vのカソード電圧VKが印加される。これにより、各画素電極ELと透明電極25との間に空乏層が形成され、各画素電極ELと透明電極25との間の領域がフォトダイオードPDとして動作する。画素電極ELはフォトダイオードPDのアノードとなり、透明電極25はフォトダイオードPDのカソードとなる。
- [0051] 外部から透明電極25を介してCIGS薄膜23に光 α が入射すると、CIGS薄膜23内で光量に応じた量の電子-正孔対が発生する。CIGS薄膜23では正孔が多数キャリアであるため、正孔すなわち正電荷がその近傍の画素電極ELに流入する。読出回路Gは、対応の画素電極ELに流入した電荷の量に応じたレベルの電流IRを出力する。
- [0052] スイッチSWBは、読出回路層22において読出回路Gに対応して設けられ、対応の読出回路Gの出力端子に接続された第1端子と、対応の信号線SLに接続された第2端子とを有する。
- [0053] 図7は、本発明の実施の形態1に係る画素アレイ10の要部の断面構造を詳細に示す図である。図8は、本発明の実施の形態1に係る画素アレイ10の要部の斜視図である。
- [0054] 図7および図8を参照して、画素アレイ10は、さらに、配線LNと、面

状電極CTMと、面状電極CBMと、ビアホールTと、MOSトランジスタTR1を含む。

- [0055] 配線LN、面状電極CTMおよび面状電極CBMは、たとえばアルミニウムで形成されている。半導体基板21は、主表面MSを有する。読出回路層22は、主表面MSの上に設けられている。CIGS薄膜23は、読出回路層22を介して主表面MSの上に設けられ、受けた光を電荷に変換する。画素電極ELは、CIGS薄膜23の表面に設けられ、CIGS薄膜23によって変換された電荷を受ける。配線LNは、読出回路層22において設けられ、画素電極ELと半導体基板21とを電氣的に接続する。
- [0056] 面状電極CTMは、読出回路層22において設けられ、画素電極ELと電氣的に接続されている。配線LNおよび面状電極CTMは画素電極ELに対応してそれぞれ複数設けられている。面状電極CBMは、読出回路層22において面状電極CTMと間隔を隔てて対向して設けられている。面状電極CTMおよび面状電極CBM間に容量CPが形成される。容量CPは、面状電極CTMおよび面状電極CBMの対向する領域の面積に比例する。
- [0057] 面状電極CBMは、半導体基板21の主表面MSと対向して設けられている。たとえば、面状電極CBMおよび主表面MSは、互いに略平行に設けられている。また、たとえば、面状電極CTMおよび面状電極CBMは、互いに略平行に設けられている。
- [0058] 配線LNは、対応の画素電極ELの下に設けられ、ビアホールTを介して画素電極ELと電氣的に接続されている。
- [0059] 面状電極CTMは、配線LNの下に設けられ、ビアホールTおよび配線LNを介して画素電極ELと電氣的に接続されている。
- [0060] ここで、ビアホールTは、画素電極ELおよび配線LN間ならびに配線LNおよび面状電極CTM間の各々において並列に複数設けられている。このような構成により、ビアホールTによる配線抵抗を低くすることができる。
- [0061] MOSトランジスタTR1は、半導体基板21および読出回路層22における、面状電極CBMの下の領域に設けられている。

- [0062] 面状電極CTMは、画素ごとに分離されている。一方、面状電極CBMは複数の画素に跨って延在している。すなわち、面状電極CBMは、各面状電極CTMと間隔を隔てて対向するように一体化して設けられている。このため、面状電極CTMの面積で、電荷蓄積のための容量CPが規定される。
- [0063] CIGS薄膜23において光電変換された電荷は容量CPに蓄積され、蓄積された電荷は配線LNを通して半導体基板21におけるMOSトランジスタTR1に与えられる。
- [0064] 図9は、本発明の実施の形態1に係る画素アレイ10における1画素分の回路の一例を示す図である。
- [0065] 図9を参照して、画素Pは、フォトダイオードPDと、配線LNと、面状電極CTMと、面状電極CBMと、読出回路Gと、MOSトランジスタTR5とを含む。読出回路Gは、MOSトランジスタTR1～TR4を含む。
- [0066] MOSトランジスタTR1は、ゲートと、配線LNに接続されたドレインと、MOSトランジスタTR2のソースおよびMOSトランジスタTR4のゲートに接続されたソースとを有する。MOSトランジスタTR2は、ゲートと、所定電圧たとえば接地電圧の供給されるノードに接続されたドレインと、MOSトランジスタTR1のソースに接続されたソースとを有する。MOSトランジスタTR4は、MOSトランジスタTR1のソースに接続されたゲートと、電源電圧の供給されるノードに接続されたドレインと、MOSトランジスタTR3のドレインに接続されたソースとを有する。MOSトランジスタTR3は、バイアス電圧Vbsが供給されるゲートと、MOSトランジスタTR4のソースに接続されたドレインと、接地電圧の供給されるノードに接続されたソースとを有する。MOSトランジスタTR5は、MOSトランジスタTR3のドレインに接続されたドレインと、ゲートと、信号線SLに接続されたソースとを有する。
- [0067] MOSトランジスタTR3およびTR4はソースフォロワ回路を構成している。MOSトランジスタTR3のゲートにはバイアス電圧Vbsが与えられ、これによりMOSトランジスタTR3は抵抗素子として動作する。ここ

で、MOSトランジスタTR3は前述の負荷回路11に相当しており、図9に示す読出回路Gでは、フォトダイオードPDから流入した電荷の量に応じたレベルの電圧を信号として対応の信号線SLへ出力している。また、MOSトランジスタTR5は前述のスイッチSWBに相当しており、読出回路Gからの信号を信号線SLへ出力するか否かを切り替える。

[0068] 制御部14は、たとえば垂直走査部13を制御することにより、MOSトランジスタTR1、TR4、TR5のゲートに制御信号を与え、画素Pから電荷を読み出す。

[0069] より詳細には、制御部14は、まず、リセット電位の読出を行なう。すなわち、MOSトランジスタTR5をオンする。そして、MOSトランジスタTR2をオンすることにより、MOSトランジスタTR4のゲート容量およびこのゲートに接続される配線容量に蓄えられた電荷がはきだされる。このとき、MOSトランジスタTR1をオフしておくことにより、容量CPに蓄えられた電荷がMOSトランジスタTR4側へ流れないようにせき止めておく。

[0070] 次に、MOSトランジスタTR2をオフし、MOSトランジスタTR1をオンする。これにより、容量CPに蓄えられた電荷がMOSトランジスタTR4のゲートに流れ、容量CPに蓄えられた電荷に対応する電圧が信号線SLへ出力される。

[0071] 次に、MOSトランジスタTR5をオフする。また、MOSトランジスタTR2をオンすることにより、MOSトランジスタTR4のゲート容量およびこのゲートに接続される配線容量に蓄えられた電荷がはきだされる。そして、MOSトランジスタTR1をオフし、容量CPに再び電荷を蓄え、かつ容量CPに蓄えられた電荷がMOSトランジスタTR4側へ流れないようにせき止めておく。

[0072] ところで、一般に、固体撮像素子では、光電変換によって得られた電荷を蓄えるためのトランジスタを設けるためのスペースがシリコン基板において必要となり、小型化を図ることが困難である。そして、このトランジスタに

光が入射すると、不要な電流が発生し、画質が劣化する場合がある。また、CMOSイメージセンサ等に用いられる固体撮像素子においては、光をシリコン基板に入射させる必要があるため、シリコン基板の上の配線層等において容量を設けることは好ましくない。

[0073] これに対して、CIGS薄膜等を用いた積層型の構成では、光をシリコン基板に入射させなくてもよいので、シリコン基板ではなく、絶縁層すなわち配線層において容量を設けることができ、この容量を配線と同じ材料で形成することができる。

[0074] そこで、本発明の実施の形態1に係る光電変換装置は、読出回路層22において設けられ、画素電極ELと半導体基板21とを電氣的に接続する配線LNと、読出回路層22において設けられ、画素電極ELと電氣的に接続された面状電極CTMと、読出回路層22において面状電極CTMと間隔を隔てて対向して設けられた面状電極CBMとを備える。

[0075] すなわち、絶縁層において1組の面状電極を設け、面状電極間の容量CPを電荷蓄積のための容量として用いることにより、半導体基板において容量を形成する必要がなくなる。そして、これによって得られる半導体基板の空きスペースに他の回路を設けることができるため、小型化を図ることができる。また、絶縁層において面状電極CTMおよびCBMを設けることにより、半導体基板へ入射される光を遮断することが可能となる。

[0076] なお、本発明の実施の形態1に係る画素アレイ10における配線LN、面状電極CTMおよび面状電極CBMの配置は、図7および図8に示すようなものに限定するものではない。面状電極CTMおよび面状電極CBMが互いに対向していれば、容量を形成し、かつ半導体基板21へ入射される光を遮断することが可能となる。また、面状電極CTMおよび面状電極CBMのいずれかを半導体基板21と対向して設けることにより、半導体基板21へ入射される光をさらに遮断することができる。

[0077] また、本発明の実施の形態1に係る光電変換装置では、面状電極CBMは複数の画素に跨って延在している構成であるとしたが、これに限定するもの

ではない。面状電極 C B M が画素ごとに分離されている構成であってもよい。

[0078] また、本発明の実施の形態 1 に係る画素アレイ 10 は、C I G S 薄膜を含む構成であるとしたが、これに限定するものではない。光電変換薄膜または光電変換厚膜であればよく、たとえば C I G S 薄膜以外の化合物半導体薄膜、および有機半導体薄膜等を含む構成であってもよい。また、本発明は、光電変換装置に限らず、フォトセンサおよびラインセンサ等にも適用可能である。

[0079] [実施の形態 2]

この発明の実施の形態 2 による光電変換装置は、図 10 に示すように、画素アレイ 26 を備える。画素アレイ 26 は、 m 行 n 列（ただし、 m 、 n の各々は 2 以上の整数である）に配列された $m \times n$ 個の画素 $P_{11} \sim P_{mn}$ と、それぞれ m 行に対応して設けられた制御信号線群 $CL_1 \sim CL_m$ と、それぞれ n 列に対応して設けられた信号線 $SL_1 \sim SL_n$ とを含む。画素 P は、対応の制御信号線群 CL を介して与えられる複数の信号によって制御され、入射光量に応じたレベルの画素電流と、入射光量がゼロの場合の画素電流に相当する基準電流とを対応の信号線 SL に順次出力する。

[0080] 各信号線 SL の一方端は、負荷回路 11 を介して接地電圧 GND のラインに接続される。負荷回路 11 は、所定の抵抗値を有する。各信号線 SL の他方端は、アンプ Q の入力ノードに接続される。アンプ Q は、対応の信号線 SL の電圧を増幅する。信号線 SL は、対応の列の選択された行の画素 P の出力電流と負荷回路 11 の抵抗値との積の電圧になる。信号線 SL の電圧は、アンプ Q によって増幅される。

[0081] また、光電変換装置は、垂直走査部 27、制御部 14、水平走査部 15、セクタ 16、および出力部 17 を備える。垂直走査部 27 は、制御部 14 から与えられる垂直走査信号に従って動作し、画素アレイ 26 の m 行を 1 行ずつ順次選択し、選択した行の制御信号線群 CL を介してその行の各画素 P に複数の信号を与える。これにより、選択された行の各画素 P から対応の信

号線 S L に電流が出力され、各信号線 S L が画素 P の出力電流と負荷回路 11 の抵抗値との積の電圧に充電される。各信号線 S L の電圧は、アンプ Q で増幅されてセクタ 16 に与えられる。

[0082] 水平走査部 15 は、制御部 14 から与えられる水平走査信号に従って動作し、垂直走査部 27 によって 1 つの行が選択されている期間内に、n 列を 1 列ずつ順次選択する。セクタ 16 は、水平走査部 15 によって選択されている列に対応するアンプ Q の出力電圧を出力部 17 に伝達させる。出力部 17 は、セクタ 16 を介して与えられるアンプ Q の出力電圧に基づいて、画像信号を生成する。画像信号は、画像表示装置に与えられる。画像表示装置の画面には、光電変換装置の被写体の画像が表示される。

[0083] 次に、画素 P の構成および動作についてより詳細に説明する。第 1 行で第 1 列の画素 P 11 は、図 11 に示すように、N チャンネル MOS トランジスタ 30 ~ 38、フォトダイオード 39、およびキャパシタ 40, 41 を含む。フォトダイオード 39 のカソードは第 1 電源電圧 VDD を受け、そのアノードはノード N1 に接続される、フォトダイオード 39 は、入射光量に応じた値の電流をノード N1 に流す。

[0084] トランジスタ 30 のドレインは第 2 電源電圧 VDR を受け、そのゲートはリセット信号 RC1 を受け、そのソースはノード N1 に接続される。第 2 電源電圧 VDR は、第 1 電源電圧 VDD よりも低く、接地電圧 GND よりも高い所定の電圧である。

[0085] キャパシタ 40 は、ノード N2 と接地電圧 GND のラインとの間に接続される。キャパシタ 41 は、ノード N3 と接地電圧 GND のラインとの間に接続される。トランジスタ 31 は、ノード N1, N2 間に接続され、そのゲートは転送信号 TA1 を受ける。トランジスタ 32 は、ノード N1, N3 間に接続され、そのゲートは転送信号 TB1 を受ける。

[0086] 転送信号 TA1, TB1 は、所定の周期で交互に「H」レベルにされる。転送信号 TA1 が「H」の期間において、リセット信号 RC1 が「H」レベルにされると、トランジスタ 30, 31 が導通してノード N1, N2 が第 2

電源電圧VDRにリセットされる。転送信号TA1が「H」レベルの期間において、リセット信号RC1が「L」レベルにされると、トランジスタ30が非導通になるとともにトランジスタ31が導通し、フォトダイオード39の出力電流によってキャパシタ40が充電される。

[0087] 転送信号TB1が「H」レベルの期間において、リセット信号RC1が「H」レベルにされると、トランジスタ30、32が導通してノードN1、N3が第2電源電圧VDRにリセットされる。転送信号TB1が「H」レベルの期間において、リセット信号RC1が「L」レベルにされると、トランジスタ30が非導通になるとともにトランジスタ32が導通し、フォトダイオード39の出力電流によってキャパシタ41が充電される。

[0088] トランジスタ33のドレインは第2電源電圧VDRを受け、そのゲートはリセット信号RA1を受け、そのソースはノードN2に接続される。トランジスタ34のドレインは第2電源電圧VDRを受け、そのゲートはリセット信号RB1を受け、そのソースはノードN3に接続される。

[0089] 転送信号TA1が「L」レベルの期間において、リセット信号RA1が「H」レベルにされると、トランジスタ33が導通し、ノードN2が第2電源電圧VDRにリセットされる。転送信号TB1が「L」レベルの期間において、リセット信号RB1が「H」レベルにされると、トランジスタ34が導通し、ノードN3が第2電源電圧VDRにリセットされる。

[0090] トランジスタ35のドレインは第2電源電圧VDRを受け、そのゲートはノードN2に接続される。トランジスタ37のドレインはトランジスタ35のソースに接続され、そのゲートは選択信号SA1を受け、そのソースは対応の信号線SL1に接続される。なお、トランジスタ35のドレインに第2電源電圧VDRの代わりに第1電源電圧VDDを与えてもよい。

[0091] 転送信号TA1が「L」レベルの期間において、リセット信号RA1が「H」レベルにされる前の期間に選択信号SA1が「H」レベルにされると、トランジスタ37が導通し、ノードN2の電圧に応じたレベルの画素電流が第2電源電圧VDRのラインからトランジスタ35、37を介して対応の信

号線 S L 1 に流れる。

- [0092] 転送信号 T A 1 が「L」レベルの期間において、リセット信号 R A 1 が「H」レベルにされた後の期間に選択信号 S A 1 が「H」レベルにされると、トランジスタ 3 7 が導通し、第 2 電源電圧 V D R に応じたレベルの基準電流が第 2 電源電圧 V D R のラインからトランジスタ 3 5, 3 7 を介して対応の信号線 S L 1 に流れる。
- [0093] トランジスタ 3 6 のドレインは第 2 電源電圧 V D R を受け、そのゲートはノード N 3 に接続される。トランジスタ 3 8 のドレインはトランジスタ 3 6 のソースに接続され、そのゲートは選択信号 S B 1 を受け、そのソースは対応の信号線 S L 1 に接続される。なお、トランジスタ 3 5 のドレインに第 2 電源電圧 V D R の代わりに第 1 電源電圧 V D D を与えてもよい。
- [0094] 転送信号 T B 1 が「L」レベルの期間において、リセット信号 R B 1 が「H」レベルにされる前の期間に選択信号 S B 1 が「H」レベルにされると、トランジスタ 3 8 が導通し、ノード N 3 の電圧に応じたレベルの画素電流が第 2 電源電圧 V D R のラインからトランジスタ 3 6, 3 8 を介して対応の信号線 S L 1 に流れる。
- [0095] 転送信号 T B 1 が「L」レベルの期間において、リセット信号 R B 1 が「H」レベルにされた後の期間に選択信号 S B 1 が「H」レベルにされると、トランジスタ 3 8 が導通し、第 2 電源電圧 V D R に応じたレベルの基準電流が第 2 電源電圧 V D R のラインからトランジスタ 3 6, 3 8 を介して対応の信号線 S L 1 に流れる。
- [0096] 信号 R A 1, R B 1, R C 1, T A 1, T B 1, S A 1, S B 1 は、対応の制御信号線群 C L 1 を介して画素 P 1 1 に供給される。
- [0097] 第 1 行目の他の画素 P 1 2 ~ P 1 n の各々は、画素 P 1 1 と同じ構成である。ただし、画素 P 1 2 ~ P 1 n のトランジスタ 3 7, 3 8 のソースは、それぞれ信号線 S L 2 ~ S L n に接続される。
- [0098] 第 2 行目の画素 P 2 1 ~ P 2 n は、それぞれ画素 P 1 1 ~ P 1 n と同じ構成である。ただし、画素 P 2 1 ~ P 2 n の各々には、制御信号線群 C L 2 か

ら信号RA2, RB2, RC2, TA2, TB2, SA2, SB2が供給される。

[0099] 第m行目の画素P_{m1}～P_{mn}は、それぞれ画素P₁₁～P_{1n}と同じ構成である。ただし、画素P_{m1}～P_{mn}の各々には、制御信号線群CL_mから信号RA_m, RB_m, RC_m, TA_m, TB_m, SA_m, SB_mが供給される。

[0100] 図12は、この光電変換装置のグローバルシャッタ動作を示すタイムチャートである。ただし、図12では、第1行目と第2行目の画素Pの動作のみが示されている。図12において、転送信号TA₁～TA_mと転送信号TB₁～TB_mとは、一定の周期で交互に「H」レベルにされる。ある時刻t₁において、転送信号TA₁～TA_mが「H」レベルから「L」レベルに立ち下げられるとともに転送信号TB₁～TB_mが「L」レベルから「H」レベルに立ち上げられる。これにより、全画素P₁₁～P_{mn}の各々のトランジスタ31が非導通になるとともにトランジスタ32が導通する。

[0101] 次いで時刻t₂において、リセット信号RC₁～RC_mが所定時間だけ「H」レベルに立ち上げられる。これにより、全画素P₁₁～P_{mn}のトランジスタ30が所定時間だけ導通し、ノードN₁, N₃が第2電源電圧VDRにリセットされる。リセット信号RC₁～RC_mが「L」レベルに立ち下げられると、全画素P₁₁～P_{mn}においてフォトダイオード39の出力電流がトランジスタ32を介してノードN₃に流入し、キャパシタ41の充電が開始される。キャパシタ41の充電は、転送信号TB₁～TB_mが「H」レベルの期間中、継続される。

[0102] 次に、時刻t₃において、垂直走査部27によって第1行の画素P₁₁～P_{1n}が選択され、選択信号SA₁が所定時間だけ「H」レベルに立ち上げられ、画素P₁₁～P_{1n}のトランジスタ37が導通する。このとき、ノードN₂は転送信号TA₁～TA_mが「H」レベルの期間(t₀～t₁)に充電されており、ノードN₂の電圧は各画素Pのフォトダイオード39への入射光量に応じたレベルになっている。したがって、ノードN₂の電圧に応じ

た値の画素電流が、第2電源電圧VDRのラインからトランジスタ35, 37を介して信号線SLに流れ、信号線SLの電圧がその画素電流に応じたレベルに上昇する。信号線SL1~SLnの電圧は、図10のアンプQおよびセクタ16を介して出力部17に与えられる。

[0103] 次いで、時刻t4において、リセット信号RA1が所定時間だけ「H」レベルに立ち上げられ、画素P11~P1nのトランジスタ33が導通する。これにより、画素P11~P1nのノードN2が第2電源電圧VDRにリセットされる。次に、時刻t5において、選択信号SA1が所定時間だけ「H」レベルに立ち上げられ、画素P11~P1nのトランジスタ37が導通する。これにより、ノードN2の電圧（この場合はVR）に応じた値の基準電流が、第2電源電圧VDRのラインからトランジスタ35, 37を介して信号線SLに流れ、信号線SLの電圧がその基準電流に応じたレベルに上昇する。信号線SL1~SLnの電圧は、図10のアンプQおよびセクタ16を介して出力部17に与えられる。

[0104] 次に、時刻t6において、垂直走査部27によって第2行の画素P21~P2nが選択され、選択信号SA2が所定時間だけ「H」レベルに立ち上げられ、画素P21~P2nのトランジスタ37が導通する。このとき、ノードN2は転送信号TA1~TAmが「H」レベルの期間（t0~t1）に充電されており、ノードN2の電圧は各画素Pのフォトダイオード39への入射光量に応じたレベルになっている。したがって、ノードN2の電圧に応じた値の画素電流が、第2電源電圧VDRのラインからトランジスタ35, 37を介して信号線SLに流れ、信号線SLの電圧がその画素電流に応じたレベルに上昇する。信号線SL1~SLnの電圧は、図10のアンプQおよびセクタ16を介して出力部17に与えられる。

[0105] 次いで、時刻t7において、リセット信号RA2が所定時間だけ「H」レベルに立ち上げられ、画素P21~P2nのトランジスタ33が導通する。これにより、画素P21~P2nのノードN2が第2電源電圧VDRにリセットされる。次に、時刻t8において、選択信号SA2が所定時間だけ「H

」レベルに立ち上げられ、画素 $P_{21} \sim P_{2n}$ のトランジスタ37が導通する。これにより、ノード N_2 の電圧（この場合は V_R ）に応じた値の基準電流が、第2電源電圧 V_{DR} のラインからトランジスタ35, 37を介して信号線 S_L に流れ、信号線 S_L の電圧がその基準電流に応じたレベルに上昇する。信号線 $S_{L1} \sim S_{Ln}$ の電圧は、図10のアンプQおよびセクタ16を介して出力部17に与えられる。

[0106] 以下、同様にして、第3～第 m 行の画素 $P_{31} \sim P_{3n}$, ..., $P_{m1} \sim P_{mn}$ の各々から、ノード N_2 の電圧に応じたレベルの画素電流と第2電源電圧 V_{DR} に応じたレベルの基準電流とが信号線 S_L に出力され、信号線 S_L の電圧がアンプQおよびセクタ16を介して出力部17に与えられる。

[0107] 次に、時刻 t_9 において、転送信号 $TA_1 \sim TA_m$ が「L」レベルから「H」レベルに立ち上げられるとともに転送信号 $TB_1 \sim TB_b$ が「H」レベルから「L」レベルに立ち下げられる。これにより、全画素 $P_{11} \sim P_{mn}$ の各々のトランジスタ32が非導通になるとともにトランジスタ31が導通する。

[0108] 次いで時刻 t_{10} において、リセット信号 $RC_1 \sim RC_m$ が所定時間だけ「H」レベルに立ち上げられる。これにより、全画素 $P_{11} \sim P_{mn}$ のトランジスタ30が所定時間だけ導通し、ノード N_1 , N_2 が第2電源電圧 V_{DR} にリセットされる。リセット信号 $RC_1 \sim RC_m$ が「L」レベルに立ち下げられると、全画素 $P_{11} \sim P_{mn}$ においてフォトダイオード39の出力電流がトランジスタ31を介してノード N_2 に流入し、キャパシタ40の充電が開始される。キャパシタ40の充電は、転送信号 $TA_1 \sim TA_m$ が「H」レベルの期間中、継続される。

[0109] 次に、時刻 t_{11} において、垂直走査部27によって第1行の画素 $P_{11} \sim P_{1n}$ が選択され、選択信号 SB_1 が所定時間だけ「H」レベルに立ち上げられ、画素 $P_{11} \sim P_{1n}$ のトランジスタ38が導通する。このとき、ノード N_3 は転送信号 $TB_1 \sim TB_m$ が「H」レベルの期間（ $t_1 \sim t_9$ ）に充電されており、ノード N_3 の電圧は各画素部Pのフォトダイオード39へ

の入射光量に応じたレベルになっている。したがって、ノードN3の電圧に応じた値の画素電流が、第2電源電圧VDRのラインからトランジスタ36, 38を介して信号線SLに流れ、信号線SLの電圧がその画素電流に応じたレベルに上昇する。信号線SL1~SLnの電圧は、図10のアンプQおよびセクタ16を介して出力部17に与えられる。

[0110] 次いで、時刻t12において、リセット信号RB1が所定時間だけ「H」レベルに立ち上げられ、画素P11~P1nのトランジスタ34が導通する。これにより、画素P11~P1nのノードN3が第2電源電圧VDRにリセットされる。次に、時刻t13において、選択信号SB1が所定時間だけ「H」レベルに立ち上げられ、画素P11~P1nのトランジスタ38が導通する。これにより、ノードN3の電圧（この場合はVR）に応じた値の基準電流が、第2電源電圧VDRのラインからトランジスタ36, 38を介して信号線SLに流れ、信号線SLの電圧がその基準電流に応じたレベルに上昇する。信号線SL1~SLnの電圧は、図10のアンプQおよびセクタ16を介して出力部17に与えられる。

[0111] 次に、時刻t14において、垂直走査部27によって第2行の画素P21~P2nが選択され、選択信号SB2が所定時間だけ「H」レベルに立ち上げられ、画素P21~P2nのトランジスタ38が導通する。このとき、ノードN3は転送信号TB1~TBmが「H」レベルの期間（t1~t9）に充電されており、ノードN3の電圧は各画素Pのフォトダイオード39への入射光量に応じたレベルになっている。したがって、ノードN3の電圧に応じた値の画素電流が、第2電源電圧VDRのラインからトランジスタ36, 38を介して信号線SLに流れ、信号線SLの電圧がその画素電流に応じたレベルに上昇する。信号線SL1~SLnの電圧は、図10のアンプQおよびセクタ16を介して出力部17に与えられる。

[0112] 次いで、時刻t15において、リセット信号RB2が所定時間だけ「H」レベルに立ち上げられ、画素P21~P2nのトランジスタ34が導通する。これにより、画素P21~P2nのノードN3が第2電源電圧VDRにリ

セットされる。次に、時刻 t_{16} において、選択信号 SB_2 が所定時間だけ「H」レベルに立ち上げられ、画素 $P_{21} \sim P_{2n}$ のトランジスタ 38 が導通する。これにより、ノード N_3 の電圧（この場合は V_R ）に応じた値の基準電流が、第2電源電圧 V_{DR} のラインからトランジスタ 36, 38 を介して信号線 SL に流れ、信号線 SL の電圧がその基準電流に応じたレベルに上昇する。信号線 $SL_1 \sim SL_n$ の電圧は、図 10 のアンプ Q およびセクタ 16 を介して出力部 17 に与えられる。

[0113] 以下、同様にして、第3～第 m 行の画素 $P_{31} \sim P_{3n}$, ..., $P_{m1} \sim P_{mn}$ の各々から、ノード N_2 の電圧に応じたレベルの画素電流と第2電源電圧 V_{DR} に応じたレベルの基準電流とが信号線 SL に出力され、信号線 SL の電圧がアンプ Q およびセクタ 16 を介して出力部 17 に与えられる。出力部 17 は、セクタ 16 を介して与えられた電圧信号に基づいて画像信号を生成する。

[0114] 以上のように、この光電変換装置では、転送信号 TA_1 が「H」レベルの期間は、リセットされたノード N_2 にフォトダイオード 39 の出力電流を流しながらノード N_3 の電圧に応じたレベルの電流を信号線 SL に流し、転送信号 TB_1 が「H」レベルの期間は、リセットされたノード N_3 にフォトダイオード 39 の出力電流を流しながらノード N_2 の電圧に応じたレベルの電流を信号線 SL に流す。したがって、転送信号 TA_1 （または TB_1 ）が「H」レベルの期間中にフォトダイオード 39 の出力電流がノード N_3 （または N_2 ）に流れるのを防止できる。

[0115] 図 13 (a) は画素アレイ 26 の要部を示す断面図であり、図 13 (b) は図 13 (a) の $X-I-I-B-X-I-I-B$ 線断面図である。図 13 (a) (b) において、画素アレイ 26 は p 型シリコン基板 50 を含む。p 型シリコン基板 50 の表面には、読出回路層 51 が形成されている。読出回路層 51 は、N チャネル MOS トランジスタ 30～38、キャパシタ 40, 41、配線、絶縁層、コンタクトホールなどで構成されている。

[0116] 読出回路層 51 の表面には、複数の画素電極 52 が所定の間隔で複数行複

数列に配列されている。各画素電極 5 2 は、画素 P に対応して設けられ、四角形状に Mo で形成されている。複数の画素電極 5 2 を覆うようにして CIGS 薄膜 5 3 が形成され、CIGS 薄膜 5 3 の表面には CdS 層 5 4 および透明電極 5 5 が積層されている。CIGS とは、 $\text{Cu}(\text{In}_x, \text{Ga}_{1-x})\text{Se}_2$ ($0 \leq x \leq 1$) の略称である。

[0117] CIGS 薄膜 5 3 は、p 型の化合物半導体薄膜であり、その厚さはたとえば $1.7 \mu\text{m}$ である。CdS 層 5 4 は、n 型の化合物半導体薄膜で形成されたバッファ層であり、その厚さはたとえば 50 nm である。透明電極 5 5 は、たとえば ZnO 膜であり、その厚さはたとえば $1 \mu\text{m}$ である。したがって、CIGS 薄膜 5 3 と透明電極 5 5 によって PN 接合が形成される。

[0118] 換言すると、光電変換膜である CIGS 薄膜 5 3 が複数の画素領域に分割され、CIGS 薄膜 5 3 の表面にバッファ層である CdS 層 5 4 を介して透明電極 5 5 が形成され、CIGS 薄膜 5 3 の裏面において各画素領域に画素電極 5 2 が形成されている。各画素電極 5 2 はフォトダイオード 3 9 のアノードとなり、透明電極 5 5 はフォトダイオード 3 9 のカソードとなる。透明電極 5 5 には第 1 電源電圧 VDD が印加され、各画素電極 5 2 には第 1 電源電圧 VDD よりも低い第 2 電源電圧 VDR が印加される。

[0119] 外部から透明電極 5 5 を介して CIGS 薄膜 5 3 に光が入射すると、CIGS 薄膜 5 3 内で光量に応じた量の電子-正孔対が発生する。CIGS 薄膜 5 3 では正孔が多数キャリアであり、正孔すなわち正電荷がその近傍の画素電極 5 2 に流入する。

[0120] 図 1 4 は、読出回路層 5 1 のうちの 1 つの画素 P に属するトランジスタ 3 0 ~ 3 8 のレイアウトを示す図である。図 1 4 において、p 型シリコン基板 5 0 の表面にトランジスタ 3 0 ~ 3 8 のゲート $30g \sim 38g$ が形成される。ゲート $31g \sim 38g$ の各々は図 1 4 中の X 方向に延在し、ゲート $30g$ は図 1 4 中の Y 方向に延在している。ゲート $37g, 35g, 33g, 31g, 32g, 34g, 36g, 38g$ は、この順で Y 方向に所定の間隔で配列されている。ゲート $30g$ は、ゲート $31g, 32g$ の間の中心から X 方

向に所定の距離だけ離れた位置に配置されている。

- [0121] 全ゲート30g～38gの中央部を結ぶようにして、p型シリコン基板50の表面にT字型のn型不純物拡散領域50aが形成される。ゲート30g～38gの一方側のn型不純物拡散領域50aはそれぞれトランジスタ30～38のドレインとなる。ゲート30g～38gの他方側のn型不純物拡散領域50aはそれぞれトランジスタ30～38のソースとなる。
- [0122] トランジスタ30のドレイン（ゲート30gの図14中の右側のn型不純物拡散領域50a）は、コンタクトホールCH1を介して第2電源電圧VDRのラインに接続される。トランジスタ30のソースおよびトランジスタ31、32のドレイン（ゲート30g～32gの間のn型不純物拡散領域50a）は、コンタクトホールCH2を介してノードN1およびフォトダイオード39のアノードに接続される。
- [0123] トランジスタ31、33のソース（ゲート31g、33gの間のn型不純物拡散領域50a）は、コンタクトホールCH3を介してノードN2およびキャパシタ40に接続される。トランジスタ32、34のソース（ゲート32g、34gの間のn型不純物拡散領域50a）は、コンタクトホールCH4を介してノードN3およびキャパシタ41に接続される。
- [0124] トランジスタ33、35のドレイン（ゲート33g、35gの間のn型不純物拡散領域50a）は、コンタクトホールCH5を介して第2電源電圧VDRのラインに接続される。トランジスタ34、36のドレイン（ゲート34g、36gの間のn型不純物拡散領域50a）は、コンタクトホールCH6を介して第2電源電圧VDRのラインに接続される。
- [0125] トランジスタ37のソース（ゲート37gの図14中の上側のn型不純物拡散領域30a）は、コンタクトホールCH7を介して信号線SLに接続される。トランジスタ38のソース（ゲート38gの図14中の下側のn型不純物拡散領域50a）は、コンタクトホールCH8を介して信号線SLに接続される。トランジスタ30～34は、画素電極52の下方に配置される。
- [0126] 図15は、実施の形態2の変更例を示す図であって、図14と対比される

図である。図 15 において、p 型シリコン基板 50 の表面にトランジスタ 30 ~ 38 のゲート 30 g ~ 38 g が形成される。ゲート 30 g, 31 g, 34 g, 35 g, 38 g の各々は図 15 中の X 方向に延在し、ゲート 32 g, 33 g, 36 g, 37 g の各々は図 15 中の Y 方向に延在している。ゲート 31 g, 32 g, 30 g はコの字状に配置され、ゲート 31 g ~ 34 g は十字状に配置され、ゲート 33 g ~ 36 g は四角形状に配置され、ゲート 35 g ~ 38 g は十字状に配置される。

[0127] 全ゲート 30 g ~ 38 g の中央部を結ぶようにして、p 型シリコン基板 50 の表面に 8 字型の n 型不純物拡散領域 50 a が形成される。ゲート 30 g ~ 38 g の一方側の n 型不純物拡散領域 50 a はそれぞれトランジスタ 30 ~ 38 のドレインとなる。

[0128] トランジスタ 30 のドレイン（ゲート 30 g の図 15 中の下側の n 型不純物拡散領域 50 a）は、コンタクトホール CH1 を介して第 2 電源電圧 VDR のラインに接続される。トランジスタ 30 のソースおよびトランジスタ 31, 32 のドレイン（ゲート 30 g ~ 32 g の間の n 型不純物拡散領域 50 a）は、コンタクトホール CH2 を介してノード N1 およびフォトダイオード 39 のアノードに接続される。

[0129] トランジスタ 31, 33 のソース（ゲート 31 g, 33 g の間の n 型不純物拡散領域 50 a）は、コンタクトホール CH3 を介してノード N2 およびキャパシタ 40 に接続される。トランジスタ 32, 34 のソース（ゲート 32 g, 34 g の間の n 型不純物拡散領域 50 a）は、コンタクトホール CH4 を介してノード N3 およびキャパシタ 41 に接続される。

[0130] トランジスタ 33 ~ 36 のドレイン（ゲート 33 g ~ 36 g の間の n 型不純物拡散領域 50 a）は、コンタクトホール CH5 を介して第 2 電源電圧 VDR のラインに接続される。トランジスタ 37, 38 のソース（ゲート 37 g, 38 g の間の n 型不純物拡散領域 50 a）は、コンタクトホール CH6 を介して信号線 SL に接続される。トランジスタ 30 ~ 38 は、画素電極 52 の下方に配置される。

[0131] [実施の形態 3]

ところで、通常の CMOS イメージセンサは、たとえば、複数の光電変換素子と、光電変換素子に対応して設けられ、対応の光電変換素子からの電荷を増幅する複数のアンプとを備える。そして、通常時は各アンプの出力を画素信号の生成に用い、低照度時は各アンプの出力を合成したものを画素信号の生成に用いることにより、低照度時でも良好な画像を得る。すなわち、各アンプの出力を合成することにより信号およびノイズを加算していくと、信号は倍で増えていき、ノイズは 2 乗平均で増えていく。このため、画素信号の S/N (Signal to Noise) 比が良好になる。このような方法は、CCD (Charge Coupled Device) イメージセンサでも採用されている。

[0132] しかしながら、このような方法では、低照度時、各アンプにおいてノイズが付加される分、画素信号の S/N 比の改善効果が低く、画質の大幅な向上は望めないという問題点があった。

[0133] しかしながら、特許文献 3 には、このような問題点を解決するための構成は開示されていない。

[0134] それゆえに、本実施の形態 3 の目的は、画質を大幅に向上させることが可能な光電変換装置および撮像装置を提供することである。

[0135] 図 16 は、本発明の実施の形態 3 に係る画素アレイ 60 の断面構造および動作を模式的に示す図であって、図 5 と対比される図である。図 17 は、本発明の実施の形態 3 に係る画素アレイ 60 を上方から見た図であって、図 6 と対比される図である。

[0136] 図 16 および図 17 を参照して、画素アレイ 60 は、画素アレイ 10 に複数のスイッチ SWA を追加したものである。

[0137] 読出回路 G は、画素電極 EL に対応して設けられ、読出回路層 22 において対応の画素電極 EL の下に形成されている。すなわち、読出回路 G は、対応の画素電極 EL に対して CIGS 薄膜 23 の反対側に設けられている。これにより、光電変換装置の微細化を図ることができる。

[0138] 読出回路 G は、読出動作時、対応の画素電極 EL にたとえば 1 V のアノー

ド電圧 V_A を印加する。また、透明電極25にはアノード電圧 V_A よりも高いたとえば3Vのカソード電圧 V_K が印加される。これにより、各画素電極ELと透明電極25との間に空乏層が形成され、各画素電極ELと透明電極25との間の領域がフォトダイオードPDとして動作する。画素電極ELはフォトダイオードPDのアノードとなり、透明電極25はフォトダイオードPDのカソードとなる。

[0139] 外部から透明電極25を介してCIGS薄膜23に光 α が入射すると、CIGS薄膜23内で光量に応じた量の電子-正孔対が発生する。CIGS薄膜23では正孔が多数キャリアであるため、正孔すなわち正電荷がその近傍の画素電極ELに流入する。読出回路Gは、対応の画素電極ELに流入した電荷の量に応じたレベルの電流IRを出力する。

[0140] また、図17に示すように、スイッチSWAおよびSWBは、CIGS薄膜23の延在方向において対応の画素電極ELを挟んで対向する位置に設けられている。スイッチSWAは、読出回路層22において設けられ、画素電極EL間に接続されている。スイッチSWBは、読出回路層22において読出回路Gに対応して設けられ、対応の読出回路Gの出力端子に接続された第1端子と、対応の読出信号線SLに接続された第2端子とを有する。

[0141] 図18は、本発明の実施の形態3に係る光電変換装置における画素電極およびスイッチの関係を示す図である。図18では、複数行複数列の画素に対応する回路の一部を代表的に示し、これらの回路の動作について主に説明する。

[0142] 図18を参照して、画素アレイ60は、 n 行 n 列に配列された複数の画素電極ELを含む。ここで、1行目、2行目、 $\dots$ 、 n 行目の画素行をそれぞれ画素行1、画素行2、 $\dots$ 、画素行 n と称し、1列目、2列目、 $\dots$ 、 n 列目の画素列をそれぞれ画素列1、画素列2、 $\dots$ 、画素列 n と称する。図18に示す一例では、 n は3以上の自然数である。

[0143] すなわち、画素電極EL11、EL12、EL13、EL14、 $\dots$ が画素行1に対応し、画素電極EL21、EL22、EL23、EL24、 $\dots$ が画

素行 2 に対応し、画素電極 EL_{n1} , EL_{n2} , EL_{n3} , EL_{n4} , ... が画素行 n に対応している。また、画素電極 EL_{11} , EL_{21} , ..., EL_{n1} が画素列 1 に対応し、画素電極 EL_{12} , EL_{22} , ..., EL_{n2} が画素列 2 に対応し、画素電極 EL_{13} , EL_{23} , ..., EL_{n3} が画素列 3 に対応し、画素電極 EL_{14} , EL_{24} , ..., EL_{n4} が画素列 4 に対応している。これらの画素電極は、前述の画素電極 EL に相当する。

[0144] 画素電極 EL_{11} , EL_{12} , EL_{13} , EL_{14} , ..., 画素電極 EL_{21} , EL_{22} , EL_{23} , EL_{24} , ..., 画素電極 EL_{n1} , EL_{n2} , EL_{n3} , EL_{n4} , ... に対応して、読出回路 G_{11} , G_{12} , G_{13} , G_{14} , ..., 読出回路 G_{21} , G_{22} , G_{23} , G_{24} , ..., 読出回路 G_{n1} , G_{n2} , G_{n3} , G_{n4} , ... が設けられている。これらの読出回路は、前述の読出回路 G に相当する。

[0145] 読出回路 G_{11} , G_{12} , G_{13} , G_{14} , ..., 読出回路 G_{21} , G_{22} , G_{23} , G_{24} , ..., 読出回路 G_{n1} , G_{n2} , G_{n3} , G_{n4} , ... に対応して、スイッチ SWB_{11} , SWB_{12} , SWB_{13} , SWB_{14} , ..., スイッチ SWB_{21} , SWB_{22} , SWB_{23} , SWB_{24} , ..., スイッチ SWB_{n1} , SWB_{n2} , SWB_{n3} , SWB_{n4} , ... が設けられている。これらのスイッチは、前述のスイッチ SWB に相当する。

[0146] また、読出信号線 SL_1 , SL_2 , SL_3 , SL_4 は画素列 1 ~ 4 にそれぞれ対応して設けられている。これらの信号線は、前述の読出信号線 SL に相当する。

[0147] アンプ Q_1 , Q_2 , Q_3 , Q_4 は、読出信号線 SL_1 , SL_2 , SL_3 , SL_4 の他方端にそれぞれ接続されている。これらのアンプは、前述のアンプ Q に相当する。

[0148] スイッチ SWA_{11} , SWA_{12} , SWA_{13} は、画素行 1 に対応して設けられ、スイッチ SWA_{21} , SWA_{22} , SWA_{23} は、画素行 2 に対応して設けられ、スイッチ SWA_{n1} , SWA_{n2} , SWA_{n3} は、画素行 n に対応して設けられている。

[0149] スイッチSWA 1 1は、画素電極EL 1 1と画素電極EL 1 2の間に接続され、スイッチSWA 1 2は、画素電極EL 1 2と画素電極EL 1 3の間に接続され、スイッチSWA 1 3は、画素電極EL 1 3と画素電極EL 1 4の間に接続されている。スイッチSWA 2 1は、画素電極EL 2 1と画素電極EL 2 2の間に接続され、スイッチSWA 2 2は、画素電極EL 2 2と画素電極EL 2 3の間に接続され、スイッチSWA 2 3は、画素電極EL 2 3と画素電極EL 2 4の間に接続されている。スイッチSWA n 1は、画素電極EL n 1と画素電極EL n 2の間に接続され、スイッチSWA n 2は、画素電極EL n 2と画素電極EL n 3の間に接続され、スイッチSWA n 3は、画素電極EL n 3と画素電極EL n 4の間に接続されている。

[0150] 次に、制御部14の動作を詳細に説明する。最初に、光電変換装置に入射する光の量が通常レベルである通常照度時について説明し、次に、光電変換装置に入射する光の量が通常レベルより少ない低照度時について説明する。ここで、制御部14は、たとえば出力部17から受けた画素信号に基づいて、光電変換装置に入射する光の量を検出し、検出結果に基づいて通常照度時の動作および低照度時の動作を切り替える。

[0151] [通常照度時]

垂直走査部13は、まず、制御部14から与えられる垂直走査信号に基づいて、画素行1を選択し、選択した画素行1のスイッチSWB 1 1, SWB 1 2, SWB 1 3, SWB 1 4をオンする。また、垂直走査部13は、選択していない画素行に対応する各スイッチSWBをオフし、また、すべてのスイッチSWAをオフする。

[0152] これにより、選択された画素行1の読出回路G 1 1, G 1 2, G 1 3, G 1 4から読出信号線SL 1, SL 2, SL 3, SL 4に、画素電極EL 1 1, EL 1 2, EL 1 3, EL 1 4に対応するフォトダイオードPDの入射光量に応じたレベルの電流がそれぞれ出力され、読出信号線SL 1, SL 2, SL 3, SL 4がその入射光量に応じたレベルの電圧に充電される。読出信号線SL 1, SL 2, SL 3, SL 4の電圧は、それぞれアンプQ 1~Q 4

によって増幅されてセクタ 16 に与えられる。

[0153] 次に、水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づいて、垂直走査部 13 によって画素行 1 が選択されている期間に、画素列 1, 2, 3, 4, …を 1 列ずつ順次選択する。セクタ 16 は、水平走査部 15 によって選択されている画素列に対応するアンプ Q の出力電圧 V_D を選択して出力部 17 に伝達する。

[0154] 以降、垂直走査部 13 は、制御部 14 から与えられる垂直走査信号に基づいて、画素行 2 ~ 画素行 n を 1 行ずつ順次選択し、また、水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づいて、画素列 1 ~ 画素列 n を 1 列ずつ順次選択する。これにより、上記画素行 1 と同様の動作が繰り返され、画素アレイ 60 におけるすべての画素に対応する読出信号が出力部 17 へ出力される。

[0155] [低照度時]

次に、光電変換装置に入射する光の量が通常レベルより少ない低照度時について説明する。

[0156] 垂直走査部 13 は、まず、制御部 14 から与えられる垂直走査信号に基づいて、画素行 1 を選択し、選択した画素行 1 のスイッチ SWA を 1 つおきにオンする。より詳細には、垂直走査部 13 は、スイッチ SWA 11, SWA 13 をオンし、スイッチ SWA 12 をオフする。また、垂直走査部 13 は、選択した画素行 1 のスイッチ SWB を 1 つおきにオンする。より詳細には、垂直走査部 13 は、スイッチ SWB 11, SWB 13 をオンし、スイッチ SWB 12, SWB 14 をオフする。また、垂直走査部 13 は、選択していない画素行に対応する各スイッチ SWA および各スイッチ SWB をオフする。

[0157] これにより、画素電極 E_L 11 に対応するフォトダイオード PD の入射光量および画素電極 E_L 12 に対応するフォトダイオード PD の入射光量の総和に応じたレベルの電流が読出回路 G 11 から読出信号線 S_L 1 へ出力され、読出信号線 S_L 1 がこの入射光量の総和に応じたレベルの電圧に充電される。また、画素電極 E_L 13 に対応するフォトダイオード PD の入射光量お

よび画素電極E L 1 4に対応するフォトダイオードP Dの入射光量の総和に応じたレベルの電流が読出回路G 1 3から読出信号線S L 3へ出力され、読出信号線S L 3がこの入射光量の総和に応じたレベルの電圧に充電される。読出信号線S L 1, S L 3の電圧は、アンプQ 1, Q 3によってそれぞれ増幅されてセクタ1 6に与えられる。

[0158] 次に、水平走査部1 5は、制御部1 4から与えられる水平走査信号に基づいて、垂直走査部1 3によって画素行1が選択されている期間に、各画素列を1つおきに1列ずつ順次選択する、すなわち画素列1, 3, 5, …を1列ずつ順次選択する。セクタ1 6は、水平走査部1 5によって選択されている画素列に対応するアンプQの出力電圧V Dを選択して出力部1 7に伝達する。

[0159] 以降、垂直走査部1 3は、制御部1 4から与えられる垂直走査信号に基づいて、画素行2～画素行nを1行ずつ順次選択し、また、水平走査部1 5は、制御部1 4から与えられる水平走査信号に基づいて、画素列1～画素列nを1つおきに1列ずつ順次選択する。これにより、上記画素行1と同様の動作が繰り返される。これにより、低照度時、各画素電極E LをスイッチSW Aによって短絡し、C I G S薄膜2 3において発生する電荷を読み出すための画素電極の面積を拡大することができるため、光電変換装置の感度を向上させることができる。

[0160] なお、制御部1 4は、低照度時、2つの画素電極からの電荷を合成する構成であるとしたが、これに限定するものではなく、3つ以上の画素電極からの電荷を合成する構成であってもよい。たとえば、3つの画素電極からの電荷を合成する場合には、垂直走査部1 3は、制御部1 4から与えられる水平走査信号に基づいて、選択した画素行1のスイッチSW Aを2つおきにオフする。すなわち、スイッチSW A 1 1, SW A 1 2をオンし、スイッチSW A 1 3をオフし、スイッチSW A 1 4および図示しないスイッチSW A 1 5, SW A 1 6をオンし、図示しないスイッチSW A 1 7をオフする。また、垂直走査部1 3は、選択した画素行1のスイッチSW Bを2つおきにオンす

る。すなわち、スイッチSWB 11をオンし、スイッチSWB 12, SWB 13をオフし、スイッチSWB 14をオンし、図示しないスイッチSWB 15, SWB 16をオフする。また、垂直走査部13は、選択していない画素行に対応する各スイッチSWAおよび各スイッチSWBをオフする。

[0161] そして、水平走査部15は、制御部14から与えられる水平走査信号に基づいて、垂直走査部13によって1つの画素行が選択されている期間に、各画素列を2つおきに1列ずつ順次選択する、すなわち画素1, 4, 7, ...を1列ずつ順次選択する。セレクタ16は、水平走査部15によって選択されている画素列に対応するアンプQの出力電圧VDを選択して出力部17に伝達する。

[0162] ところで、通常時は各アンプの出力を画素信号の生成に用い、低照度時は各アンプの出力を合成したものを画素信号の生成に用いる従来の方法では、低照度時、各アンプにおいてノイズが付加される分、画素信号のS/N比の改善効果が低く、画質の大幅な向上は望めないという問題点があった。

[0163] しかしながら、本発明の実施の形態3に係る光電変換装置は、受けた光を電荷に変換するCIGS薄膜23と、CIGS薄膜23の表面に設けられ、CIGS薄膜23によって変換された電荷を受ける複数の画素電極ELと、画素電極ELに対応して設けられ、対応の画素電極ELが受けた電荷に基づいて読出信号を出力する複数の読出回路Gと、読出回路Gに対応して設けられ、対応の読出回路Gから受けた読出信号を出力するか否かを切り替える複数のスイッチSWBと、画素電極EL間に接続されたスイッチSWAとを備える。

[0164] このような構成により、各画素電極が受けた電荷を合成する際に、各画素電極のうち、1つの画素電極に対応する読出回路のみを使用することができる。すなわち各画素電極に対応する読出回路におけるノイズの影響を1つの読出回路分のみに抑制することができる。これにより、出力部17に伝達される電圧すなわち読出信号の信号成分は合成対象の画素電極数倍向上でき、かつ出力部17に伝達される読出信号のノイズ成分は1つの読出回路分のみ

に抑制することができる。このため、読出信号の S/N 比すなわち画素信号の S/N 比を大幅に改善することができることから、画質を大幅に向上させることができる。

[0165] 図19および図20は、本発明の実施の形態3に係る光電変換装置の変更例の構成を概略的に示す図である。

[0166] 図19および図20を参照して、2行2列に配置された画素Pにおいて、2つのスイッチSWAは、画素行において隣り合う画素電極EL間に接続されている。また、他の2つのスイッチSWAは、画素列において隣り合う画素電極EL間に接続されている。そして、読出回路Gは、画素列に対応して2つ設けられている。

[0167] 通常照度時には、図19に示すように、画素列において隣り合う画素電極EL間に接続されているスイッチSWAをオンし、画素行において隣り合う画素電極EL間に接続されているスイッチSWAをオフし、また、各スイッチSWBをオンする。これにより、2つの画素電極ELが受けた電荷を合成し、2つの画素信号を生成する。

[0168] 低照度時には、図20に示すように、画素列において隣り合う画素電極EL間に接続されているスイッチSWAをオンし、画素行において隣り合う画素電極EL間に接続されているスイッチSWAをオンし、また、各スイッチSWBのいずれかをオンする。これにより、4つの画素電極ELからの電荷を合成し、1つの画素信号を生成する。

[0169] 図21および図22は、本発明の実施の形態3に係る光電変換装置の他の変更例の構成を概略的に示す図である。

[0170] 図21および図22を参照して、3行3列に配置された画素Pにおいて、6つのスイッチSWAは、画素行において隣り合う画素電極EL間に接続されている。また、他の6つのスイッチSWAは、画素列において隣り合う画素電極EL間に接続されている。そして、読出回路Gは、画素列に対応して3つ設けられている。

[0171] 通常照度時には、図21に示すように、画素列において隣り合う画素電極

ＥＬ間に接続されている各スイッチＳＷＡをオンし、画素行において隣り合う画素電極ＥＬ間に接続されている各スイッチＳＷＡをオフし、また、各スイッチＳＷＢをオンする。これにより、３つの画素電極ＥＬが受けた電荷を合成し、３つの画素信号を生成する。

[0172] 低照度時には、図２２に示すように、画素列において隣り合う画素電極ＥＬ間に接続されている各スイッチＳＷＡをオンし、画素行において隣り合う画素電極ＥＬ間に接続されている各スイッチＳＷＡをオンし、また、各スイッチＳＷＢのいずれかをオンする。これにより、９つの画素電極ＥＬからの電荷を合成し、１つの画素信号を生成することで、本発明の実施の形態３に係る光電変換装置と比べて低照度時の画質をさらに向上させることができる。

[0173] 図２３は、本発明の実施の形態３に係る画素電極の他の変更例の構成を示す図である。

図２３を参照して、この変更例は、図１９および図２０に示す各画素電極ＥＬをたとえば４５度斜めに配置した構成である。

[0174] 図２４は、本発明の実施の形態３に係る画素電極の他の変更例の構成を示す図である。

図２４を参照して、２つの画素電極ＥＬＡは、矩形状に半周回し、かつ互いに対向している。また、２つの矩形状の画素電極ＥＬＢは、２つの画素電極ＥＬＡによって形成される空間に設けられ、互いに対向している。２つのスイッチＳＷＡは、互いに対向する画素電極ＥＬＡおよびＥＬＢ間にそれぞれ接続されている。

[0175] 図２５は、本発明の実施の形態３に係る画素電極の他の変更例の構成を示す図である。

図２５を参照して、各画素電極ＥＬは、六角形の形状を有している。３つのスイッチＳＷＡは、隣り合う画素電極ＥＬ間にそれぞれ接続されている。

[0176] 図２６は、本発明の実施の形態３に係る画素電極の他の変更例の構成を示す図である。

図 26 を参照して、4つの画素電極 E L A は、八角形の形状を有している。また、4つの画素電極 E L B は、四角形の形状を有している。4つのスイッチ S W A は、隣り合う画素電極 E L A および E L B 間にそれぞれ接続されている。

[0177] 図 27 は、本発明の実施の形態 3 に係る画素電極の他の変更例の構成を示す図である。

図 27 を参照して、2つの画素電極 E L A は、円状に半周回し、かつ互いに対向している。また、2つの半円状の画素電極 E L B は、2つの画素電極 E L A によって形成される空間に設けられ、互いに対向している。2つのスイッチ S W A は、互いに対向する画素電極 E L A および E L B 間にそれぞれ接続されている。

[0178] 図 28 は、本発明の実施の形態 3 に係る画素電極の他の変更例の構成を示す図である。

図 28 を参照して、矩形状の画素電極 E L A と、画素電極 E L A より小さい矩形状の画素電極 E L B とが、画素行方向に交互に配置されている。

[0179] なお、本発明の実施の形態 3 に係る画素アレイ 60 は、C I G S 薄膜を含む構成であるとしたが、これに限定するものではない。光電変換薄膜または光電変換厚膜であればよく、たとえば C I G S 薄膜以外の化合物半導体薄膜、および有機半導体薄膜等を含む構成であってもよい。また、本発明は、光電変換装置に限らず、フォトセンサおよびラインセンサ等にも適用可能である。

[0180] また、本発明の実施の形態 3 に係る画素アレイ 60 は、複数行複数列に配列された複数の画素 P を含む構成であるとしたが、これに限定するものではない。画素アレイ 60 が 2 つの画素 P を含み、この 2 つの画素 P における画素電極 E L 間にスイッチ S W A が接続されており、そして、制御部 14 が、スイッチ S W A をオンし、スイッチ S W A に接続された 2 つの画素電極 E L のうち、いずれかの画素電極 E L に対応するスイッチ S W B をオンし、かつ他の画素電極 E L に対応するスイッチ S W B をオフする制御と、スイッチ S

WAをオフし、かつ各画素電極ELに対応するスイッチSWBをオンする制御とを選択的に行なう構成であればよい。

[0181] また、本発明の実施の形態3に係る画素アレイ60では、スイッチSWAは、画素行において隣り合う画素電極間に接続されている構成であるとしたが、これに限定するものではない。スイッチSWAは、画素列において隣り合う画素電極間に接続されている構成であってもよい。この場合、制御部14は、低照度時、画素列において隣り合う複数の画素電極からの電荷を合成する。

[0182] [実施の形態4]

ところで、一般的な単板カラー化方式を採用する固体撮像装置は、たとえば、700nm（ナノメータ）～1000nmの波長の近赤外領域における近赤外光を遮断するIRカットフィルタと、ベイヤー配列のRGBカラーフィルタとを備える。そして、昼間等の通常時はIRカットフィルタおよびRGBカラーフィルタを組み合わせでカラーカメラとして動作し、夜間等の低照度時はIRカットフィルタを光軸から取り外して白黒カメラとして動作する。

[0183] ところが、このような構成では、IRカットフィルタと、IRカットフィルタを光軸上に配置したり、光軸から取り外したりするための機械構造とが必要となるため、製造コストが増大し、かつサイズが大型になってしまう。

[0184] しかしながら、特許文献3記載には、このような問題点を解決するための構成は開示されていない。

[0185] それゆえに、本実施の形態4の目的は、カラーカメラおよび白黒カメラの両方に対応し、製造コストの増大を防ぎ、小型化を図ることが可能な撮像装置および光電変換装置を提供することである。

[0186] 図29は、本発明の実施の形態4に係る撮像装置の画素アレイ61の要部の断面構造を示す図であって、図4と対比される図である。

[0187] 図29を参照して、画素アレイ61は、半導体基板21と、読出回路層22と、複数の画素電極ELと、CIGS薄膜23と、CdS（硫化カドミウ

ム) 層 2 4 と、透明電極 2 5 と、カラーフィルタ部 C F U を含む。

[0188] 透明電極 2 5 の表面すなわち C I G S 薄膜 2 3 に対して画素電極 E L の反対側にカラーフィルタ部 C F U が設けられている。カラーフィルタ部 C F U は、複数のカラーフィルタ C F を含む。カラーフィルタ C F は、各画素電極 E L に対応して設けられている。

[0189] 図 3 0 は、本発明の実施の形態 4 に係る画素アレイ 6 1 の断面構造および動作を模式的に示す図である。

[0190] 図 3 0 を参照して、読出回路 G は、画素電極 E L に対応して設けられ、図 2 9 に示した読出回路層 2 2 において対応の画素電極 E L の下に形成されている。すなわち、読出回路 G は、対応の画素電極 E L に対して C I G S 薄膜 2 3 の反対側に設けられている。これにより、光電変換装置の微細化を図ることができる。

[0191] 読出回路 G は、読出動作時、対応の画素電極 E L にたとえば 1 V のアノード電圧 V A を印加する。また、透明電極 2 5 にはアノード電圧 V A よりも高いたとえば 3 V のカソード電圧 V K が印加される。これにより、各画素電極 E L と透明電極 2 5 との間に空乏層が形成され、各画素電極 E L と透明電極 2 5 との間の領域がフォトダイオード P D として動作する。画素電極 E L はフォトダイオード P D のアノードとなり、透明電極 2 5 はフォトダイオード P D のカソードとなる。

[0192] 外部からカラーフィルタ部 C F U および透明電極 2 5 を介して C I G S 薄膜 2 3 に光 α が入射すると、C I G S 薄膜 2 3 内で光量に応じた量の電子-正孔対が発生する。C I G S 薄膜 2 3 では正孔が多数キャリアであるため、正孔すなわち正電荷がその近傍の画素電極 E L に流入する。読出回路 G は、対応の画素電極 E L に流入した電荷の量に応じたレベルの電流 I R を出力する。

[0193] スイッチ S W B は、読出回路層 2 2 において読出回路 G に対応して設けられ、対応の読出回路 G の出力端子に接続された第 1 端子と、対応の読出信号線 S L に接続された第 2 端子とを有する。

[0194] 図31は、本発明の実施の形態4に係る撮像装置における1画素分のカラーフィルタの色配置を示す図である。

[0195] 図31を参照して、カラーフィルタ部CFUは、ベイヤー配列的に配列された4色のカラーフィルタCFを含む。すなわち、カラーフィルタ部CFUは、W（ホワイト）のカラーフィルタCFと、Ye（イエロー）のカラーフィルタCFと、Cy（シアン）のカラーフィルタCFと、Bk（ブラック）のカラーフィルタCFとを含む。

[0196] カラーフィルタ部CFUでは、近赤外領域において透過特性をもつブラックのカラーフィルタを設けている。ブラックのカラーフィルタは、400nm～700nmの波長の可視光をほとんど透過せずに、近赤外光を透過させる特性を有する。

[0197] ここで、カラーフィルタ部CFUを透過する光には中赤外光および遠赤外光も含まれる。しかしながら、CIGS薄膜23において光電変換される光の波長は略1300nm以下であるため、読出回路Gから出力される読出信号は近赤外領域の波長成分に対応する電気信号となる。

[0198] 図32は、ホワイト、イエローおよびシアンのカラーフィルタの透過率を示す図である。

[0199] 図32を参照して、イエローおよびシアンのカラーフィルタは、可視光領域ではその色の光を透過させ、また、近赤外領域の光も透過させる。また、ホワイトのカラーフィルタは、可視光および近赤外光を透過させる。

[0200] 次に、本発明の実施の形態4に係る撮像装置が画像信号を生成する動作について詳細に説明する。撮像装置の全体構成は、図1～図3で説明した通りである。

[0201] 撮像装置は、昼間等の通常時はホワイト、イエロー、シアンを使用することにより、RGBカラーフィルタのカラーカメラとして動作する。また、撮像装置は、夜間等の低照度時はホワイト、イエロー、シアン、ブラックを使用することにより、白黒カメラとして動作する。

[0202] 以下において、W、Ye、Cy、Bkは、レンズ2からの光がホワイト、

イエロー、シアン、ブラックのカラーフィルタをそれぞれ通過し、これらを変換した電気信号を示す。すなわち、前述の読出回路Gからの読出信号を示す。また、R、G、Bは、レッド、グリーン、ブルーの波長成分に対応する電気信号を示し、I Rは近赤外領域の波長成分に対応する電気信号を示す。

[0203] まず、W、Y_e、C_y、B_kは、以下の式で表わされる色成分を有する。

$$W = R + G + B + I R$$

$$Y_e = R + G + I R$$

$$C_y = G + B + I R$$

$$B_k = I R$$

この関係に基づき、画像信号処理部4は、以下の式に従って、RGBカラー画像を得るための電気信号R、G、およびBを算出する。

$$G = W - R - B - B_k$$

より詳細には、Gは、以下のように導出される。

$$W - R - B - B_k$$

$$= \Delta W + C_y + Y_e - B_k$$

$$= - (R + G + B + I R) + (G + B + I R) + (R + G + I R)$$

$$= G + I R - I R$$

$$= G$$

$$R = W - C_y$$

より詳細には、Rは、以下のように導出される。

$$W - C_y$$

$$= R + G + B + I R - (G + B + I R)$$

$$= R$$

$$B = W - Y_e$$

より詳細には、Bは、以下のように導出される。

$$W - Y_e$$

$$= R + G + B + I R - (R + G + I R)$$

$$= B$$

すなわち、信号 W 、信号 Y_e 、信号 C_y 、信号 B_k は、それぞれ I_R （近赤外線領域）成分を含むが、これらの I_R 成分は相殺されるため、信号 W 、信号 Y_e 、信号 C_y 、信号 B_k に基づいて信号 R 、 G 、および B を得ることができる。

[0204] また、 RGB カラー画像を得るための輝度信号 Y は、以下の式に従って算出される。

$$Y = W + I_R + C_y + I_R + Y_e + I_R = 2 \times R + 3 \times G + 2 \times B + 3 \times I_R$$

また、画像信号処理部4は、白黒画像を得るための信号 B/W を以下の式に従って算出する。

$$B/W = W + C_y + Y_e + B_k = 2 \times R + 3 \times G + 2 \times B + 4 \times I_R$$

図33は、レッド、グリーン、ブルーのカラーフィルタの透過率を示す図である。

[0205] 画像信号処理部4は、図31に示すような色配置のカラーフィルタを用いて、 VGA の画素数に対する $NTSC$ 方式のインタレース処理およびインターリーブ処理を $60fps$ （フレーム/秒）の読出速度で行なうことができる。これにより、図33に示すような透過特性を有する RGB カラーフィルタによって実現される RGB カラー画像を得ることができる。

[0206] 図31に示すような色配置のカラーフィルタ部は、たとえば水平方向の画素数が少ない場合において用いられる。また、画像信号処理部4は、近赤外線領域の波長成分をブラックのカラーフィルタから得る。

[0207] ここで、 RGB カラーフィルタを用いる構成は、色の再現性が高いが、光の利用率が悪くなる。

[0208] しかしながら、本発明の実施の形態4に係る撮像装置では、4色のカラーフィルタを用いる構成により、 RGB カラーフィルタを用いる構成と比べて昼間は感度が劣るが、光の利用率が高いため、カラーカメラおよび白黒カメラ全体として高性能となる。

[0209] 図34は、太陽光のスペクトル分布を示す図である。

図 3 4 を参照して、太陽光は、可視光領域で光の強弱の時間変化が大きく、近赤外領域で光の強弱の時間変化が少なく、また、1000nm以上の波長では光の強弱の時間変化が非常に少ない。

[0210] すなわち、朝から昼、そして夕方までは、可視光の強度が大きく、近赤外光の2倍近くの強度の信号が得られる。このため、本発明の実施の形態4に係る撮像装置では、4色のカラーフィルタを用いる構成により、朝から昼、そして夕方まではRGBフィルタとほぼ遜色ない光の利用率を得ることができ、さらに、夜間においては近赤外領域の感度が向上し、光の利用率を高めることができる。

[0211] また、図 3 4 に示すように、800nmおよび1100nm付近では太陽光スペクトルがほぼ存在しない。

[0212] そこで、LED (Light Emitting Diode) 等を用いて800nm付近または1100nm付近の光を放射し、光電変換装置3におけるブラックのカラーフィルタで受光することにより、太陽光の影響を受けずに、送信側からの光を良好に受光することができる。これにより、良好な受光特性を有するカラーカメラ、白黒カメラおよび物体検出カメラを実現することができる。

[0213] また、有機薄膜は、CIGS薄膜と異なり、近赤外領域の感度が低い。光電変換膜としてCIGS薄膜を用いる本発明の実施の形態4に係る撮像装置では、近赤外領域の光を良好に受信し、低照度時でも良好な受光特性を得ることができるため、カラーカメラおよび白黒カメラの両方を高性能に実現することができる。

[0214] 図 3 5 は、本発明の実施の形態4に係る撮像装置における1画素分のカラーフィルタの色配置の変更例を示す図である。図 3 6 は、図 3 5 に示す変更例におけるインタレース処理およびインタリーブ処理を示す図である。

[0215] 図 3 5 を参照して、カラーフィルタ部CFUは、4色のカラーフィルタとして、W（ホワイト）のカラーフィルタCFと、Ye（イエロー）のカラーフィルタCFと、Cy（シアン）のカラーフィルタCFと、Bk（ブラック）のカラーフィルタCFとを含む。この変更例では、水平方向にホワイトの

カラーフィルタおよびブラックのカラーフィルタを配列する。この配列は、たとえば垂直方向の画素数が多い場合に用いられる。

[0216] 図36を参照して、NTSC方式のインタレース処理を行なう際に、OddフィールドではWおよびCyの加算ならびにBkおよびCyの加算を行ない、EvenフィールドではYeおよびWの加算ならびにYeおよびBkの加算を行なう。

[0217] これにより、60fps（フレーム／秒）の読出速度で30fpsのインタレース処理を行なうことができる。すなわち、図31に示す構成と比べて垂直方向の解像度を向上させることができる。

[0218] 図37は、本発明の実施の形態4に係る撮像装置における1画素分のカラーフィルタの色配置の変更例を示す図である。

[0219] 図37を参照して、この変更例では、垂直方向にホワイトのカラーフィルタおよびブラックのカラーフィルタを配列する。この配列は、たとえば水平方向の画素数が多い場合に用いられる。

[0220] 図38は、本発明の実施の形態4に係る撮像装置における1画素分のカラーフィルタの色配置の変更例を示す図である。

[0221] 図38を参照して、カラーフィルタ部CFUは、ベイヤー配列的に配列された4色のカラーフィルタCFを含む。すなわち、カラーフィルタ部CFUは、W（ホワイト）のカラーフィルタCFと、Ye（イエロー）のカラーフィルタCFと、Cy（シアン）のカラーフィルタCFと、Gr（グリーン）のカラーフィルタCFとを含む。

[0222] このように、本発明の実施の形態4に係る撮像装置と比べて、ブラックの代わりにグリーンのカラーフィルタを用いることにより、光の利用度をさらに向上させることができる。

[0223] 一方、本発明の実施の形態4に係る撮像装置では、グリーンではなくブラックのカラーフィルタを用いることにより、近赤外光の受光特性をさらに向上させることができる。すなわち、本発明の実施の形態4に係る撮像装置は、光電変換膜としてCIGS薄膜を用いることから、近赤外領域の光を良好

に受光することができるという長所を有し、さらに、グリーンではなくブラックのカラーフィルタを用いることにより、この長所をさらに高めることができる。

[0224] 以上のように、本発明の実施の形態 4 に係る撮像装置では、4 色のカラーフィルタを用いて、信号処理のみでカラー画像および白黒画像を得ることができるため、IR カットフィルタと、IR カットフィルタを光軸上に配置したり、光軸から取り外したりするための機械構造とが不要となる。

[0225] なお、本発明の実施の形態 4 に係る画素アレイ 61 は、CIGS 薄膜を含む構成であるとしたが、これに限定するものではない。化合物半導体薄膜または化合物半導厚膜を含む構成であればよい。また、本発明は、光電変換装置に限らず、フォトセンサおよびラインセンサ等にも適用可能である。

[0226] また、本発明の実施の形態 4 に係る撮像装置では、カラーフィルタ部 CFU における 1 画素分のカラーフィルタが 4 色である構成としたが、これに限定するものではない。4 色に限らず、1 画素ごとに 5 色以上のカラーフィルタが設けられる構成であってもよい。

[0227] [実施の形態 5]

ところで、イメージセンサには、有効撮像部と光学的黒部が設けられており、有効撮像部の画素で読み出された光電流は、光学的黒部の画素で読み出された黒電流に基づいて補正される。

[0228] しかし、黒電流のレベルは温度変化に伴って変化するので、特許文献 4 の方法によって有効撮像部の画素で発生する黒電流と、光学的黒部の画素で発生する黒電流とのレベルの差を無くすことは困難であった。

[0229] それゆえに、この発明の主たる目的は、有効撮像部の黒電流と光学的黒部の黒電流とのレベルの差を容易に無くすことが可能な光電変換装置を提供することである。

[0230] 図 39 は、この発明の実施の形態 5 による光電変換装置の画素アレイ 71 の構成を示す平面図である。図 39 において、画素アレイ 71 は、複数行複数列に配列された複数の矩形領域に等分割されている。実際には多数の領域

が存在するが、図 39 では、9 行 9 列の領域が模式的に示されている。

[0231] 画素アレイ 71 の中央部の複数の領域は有効撮像部 72 として使用され、有効撮像部 72 の周囲の領域は光学的黒部 73 として使用される。また、有効撮像部 72 の各領域は画素領域 74 として使用され、光学的黒部 73 の複数の領域のうちの内側の各領域は分離領域 75 として使用され、外側の各領域は画素領域 76 として使用される。

[0232] なお、図 39 では、画素領域 74 と 76 の間に 1 つの分離領域 75 が設けられているが、画素領域 74 と 76 の間に 2 つ以上の分離領域 75 を設けてもよい。また、図 39 では、分離領域 75 の外側に 1 つの画素領域 76 が設けられているが、2 つ以上の画素領域 76 を設けてもよい。

[0233] 図 40 (a) は画素アレイ 71 の要部を示す断面図であり、図 40 (b) は図 40 (a) の X L B - X L B 線断面図である。図 40 (a) (b) において、画素アレイ 71 は半導体基板 21 を含む。半導体基板 21 の表面には、読出回路層 22 が形成されている。読出回路層 22 は、MOS トランジスタ、キャパシタ、配線、絶縁層、ビアホールなどで構成されている。

[0234] 読出回路層 22 の表面において各矩形領域の中央部には、矩形の電極が形成されている。各電極は Mo で形成されている。画素領域 74 の各電極は画素電極 80 として使用され、分離領域 75 の各電極は分離電極 81 として使用され、画素領域 76 の各電極は画素電極 82 として使用される。

[0235] 全ての電極 80 ~ 82 を覆うようにして、有効撮像部 72 および光学的黒部 73 に共通の CIGS 薄膜 23 が形成され、CIGS 薄膜 23 の表面には CdS 層 24 および透明電極 25 が積層されている。CIGS 薄膜 23 は、 $\text{Cu}(\text{In}_x, \text{Ga}_{(1-x)})\text{Se}_2$ ($0 \leq x \leq 1$) で形成されている。CIGS 薄膜 23 は、p 型の化合物半導体薄膜であり、その厚さはたとえば $1.7 \mu\text{m}$ である。CdS 層 24 は、n 型の化合物半導体薄膜で形成されたバッファ層であり、その厚さはたとえば 50 nm である。透明電極 25 は、たとえば ZnO 膜であり、その厚さはたとえば $1 \mu\text{m}$ である。したがって、CIGS 薄膜 23 と透明電極 25 によって PN 接合が形成される。また、光学的黒

部 7 3 において透明電極 2 5 の表面には遮光層 8 3 が形成されている。遮光層 8 3 は、アルミニウムで形成され、光学的黒部 7 3 の C I G S 薄膜 2 3 への光の入射を遮る。

[0236] 換言すると、C I G S 薄膜 2 3 が画素領域 7 4、分離領域 7 5 および画素領域 7 6 に分割され、C I G S 薄膜 2 3 の裏面において画素領域 7 4、分離領域 7 5 および画素領域 7 6 にそれぞれ画素電極 8 0、分離電極 8 1 および画素電極 8 2 が形成される。また、C I G S 薄膜 2 3 の表面にバッファ層である C d S 層 2 4 を介して透明電極 2 5 が形成され、光学的黒部 7 3 において透明電極 2 5 の表面に遮光層 8 3 が形成される。

[0237] 図 4 1 は、図 3 9 に示した画素アレイ 7 1 の構成および動作を模式的に示す図である。なお、バッファ層である C d S 層 2 4 の図示は省略されている。図 4 1 において、画素電極 8 0、8 2 の各々に対応して読出回路 G が設けられる。読出回路 G は、図 4 0 (a) の読出回路層 2 2 において対応の画素電極 8 0 または 8 2 の下に形成されている。読出回路 G は、読出動作時に、対応の画素電極 8 0 または 8 2 にアノード電圧 V_A (たとえば 1 V) を印加し、対応の画素電極 8 0 または 8 2 に流入した電荷の量に応じたレベルの電流を出力する。

[0238] また、透明電極 2 5 にはアノード電圧 V_A よりも高いカソード電圧 V_K (たとえば 3 V) が印加され、分離電極 8 1 にはアノード電圧 V_A と同じレベルのバイアス電圧 V_B (この場合は 1 V) が印加される。これにより、電極 8 0 ~ 8 2 の各々と透明電極 2 5 の間に空乏層が形成され、電極 8 0 ~ 8 2 の各々と透明電極 2 5 の間の領域はフォトダイオード P D として動作する。電極 8 0 ~ 8 2 の各々はフォトダイオード P D のアノードとなり、透明電極 2 5 はフォトダイオード P D のカソードとなる。

[0239] 外部から透明電極 2 5 を介して C I G S 薄膜 2 3 に光 α が入射すると、C I G S 薄膜 2 3 内で光量に応じた量の電子-正孔対が発生する。C I G S 薄膜 2 3 では正孔が多数キャリアであり、正孔すなわち正電荷がその近傍の画素電極 8 0 に流入する。この電流が光電流である。光電流は、読出回路 G に

よって増幅されて電流 I_s となる。

[0240] また、CIGS薄膜23では、光 α の入射の有無に関係無く、温度に応じた量の電子－正孔対が発生し、発生した正孔すなわち正電荷がその近傍の電極80、81または82に流入する。この電流が黒電流である。黒電流は、読出回路Gによって増幅されて電流 I_d となる。また、有効撮像部72の端部の画素領域74で発生した光電流の一部は、分離電極81に流入するが、画素電極82に流入することはない。

[0241] したがって、画素電極80には光電流と黒電流が流入し、画素電極80に対応する読出回路Gは電流 $I_s + I_d$ を出力する。また、画素電極82には黒電流のみが流入し、画素電極82に対応する読出回路Gは電流 I_d を出力する。したがって、画素電極80に対応する読出回路Gの出力電流 $I_s + I_d$ から、画素電極82に対応する読出回路Gの出力電流 I_d を減算することにより、画素領域74で発生した光電流に応じたレベルの電流 I_s を検出することができる。

[0242] 図42は、光電変換装置の全体構成を示す回路ブロック図である。図42において、光電変換装置は、図39に示した画素アレイ71を備える。画素アレイ71は、複数行複数列に配列された複数の画素Pと、それぞれ複数行に対応して設けられた複数の制御信号線CLと、それぞれ複数列に対応して設けられた複数の信号線SLとを含む。画素アレイ71の中央部の画素Pは光電流を検出するために使用され、その周囲の画素Pは黒電流を検出するために使用される。

[0243] 各信号線SLの一方端は、負荷回路11を介して接地電圧GNDのラインに接続される。負荷回路11は、所定の抵抗値を有する。各信号線SLの他方端は、アンプQの入力ノードに接続される。アンプQは、対応の信号線SLの電圧を増幅する。

[0244] 画素Pは、図43に示すように、フォトダイオードPDおよび読出回路Gを含む。フォトダイオードPDは、図40(a)(b)および図41で説明したように、画素電極80(または82)、CIGS薄膜23、CdS層2

4 および透明電極 25 で形成されている。画素電極 80（または 82）はフォトダイオード PD のアノードを構成し、透明電極 25 はフォトダイオード PD のカソードを構成する。フォトダイオード PD のカソードにはカソード電圧 V_K が印加され、そのアノードにはアノード電圧 V_A が印加される。

[0245] フォトダイオード PD に光 α が入射すると、その光量に応じた量の電荷が画素電極 80 を介して読出回路 G に流れる。また、光 α の入射の有無に関係無く、温度に応じた量の電荷が画素電極 80、82 に流れる。読出回路 G は、対応の制御信号線 CL を介して与えられる制御信号 CNT によって制御され、フォトダイオード PD から流入した電荷量に応じたレベルの電流 I_R を対応の信号線 SL に出力する。信号線 SL は、読出回路 G の出力電流 I_R と負荷回路 11 の抵抗値との積の電圧になる。信号線 SL の電圧は、アンプ Q によって増幅される。したがって、アンプ Q の出力電圧 V_D は、フォトダイオード PD で発生した電荷の量に応じて変化する。

[0246] 図 42 に戻って、光電変換装置は、垂直走査部 13、制御部 14、水平走査部 15、セクタ 16、および出力部 17 を備える。垂直走査部 13、制御部 14、水平走査部 15、およびセクタ 16 の動作は、図 2 で説明した通りである。出力部 17 は、セクタ 16 を介して与えられるアンプ Q の出力電圧 V_D に基づいて、画像信号を生成する。このとき出力部 17 は、光学的黒部 73 の画素 P から読み出された電圧 V_D に基づいて、有効撮像部 72 の画素 P から読み出された電圧 V_D を補正する。画像信号は、画像表示装置に与えられる。画像表示装置の画面には、光電変換装置の被写体の画像が表示される。

[0247] この実施の形態 5 では、有効撮像部 72 と光学的黒部 73 に CIGS 薄膜 23 が共通に形成され、有効撮像部 72 の画素電極 80 と光学的黒部 73 の画素電極 82 との間に、有効撮像部 72 で発生した電流が画素電極 82 に流れるのを防止するための分離電極 81 が設けられる。したがって、有効撮像部 72 の黒電流と光学的黒部 73 の黒電流とのレベルの差を容易に無くすることができる。

[0248] 図 4 4 (a) は、実施の形態 5 の変更例による画素アレイの要部を示す断面図であり、図 4 4 (b) は図 4 4 (a) の X L I V B - X L I V B 線断面図である。また、図 4 5 は、図 4 4 (a) (b) に示した画素アレイの構成および動作を模式的に示す図である。

[0249] 図 4 4 (a) (b) および図 4 5 において、この画素アレイが図 4 0 (a) (b) および図 4 1 の画素アレイと異なる点は、分離領域 7 5 の分離電極 8 1、C I G S 薄膜 2 3、および C d S 層 2 4 が帯状の絶縁膜 8 4 で置換されている点である。絶縁膜 8 4 は、たとえば S i O₂ で形成されており、有効撮像部 7 2 を囲むようにして環状に形成されている。したがって、有効撮像部 7 2 で発生した電流が画素電極 8 2 に流れることが防止される。

[0250] この変更例でも、実施の形態 5 と同じ効果が得られる。

なお、以上の実施の形態 5 では、本願発明が C I G S 薄膜を用いた光電変換装置に適用された場合について説明したが、本願発明は、C I G S 薄膜以外の化合物半導体薄膜や、有機半導体薄膜、光電変換薄膜、あるいは光電変換厚膜を用いた光電変換装置にも適用可能である。また、本願発明は、光電変換装置に限らず、フォトセンサやラインセンサにも適用可能である。

[0251] [実施の形態 6]

一般に、固体撮像素子では、シリコン基板においてフォトダイオードが形成され、シリコン基板における 1 画素分の画素領域において、フォトダイオードと、フォトダイオードからの電荷を読み出して電流を出力する読出回路を構成する複数のトランジスタとが配置される。そして、フォトダイオードの受光面積を確保するために、読出回路から出力された電流を増幅するアンプは画素領域外に配置される。

[0252] また、C I G S を用いた固体撮像素子のように、シリコン基板の上に配線層等を介して光電変換膜を設けた積層型の固体撮像素子では、シリコン基板にフォトダイオードを設ける必要がないため、光電変換膜下のシリコン基板の領域に余裕ができる。また、シリコン基板に設けるトランジスタの製造プロセスの選択自由度が高まることから微細化を図ることができるため、読出

回路から出力された電流を増幅するアンプを画素領域に設けることができる。

[0253] ここで、フォトダイオードからの電荷を読み出して電流を出力する読出回路の出力段には、たとえばソースフォロワ回路が配置されるが、ソースフォロワ回路は出力範囲が狭い。このため、広い出力範囲を有する差動増幅器を読出回路として設けることが考えられる。

[0254] 差動増幅器を画素領域に設ける場合には、差動増幅器の一方入力端子にフォトダイオードのアノードを接続し、他方入力端子にバイアス電圧を供給する。そして、差動増幅器に負帰還をかけてイマジナリショートの状態で作動させる。ここで、フォトダイオードには逆電圧を印加する必要があることから、バイアス電圧は、フォトダイオードのカソードに供給される電圧よりも小さく設定する必要がある。

[0255] ところが、このような構成では、バイアス電圧を発生する回路からバイアス電圧を各画素領域へ伝達するための複数の配線が必要になり、配線領域が増大してしまう。

[0256] しかしながら、特許文献 1 には、このような問題点を解決するための構成は開示されていない。

[0257] それゆえに、本発明の目的は、光電変換された電気信号を増幅するための差動増幅器を各画素領域において設ける構成において、小型化を図ることが可能な光電変換装置および撮像装置を提供することである。

[0258] 本実施の形態 6 の撮像装置および光電変換装置の構成は、図 1 および図 2 で説明した通りである。

[0259] 図 4 6 は、本発明の実施の形態 6 の画素 P の構成を示す図である。

図 4 6 を参照して、画素 P は、フォトダイオード PD と、差動増幅器 85 と、キャパシタ C と、スイッチ SWG と、スイッチ SWB とを含む。フォトダイオード PD のカソードにはカソード電圧 V_K が印加され、フォトダイオード PD のアノードにはアノード電圧 V_A が印加される。差動増幅器 85、キャパシタ C、およびスイッチ SWG は、読出回路 G を構成する。

- [0260] フォトダイオードPDにレンズ2からの光 α が入射すると、その光量に応じた量の電荷が差動増幅器85へ流れる。差動増幅器85は、フォトダイオードPDから流入した電荷すなわち電気信号を増幅して電圧VDを生成し、読出信号として対応の読出信号線SLへ出力する。したがって、差動増幅器85の出力電圧VDは、フォトダイオードPDに入射した光 α の量に応じて変化する。このように、増幅された読出信号を画素Pから出力することにより、読出信号の取り得るレベルの範囲が広がるため、受光精度を向上させることができる。
- [0261] より詳細には、差動増幅器85は、フォトダイオードPDのアノード、キャパシタCの第1端子およびスイッチSWGの第1端子に接続された反転入力端子と、フォトダイオードPDのカソードに接続された非反転入力端子と、キャパシタCの第2端子およびスイッチSWGの第2端子に接続された出力端子とを有する。
- [0262] 差動増幅器85はキャパシタCによって負帰還がかけられている。キャパシタCには、フォトダイオードPDからの電荷が蓄積される。キャパシタCに電荷が蓄積されると、差動増幅器85の出力電圧が低下する。これにより、キャパシタCにおける電荷量すなわち光 α の量に応じたレベルを有する読出信号が生成される。また、スイッチSWGをオンすることにより、キャパシタCにおける電荷が放電され、その後、スイッチSWGをオフすることにより、キャパシタCに再び電荷が蓄積される。
- [0263] スイッチSWBは、対応の制御信号線CLを介して受けた制御信号CNTに基づいて、差動増幅器85からの読出信号を対応の読出信号線SLへ出力するか否かを切り替える。読出信号線SLは、差動増幅器85からの読出信号をセレクタ16へ伝達する。
- [0264] 図2で示した垂直走査部13は、制御部14から与えられる垂直走査信号に基づいて、複数の画素行を1行ずつ順次選択し、選択した画素行の制御信号線CLを介してその画素行の各スイッチSWBに制御信号CNTを与える。これにより、選択された画素行の各画素Pから対応の読出信号線SLへ入

射光量に応じたレベルの読出信号が出力され、セクタ 16 に与えられる。

[0265] 水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づいて、垂直走査部 13 によって 1 つの画素行が選択されている期間に、複数の画素列を 1 列ずつ順次選択する。セクタ 16 は、水平走査部 15 によって選択されている画素列に対応する読出信号を選択して出力部 17 に伝達する。

[0266] 出力部 17 は、セクタ 16 を介して与えられた読出信号に基づいて画素信号すなわち画素 P の受光量を示す信号を生成し、画像信号処理部 4 および制御部 14 へ出力する。

[0267] 図 47 は、本発明の実施の形態 6 に係る差動増幅器 85 の回路構成を示す図である。

図 47 を参照して、差動増幅器 85 は、N チャネル MOS トランジスタ M1, M2 と、P チャネル MOS トランジスタ M3, M4 と、電流源 IS と、出力回路 86 とを含む。

[0268] P チャネル MOS トランジスタ M3 は、電源電圧の供給されるノードに接続されたソースと、互いに接続されたゲートおよびドレインとを有する。P チャネル MOS トランジスタ M4 は、電源電圧の供給されるノードに接続されたソースと、P チャネル MOS トランジスタ M3 のゲートに接続されたゲートと、N チャネル MOS トランジスタ M2 のドレインおよび出力回路 86 の入力ノードに接続されたソースとを有する。N チャネル MOS トランジスタ M1 は、P チャネル MOS トランジスタ M3 のドレインに接続されたドレインと、電流源 IS に接続されたソースと、キャパシタ C の第 1 端子、スイッチ SWG の第 1 端子およびフォトダイオード PD のアノードに接続されたゲートとを有する。N チャネル MOS トランジスタ M2 は、P チャネル MOS トランジスタ M4 のドレインに接続されたドレインと、電流源 IS に接続されたソースと、フォトダイオード PD のカソードに接続されたゲートとを有する。出力回路 86 の出力ノードにキャパシタ C の第 2 端子およびスイッチ SWG の第 2 端子が接続されている。

[0269] N チャネル MOS トランジスタ M1 のゲートが差動増幅器 85 の反転入力

端子に相当し、NチャネルMOSトランジスタM2のゲートが差動増幅器85の非反転入力端子に相当する。

[0270] 出力回路86は、差動増幅器85の出力調整を行なうために設けられ、NチャネルMOSトランジスタM2のドレイン電圧に対応する電圧VDを出力する。

[0271] 図48は、本発明の実施の形態6に係る画素アレイの要部の断面構造を詳細に示す図である。

[0272] 図48を参照して、半導体基板21に、NチャネルMOSトランジスタM1およびM2のドレイン領域Dおよびソース領域Sが形成されている。また、読出回路層22において、NチャネルMOSトランジスタM1およびM2のゲート電極GD1およびGD2が設けられている。

[0273] NチャネルMOSトランジスタM1のゲート電極GD1は、配線LN1を介して画素電極ELに接続されている。

[0274] 配線LN2は、差動増幅器85から、CIGS薄膜23の差動増幅器85と対向する領域への方向に延伸し、差動増幅器85の非反転入力端子と主表面MS1とを電氣的に接続する。すなわち、NチャネルMOSトランジスタM2のゲート電極GD2は、配線LN2を介してCIGS薄膜23の主表面MS1に接続されている。

[0275] ここで、NチャネルMOSトランジスタM1およびM2は、サイズが異なる。すなわち、CIGS薄膜23の主表面MS2の延在方向におけるNチャネルMOSトランジスタM1のゲート電極GD1の面積は、NチャネルMOSトランジスタM2のゲート電極GD2と比べて小さい。

[0276] このため、差動増幅器85は、イマジナリショートの状態にはならず、反転入力端子の電位が非反転入力端子よりも低くなるように動作する。すなわち、差動増幅器85の反転入力端子における電圧が、差動増幅器Gの非反転入力端子における電圧よりも小さくなる。

[0277] これにより、フォトダイオードPDのアノード電圧VAがカソード電圧VKよりも小さくなり、フォトダイオードPDに逆バイアスが印加される。

- [0278] ところで、差動増幅器 8 5 を画素領域に設ける場合には、バイアス電圧を発生する回路からバイアス電圧を各画素領域へ伝達するための複数の配線が必要になり、配線領域が増大してしまうという問題点があった。
- [0279] しかしながら、本発明の実施の形態 6 に係る光電変換装置は、画素電極 E L に対応して設けられ、対応の画素電極 E L に対して C I G S 薄膜 2 3 の反対側に設けられ、画素電極 E L に電氣的に接続された反転入力端子と、主表面 M S 1 に電氣的に接続された非反転入力端子と、出力端子とを有し、対応の画素電極 E L が受けた電荷に基づいて読出信号を出力する複数の差動増幅器 8 5 を備える。そして、差動増幅器 8 5 は、反転入力端子における電圧が非反転入力端子における電圧よりも小さくなるように動作する。
- [0280] このような構成により、フォトダイオード P D のカソードに電圧を供給するノードから差動増幅器 8 5 の非反転入力端子へバイアス電圧を供給し、かつフォトダイオード P D に逆電圧を印加することができる。これにより、バイアス電圧を発生する回路と、この回路からバイアス電圧を各画素領域へ伝達するための複数の配線とが不要となる。
- [0281] したがって、本発明の実施の形態 6 に係る光電変換装置では、光電変換された電気信号を増幅するための差動増幅器 8 5 を各画素領域において設ける構成において、小型化を図ることができる。
- [0282] なお、本発明の実施の形態 6 に係る画素アレイは、C I G S 薄膜を含む構成であるとしたが、これに限定するものではない。光電変換薄膜または光電変換厚膜であればよく、たとえば C I G S 薄膜以外の化合物半導体薄膜、および有機半導体薄膜等を含む構成であってもよい。また、本発明は、光電変換装置に限らず、フォトセンサおよびラインセンサ等にも適用可能である。
- [0283] 次に、本発明の実施の形態 6 の変更例について図面を用いて説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰り返さない。
- [0284] 本変更例は、実施の形態 6 に係る光電変換装置と比べて差動増幅器の構成を変更した光電変換装置に関する。以下で説明する内容以外は実施の形態 6

に係る光電変換装置と同様である。

[0285] 図49は、本変更例に係る差動増幅器87の回路構成を示す図である。図50は、本変更例に係る画素アレイの要部の断面構造を詳細に示す図である。

[0286] 図49および図50を参照して、差動増幅器87は、実施の形態6に係る差動増幅器85と比べて、さらに、PチャネルMOSトランジスタM5を含む。

[0287] PチャネルMOSトランジスタM5は、PチャネルMOSトランジスタM3と並列に接続されている。より詳細には、PチャネルMOSトランジスタM5は、電源電圧の供給されるノードに接続されたソースと、互いに接続されたゲートおよびドレインとを有し、これらのゲートおよびソースがPチャネルMOSトランジスタM3のゲートおよびソースに接続されている。

[0288] NチャネルMOSトランジスタM1およびM2は、サイズが略同じである。すなわち、主表面MS2の延在方向におけるNチャネルMOSトランジスタM1のゲート電極GD1の面積は、NチャネルMOSトランジスタM2のゲート電極GD2と略同じである。また、PチャネルMOSトランジスタM3～M5は、サイズが略同じである。

[0289] このため、差動増幅器87は、イマジナリショートの状態にはならず、反転入力端子の電位が非反転入力端子よりも低くなるように動作する。すなわち、差動増幅器87の反転入力端子における電圧が、差動増幅器Gの非反転入力端子における電圧よりも小さくなる。

[0290] これにより、フォトダイオードPDのアノード電圧VAがカソード電圧VKよりも小さくなり、フォトダイオードPDに逆バイアスが印加される。

[0291] その他の構成および動作は実施の形態6に係る光電変換装置と同様であるため、ここでは詳細な説明を繰り返さない。

[0292] したがって、本変更例に係る光電変換装置では、本発明の実施の形態6に係る光電変換装置と同様に、光電変換された電気信号を増幅するための差動増幅器を各画素領域において設ける構成において、小型化を図ることができ

る。

[0293] [実施の形態 7]

ところで、このような固体撮像装置では、受光量のダイナミックレンジを拡大するために、たとえば、光電変換素子からの電荷を蓄積する時間長の異なる複数の期間においてそれぞれ得られた電気信号を合成する方法が採用されている。

[0294] しかしながら、このような方法では、電荷蓄積時間長が異なり、また、異なる時点における被写体の画像を合成することから、特に、動きの早い被写体を撮像する場合において合成画像にずれが生じやすくなる。このため、合成の効果がなくなり、画質が劣化してしまうという問題点があった。

[0295] しかしながら、特許文献 3 には、このような問題点を解決するための構成は開示されていない。

[0296] それゆえに、本実施の形態 7 の目的は、ダイナミックレンジを広げ、かつ画質の劣化を防ぐことが可能な光電変換装置および撮像装置を提供することである。

[0297] 本発明の実施の形態 7 に係る撮像装置の構成および動作は図 1 で説明した通りである。また、光電変換装置の構成および動作は、図 2 で説明した通りである。また、画素 P の構成は、図 3 で説明した通りである。

[0298] 図 5 1 は、本発明の実施の形態 7 に係る画素アレイの要部の断面構造を示す図である。

図 5 1 を参照して、画素アレイは、半導体基板 2 1 と、読出回路層 2 2 と、複数の画素電極 E L A および E L B と、C I G S 薄膜 2 3 と、C d S (硫化カドミウム) 層 2 4 と、透明電極 2 5 とを含む。

[0299] 半導体基板 2 1 の表面には、読出回路層 2 2 が形成されている。読出回路層 2 2 は、M O S トランジスタ、キャパシタ、配線、絶縁層およびビアホール等を含む。

[0300] 1 つの画素電極 E L A および 1 つの画素電極 E L B は、C I G S 薄膜 2 3 の表面において互いに近接して設けられている。画素電極 E L A は、C I G

S 薄膜 2 3 の延在方向におけるサイズすなわち面積が画素電極 E L B より大きい。以下、画素電極 E L A および画素電極 E L B の各々を画素電極 E L とも称する。

[0301] 読出回路層 2 2 の表面には、矩形状の複数の画素電極 E L が所定の間隔で配置されている。複数の画素電極 E L は、複数行複数列に配列されている。各画素電極 E L は、たとえば Mo（モリブデン）で形成されている。

[0302] 複数の画素電極 E L を覆うようにして C I G S 薄膜 2 3 が形成され、C I G S 薄膜 2 3 の表面には C d S 層 2 4 および透明電極 2 5 がこの順番で積層されている。C I G S 薄膜 2 3 は p 型の化合物半導体薄膜であり、その厚さはたとえば $1.7 \mu\text{m}$ である。C d S 層 2 4 はバッファ層であり、その厚さはたとえば 50 nm である。透明電極 2 5 は低抵抗の n 型 ZnO 膜であり、その厚さはたとえば $1 \mu\text{m}$ である。したがって、C I G S 薄膜 2 3 および透明電極 2 5 によって P N 接合が形成される。

[0303] 換言すると、光電変換膜である C I G S 薄膜 2 3 の第 1 主表面にバッファ層である C d S 層 2 4 を介して透明電極 2 5 が形成され、C I G S 薄膜 2 3 の第 2 主表面において各画素に対応する複数の画素電極 E L が形成されている。

[0304] 図 5 2 は、本発明の実施の形態 7 に係る画素アレイの断面構造および動作を模式的に示す図である。図 5 3 は、本発明の実施の形態 7 に係る画素アレイを上方から見た図である。

[0305] 図 5 2 および図 5 2 を参照して、読出回路 G は、画素電極 E L に対応して設けられ、図 5 1 に示した読出回路層 2 2 において対応の画素電極 E L の下に形成されている。すなわち、読出回路 G は、対応の画素電極 E L に対して C I G S 薄膜 2 3 の反対側に設けられている。これにより、光電変換装置の微細化を図ることができる。

[0306] 読出回路 G は、読出動作時、対応の画素電極 E L にたとえば 1 V のアノード電圧 V_A を印加する。また、透明電極 2 5 にはアノード電圧 V_A よりも高いたとえば 3 V のカソード電圧 V_K が印加される。これにより、各画素電極

ELと透明電極25との間に空乏層が形成され、各画素電極ELと透明電極25との間の領域がフォトダイオードPDとして動作する。画素電極ELはフォトダイオードPDのアノードとなり、透明電極25はフォトダイオードPDのカソードとなる。

[0307] 外部から透明電極25を介してCIGS薄膜23に光 α が入射すると、CIGS薄膜23内で光量に応じた量の電子－正孔対が発生する。CIGS薄膜23では正孔が多数キャリアであるため、正孔すなわち正電荷がその近傍の画素電極ELに流入する。読出回路Gは、対応の画素電極ELに流入した電荷の量に応じたレベルの電流IRを出力する。

[0308] また、図53に示すように、スイッチSWは、読出回路層22において読出回路Gに対応して設けられ、対応の読出回路Gの出力端子に接続された第1端子と、対応の読出信号線SLに接続された第2端子とを有する。

[0309] 図54は、本発明の実施の形態7に係る光電変換装置における画素電極およびスイッチの関係を示す図である。図54では、複数行複数列の画素に対応する回路の一部を代表的に示し、これらの回路の動作について主に説明する。

[0310] 図54を参照して、画素アレイは、 n 行 n 列に配列された複数の画素電極ELを含む。ここで、1行目、2行目、 $\dots$ 、 n 行目の画素行をそれぞれ画素行1、画素行2、 $\dots$ 、画素行 n と称し、1列目、2列目、 $\dots$ 、 n 列目の画素列をそれぞれ画素列1、画素列2、 $\dots$ 、画素列 n と称する。図54に示す一例では、 n は3以上の自然数である。

[0311] すなわち、画素電極ELA11, ELB11, ELA12, ELB12, $\dots$ が画素行1に対応し、画素電極ELA21, ELB21, ELA22, ELB22, $\dots$ が画素行2に対応し、画素電極ELAn1, ELBn1, ELAn2, ELBn2, $\dots$ が画素行 n に対応している。また、画素電極ELA11, ELA21, $\dots$, ELAn1が画素列1に対応し、画素電極ELB11, ELB21, $\dots$, ELBn1が画素列2に対応し、画素電極ELA12, ELA22, $\dots$, ELAn2が画素列3に対応し、画素電極ELB12,

ELB22, ..., ELBn2が画素列4に対応している。これらの画素電極は、前述の画素電極ELAおよびELBに相当する。以下、画素電極ELA11, ELA12, ELA21, ELA22, ELAn1, ELAn2の各々を画素電極ELAとも称し、画素電極ELB11, ELB12, ELB21, ELB22, ELBn1, ELBn2の各々を画素電極ELBとも称する。

[0312] 画素電極ELA11, ELB11, ELA12, ELB12, ..., 画素電極ELA21, ELB21, ELA22, ELB22, ..., 画素電極ELAn1, ELBn1, ELAn2, ELBn2, ...に対応して、読出回路GA11, GB11, GA12, GB12, ..., 読出回路GA21, GB21, GA22, GB22, ..., 読出回路GnA1, GnB1, GnA2, GnB2, ...が設けられている。これらの読出回路は、前述の読出回路Gに相当する。

[0313] 読出回路GA11, GB11, GA12, GB12, ..., 読出回路GA21, GB21, GA22, GB22, ..., 読出回路GnA1, GnB1, GnA2, GnB2, ...に対応して、スイッチSWA11, SWB11, SWA12, SWB12, ..., スイッチSWA21, SWB21, SWA22, SWB22, ..., スイッチSWAn1, SWBn1, SWAn2, SWBn2, ...が設けられている。これらのスイッチは、前述のスイッチSWAおよびSWBに相当する。

[0314] また、読出信号線SLA1, SLB1, SLA2, SLB2は画素列1～4にそれぞれ対応して設けられている。これらの信号線は、前述の読出信号線SLに相当する。

[0315] アンプQA1, QB1, QA2, QB2は、読出信号線SLA1, SLB1, SLA2, SLB2の他方端にそれぞれ接続されている。これらのアンプは、前述のアンプQに相当する。

[0316] 次に、本発明の実施の形態7に係る光電変換装置が画素信号を生成する動作を詳細に説明する。まず、制御部14の動作を詳細に説明する。

- [0317] 垂直走査部 13 は、まず、制御部 14 から与えられる垂直走査信号に基づいて、画素行 1 を選択し、選択した画素行 1 のスイッチ SWA 11, SWB 11, SWA 12, SWB 12 をオンする。また、垂直走査部 13 は、選択していない画素行に対応する各スイッチ SWB をオフする。
- [0318] これにより、選択された画素行 1 の読出回路 GA 11, GB 11, GA 12, GB 12 から読出信号線 SLA 1, SLB 1, SLA 2, SLB 2 に、画素電極 ELA 11, ELB 11, ELA 12, ELB 12 に対応するフォトダイオード PD の入射光量に応じたレベルの電流がそれぞれ出力され、読出信号線 SLA 1, SLB 1, SLA 2, SLB 2 がその入射光量に応じたレベルの電圧に充電される。読出信号線 SLA 1, SLB 1, SLA 2, SLB 2 の電圧は、それぞれアンプ QA 1, QB 1, QA 2, QB 2 によって増幅されてセクタ 16 に与えられる。
- [0319] 次に、水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づいて、垂直走査部 13 によって画素行 1 が選択されている期間に、画素列 1, 2, 3, 4, … を 1 列ずつ順次選択する。セクタ 16 は、水平走査部 15 によって選択されている画素列に対応するアンプ Q の出力電圧 VD を選択して出力部 17 に伝達する。
- [0320] 以降、垂直走査部 13 は、制御部 14 から与えられる垂直走査信号に基づいて、画素行 2 ~ 画素行 n を 1 行ずつ順次選択し、また、水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づいて、画素列 1 ~ 画素列 n を 1 列ずつ順次選択する。これにより、上記画素行 1 と同様の動作が繰り返され、画素アレイにおけるすべての画素に対応する読出信号が出力部 17 へ出力される。
- [0321] 次に、出力部 17 が画素信号を生成する動作を詳細に説明する。出力部 17 は、光電変換装置に入射する光の量を読出信号に基づいて検出し、検出結果に基づいて、使用する読出信号を切り替える。
- [0322] 図 55 は、本発明の実施の形態 7 に係る光電変換装置における入射光量と読出信号レベルとの関係を示すグラフ図である。図 55 において、GL は、

画素電極E L Aが受けた電荷に基づいて生成される読出信号を示し、G Sは、画素電極E L Bが受けた電荷に基づいて生成される読出信号を示す。

[0323] 図55を参照して、面積の大きい画素電極E L Aからの電荷を受ける読出回路Gから出力される読出信号は、光 α の光量がX 1以上になると飽和する。一方、面積の小さい画素電極E L Bからの電荷を受ける読出回路Gから出力される読出信号は、光 α の光量がX 1以上であるX 2以上になると飽和する。

[0324] このため、出力部17は、受光量がX 1未満である場合には画素電極E L Aからの電荷に基づく読出信号を選択し、受光量がX 1以上である場合には画素電極E L Bからの電荷に基づく読出信号を選択する。

[0325] 再び図54を参照して、出力部17は、受光量がX 1未満である場合であって画素行1が選択されているときには、画素行1の画素電極E L A 1 1に対応するアンプQ A 1から受けた読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。次に、出力部17は、画素行1の画素電極E L A 1 2に対応するアンプQ A 2から受けた読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。このように、出力部17は、垂直走査部13によって画素行1が選択されている期間に、各画素電極E L Aに対応する読出信号を順次選択して画素信号を生成する。すなわち画素列1, 3, 5, …に対応する読出信号に基づいて画素信号を生成する。

[0326] 一方、出力部17は、受光量がX 1以上である場合であって画素行1が選択されているときには、画素行1の画素電極E L B 1 1に対応するアンプQ B 1から受けた読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。次に、出力部17は、画素行1の画素電極E L B 1 2に対応するアンプQ B 2から受けた読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。このように、出力部17は、垂直走査部13によって画素行1が選択されている期間に、各画素電極E L Bに対応する読出信号を順次選択して画素信号を生成する。すなわち画素列2, 4, 6, …に対応する読出信号に基づいて画素信号を生成する。

- [0327] 以降、画素行 2 ～画素行 n が 1 行ずつ順次選択され、出力部 17 は、画素電極 E_{LA} または E_{LB} に対応する各読出信号を順次選択する。これにより、上記画素行 1 と同様の動作が繰り返される。
- [0328] 図 56 は、本発明の実施の形態 7 に係る光電変換装置における入射光量と画素信号レベルとの関係を示すグラフ図である。
- [0329] 図 56 を参照して、出力部（信号処理部）17 は、各アンプ Q を介して各読出回路 G から受けた各読出信号および各画素電極のサイズに基づいて画素信号を生成する。すなわち、出力部 17 は、制御部 14 によって選択された画素電極からの読出信号をその選択された画素電極のサイズに基づいて補正することにより画素信号を生成する。
- [0330] たとえば、出力部 17 は、受光量が X_1 未満であり、画素電極 E_{LA} に対応する読出信号を選択した場合には、選択した読出信号のレベルを有する画素信号を出力する。
- [0331] また、出力部 17 は、受光量が X_1 以上である場合には、画素電極 E_{LB} に対応する読出信号を選択した場合には、選択した読出信号のレベルに（画素電極 E_{LA} のサイズ／画素電極 E_{LB} のサイズ）を乗じたレベルを有する画素信号を出力する。
- [0332] 次に、画素信号生成の他の例を詳細に説明する。
- 出力部 17 は、受光量が X_1 未満である場合には画素電極 E_{LA} からの電荷に基づく読出信号を選択し、受光量が X_1 以上である場合には画素電極 E_{LA} および画素電極 E_{LB} からの電荷に基づく読出信号を選択する。
- [0333] 再び図 54 を参照して、出力部 17 は、受光量が X_1 未満である場合であって画素行 1 が選択されているときには、画素行 1 の画素電極 E_{LA11} に対応するアンプ QA_1 から受けた読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。次に、出力部 17 は、画素行 1 の画素電極 E_{LA12} に対応するアンプ QA_2 から受けた読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。このように、出力部 17 は、垂直走査部 13 によって画素行 1 が選択されている期間に、各画素電極 E_{LA} に対応

する読出信号を順次選択して画素信号を生成する。すなわち画素列 1, 3, 5, …に対応する読出信号に基づいて画素信号を生成する。

[0334] 以降、画素行 2～画素行 n が 1 行ずつ順次選択され、出力部 17 は、画素電極 E L A に対応する各読出信号を順次選択する。これにより、上記画素行 1 と同様の動作が繰り返される。

[0335] 一方、出力部 17 は、受光量が X 1 以上である場合であって画素行 1 が選択されているときには、画素行 1 の画素電極 E L A 1 1 および E L B 1 1 に対応するアンプ Q A 1 および Q B 1 から受けた読出信号を選択し、選択した各読出信号に基づいて画素信号を生成する。次に、出力部 17 は、画素行 1 の画素電極 E L A 1 2 および E L B 1 2 に対応するアンプ Q A 2 および Q B 2 から受けた読出信号を選択し、選択した各読出信号に基づいて画素信号を生成する。このように、出力部 17 は、垂直走査部 13 によって画素行 1 が選択されている期間に、画素電極 E L A および E L B に対応する各読出信号を順次選択して画素信号を生成する。すなわち画素列 1, 2, 3, …に対応する読出信号に基づいて画素信号を生成する。

[0336] 以降、画素行 2～画素行 n が 1 行ずつ順次選択され、出力部 17 は、画素電極 E L A および E L B に対応する各読出信号を順次選択する。これにより、上記画素行 1 と同様の動作が繰り返される。

[0337] 次に、本発明の実施の形態 7 に係る光電変換装置が画素信号を生成する動作の他の例を詳細に説明する。

[0338] 図 57 は、本発明の実施の形態 7 に係る光電変換装置における入射光量と画素信号レベルとの関係を示すグラフ図である。

[0339] 図 57 を参照して、出力部 17 は、各アンプ Q を介して各読出回路 G から受けた各読出信号および各画素電極のサイズに基づいて画素信号を生成する。すなわち、出力部 17 は、複数の読出信号のうちのいずれか 1 つを選択し、選択した読出信号に基づいて画素信号を生成する動作と、複数の読出信号のうちの複数を選択し、選択した複数の読出信号を合成することにより画素信号を生成する動作とを選択的に行なう。

- [0340] たとえば、出力部 17 は、受光量が X_1 未満である場合には、大電極である画素電極 E L A に対応する読出信号を選択し、選択した読出信号のレベルを有する画素信号を出力する。
- [0341] また、出力部 17 は、受光量が X_1 以上である場合には、画素電極 E L A および画素電極 E L B に対応する読出信号を選択し、選択した各読出信号を合成する、すなわち画素電極 E L A に対応する読出信号のレベルおよび画素電極 E L B に対応する読出信号のレベルを加算したレベルを有する画素信号を出力する。
- [0342] 以上のように、本発明の実施の形態 7 に係る光電変換装置では、異なるサイズの電極を使用し、たとえば、受光量が小さいときは大電極からの電気信号を選択し、受光量大きいときは小電極からの電気信号を選択する。
- [0343] あるいは、受光量が小さいときは大電極からの電気信号を選択し、受光量大きいときは小電極および大電極からの電気信号を合成する。
- [0344] このような構成により、受光量が小さいときには大電極を用いて感度を向上させ、受光量大きいときには小電極を用いて画素信号の飽和を抑制することができるため、ダイナミックレンジの拡大を図ることができる。また、C I G S 薄膜 23 において発生する電荷を大電極および小電極において同一時間長蓄積し、これによって得られた各電気信号に基づいて画素信号を生成することから、動きの早い被写体を撮像する場合でも画像にずれが生じることを防ぐことができるため、高速画像についてもダイナミックレンジの拡大を図ることができる。
- [0345] また、大電極および小電極からの電気信号を選択または合成することから、大電極および小電極間の電氣的分離が十分でない場合でも、これに起因する電気信号の劣化を防ぐことができる。
- [0346] なお、出力部 17 は、受光量に応じた読出信号の選択を、1 画面分すなわち画素アレイ全体の画素処理ごとに切り替える構成であってもよいし、1 画面の途中で切り替える構成であってもよい。
- [0347] また、出力部 17 は、アナログ信号である読出信号に基づいてアナログ信

号である画素信号を出力する構成であってもよいし、アナログ／デジタル変換を行なってデジタル信号である画素信号を出力する構成であってもよい。

[0348] 図58は、本発明の実施の形態7に係る光電変換装置を上方から見た図である。

図58を参照して、光電変換装置は、さらに、カラーフィルタCFを含む。

[0349] カラーフィルタCFは、CIGS薄膜23に対して画素電極ELの反対側に設けられており、ベイヤー配列されている。すなわち、カラーフィルタCFは、R（赤色）のフィルタ領域と、B（青色）のフィルタ領域と、Gr（緑色）のフィルタ領域と、Gb（緑色）のフィルタ領域とを有する。なお、GrおよびGbはそれぞれRおよびBと同じ行に配置された緑色を表わす。

[0350] 画素電極ELAおよびELBの組は、カラーフィルタCFの同一画素かつ同一色に対応する領域ごとに複数設けられている。

[0351] ここで、光電変換素子からの電荷を蓄積する時間長の異なる複数の期間においてそれぞれ得られた電気信号を合成する従来の方法では、特にカラー画像を表示する場合であって動く被写体を撮像するとき、異なる時点における被写体の画像を合成することから、異なる色のフィルタ領域に対応する電気信号が合成されてしまい、いわゆる色偽信号が発生する場合がある。

[0352] しかしながら、本発明の実施の形態7に係る光電変換装置では、サイズの異なる電極を、カラーフィルタの同一画素かつ同一色に対応させる。そして、CIGS薄膜23において発生する電荷を各電極において同一時間長蓄積し、これによって得られた各電気信号に基づいて画素信号を生成することから、異なる色の電気信号が合成されることを防ぐことができる。これにより、カラー画像対応が容易となり、良好なカラー画像を得ることができる。また、従来の方法では、異なる時点における被写体の画像を合成することから、モアレ（干渉縞）が発生する場合がある。しかしながら、本発明の実施の形態7に係る光電変換装置では、大電極および小電極の電荷蓄積時間長が同一となるため、モアレ（干渉縞）の発生を防ぐことができる。

[0353] 図59は、実施の形態7に係る光電変換装置の変更例における画素電極を上方から見た図である。

[0354] 図59を参照して、画素電極EL Aは、矩形状に周回している。また、矩形状の画素電極EL Bは、画素電極EL Aによって形成される空間に設けられている。

[0355] 図60は、実施の形態7に係る光電変換装置の変更例における画素電極を上方から見た図である。

[0356] 図60を参照して、画素電極EL Aは、矩形状であり、内部に円形状の空間を有している。また、円形状の画素電極EL Bは、画素電極EL Aによって形成される空間に設けられている。

[0357] [実施の形態8]

本実施の形態8は、実施の形態7に係る光電変換装置と比べて各画素電極が略同じサイズを有する光電変換装置に関する。以下で説明する内容以外は実施の形態7に係る光電変換装置と同様である。

[0358] 図61は、本発明の実施の形態8に係る光電変換装置における画素電極およびスイッチの関係を示す図である。図61では、複数行複数列の画素に対応する回路の一部を代表的に示し、これらの回路の動作について主に説明する。

[0359] 図61を参照して、画素アレイは、 n 行 n 列に配列された複数の画素電極ELを含む。光電変換装置は、本発明の実施の形態7に係る光電変換装置と比べて、画素アレイが、CIGS薄膜23の延在方向におけるサイズが略同じである4つの画素電極ELからなる画素電極群を複数含む。各画素電極群の4つの画素電極ELは、CIGS薄膜23の表面において互いに近接して設けられている。また、これらの画素電極群は、カラーフィルタCFの同一画素かつ同一色に対応する領域ごとに設けられている。また、画素アレイは、複数のスイッチSWKと、複数のスイッチSWLとを含む。

[0360] ここで、1行目、2行目、…、 n 行目の画素行をそれぞれ画素行1、画素行2、…、画素行 n と称し、1列目、2列目、…、 n 列目の画素列をそれぞれ

れ画素列 1、画素列 2、…、画素列 n と称する。図 6 1 に示す一例では、 n は 4 以上の偶数である。

[0361] すなわち、画素電極 $EL11$ 、 $EL12$ 、 $EL13$ 、 $EL14$ 、…が画素行 1 に対応し、画素電極 $EL21$ 、 $EL22$ 、 $EL23$ 、 $EL24$ 、…が画素行 2 に対応し、画素電極 $ELn1$ 、 $ELn2$ 、 $ELn3$ 、 $ELn4$ 、…が画素行 n に対応している。また、画素電極 $EL11$ 、 $EL21$ 、…、 $ELn1$ が画素列 1 に対応し、画素電極 $EL12$ 、 $EL22$ 、…、 $ELn2$ が画素列 2 に対応し、画素電極 $EL13$ 、 $EL23$ 、…、 $ELn3$ が画素列 3 に対応し、画素電極 $EL14$ 、 $EL24$ 、…、 $ELn4$ が画素列 4 に対応している。これらの画素電極は、本発明の実施の形態 7 に係る光電変換装置における画素電極 EL に相当する。

[0362] 読出回路 G は、2 つの画素行ごとに設けられている。より詳細には、読出回路 $G21$ 、 $G22$ 、 $G23$ 、 $G24$ は、画素電極 $EL21$ 、 $EL22$ 、 $EL23$ 、 $EL24$ にそれぞれ接続されている。読出回路 $Gn1$ 、 $Gn2$ 、 $Gn3$ 、 $Gn4$ は、画素電極 $ELn1$ 、 $ELn2$ 、 $ELn3$ 、 $ELn4$ にそれぞれ接続されている。これらの読出回路は、本発明の実施の形態 7 に係る光電変換装置における読出回路 G に相当する。

[0363] スイッチ SWL は、読出回路 G に対応して設けられている。図 6 1 では、スイッチ $SWL21$ 、 $SWL22$ 、 $SWL23$ 、 $SWL24$ は、読出回路 $G21$ 、 $G22$ 、 $G23$ 、 $G24$ から受けた読出信号を対応の読出信号線へ出力するか否かを切り替える。スイッチ $SWLn1$ 、 $SWLn2$ 、 $SWLn3$ 、 $SWLn4$ は、読出回路 $Gn1$ 、 $Gn2$ 、 $Gn3$ 、 $Gn4$ から受けた読出信号を対応の読出信号線へ出力するか否かを切り替える。これらのスイッチ SWL は、本発明の実施の形態 7 に係る光電変換装置におけるスイッチ SWB に相当する。

[0364] また、読出信号線 $SL1$ 、 $SL2$ 、 $SL3$ 、 $SL4$ は画素列 1～4 にそれぞれ対応して設けられている。これらの信号線は、本発明の実施の形態 7 に係る光電変換装置における読出信号線 SL に相当する。

- [0365] アンプ Q_1, Q_2, Q_3, Q_4 は、読出信号線 SL_1, SL_2, SL_3, SL_4 の他方端にそれぞれ接続されている。これらのアンプは、本発明の実施の形態7に係る光電変換装置におけるアンプ Q に相当する。
- [0366] スイッチ SWK は、画素電極 EL 間に接続され、画素電極群における各画素電極 EL がスイッチ SWK を介して互いに電氣的に接続可能となるように設けられている。より詳細には、スイッチ SWK_{11} は、画素電極 EL_{11} と画素電極 EL_{12} の間に接続され、スイッチ SWK_{12} は、画素電極 EL_{13} と画素電極 EL_{14} の間に接続されている。スイッチ SWK_{21} は、画素電極 EL_{21} と画素電極 EL_{22} の間に接続され、スイッチ SWK_{22} は、画素電極 EL_{23} と画素電極 EL_{24} の間に接続されている。スイッチ SWK_{n1} は、画素電極 EL_{n1} と画素電極 EL_{n2} の間に接続され、スイッチ SWK_{n2} は、画素電極 EL_{n3} と画素電極 EL_{n4} の間に接続されている。
- [0367] また、スイッチ SWK_{11S} は、画素電極 EL_{11} と画素電極 EL_{21} の間に接続され、スイッチ SWK_{21S} は、画素電極 EL_{12} と画素電極 EL_{22} の間に接続され、スイッチ SWK_{12S} は、画素電極 EL_{13} と画素電極 EL_{23} の間に接続され、スイッチ SWK_{22S} は、画素電極 EL_{14} と画素電極 EL_{24} の間に接続されている。
- [0368] 次に、本発明の実施の形態8に係る光電変換装置が画素信号を生成する動作を詳細に説明する。まず、制御部14の動作を詳細に説明する。
- [0369] 垂直走査部13は、まず、制御部14から与えられる垂直走査信号に基づいて、画素行1および2を選択し、選択した画素行1および2のスイッチ $SWL_{21}, SWL_{22}, SWL_{23}, SWL_{24}$ をオンする。また、垂直走査部13は、選択していない画素行に対応する各スイッチ SWL をオフする。
- [0370] また、制御部14は、複数のスイッチ SWK のオン／オフを制御することにより、読出回路 G に接続された画素電極 EL を含む異なる数の画素電極 EL からなり、かつスイッチ SWK を介して互いに電氣的に接続されていない

組を複数つくる。そして、制御部 14 は、画素電極 E L を複数含む組においては、複数の画素電極 E L をスイッチ SWK を介して互いに電氣的に接続する。

[0371] より詳細には、垂直走査部 13 は、制御部 14 から与えられる垂直走査信号に基づいて、スイッチ SWK 11 および SWK 11 S をオンし、スイッチ SWK 21 および SWK 21 S をオフし、また、スイッチ SWK 12 および SWK 12 S をオンし、スイッチ SWK 22 および SWK 22 S をオフする。

[0372] 図 62 は、1つの画素電極群におけるスイッチ設定を示す図である。

図 62 を参照して、上記のようなスイッチ SWK の設定により、スイッチ SWK を介して互いに電氣的に接続され、かつ読出回路 G に接続された画素電極を含む 3 つの画素電極のグループ A と、読出回路 G に接続された 1 つの画素電極を含むグループ B とがつくられる。グループ A および B は、スイッチ SWK を介して互いに電氣的に接続されていない。

[0373] 再び図 61 を参照して、選択された画素行 1 および 2 の読出回路 G 21 から読出信号線 S L 1 に、画素電極 E L 11, E L 12, E L 21 に対応するフォトダイオード P D の入射光量の総和に応じたレベルの電流が出力され、読出回路 G 22 から読出信号線 S L 2 に、画素電極 E L 22 に対応するフォトダイオード P D の入射光量に応じたレベルの電流が出力される。また、選択された画素行 1 および 2 の読出回路 G 23 から読出信号線 S L 3 に、画素電極 E L 13, E L 14, E L 23 に対応するフォトダイオード P D の入射光量の総和に応じたレベルの電流が出力され、読出回路 G 24 から読出信号線 S L 4 に、画素電極 E L 24 に対応するフォトダイオード P D の入射光量に応じたレベルの電流が出力される。そして、読出信号線 S L 1, S L 2, S L 3, S L 4 がこれらの入射光量に応じたレベルの電圧に充電される。読出信号線 S L 1, S L 2, S L 3, S L 4 の電圧は、それぞれアンプ Q 1 ~ Q 4 によって増幅されてセレクタ 16 に与えられる。

[0374] 次に、水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づ

いて、垂直走査部 13 によって画素行 1 および 2 が選択されている期間に、画素列 1, 2, 3, 4, ... を 1 列ずつ順次選択する。セクタ 16 は、水平走査部 15 によって選択されている画素列に対応するアンプ Q の出力電圧 V_D を選択して出力部 17 に伝達する。

[0375] 以降、垂直走査部 13 は、制御部 14 から与えられる垂直走査信号に基づいて、画素行 3 ~ 画素行 n を 2 行ずつ順次選択し、また、水平走査部 15 は、制御部 14 から与えられる水平走査信号に基づいて、画素列 1 ~ 画素列 n を 1 列ずつ順次選択する。これにより、上記画素行 1 および 2 と同様の動作が繰り返され、画素アレイにおけるすべての画素に対応する読出信号が出力部 17 へ出力される。

[0376] 次に、出力部 17 が画素信号を生成する動作を詳細に説明する。出力部 17 は、光電変換装置に入射する光の量を読出信号に基づいて検出し、検出結果に基づいて、使用する読出信号を切り替える。すなわち、出力部 17 は、受光量が X₁ 未満である場合にはグループ A における画素電極からの電荷に基づく読出信号を選択し、受光量が X₁ 以上である場合にはグループ B における画素電極からの電荷に基づく読出信号を選択する。

[0377] より詳細には、出力部 17 は、受光量が X₁ 未満である場合であって画素行 1 および 2 が選択されているときには、3 つの画素電極 E_{L11}, E_{L12}, E_{L21} からの電荷を受ける読出回路 G₂₁ からの読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。次に、出力部 17 は、3 つの画素電極 E_{L13}, E_{L14}, E_{L23} からの電荷を受ける読出回路 G₂₃ からの読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。このように、出力部 17 は、垂直走査部 13 によって画素行 1 および 2 が選択されている期間に、互いに電氣的に接続された 3 つの画素電極に対応する読出信号を順次選択して画素信号を生成する。

[0378] 一方、出力部 17 は、受光量が X₁ 以上である場合であって画素行 1 および 2 が選択されているときには、1 つの画素電極 E_{L22} からの電荷を受ける読出回路 G₂₂ からの読出信号を選択し、選択した読出信号に基づいて画

素信号を生成する。次に、出力部 17 は、1つの画素電極 E L 24 からの電荷を受ける読出回路 G 24 からの読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。このように、出力部 17 は、垂直走査部 13 によって画素行 1 および 2 が選択されている期間に、他の画素電極と電氣的に接続されていない 1つの画素電極に対応する読出信号を順次選択して画素信号を生成する。

[0379] 以降、画素行 3 ~ 画素行 n が 2 行ずつ順次選択され、出力部 17 は、3つの画素電極 E L または 1つの画素電極 E L に対応する各読出信号を順次選択する。これにより、上記画素行 1 と同様の動作が繰り返される。

[0380] 図 6 3 は、本発明の実施の形態 8 に係る光電変換装置における入射光量と画素信号レベルとの関係を示すグラフ図である。

[0381] 図 6 3 を参照して、出力部 17 は、各アンプ Q を介して各読出回路 G から受けた各読出信号および各スイッチ SWK のオン・オフ状態に基づいて画素信号を生成する。すなわち、出力部 17 は、選択した画素電極のグループに対応する読出信号をその選択したグループに属する画素電極の数に基づいて補正することにより画素信号を生成する。

[0382] たとえば、出力部 17 は、受光量が X 1 未満であり、電極グループ A に対応する読出信号を選択した場合には、選択した読出信号のレベルを有する画素信号を出力する。

[0383] また、出力部 17 は、受光量が X 1 以上である場合には、電極グループ B に対応する読出信号を選択した場合には、選択した読出信号のレベルに（電極グループ A に属する画素電極 E L の数 / 電極グループ B に属する画素電極 E L の数）を乗じたレベルを有する画素信号を出力する。この例では、出力部 17 は、選択したグループ B に対応する読出信号のレベルを 4 倍したレベルを有する画素信号を出力する。

[0384] 次に、本発明の実施の形態 8 に係る光電変換装置が画素信号を生成する動作の他の例を詳細に説明する。

[0385] 出力部 17 は、受光量が X 1 未満である場合にはグループ A からの電荷に

基づく読出信号を選択し、受光量が X 1以上である場合にはグループAおよびグループBからの電荷に基づく読出信号を選択する。

[0386] より詳細には、出力部17は、受光量が X 1未満である場合であって画素行1および2が選択されているときには、3つの画素電極 E_{L11} , E_{L12} , E_{L21} からの電荷を受ける読出回路 G_{21} からの読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。次に、出力部17は、3つの画素電極 E_{L13} , E_{L14} , E_{L23} からの電荷を受ける読出回路 G_{23} からの読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。このように、出力部17は、垂直走査部13によって画素行1および2が選択されている期間に、互いに電氣的に接続された3つの画素電極に対応する読出信号を順次選択して画素信号を生成する。

[0387] 一方、出力部17は、受光量が X 1以上である場合であって画素行1が選択されているときには、3つの画素電極 E_{L11} , E_{L12} , E_{L21} からの電荷を受ける読出回路 G_{21} からの読出信号および1つの画素電極 E_{L22} からの電荷を受ける読出回路 G_{22} からの読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。次に、出力部17は、3つの画素電極 E_{L13} , E_{L14} , E_{L23} からの電荷を受ける読出回路 G_{23} からの読出信号および1つの画素電極 E_{L24} からの電荷を受ける読出回路 G_{24} からの読出信号を選択し、選択した読出信号に基づいて画素信号を生成する。このように、出力部17は、垂直走査部13によって画素行1および2が選択されている期間に、互いに電氣的に接続された3つの画素電極に対応する読出信号および他の画素電極と電氣的に接続されていない1つの画素電極に対応する各読出信号を順次選択して画素信号を生成する。

[0388] 以降、画素行3～画素行 n が2行ずつ順次選択され、出力部17は、3つの画素電極 E_L および1つの画素電極 E_L に対応する各読出信号を順次選択して合成する。これにより、上記画素行1と同様の動作が繰り返される。

[0389] 図64は、本発明の実施の形態8に係る光電変換装置における入射光量と画素信号レベルとの関係を示すグラフ図である。

- [0390] 図64を参照して、出力部17は、各アンプQを介して各読出回路Gから受けた各読出信号および各スイッチSWKのオン・オフ状態に基づいて画素信号を生成する。すなわち、出力部17は、複数のグループのいずれかを選択し、選択したグループに対応する読出信号に基づいて画素信号を生成する動作と、複数のグループのうちの複数を選択し、選択した複数のグループに対応する複数の読出信号を合成することにより画素信号を生成する動作とを選択的に行なう。
- [0391] たとえば、出力部17は、受光量がX1未満である場合には、画素電極数の多いグループAに対応する読出信号を選択し、選択した読出信号のレベルを有する画素信号を出力する。
- [0392] また、出力部17は、受光量がX1以上である場合には、画素電極数の少ないグループAおよび画素電極数の多いグループBに対応する読出信号を選択し、選択した電極グループAに対応する読出信号および電極グループBに対応する読出信号のレベルを加算したレベルを有する画素信号を出力する。
- [0393] 以上のように、本発明の実施の形態8に係る光電変換装置では、受光量が小さいときには電極数の多いグループに対応する読出信号を用いて感度を向上させ、受光量が大きいときには電極数の少ないグループに対応する読出信号を用いて画素信号の飽和を抑制することができるため、ダイナミックレンジの拡大を図ることができる。また、CIGS薄膜23において発生する電荷をグループAにおける電極およびグループBにおける電極において同一時間長蓄積し、これによって得られた各電気信号に基づいて画素信号を生成することから、動きの早い被写体を撮像する場合でも画像にずれが生じることを防ぐことができるため、高速画像についてもダイナミックレンジの拡大を図ることができる。
- [0394] したがって、本発明の実施の形態8に係る光電変換装置では、本発明の実施の形態7に係る光電変換装置と同様に、ダイナミックレンジを広げ、かつ画質の劣化を防ぐことができる。
- [0395] また、大電極および小電極からの電気信号を選択または合成することから

、大電極および小電極間の電氣的分離が十分でない場合でも、これに起因する電気信号の劣化を防ぐことができる。

[0396] さらに、画素アレイにおいてサイズが略同じ電極を用いることから、本発明の実施の形態 7 に係る光電変換装置と比べて製造の簡易化を図ることができる。なお、本発明の実施の形態 7 に係る光電変換装置では、画素電極間に接続されたスイッチ SWK が不要であるため、本発明の実施の形態 8 に係る光電変換装置と比べて構成の簡易化を図ることができる。

[0397] 図 6 5 は、本発明の実施の形態 8 に係る光電変換装置の 1 つの画素電極群におけるスイッチの他の設定例を示す図である。

[0398] 図 6 5 を参照して、画素列において隣り合う画素電極 E L 1 1 および E L 2 1 を読出回路 G 2 1 にスイッチ SWK を介して電氣的に接続し、かつ画素列において隣り合う画素電極 E L 1 2 および E L 2 2 を読出回路 G 2 2 にスイッチ SWK を介して電氣的に接続する。このとき、読出回路 G 2 1 および G 2 2 に対応するスイッチ SWL 2 1 および SWL 2 2 をオンする。

[0399] すなわち、2 つの画素電極が受ける電荷に基づく読出信号と、他の 2 つの画素電極が受ける電荷に基づく読出信号とを別個の信号として処理することも可能である。これにより、ダイナミックレンジの拡大を図る代わりに、画面の解像度を上げることができる。

[0400] 図 6 6 は、本発明の実施の形態 8 に係る光電変換装置の 1 つの画素電極群におけるスイッチの他の設定例を示す図である。

[0401] 図 6 6 を参照して、画素電極 E L 1 1, E L 1 2, E L 2 1, E L 2 2 を読出回路 G 2 1 にスイッチ SWK を介して電氣的に接続する。このとき、読出回路 G 2 1 に対応するスイッチ SWL 2 1 をオンし、読出回路 G 2 2 に対応するスイッチ SWL 2 2 をオフする。

[0402] すなわち、1 つの画素電極群におけるすべての画素電極が受ける電荷に基づく読出信号を 1 つの信号として処理することも可能である。これにより、ダイナミックレンジの拡大を図る代わりに、光 α の量が通常レベルより少ない低照度時、C I G S 薄膜 2 3 において発生する電荷を読み出すための画素

電極の面積を拡大することができるため、光電変換装置の感度を向上させることができる。

[0403] また、各画素電極が受けた電荷を合成する際に、各画素電極のうち、1つの画素電極に対応する読出回路のみを使用することができる。すなわち各画素電極に対応する読出回路におけるノイズの影響を1つの読出回路分のみに抑制することができる。これにより、出力部17に伝達される電圧すなわち読出信号の信号成分は合成対象の画素電極数倍向上でき、かつ出力部17に伝達される読出信号のノイズ成分は1つの読出回路分のみに抑制することができる。このため、読出信号のS/N (Signal to Noise) 比すなわち画素信号のS/N比を大幅に改善することができることから、画質を大幅に向上させることができる。

[0404] このように、本発明の実施の形態8に係る光電変換装置では、スイッチ設定を変更するだけで、ダイナミックレンジを向上させたい場合、画面の解像度を上げたい場合および低照度時の画質を向上させたい場合のすべてに共通の回路で対応することが可能となる。

[0405] 図67は、本発明の実施の形態8に係る光電変換装置の変更例を示す図である。

図67を参照して、この変更例における画素アレイは、CIGS薄膜23の延在方向におけるサイズが略同じである9つの画素電極ELからなる画素電極群を複数含む。各画素電極群の9つの画素電極ELは、CIGS薄膜23の表面において互いに近接して設けられている。また、これらの画素電極群は、カラーフィルタCFの同一画素かつ同一色に対応する領域ごとに設けられている。また、画素アレイは、複数のスイッチSWKを含む。

[0406] そして、制御部14によるスイッチSWKの設定により、スイッチSWKを介して互いに電氣的に接続され、かつ読出回路Gに接続された画素電極を含む5つの画素電極のグループAと、スイッチSWKを介して互いに電氣的に接続され、かつ読出回路Gに接続された画素電極を含む3つの画素電極のグループBと、読出回路Gに接続された1つの画素電極を含むグループCと

がつくられる。このとき、制御部 14 は、グループ A、B および C に対応する各読出回路に対応する各スイッチ SWL をオンする。

[0407] 出力部 17 は、低照度時には電極グループ A に対応する読出信号を選択し、受光量が大きくなるに従って、電極グループ B に対応する読出信号および電極グループ C に対応する読出信号をこの順番で選択する。

[0408] あるいは、出力部 17 は、低照度時には電極グループ A に対応する読出信号を選択し、受光量が大きくなると、電極グループ A に対応する読出信号および電極グループ B に対応する読出信号を合成し、さらに受光量が大きくなると、電極グループ A、B および C に対応する読出信号を合成する。

[0409] このような構成により、本発明の実施の形態 8 に係る光電変換装置と比べて、さらにダイナミックレンジの拡大を図ることができる。

[0410] 図 68 は、本発明の実施の形態 8 に係る光電変換装置の変更例の画素電極群におけるスイッチ SWK の他の設定例を示す図である。

[0411] 図 68 を参照して、制御部 14 によるスイッチ SWK の設定により、スイッチ SWK を介して互いに電氣的に接続され、かつ読出回路 G に接続された画素電極を含む 5 つの画素電極のグループ A と、スイッチ SWK を介して互いに電氣的に接続され、かつ読出回路 G に接続された画素電極を含む 4 つの画素電極のグループ B とがつくられる。このとき、制御部 14 は、グループ A に対応する読出回路に接続されたスイッチ SWL をオンする。また、制御部 14 は、グループ B における 2 つの画素電極が読出回路 G にそれぞれ接続されているため、グループ B に対応する 2 つの読出回路 G に接続された 2 つのスイッチ SWL のいずれかをオンする。

[0412] これにより、各グループに対応する読出回路におけるノイズの影響を 1 つの読出回路分のみに抑制することができるため、読出信号の S/N 比すなわち画素信号の S/N 比を大幅に改善することができることから、画質を大幅に向上させることができる。

[0413] その他の構成および動作は実施の形態 8 に係る光電変換装置と同様であるため、ここでは詳細な説明を繰り返さない。

[0414] なお、本発明の実施の形態 8 に係る光電変換装置では、画素電極群が 4 つの画素電極からなる構成であるとしたが、画素電極群が 3 つの画素電極からなる構成であっても、2 つの画素電極からなるグループと、1 つの画素電極からなるグループとに分けることにより、ダイナミックレンジの拡大を図ることができる。

[0415] また、出力部 17 は、受光量に応じた読出信号の選択を、1 画面分すなわち画素アレイ全体の画素処理ごとに切り替える構成であってもよいし、1 画面の途中で切り替える構成であってもよい。

[0416] また、出力部 17 は、アナログ信号である読出信号に基づいてアナログ信号である画素信号を出力する構成であってもよいし、アナログ／デジタル変換を行なってデジタル信号である画素信号を出力する構成であってもよい。

[0417] [実施の形態 9]

ところで、従来の第 1 のイメージセンサでは、C I G S 薄膜の表面に透明電極が形成され、C I G S 薄膜の裏面に複数の画素電極が形成されている。C I G S 薄膜に光が照射されると、光量に応じた量の電子－正孔対が発生する。C I G S 薄膜に発生した電子－正孔対のうちの正孔すなわち正電荷は、画素電極を介して読出回路に流れる。

[0418] また、従来の第 2 のイメージセンサでは、C I G S 薄膜がエッチングによって複数の C I G S 層に分離され、各 C I G S 層の表面に透明電極が形成され、各 C I G S 層の裏面に画素電極が形成されている。

[0419] しかし、従来の第 1 のイメージセンサでは、C I G S 薄膜が画素毎に分離されていないので、C I G S 薄膜に発生した正電荷がその直下の画素電極に流れるとは限らず、画像分解能が低いと言う問題があった。

[0420] また、従来の第 2 のイメージセンサでは、1 つの C I G S 薄膜をエッチングによって複数の C I G S 層に分離していたので、C I G S 層の面積などがばらつき、画素の感度のばらつきが大きいと言う問題があった。

[0421] それゆえに、この実施の形態 9 の発明の主たる目的は、画像分解能が高く、画素の感度のばらつきが小さな光電変換装置を提供することである。

- [0422] 図69(a)は、この発明の実施の形態9による光電変換装置の画素アレイの要部を示す断面図である。図69(b)は、図69(a)のL×I×L×I×線断面図である。図69(a)(b)において、画素アレイは半導体基板21を含む。半導体基板21の表面には、読出回路層22が形成されている。読出回路層22は、MOSトランジスタ、キャパシタ、配線、絶縁層、ビアホールなどで構成されている。
- [0423] 読出回路層22の表面には、複数の画素電極ELが所定の間隔で配置されている。複数の画素電極ELは、複数行複数列に配列されている。また、読出回路層22の表面には、各画素電極ELを囲むようにして分離電極90が形成されている。換言すると、読出回路層22の表面に、格子状の分離電極90が形成され、分離電極90で囲まれた各四角形状の領域の中央部に四角形の画素電極ELが形成されている。電極EL、90の各々は、Moで形成されている。
- [0424] 複数の画素電極ELおよび分離電極90を覆うようにしてCIGS薄膜23が形成され、CIGS薄膜23の表面にはCdS層24および透明電極25が積層されている。CIGS薄膜23は、p型の化合物半導体薄膜であり、その厚さはたとえば $1.7\mu\text{m}$ である。CdS層24は、n型の化合物半導体薄膜で形成されたバッファ層であり、その厚さはたとえば 50nm である。透明電極25は、たとえばZnO膜であり、その厚さはたとえば $1\mu\text{m}$ である。したがって、CIGS薄膜23と透明電極25によってPN接合が形成される。
- [0425] 換言すると、光電変換膜であるCIGS薄膜23が複数の画素領域に分割され、CIGS薄膜23の表面にバッファ層であるCdS層24を介して透明電極25が形成され、CIGS薄膜23の裏面において各画素領域に画素電極ELが形成され、CIGS薄膜23の裏面において各画素電極ELを囲むようにして分離電極90が形成されている。
- [0426] 図70は、図69(a)(b)に示した画素アレイの構成および動作を模式的に示す図である。なお、バッファ層であるCdS層24の図示は省略さ

れている。図 70 において、各画素電極 E L に対応して読出回路 G が設けられる。読出回路 G は、図 69 (a) の読出回路層 22 において対応の画素電極 E L の下に形成されている。読出回路 G は、読出動作時に、対応の画素電極 E L にアノード電圧 V A (たとえば 1 V) を印加し、対応の画素電極 E L に流入した電荷の量に応じたレベルの電流 I R を出力する。

[0427] また、透明電極 25 にはアノード電圧 V A よりも高いカソード電圧 V K (たとえば 3 V) が印加され、分離電極 90 にはカソード電圧 V K と同じレベルのバイアス電圧 V B (この場合は 3 V) が印加される。これにより、各画素電極 E L と透明電極 25 の間に空乏層が形成され、各画素電極 E L と透明電極 25 の間の領域はフォトダイオード P D として動作する。各画素電極 E L はフォトダイオード P D のアノードとなり、透明電極 25 はフォトダイオード P D のカソードとなる。一方、透明電極 25 と分離電極 90 の間には空乏層は形成されず、透明電極 25 と分離電極 90 の間の領域は抵抗素子として動作する。

[0428] 外部から透明電極 25 を介して C I G S 薄膜 23 に光 α が入射すると、C I G S 薄膜 23 内で光量に応じた量の電子-正孔対が発生する。C I G S 薄膜 23 では正孔が多数キャリアであり、正孔すなわち正電荷がその近傍の画素電極 E L に流入する。隣接する 2 つの画素電極 E L の間で発生した正電荷は、電界が無いので消滅するか分離電極 90 に吸収される。

[0429] なお、図 71 に示すように、分離電極 90 が無い場合は、各画素領域で発生した正電荷が他の画素領域に流入するのを防止することができず、画像分解能が低くなる。

[0430] これに対して、この実施の形態 9 では、各画素電極 E L を囲むようにして分離電極 90 を形成したので、各画素領域で発生した正電荷が他の画素領域に流入するのを防止することができ、高い画像分解能を得ることができる。

[0431] なお、所定レベルを超える光量の強い光 α が入射した場合は、C I G S 薄膜 23 内で大量の電荷が発生し、読出回路 G の出力電流 I R のレベルが飽和してしまう。このような場合は、図 72 に示すように、バイアス電圧 V B を

アノード電圧 V_A よりも低い電圧（たとえば 0 V ）にし、分離電極 90 によって電荷を強力に排出してもよい。これにより、読出回路 G の出力電流 I_R のレベルの飽和を防止することができ、被写体が明るい場合でも撮影することが可能となる。

[0432] 図 $73(a)$ はこの実施の形態 9 の変更例を示す断面図であり、図 $73(b)$ は図 $73(a)$ の $LXXIII-LXXIII$ 線断面図である。この変更例では、透明電極 25 の表面に複数のカラーフィルタ CF が形成される。複数のカラーフィルタ CF は、それぞれ複数の画素電極 EL の上方に配置される。各カラーフィルタ CF は、赤（ R ）、緑（ G ）、青（ B ）のうちのいずれかに着色されている。 R 、 G 、 B は、所定の順序で配置される。この変更例では、カラーイメージセンサを構成することができる。

[0433] 図 $74(a)$ はこの実施の形態 9 の他の変更例を示す断面図であり、図 $74(b)$ は図 $74(a)$ の $LXXIVB-LXXIVB$ 線断面図である。この変更例では、各画素電極 EL と分離電極 90 との間の領域において、画素電極 EL を囲むようにして環状の補助電極 91 が設けられる。図 75 に示すように、補助電極 91 には、アノード電圧 V_A よりも低いバイアス電圧 V_{BB} （たとえば 0 V ）が印加される。所定レベルを超える光量の強い光 α が入射した場合は、 $CIGS$ 薄膜 23 内で大量の電荷が発生するが、過剰な電荷は補助電極 91 によって強力に排出される。これにより、読出回路 G の出力電流 I_R のレベルの飽和を防止することができ、被写体が明るい場合でも撮影することが可能となる。

[0434] また、光電変換装置の全体構成は、図 2 で説明した通りである。また、画素 P の構成は、図 3 で示した通りである。

[0435] なお、この実施の形態 9 では、本願発明が $CIGS$ 薄膜を用いたイメージセンサに適用された場合について説明したが、本願発明は、 $CIGS$ 薄膜以外の化合物半導体薄膜や、有機半導体薄膜、光電変換薄膜、あるいは光電変換厚膜を用いたイメージセンサにも適用可能である。また、本願発明は、イメージセンサに限らず、フォトセンサやラインセンサにも適用可能である。

[0436] [実施の形態 10]

カラー画像および近赤外（Near Infrared：NIR）画像を得るための従来の撮像装置は、たとえば、可視光と近赤外光とを分離する分光フィルタ機能を有するプリズムと、このプリズムを通過した可視光に基づいてカラー画像を生成するカラー撮像部と、このプリズムを通過した近赤外光に基づいて近赤外画像を生成する近赤外撮像部とを備える。このような構成は、2板撮像方式と呼ばれている。

[0437] ところが、このような従来の撮像装置では、高性能のプリズムと、カラー画像用および近赤外画像用の2つの撮像素子と、カラー画像用および近赤外画像用の画像信号を生成するための2つの画像信号処理部とが必要となるため、製造コストが増大し、かつサイズが大型になってしまう。特許文献3および非特許文献1～4には、このような問題点を解決するための構成は開示されていない。

[0438] また、カラー画像と近赤外画像とを1画面で同時に視認することは医療およびセキュリティ等の分野において有意義であるが、特許文献3および非特許文献1～4には、カラー画像と近赤外画像とを1画面で同時に表示する際の画像の視認性を高めるための構成は開示されていない。

[0439] それゆえに、本実施の形態10の目的は、カラー画像と近赤外画像とを1画面で同時に表示する際の画像の視認性を高めるとともに、製造コストの増大を防ぎ、かつ小型化を図ることが可能な撮像装置を提供することである。

[0440] 図76は、本発明の実施の形態10に係る撮像装置100の構成を示す図である。

図76を参照して、撮像装置100は、光電変換部101と、画像信号処理部102と、表示部103と、制御部104と、レンズ105と、記憶部111～114と、発光素子X1～X4とを備える。発光素子X1～X4は、たとえばLED（Light Emitting Diode）である。

[0441] 撮像装置100は、被写体を撮像して画面に表示する。より詳細には、発光素子X1～X4は、制御部104の制御に基づいて、それぞれ異なる波長

を有する光を被写体に順次照射する。レンズ１０５は、被写体からの光を光電変換部１０１に集光する。光電変換部１０１は、レンズ１０５から受けた光を電気信号である画素信号に変換して画像信号処理部１０２へ出力する。画像信号処理部１０２は、光電変換部１０１から受けた各画素の画素信号に対して補間処理、色処理および補正処理等の種々の信号処理を行なって画像信号を生成する。また、画像信号処理部１０２は、発光素子Ｘ１～Ｘ４からそれぞれ被写体に光を照射した場合に生成した画像信号をそれぞれ記憶部１１１～１１４に一時保存し、これらの画像信号に基づいて合成画像信号を生成し、表示部１０３へ出力する。表示部１０３は、画像信号処理部１０２から受けた合成画像信号に基づいて画像を表示する。

[0442] 光電変換部１０１の構成は、図２で示した通りである。画素Ｐの構成は、図３で示した通りである。画素アレイの構成および動作は、図２９および図３０で示した通りである。

[0443] 図７７は、本発明の実施の形態１０に係る撮像装置におけるカラーフィルタの透過率を示す図である。図７７は、カラーフィルタＣＦが原色フィルタ（ＲＧＢカラーフィルタ）である場合の透過率を示している。

[0444] 図７７を参照して、撮像装置１００では、白色光を被写体に照射し、カラーフィルタＣＦを通過した光によってカラー画像を得ることができる。また、カラーフィルタＣＦは近赤外光に対してはフィルタが存在しない場合と同等の特性となるため、撮像装置１００は近赤外カメラとして動作し、白黒画像を得ることができる。

[0445] 図７８は、本発明の実施の形態１０に係る撮像装置が被写体の撮影を行なう際の動作手順を定めたフローチャートである。

[0446] 図７８を参照して、撮像装置１００は、発光素子Ｘ１から白色光を被写体に照射する（ステップＳ１）。

[0447] 次に、撮像装置１００は、被写体からの光を画素信号すなわち電気信号に変換してカラー画像を取得する（ステップＳ２）。

[0448] 次に、撮像装置１００は、発光素子Ｘ２から近赤外光ＮＩＲ１を被写体に

照射する（ステップS 3）。

[0449] 次に、撮像装置 100 は、被写体からの光を画素信号すなわち電気信号に変換して白黒画像を取得する（ステップS 4）。

[0450] 撮像装置 100 は、ステップS 3 およびS 4 の動作を発光素子 X 3（N I R 2）およびX 4（N I R 3）について順番に行なう。

[0451] 次に、撮像装置 100 は、カラー画像において表示可能な色を、ステップS 4 において取得した白黒画像ごとに、すなわち近赤外光 N I R 1 ~ N I R 3 ごとに選択する（ステップS 5）。

[0452] 次に、撮像装置 100 は、近赤外光 N I R 1 ~ N I R 3 に対応する 3 つの白黒画像をそれぞれ選択色（ステップS 5 において選択した色）と黒の擬似カラー画像に変換する（ステップS 6）。

[0453] 次に、撮像装置 100 は、ステップS 2 において取得したカラー画像に各擬似カラー画像の選択色部分を反映した合成画像を生成し（ステップS 7）、この合成画像を表示する（ステップS 8）。

[0454] 図 7 9 は、本発明の実施の形態 10 に係る撮像装置が被写体の撮影を行なう際の動作手順を概念的に示す図である。図 8 0 は、本発明の実施の形態 10 に係る撮像装置が被写体に光を照射する際の動作手順を示すタイムチャートである。図 8 1 は、本発明の実施の形態 10 に係る撮像装置が被写体の画像を生成する際の動作手順を示すタイムチャートである。図 8 0 および図 8 1 に示す V D はたとえば制御部 104 が生成するタイミング信号であり、1 画面あたりの処理時間を 1 周期とする信号である。

[0455] 図 7 9 ~ 図 8 1 を参照して、撮像装置 100 は、発光素子の点灯、電荷の蓄積、電荷の読み出し、画素信号の生成、記憶部への書き込み、および記憶部からの読み出しを、各発光素子について並列に行なう。

[0456] より詳細には、最初のタイミング T 1 において、撮像装置 100 は、白色光の L E D すなわち発光素子 X 1 を点灯する。また、撮像装置 100 は、センサに電荷を蓄積していく、すなわち画素 P のフォトダイオード P D において変換された電荷が蓄積されていく。このとき、並列処理として電荷を読み

出す動作が行なわれるが、白色光に対応する電荷の蓄積は完了しておらず、この読み出し動作は無効である。

[0457] 次のタイミングT2において、撮像装置100は、近赤外光NIR1のLEDすなわち発光素子X2を点灯する。また、撮像装置100は、センサに電荷を蓄積していく、すなわち画素PのフォトダイオードPDにおいて変換された電荷が蓄積されていく。また、撮像装置100は、蓄積が完了した白色光に対応する電荷を読み出してカラー画像信号を生成し、記憶部111に書き込む。

[0458] 次のタイミングT3において、撮像装置100は、近赤外光NIR2のLEDすなわち発光素子X3を点灯する。また、撮像装置100は、センサに電荷を蓄積していく、すなわち画素PのフォトダイオードPDにおいて変換された電荷が蓄積されていく。また、撮像装置100は、蓄積が完了した近赤外光NIR1に対応する電荷を読み出して白黒画像信号（NIR1）を生成し、記憶部112に書き込む。

[0459] 次のタイミングT4において、撮像装置100は、近赤外光NIR3のLEDすなわち発光素子X4を点灯する。また、撮像装置100は、センサに電荷を蓄積していく、すなわち画素PのフォトダイオードPDにおいて変換された電荷が蓄積されていく。また、撮像装置100は、蓄積が完了した近赤外光NIR2に対応する電荷を読み出して白黒画像信号（NIR2）を生成し、記憶部113に書き込む。

[0460] 次のタイミングT5において、撮像装置100は、白色光のLEDすなわち発光素子X1を点灯する。また、撮像装置100は、センサに電荷を蓄積していく、すなわち画素PのフォトダイオードPDにおいて変換された電荷が蓄積されていく。また、撮像装置100は、蓄積が完了した近赤外光NIR3に対応する電荷を読み出して白黒画像信号（NIR3）を生成し、記憶部114に書き込む。

[0461] 以降、撮像装置100は、タイミングT2～T5の動作を繰り返す。また、撮像装置100は、最初のタイミングT5以降において、合成カラー画像

を生成する。すなわち、撮像装置 100 は、タイミング T5 において、記憶部 111 に既に保存されているカラー画像信号、記憶部 112 に既に保存されている白黒画像信号（NIR1）、記憶部 113 に既に保存されている白黒画像信号（NIR2）、および記憶部 114 に新たに保存された白黒画像信号（NIR3）を読み出し、合成画像信号を生成する。また、撮像装置 100 は、タイミング T2 において、記憶部 111 に新たに保存されたカラー画像信号、記憶部 112 に既に保存されている白黒画像信号（NIR1）、記憶部 113 に既に保存されている白黒画像信号（NIR2）、および記憶部 114 に既に保存されている白黒画像信号（NIR3）を読み出し、合成画像信号を生成する。また、撮像装置 100 は、タイミング T3 において、記憶部 111 に既に保存されているカラー画像信号、記憶部 112 に新たに保存された白黒画像信号（NIR1）、記憶部 113 に既に保存されている白黒画像信号（NIR2）、および記憶部 114 に既に保存されている白黒画像信号（NIR3）を読み出し、合成画像信号を生成する。また、撮像装置 100 は、タイミング T4 において、記憶部 111 に既に保存されているカラー画像信号、記憶部 112 に既に保存されている白黒画像信号（NIR1）、記憶部 113 に新たに保存された白黒画像信号（NIR2）、および記憶部 114 に既に保存されている白黒画像信号（NIR3）を読み出し、合成画像信号を生成する。

[0462] なお、ここでは、発光素子 X1～X4 の露光時間が等しく設定されているが、発光素子 X1～X4 の露光時間をそれぞれ調整することにより、各波長の光の感度を調整することも可能である。

[0463] 図 82 は、本発明の実施の形態 10 に係る撮像装置の光特性を示す図である。図 82 において、G1 は CIS 薄膜 23 の感度を示し、G2 は HbO_2 の吸光係数を示し、G3 は Hb の吸光係数を示す。

[0464] 図 82 を参照して、撮像装置 100 は、たとえば、青色に対応する波長として 410 nm（B1ch）、450 nm（B2ch）、緑色に対応する波長として 545 nm（Gch）、赤色に対応する波長として 600 nm（R

1 c h), 660 nm (R2 c h) の発光素子を備え、これらの発光素子が白色光を照射する発光素子 X 1 として用いられる。また、撮像装置 100 は、たとえば、近赤外領域における波長として 780 nm (IR1), 850 nm (IR3), 945 nm (IR4), 1050 nm (IR6), 1070 nm (IR7), 1200 nm (IR8) の発光素子を備え、これらの発光素子のうちの 3 つが適宜選択されて発光素子 X 2, X 3, X 4 として用いられる。

[0465] 撮像装置 100 は、たとえば、人体の動脈および静脈を撮影するために用いられる。この場合、近赤外領域に対応する発光素子としては、生体の窓 A の範囲に含まれる波長、すなわち生体を通過する波長範囲に含まれる波長の発光素子を選択する。そして、動脈には HbO₂ が多く存在し、静脈には Hb が多く存在することから、グラフ G2 および G3 より、HbO₂ と Hb との比が大きくなるような波長を選択することにより、動脈および静脈を区別して正確に表示することができる。たとえば、780 nm (IR1), 850 nm (IR3), 945 nm (IR4) の発光素子を発光素子 X 2, X 3, X 4 として選択する。

[0466] すなわち、動脈には HbO₂ が多く存在することから、グラフ G2 より、IR1, IR3, IR4 のうち、IR3 および IR4 の光を被写体に照射した場合に得られる画像が動脈を主に示すと考えることができる。

[0467] また、静脈には Hb が多く存在することから、グラフ G3 より、IR1, IR3, IR4 のうち、IR1 の光を被写体に照射した場合に得られる画像が静脈を主に示すと考えることができる。

[0468] 撮像装置 100 における画像信号処理部 102 は、IR2 ~ IR4 に対応する各白黒画像信号をカラーフィルタ CF の互いに異なる透過色と黒の画像を示す複数の擬似カラー画像信号に変換する。たとえば、撮像装置 100 では、IR1 の光を被写体に照射した場合に得られる白黒画像を赤と黒の擬似カラー画像に変換し、IR3 の光を被写体に照射した場合に得られる白黒画像を緑と黒の擬似カラー画像に変換し、IR4 の光を被写体に照射した場合

に得られる白黒画像を青と黒の擬似カラー画像に変換する。なお、白黒画像における輝度差を、赤、青および緑の輝度差にそれぞれ反映させることも可能である。

[0469] そして、撮像装置 100 における画像信号処理部 102 は、擬似カラー画像信号が示す画像において選択色（ステップ S5 において選択した色）である部分に対応するカラー画像信号が示す画像における部分を選択色とした画像を示す合成画像信号を生成する。すなわち、これらの擬似カラー画像の赤色部分、緑色部分および青色部分を、白色光を被写体に照射した場合に得られるカラー画像に上書きした合成画像を生成する。ここで、画像信号処理部 102 は、各擬似カラー画像信号が示す画像において選択色である部分が重なる場合には、カラー画像信号が示す画像における部分を各選択色の合成色とした画像を示す合成画像信号を生成する。これにより、人体において動脈が赤色、静脈が青緑色で表示された合成画像を表示することができる。

[0470] また、画像信号処理部 102 が選択する色は、レジスタ設定等によってユーザが変更可能である。これにより、撮像装置の用途に応じて適切な画像を表示することが可能となる。

[0471] 図 83 は、医療用の応用波長を示す図である。図 83 において、Bch は 415 nm（390 nm～445 nm）で狭帯域フィルタ内視鏡（narrow band imaging; NBI）用途であり、Gch は 540 nm（530 nm～550 nm）で狭帯域フィルタ内視鏡（narrow band imaging; NBI）用途であり、Rch は 660 nm で HbO₂ と Hb との比を計測する用途であり、IR1 は 780 nm で光トポグラフィ用途であり、IR2 は 805 nm で HbO₂ と Hb との比を計測する用途、かつセンチネルリンパ節透視用途であり、840 nm で光トポグラフィ用途であり、IR3 は 880 nm で HbO₂ と Hb との比を計測する用途であり、IR4 は 965 nm で水を計測する用途であり、IR5 は 1020 nm で HbO₂ と Hb との比を計測する用途、かつ 1025 nm で氷を計測する用途である。

[0472] 撮像装置 100 では、図 82 に示すような種々の波長の発光素子を設ける

ことにより、図 8 3 に示すような医療用の応用波長に対応することが可能となる。たとえば、撮像装置 1 0 0 を、 HbO_2 と Hb との比のマルチスペクトル測定、肌測定、血管可視化カメラ、および $800\text{ nm} \sim 1100\text{ nm}$ が撮像範囲となる血糖値測定（グルコース測定）に適用することができる。

[0473] ところで、従来の撮像装置では、たとえばシリコンのイメージセンサが用いられていたため、近赤外領域における感度が低いことから、可視光と近赤外光とを分離するためのプリズムと、カラー画像用および近赤外画像用の 2 つの撮像素子と、カラー画像用および近赤外画像用の画像信号を生成するための 2 つの画像信号処理部とが必要となる。

[0474] これに対して、本発明の実施の形態 1 0 に係る撮像装置では、たとえば、可視光から近赤外光の範囲すなわち $400\text{ nm} \sim 1300\text{ nm}$ の広範囲の感度領域を有する C I G S 薄膜を用いる。すなわち、近赤外領域における光に対しても高感度である C I G S 薄膜を用いることにより、可視光と近赤外光とを分離するためのプリズムが不要となり、また、カラー画像用および近赤外画像用の撮像素子を共用し、また、カラー画像用および近赤外画像用の画像信号を生成するための画像信号処理部を共用することが可能となる。

[0475] また、非特許文献 1 では、近赤外領域の 1025 nm の白黒画像を用いて氷結晶の可視化を行なっている。しかしながら、得られる画像は白黒画像であり、組成画像として十分な画質であるとは限らない。

[0476] 従来の撮像装置では、C C D (Charge Coupled Device) の分光感度領域が $700\text{ nm} \sim 1100\text{ nm}$ であり、概略の特性は、 700 nm 以上から感度が劣化し、 1100 nm が限界値である。このため、従来の撮像装置で 1025 nm の良好な画像信号を得ることは困難である。また、N B I では B c h として $390\text{ nm} \sim 445\text{ nm}$ 、G c h として $530\text{ nm} \sim 550\text{ nm}$ を用いるが、これらの波長の光は可視光である。

[0477] 非特許文献 3 に示すように、C I G S 薄膜を用いたセンサに比較して C C D C M O S センサでは有意な近赤外光を 2 波長選択することは困難である。これは、C C D C M O S センサが、 $700\text{ nm} \sim 1100\text{ nm}$ の分光感

度領域を有し、相対感度 100%に対して 700nmにおいて 60%程度の感度しか有しないからである。これに対して、CIGSセンサは、700nm～1300nmの範囲で良好な感度を有し、相対感度 100%に対して 700nmにおいて 90%程度の感度を有し、CCD CMOSセンサと比較して 2 倍近く感度が高い。また、CIGSセンサは、900nm付近では、CCD CMOSセンサと比較して 4 倍近く感度が高くなる。

[0478] 監視カメラおよび医療用カメラ等では、可視光のカラー画像は人間の眼と同様の像が得られるので重要な画像情報である。本発明の実施の形態 10に係る撮像装置では、画像信号処理部 102は、白色発光素子から被写体に光を照射した場合に複数の読み出し回路Gから出力される読み出し信号に基づいてカラー画像信号を生成し、近赤外発光素子から被写体に光を照射した場合に複数の読み出し回路Gから出力される読み出し信号に基づいて白黒画像信号を生成する。そして、画像信号処理部 102は、カラー画像において表示可能な色を選択し、白黒画像信号を選択色と黒の画像を示す擬似カラー画像信号に変換し、カラー画像信号および擬似カラー画像信号に基づいて 1つの画像を示す合成画像信号を生成する。

[0479] このような構成により、カラー画像と有用な情報を示す擬似カラー画像とをユーザが 1画面で同時に視認することができるため、視認性の高い画像を得ることができ、違和感なく多量の情報を得ることができる。そして、このような画像を 1つの光学系統で実現することができるため、安価で有用な撮像装置を提供することができる。

[0480] また、従来の 2 板撮像方式では、前述のように、近赤外領域における 1波長に対応する画像しか得られない。これに対して、本発明の実施の形態 10に係る撮像装置は、白色発光素子 X 1、近赤外発光素子 X 2～X 4 および記憶部 111～114を備え、各発光素子について時分割処理すなわち面順次分割（＝フィールドシーケンシャル）処理を行なう。このような構成により、近赤外領域における複数の波長に対応する画像を 1 台の撮像装置で得ることができる。

- [0481] なお、本発明の実施の形態 10 に係る撮像装置は、近赤外光を発する発光素子を備える構成であるとしたが、これに限定するものではない。被写体が自ら近赤外光を発する物質である場合には、撮像装置が近赤外光の発光素子 $X_2 \sim X_4$ を備えず、画像信号処理部 102 が、発光素子 X_1 から被写体に光を照射していない場合に複数の読み出し回路 G から出力される読み出し信号に基づいて白黒画像信号を生成する構成であってもよい。また、撮像装置が近赤外光を発する発光素子を備える場合でも、近赤外光を発する発光素子の数は 3 に限定するものではなく、いくつでもよい。
- [0482] また、本発明の実施の形態 10 に係る画素アレイは、CIGS 薄膜を含む構成であるとしたが、これに限定するものではない。CIGS 薄膜と同様に広範囲の感度領域を有する化合物半導体薄膜または化合物半導体厚膜を含む構成であればよい。
- [0483] また、本発明の実施の形態 10 に係る撮像装置では、画像信号処理部 102 が、カラー画像において表示可能な色であってカラー画像信号が示す画像において存在しない色を検索し、白黒画像信号を検索した色と黒の画像を示す擬似カラー画像信号に変換する構成であってもよい。
- [0484] たとえば、画像信号処理部 102 は、カラー自然画像において、B（青色）－Y（輝度）を横軸、R（赤色）－Y（輝度）を縦軸とした座標系を作成して、各画素 P の画像信号をプロットし、この座標系においてプロットされていない座標に対応する色を発光素子 $X_2 \sim X_4$ に対応する白黒画像に割り振る。また、画像信号処理部 102 は、発光素子 X_1 によって得られたカラー画像における色度を演算して集計し、カラー画像上において色度距離が離れた色をそれぞれ発光素子 $X_2 \sim X_4$ に対応する白黒画像に割り振る。
- [0485] 本発明は、たとえば、FA（Factory Automation）検査用の撮像装置、胃カメラおよびカプセル内視鏡等の医療用カラー／NIR マルチバンド撮像装置、静脈認証等を行なうセキュリティ監視カメラ、人肌監視等を行なう車載用カラー／NIR マルチバンド撮像装置、ならびに糖度測定等を行なう農業用撮像装置等に適用することができる。また、本発明は、たとえば、食

品、生物、バイオ、水分および氷結晶の等のカラー撮像装置に適用することができる。

[0486] 次に、実施の形態 10 の変更例について説明する。本変更例は、実施の形態 10 に係る撮像装置と比べて画像の生成方法を変更した撮像装置に関する。以下で説明する内容以外は実施の形態 10 に係る撮像装置と同様である。

[0487] 図 8 4 は、本変更例に係る撮像装置が被写体の撮影を行なう際の動作手順を定めたフローチャートである。

[0488] 図 8 4 を参照して、本変更例に係る撮像装置は、発光素子 X 1 から白色光を被写体に照射する（ステップ S 1 1）。

[0489] 次に、撮像装置は、被写体からの光を画素信号すなわち電気信号に変換する。より詳細には、撮像装置は、レッド、グリーンおよびブルーの波長成分に対応する電気信号すなわち R 信号、G 信号および B 信号を生成する。そして、撮像装置は、R 信号、G 信号および B 信号から輝度信号 Y を算出することにより、カラー画像の輝度成分を取得する（ステップ S 1 2）。

[0490] 次に、撮像装置は、発光素子 X 2 から近赤外光 N I R 1 を被写体に照射する（ステップ S 1 3）。

[0491] 次に、撮像装置は、被写体からの光を画素信号すなわち電気信号に変換して白黒画像を取得する、すなわち、近赤外光 N I R 1 に対応する白黒画像信号（N I R 1）を算出する（ステップ S 1 4）。

[0492] 次に、撮像装置は、発光素子 X 3 から近赤外光 N I R 2 を被写体に照射する（ステップ S 1 3）。

[0493] 次に、撮像装置は、被写体からの光を画素信号すなわち電気信号に変換して白黒画像を取得する、すなわち、近赤外光 N I R 2 に対応する白黒画像信号（N I R 2）を算出する（ステップ S 1 4）。

[0494] 次に、撮像装置は、輝度信号と、近赤外光 N I R 1 および N I R 2 に対応する 2 つの白黒画像信号とに基づいて合成画像信号を生成する。より詳細には、白黒画像信号（N I R 1）の反転信号を N I R I N V 1 とし、白黒画像信号（N I R 2）の反転信号を N I R I N V 2 とすると、撮像装置は、N I

$RINV1-Y$ および $NIRINV2-Y$ を算出する（ステップS15）。

[0495] 次に、撮像装置は、 $NIRINV1-Y$ 、 $NIRINV2-Y$ および Y を合成画像信号とし（ステップS16）、この合成画像信号の示す画像を表示する（ステップS17）。すなわち、撮像装置は、 $NIRINV1-Y$ 、 $NIRINV2-Y$ および Y を、色差信号によるカラー化処理すなわち $R-Y$ 、 $B-Y$ および Y の信号を画像信号とする処理に当てはめることにより、擬似カラー化を行なう。

[0496] 表示部103は、たとえば縦軸が $B-Y$ 、横軸が $R-Y$ の座標系で示される、認識が容易なベクトルモニターを提供する。これにより、試料の有意な識別および数値化（ベクトルをスカラー量および位相に変換する）が行なわれる。

[0497] CIGS薄膜を用いたMOS撮像素子は、 $400\text{ nm} \sim 1300\text{ nm}$ の広範囲の分光感度領域を有し、近赤外センサとして良好な撮像素子である。また、近赤外光は $700\text{ nm} \sim 1200\text{ nm}$ の波長範囲を有し、生体に対する透過度が高く、「生体における光の窓」と言われている。この近赤外領域の光は、筋肉、脂肪および骨等を透過し、 Hb およびメラニンにおいて吸収される。特に、 Hb およびメラニンの吸収度は 890 nm の光に対してピークとなる。また、水および氷の吸収度は 956 nm および 1025 nm の光に対してそれぞれピークとなる。

[0498] 撮像装置では、可視光および近赤外光について効果的にカラー画像化し、人間には視認できない近赤外光を含めて可視化する。すなわち、白色光を発する発光素子X1で輝度成分 Y を取得し、可視光の白黒画像を得る。水および氷を撮像する場合には、 956 nm の光を発する発光素子X2と、 1025 nm の光を発する発光素子X3とを用いる。

[0499] ここで、撮像装置では、画像信号処理部102は、白黒画像信号（ $NIR1$ ）を反転した信号と輝度信号との差を示す信号、白黒画像信号（ $NIR2$ ）を反転した信号と輝度信号との差を示す信号および輝度信号を合成画像信号として生成する。すなわち、発光素子X2を被写体に照射した場合に得ら

れる白黒画像および発光素子 $\times 3$ を被写体に照射した場合に得られる白黒画像においては観察対象が黒となるため、これらの白黒画像信号を反転させた信号を生成する。

[0500] そして、輝度信号と反転された2つの白黒画像信号とを、色差信号を用いたカラー化処理すなわち $R-Y$ 、 $B-Y$ 、 Y の信号を画像信号とする処理に当てはめることにより、擬似カラー化を行なう。この場合、水および氷は、得られた白黒画像においては黒く表示されるが、上記のように反転信号を用いることにより、たとえば氷が赤く表示され、水が青く表示される。

[0501] なお、画像信号処理部102は、白黒画像信号を反転させない構成であってもよい。すなわち、画像信号処理部102が、白黒画像信号($NIR1$)と輝度信号との差を示す信号、白黒画像信号($NIR2$)と輝度信号との差を示す信号および輝度信号を1つの画像を示す合成画像信号として生成する構成であっても、画像の視認性を高めることは可能である。しかしながら、白黒画像信号を反転させる構成は、観察対象に色を付して視認性をさらに高めることができる点で、より効果を奏する構成である。

[0502] 従来の撮像装置では、前述のように、1波長の近赤外光のみで白黒画像を生成していたが、このような構成では、比較認識は困難である。

[0503] これに対して、本変更例に係る撮像装置では、カラー化したい有意な波長領域を2つ選び、通常のカラ画像の輝度信号と合成し、擬似カラ画像とする。これにより、比較認識が容易となり、また、有意な擬似カラ画像を得ることができる。

[0504] なお、本変更例に係る撮像装置では、2つの近赤外光に対応する白黒画像信号を生成する構成であるとしたが、これに限定するものではない。3つ以上の近赤外光に対応する白黒画像信号を生成し、これらの白黒画像信号と輝度信号とに基づいて合成画像信号を得る構成であってもよい。この場合、たとえば、複数の白黒画像信号を加算等した演算結果を R 信号または B 信号とすればよい。

[0505] また、非特許文献2では、 Hb 吸収等に対して B 信号および G 信号によっ

てカラー化を行なっているが、このカラー化には有意性がない。

[0506] また、2000年以降、非特許文献4に示すように、近赤外光を用いたHb測定が実用化され、HbO₂とHbとの吸光特性差を利用して静脈酸素化指標（VOI）測定が行なわれている。

[0507] 本変更例に係る撮像装置により、この指標のカラー化および数値化を容易に実現することができる。また、VOI測定では、660nm、805nmおよび880nmの3波長を用いているが、HbO₂とHbとの吸光特性差は、1000nm以上においても有意性が認められる。

[0508] たとえば、本変更例に係る撮像装置において、1010nm～1025nmの波長の光を発するLEDを発光素子X3として用いる。この場合、白色LEDである発光素子X1に相当するのは805nmおよび880nmであり、660nmの光を発するLEDを発光素子X2として用いる。660nmでは、HbO₂<Hbであり、得られる画像信号と輝度信号との差をB-Yとする。1020nmでは、HbO₂>Hbであり、得られる画像信号と輝度信号との差をR-Yとする。805nmおよび880nmでは、HbO₂≒Hbであるため、得られる画像信号を白色画像信号に変換する。以上により、有意な擬似カラー画像を得ることができる。

[0509] その他の構成および動作は実施の形態10に係る撮像装置と同様であるため、ここでは詳細な説明を繰り返さない。

[0510] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0511] 1 撮像装置、2, 105 レンズ、3 光電変換装置、4 画像信号処理部、5 画像表示装置、10, 26, 60, 61, 71 画素アレイ、11 負荷回路、13, 27 垂直走査部、14 制御部、15 水平走査部、16 セレクタ、17 出力部、21 半導体基板、22, 51 読出回

路層、23, 53 CIGS薄膜、24, 54 CdS層、25, 55 透明電極、30~38 NチャネルMOSトランジスタ、30a n型不純物拡散領域、30g~38g ゲート、39 フォトダイオード、40, 41 キャパシタ、49 フォトダイオード、50 p型シリコン基板、50a n型不純物拡散領域、52, 80, 82 画素電極、72 有効撮像部、73 光学的黒部、74, 76 画素領域、75 分離領域、81 分離電極、83 遮光層、84 絶縁膜、85 差動増幅器、86 出力回路、87 差動増幅器、90 分離電極、91 補助電極、100 撮像装置、101 光電変換部、102 画像信号処理部、103 表示部、104 制御部、111~114 記憶部、CBM, CTM 面状電極、CF カラーフィルタ、CFU カラーフィルタ部、CH コンタクトホール、CL 制御信号線、EL 画素電極、G 読出回路、LN 配線、M, TR トランジスタ、P 画素、PD フォトダイオード、Q アンプ、SL 信号線、SW スイッチ、X 発光素子、 α 光。

請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板上に設けられた絶縁層と、
 前記絶縁層上に設けられた第1の電極と、
 前記第1の電極上に設けられ、受けた光を電荷に変換する光電変換膜と、
 前記第1の電極と前記半導体基板との間に接続された配線と、
 前記絶縁層内に設けられ、前記第1の電極に接続された第1の面状電極と、
 前記絶縁層内において前記第1の面状電極と前記半導体基板の間に設けられた第2の面状電極とを備える、光電変換装置。
- [請求項2] 前記第1および第2の面状電極間に形成される容量に前記光電変換膜で変換された電荷が蓄積され、前記蓄積された電荷は前記配線を通して前記半導体基板に与えられる、請求の範囲第1項に記載の光電変換装置。
- [請求項3] さらに、前記半導体基板の表面に形成され、前記配線を介して与えられる前記電荷に基づいて読出信号を出力する読出回路を備える、請求の範囲第1項に記載の光電変換装置。
- [請求項4] さらに、前記光電変換膜上に設けられた第2の電極を備える、請求の範囲第1項に記載の光電変換装置。
- [請求項5] 前記第2の電極は透明電極である、請求の範囲第4項に記載の光電変換装置。
- [請求項6] 前記第2の電極はZnOを含む、請求の範囲第5項に記載の光電変換装置。
- [請求項7] さらに、前記光電変換膜と前記第2の電極との間に設けられたバッファ層を備える、請求の範囲第1項に記載の光電変換装置。
- [請求項8] 前記バッファ層はCdSを含む、請求の範囲第7項に記載の光電変換装置。

- [請求項9] 前記第1の電極は複数設けられ、
前記配線および前記第1の面状電極は各第1の電極に対応して設けられ、
前記第2の面状電極は複数の前記第1の面状電極に共通に設けられ、
各第1の面状電極と前記第2の面状電極は、所定の間隔を開けて互いに対向して設けられている、請求の範囲第1項に記載の光電変換装置。
- [請求項10] 前記第1および第2の面状電極は互いに対向して設けられ、
前記第2の面状電極と前記半導体基板は互いに対向して設けられている、請求の範囲第1項に記載の光電変換装置。
- [請求項11] 前記光電変換膜は $\text{Cu}(\text{In}_x, \text{Ga}_{(1-x)})\text{Se}_2$ ($0 \leq x \leq 1$) を含む、請求の範囲第1項に記載の光電変換装置。
- [請求項12] 前記第1の電極はMoを含む、請求の範囲第1項に記載の光電変換装置。
- [請求項13] 前記配線の一部は前記第1の電極と前記第1の面状電極との間に設けられ、
さらに、前記第1の電極と前記配線の一部とを接続する第1のビアホールと、
前記配線の一部と前記第1の面状電極を接続する第2のビアホールとを備える、請求の範囲第1項に記載の光電変換装置。
- [請求項14] 前記第1のビアホールは複数設けられ、
前記第2のビアホールは複数設けられている、請求の範囲第13項に記載の光電変換装置。
- [請求項15] 請求の範囲第1項に記載の光電変換装置と、
被写体からの光を集光して前記光電変換膜に与えるレンズとを備える、撮像装置。
- [請求項16] 複数行複数列に配置され、各々が入射光量に応じたレベルの信号を

出力する複数の画素と、各行に対応して設けられた制御信号線と、各列に対応して設けられた読出信号線とを含む画素アレイと、

前記複数行を 1 行ずつ順次選択し、選択した行の制御信号線を介してその行の各画素を活性化させる垂直走査部と、

前記垂直走査部によって 1 行が選択されている間に前記複数列を 1 列ずつ順次選択する水平走査部と、

前記水平走査部によって選択された列の読出信号線を介して、前記垂直走査部によって活性化された画素の出力信号を読み出す読出回路とを備え、

前記画素アレイは、

半導体基板と、

前記半導体基板上に設けられた絶縁層と、

前記絶縁層上に複数行複数列に設けられた複数の画素電極と、

前記複数の画素電極上に設けられ、受けた光を電荷に変換する光電変換膜と、

各画素電極に対応して設けられ、対応の画素電極と前記半導体基板との間に接続された配線と、

各画素電極に対応して前記絶縁層内に設けられ、対応の画素電極に接続された第 1 の面状電極と、

前記複数の画素電極に共通に設けられ、前記絶縁層内において複数の前記面状電極と第 1 の面状電極と前記半導体基板の間に設けられた第 2 の面状電極とを備える、撮像装置。

[請求項17] さらに、被写体からの光を集光して前記画素アレイに与えるレンズを備える、請求の範囲第 16 項に記載の撮像装置。

[請求項18] 半導体基板と、
前記半導体基板上に設けられた絶縁層と、
前記絶縁層上に設けられた第 1 および第 2 の電極と、
前記第 1 および第 2 の電極上に設けられ、受けた光を電荷に変換す

る光電変換膜と、

前記第 1 の電極と前記半導体基板との間に接続された第 1 の配線と

、

前記半導体基板に形成され、前記第 1 の配線に接続された第 1 のトランジスタと、

前記絶縁層内に設けられ、前記第 1 のトランジスタと接続された第 1 の面状電極と、

前記絶縁層内において前記第 1 の面状電極と前記半導体基板との間に設けられた第 2 の面状電極と、

前記第 2 の電極と前記半導体基板との間に接続された第 2 の配線と

、

前記半導体基板に形成され、前記第 2 の配線に接続された第 2 のトランジスタと、

前記絶縁層内に設けられ、前記第 2 のトランジスタと接続された第 3 の面状電極と、

前記絶縁層内において前記第 3 の面状電極と前記半導体基板との間に設けられた第 4 の面状電極とを備える、光電変換装置。

[請求項19]

前記第 1 および第 2 の面状電極によって第 1 のキャパシタが形成され、

前記第 3 および第 4 の面状電極によって第 2 のキャパシタが形成され、

さらに、第 1 の期間は前記光電変換膜で発生した電荷によって充電された前記第 1 のキャパシタの電圧に応じたレベルの第 1 の画素信号を生成し、第 2 の期間は前記光電変換膜で発生した電荷によって充電された前記第 2 のキャパシタの電圧に応じたレベルの第 2 の画素信号を生成する信号発生回路を備える、請求の範囲第 18 項に記載の光電変換装置。

[請求項20]

さらに、前記第 1 の期間の開始時に前記第 1 のキャパシタに現れる

電圧を予め定められた電圧にリセットし、前記第 2 の期間の開始時に前記第 2 のキャパシタに現れる電圧を予め定められた電圧にリセットする第 1 のリセット回路を備える、請求の範囲第 19 項に記載の光電変換装置。

[請求項21]

前記第 1 のリセット回路は、

一方端子が前記予め定められた電圧を受け、他方端子が前記第 1 のキャパシタに接続される第 1 のスイッチと、

一方端子が前記予め定められた電圧を受け、他方端子が前記第 2 のキャパシタに接続される第 2 のスイッチとを含む、請求の範囲第 20 項に記載の光電変換装置。

[請求項22]

さらに、前記第 1 の期間は、前記信号発生回路によって前記第 1 の画素信号が生成された後に前記第 2 のキャパシタの電圧を前記予め定められた電圧にリセットし、前記第 2 の期間は、前記信号発生回路によって前記第 2 の画素信号が生成された後に前記第 1 のキャパシタの電圧を前記予め定められた電圧にリセットする第 2 のリセット回路を備え、

前記信号発生回路は、さらに、前記第 1 の期間は、前記第 2 のリセット回路によってリセットされた前記第 2 のキャパシタの電圧に応じたレベルの第 1 の基準信号を生成し、前記第 2 の期間は、前記第 2 のリセット回路によってリセットされた前記第 1 のキャパシタの電圧に応じたレベルの第 2 の基準信号を生成する、請求の範囲第 20 項に記載の光電変換装置。

[請求項23]

複数行複数列に配置された複数の画素回路と、

第 1 の期間内に前記複数行を 1 行ずつ順次選択し、第 2 の期間内に前記複数行を 1 行ずつ順次選択する行選択回路とを備え、

各画素回路は、

入射光量に応じた値の電流を出力する光電変換素子と、

第 1 のノードと基準電圧のラインとの間に接続された第 1 のキャパ

シタと、

第2のノードと前記基準電圧のラインとの間に接続された第2のキャパシタと、

前記第1の期間の開始時に前記第1のノードを予め定められた電圧にリセットし、前記第2の期間の開始時に前記第2のノードを前記予め定められた電圧にリセットする第1のリセット回路と、

前記第1の期間は前記光電変換素子の出力ノードと前記第1のノードとを接続し、前記第2の期間は前記光電変換素子の出力ノードと前記第2のノードとを接続する切換回路と、

前記行選択回路によって対応の行が選択されている場合に活性化され、前記第1の期間は、前記光電変換素子の出力電流によって充電された前記第2のノードの電圧に応じたレベルの第1の画素信号を生成し、前記第2の期間は、前記光電変換素子の出力電流によって充電された前記第1のノードの電圧に応じたレベルの第2の画素信号を生成する信号発生回路とを含み、

さらに、各画素回路の前記信号発生回路で生成された前記第1および第2の画素信号を読み出す読出回路を備える、光電変換装置。

[請求項24] 前記第1のリセット回路は、一方電極が前記予め定められた電圧を受け、他方電極が前記光電変換素子の出力ノードに接続され、前記第1および第2の期間の各々の開始時に所定時間だけ導通するスイッチング素子を含む、請求の範囲第23項に記載の光電変換装置。

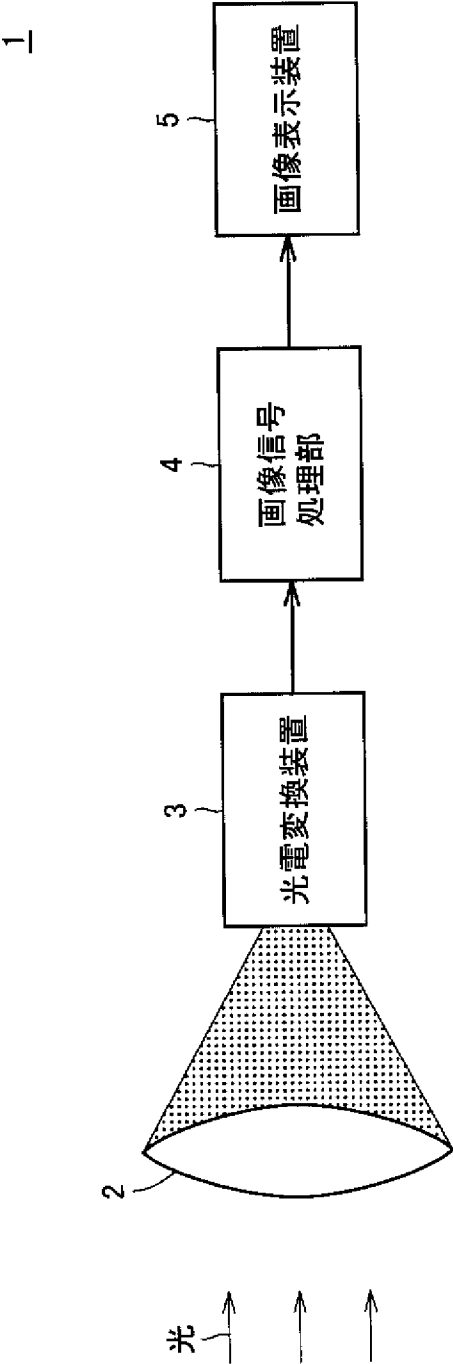
[請求項25] 各画素回路は、さらに、前記第1の期間は、前記信号発生回路によって前記第1の画素信号が生成された後に前記第2のノードを前記予め定められた電圧にリセットし、前記第2の期間は、前記信号発生回路によって前記第2の画素信号が生成された後に前記第1のノードを前記予め定められた電圧にリセットする第2のリセット回路を含み、

前記信号発生回路は、さらに、前記第1の期間は、前記第2のリセット回路によってリセットされた前記第2のノードの電圧に応じたレ

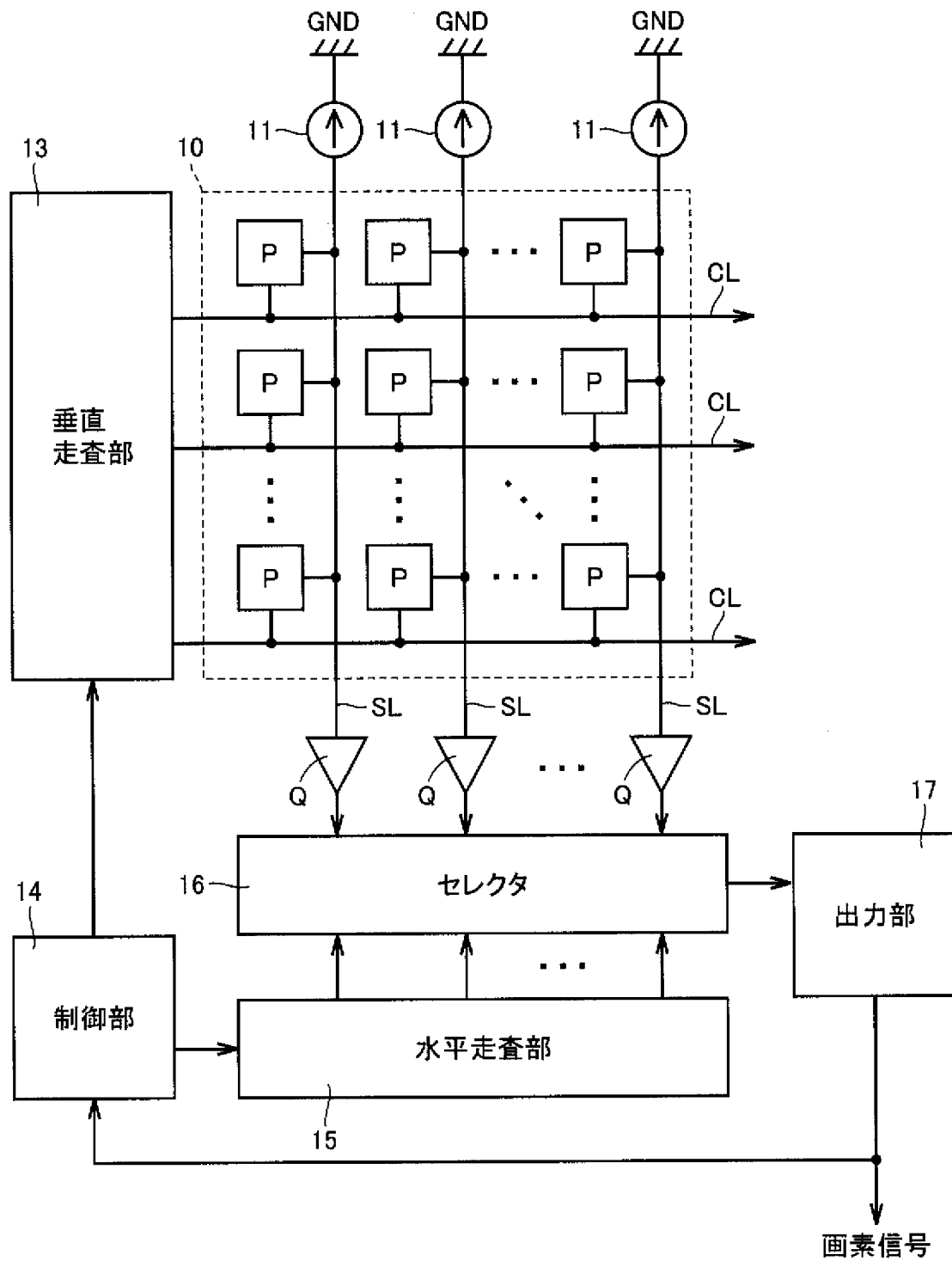
ベルの第 1 の基準信号を生成し、前記第 2 の期間は、前記第 2 のリセット回路によってリセットされた前記第 1 のノードの電圧に応じたレベルの第 2 の基準信号を生成し、

前記読出回路は、さらに、各画素回路の前記信号発生回路で生成された前記第 1 および第 2 の基準号を読み出す、請求の範囲第 2 3 項に記載の光電変換装置。

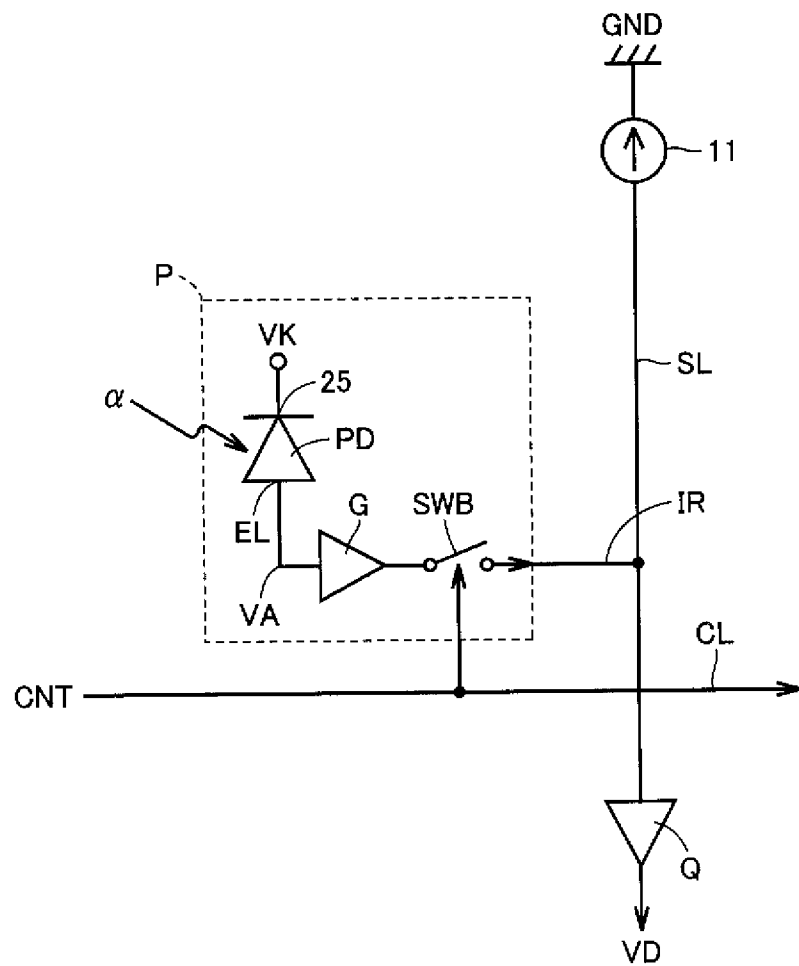
[図1]



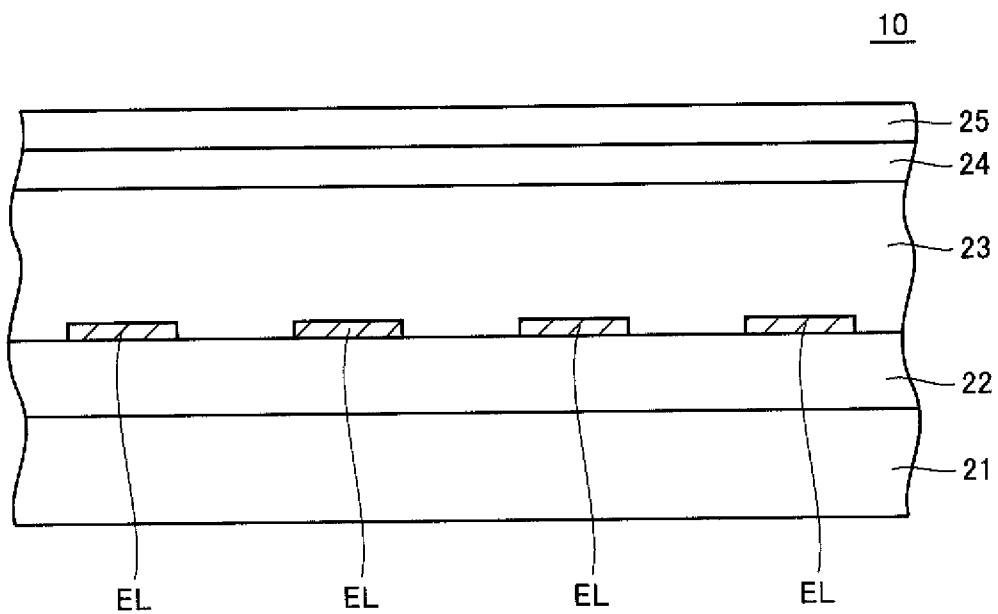
[図2]

3

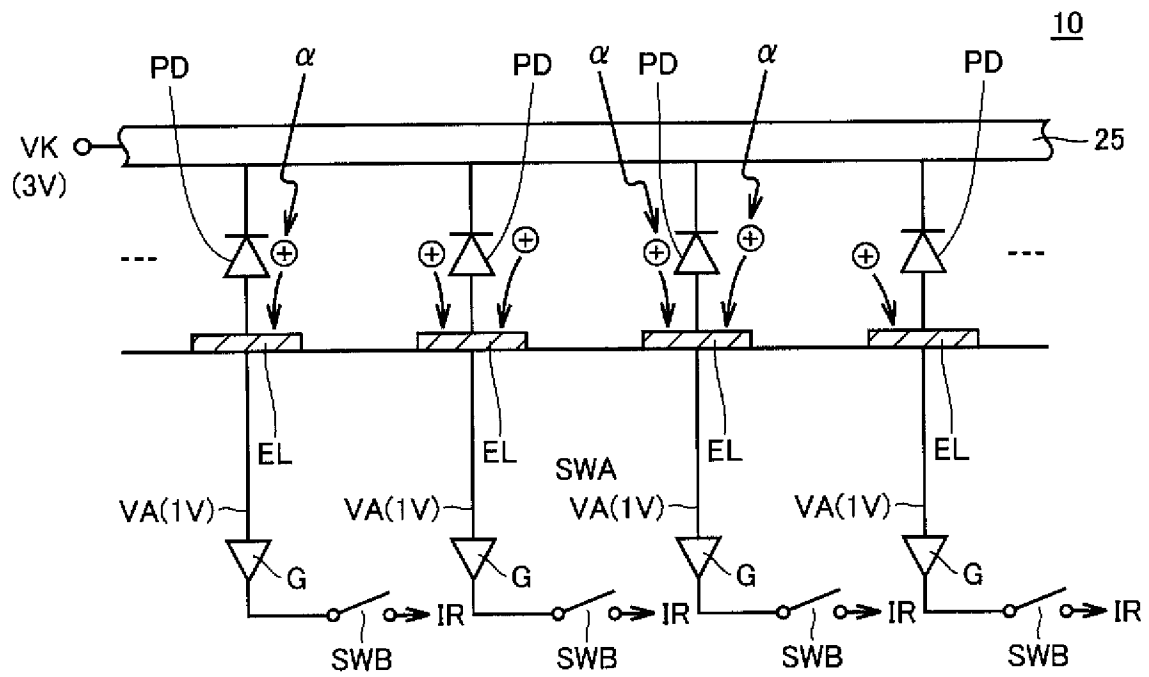
[図3]



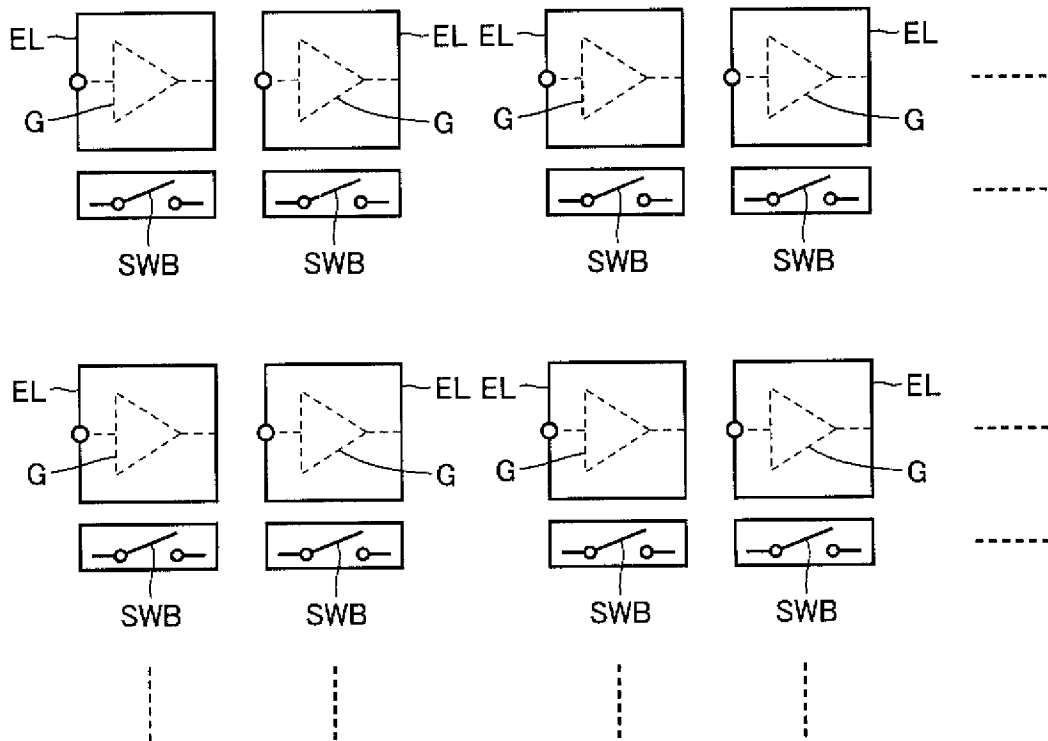
[図4]



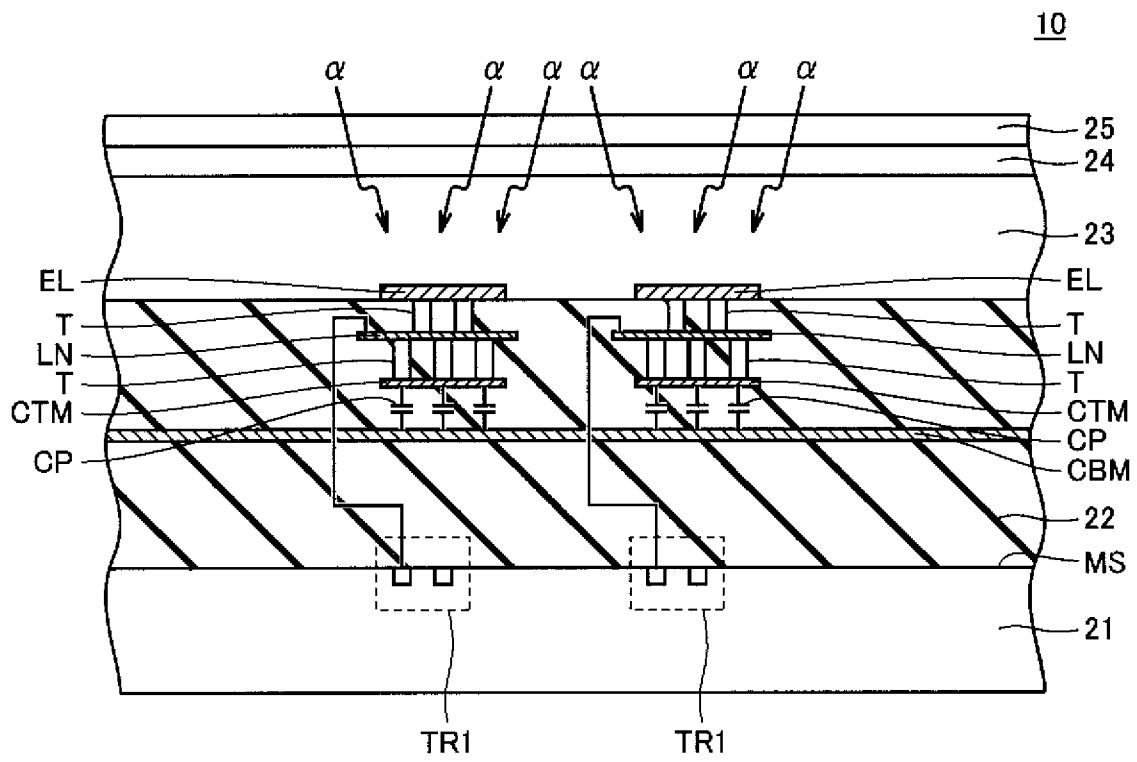
[図5]



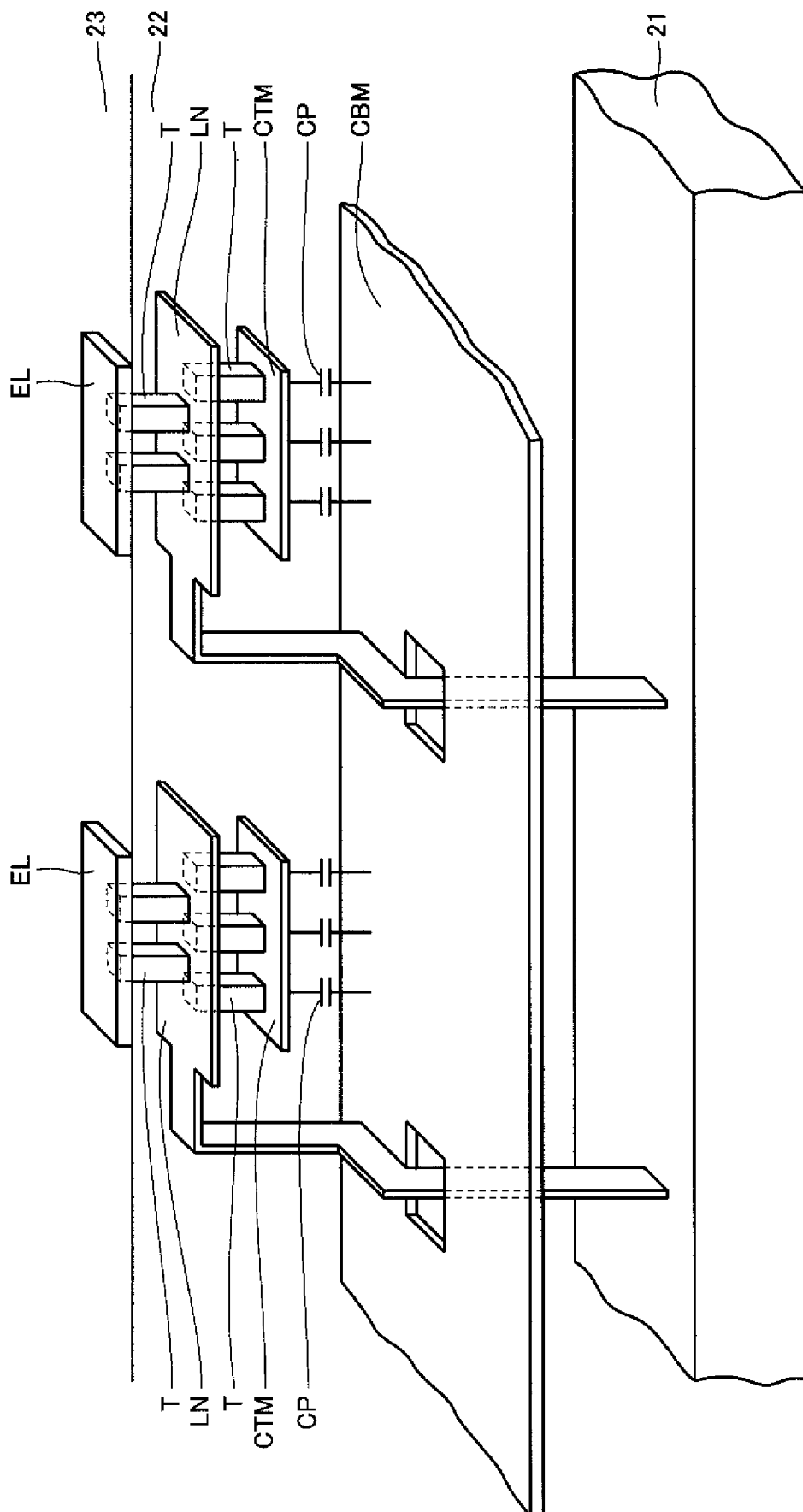
[図6]



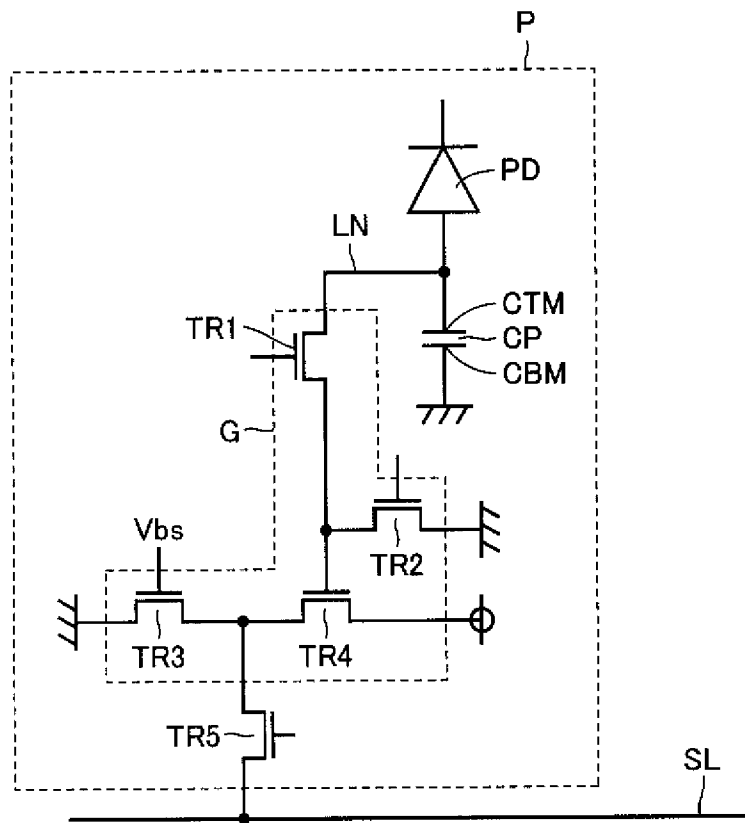
[図7]



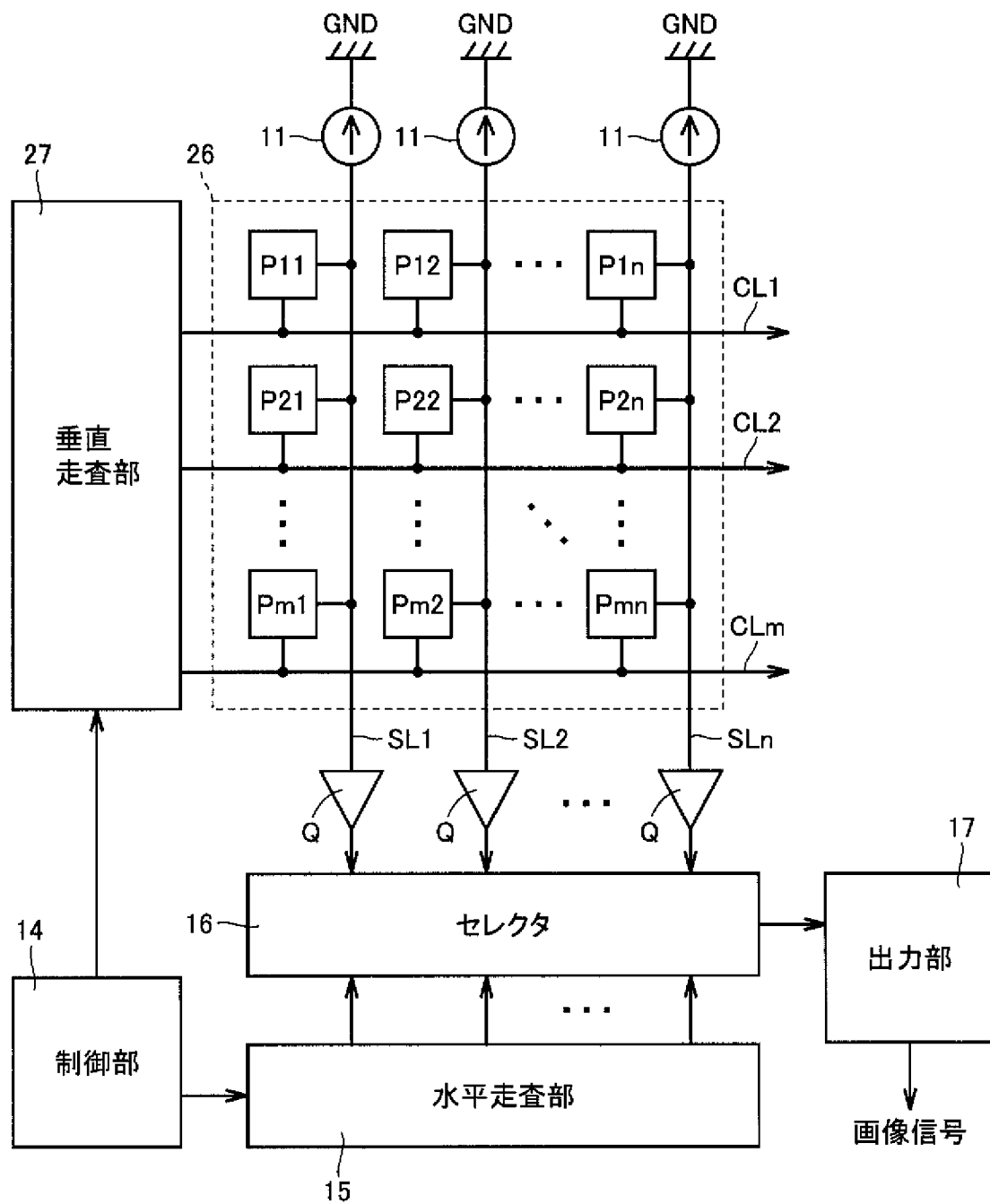
[図8]



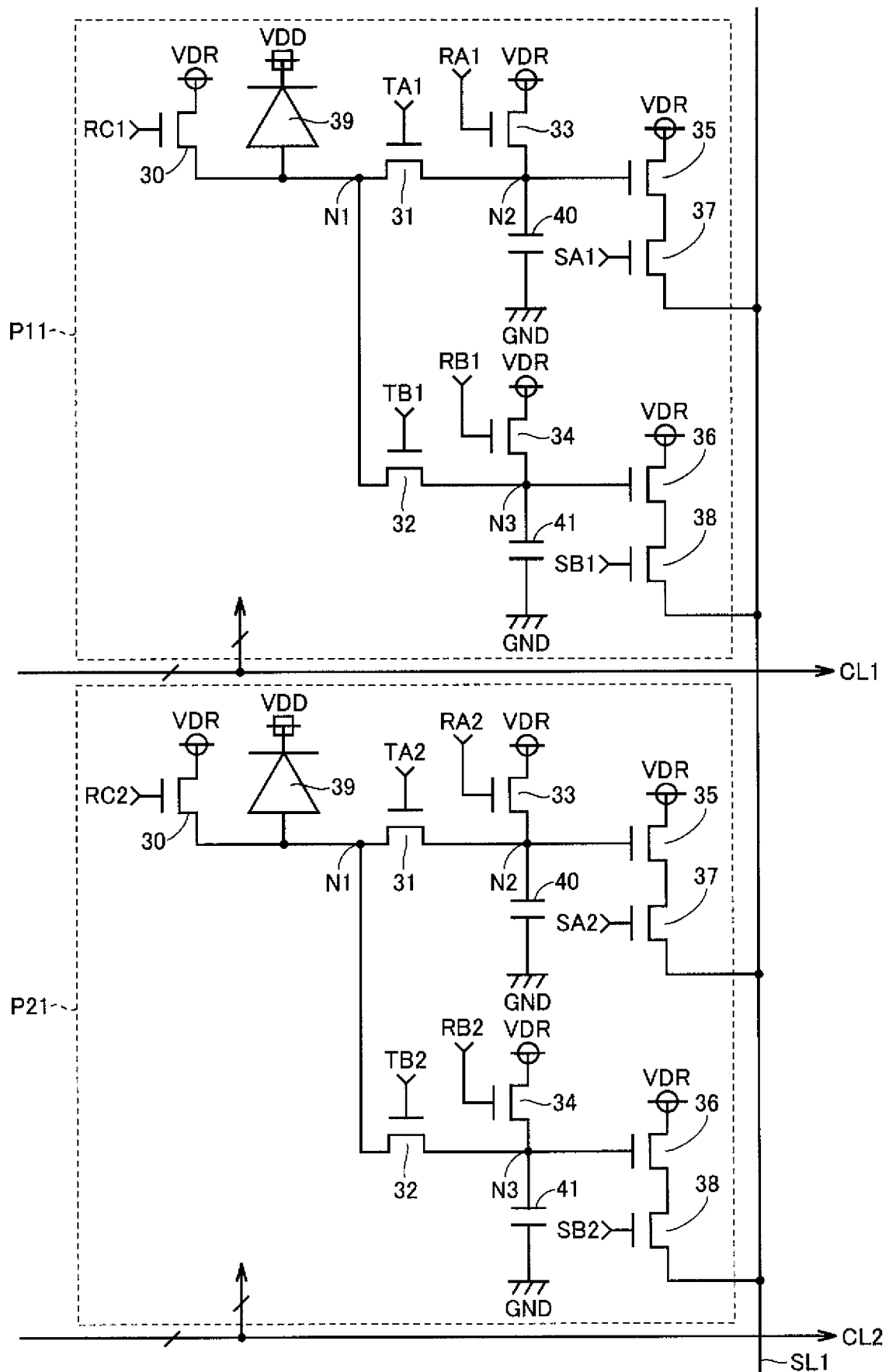
[図9]



[図10]

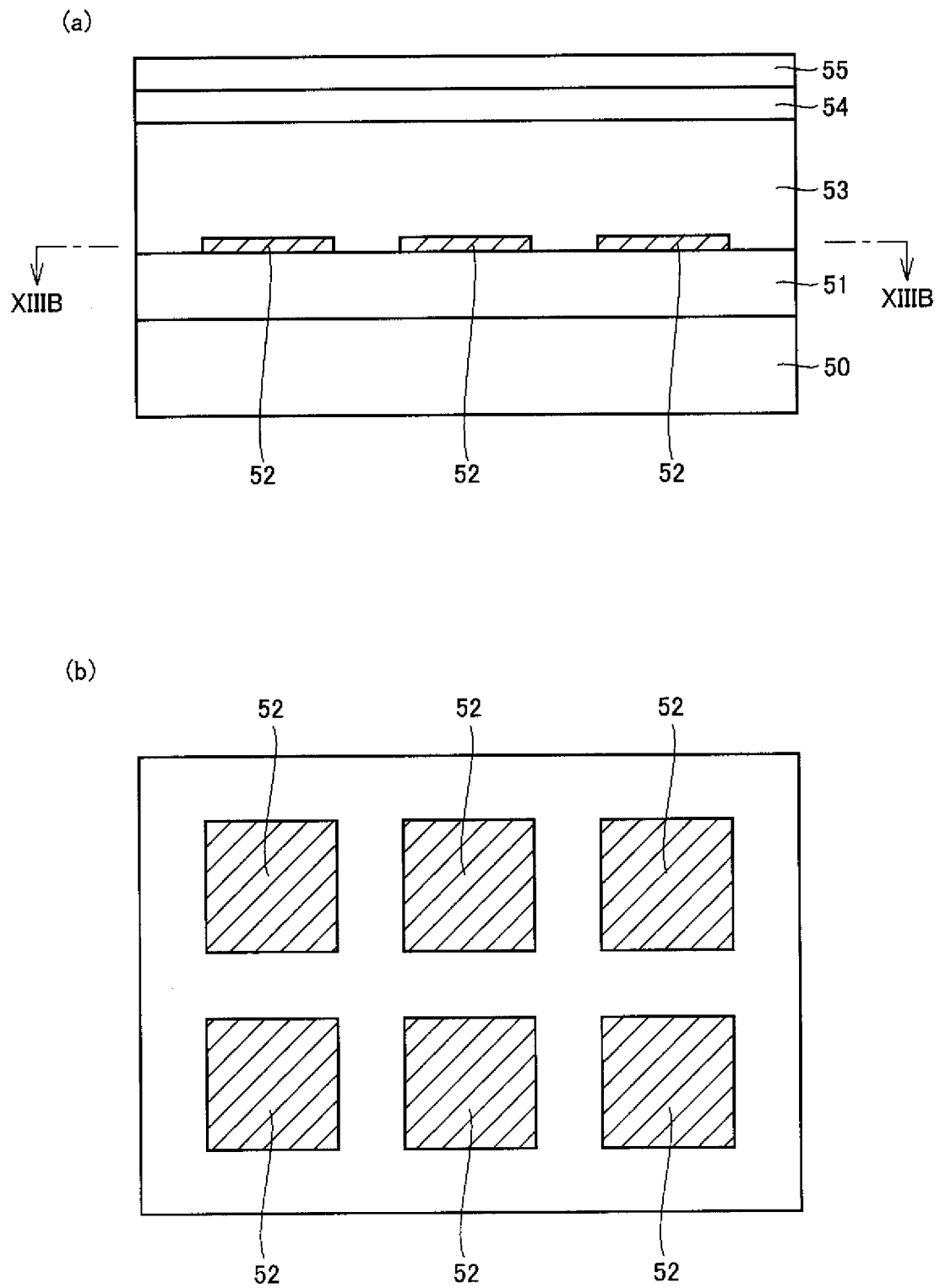


[図11]

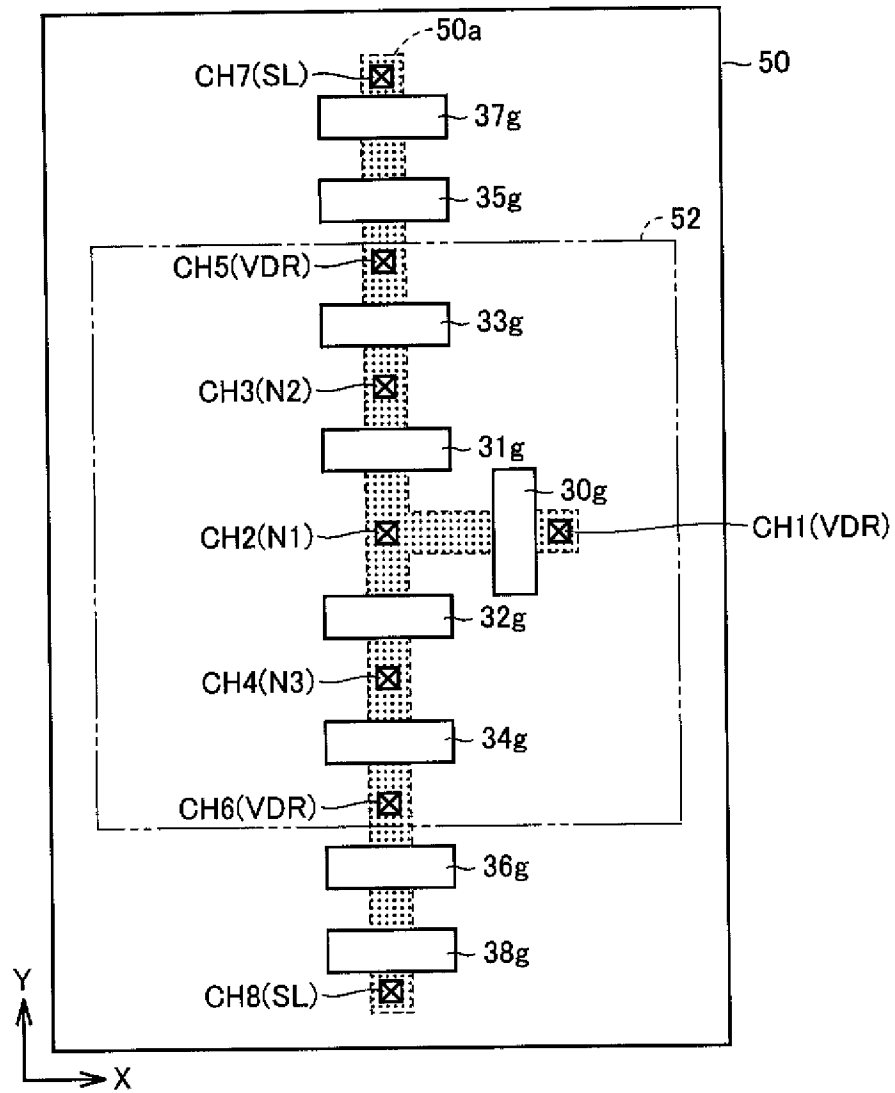


The diagram shows 14 digital signals over time. The signals are labeled on the left: TA1, RA1, SA1, RC1, TB1, RB1, SB1, TA2, RA2, SA2, RC2, TB2, RB2, and SB2. The time axis is labeled '時刻t' and has markers from t0 to t16. Two curved lines indicate a time window from t0 to t16. The signals are represented by horizontal lines that change state at specific time points.

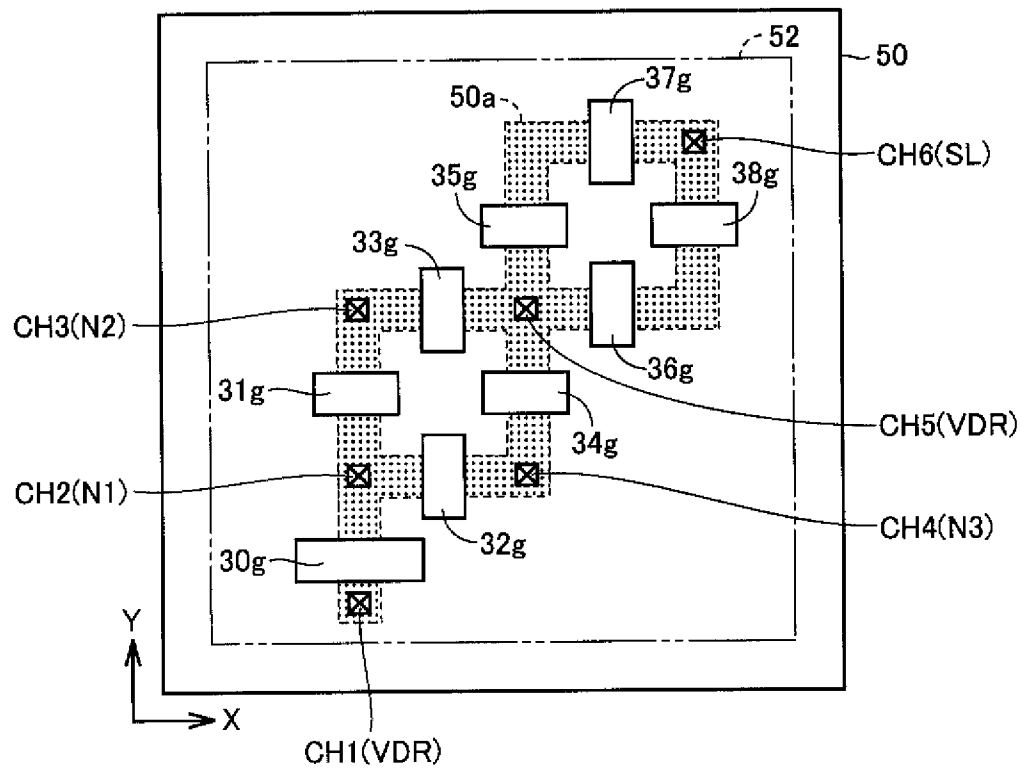
[図13]



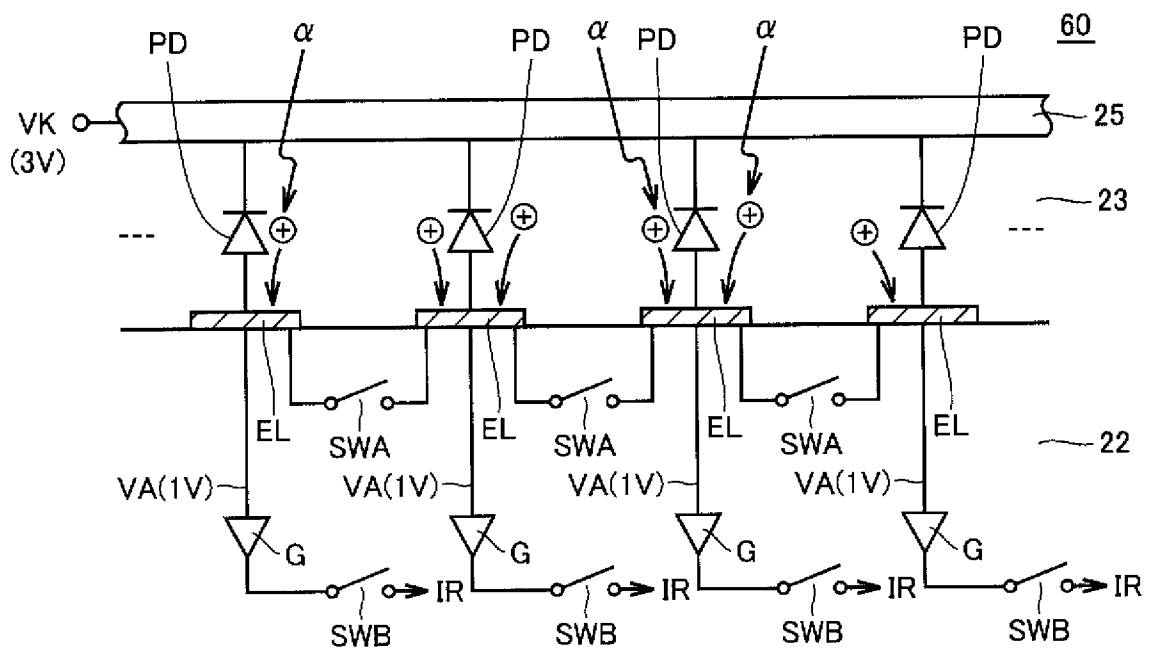
[図14]

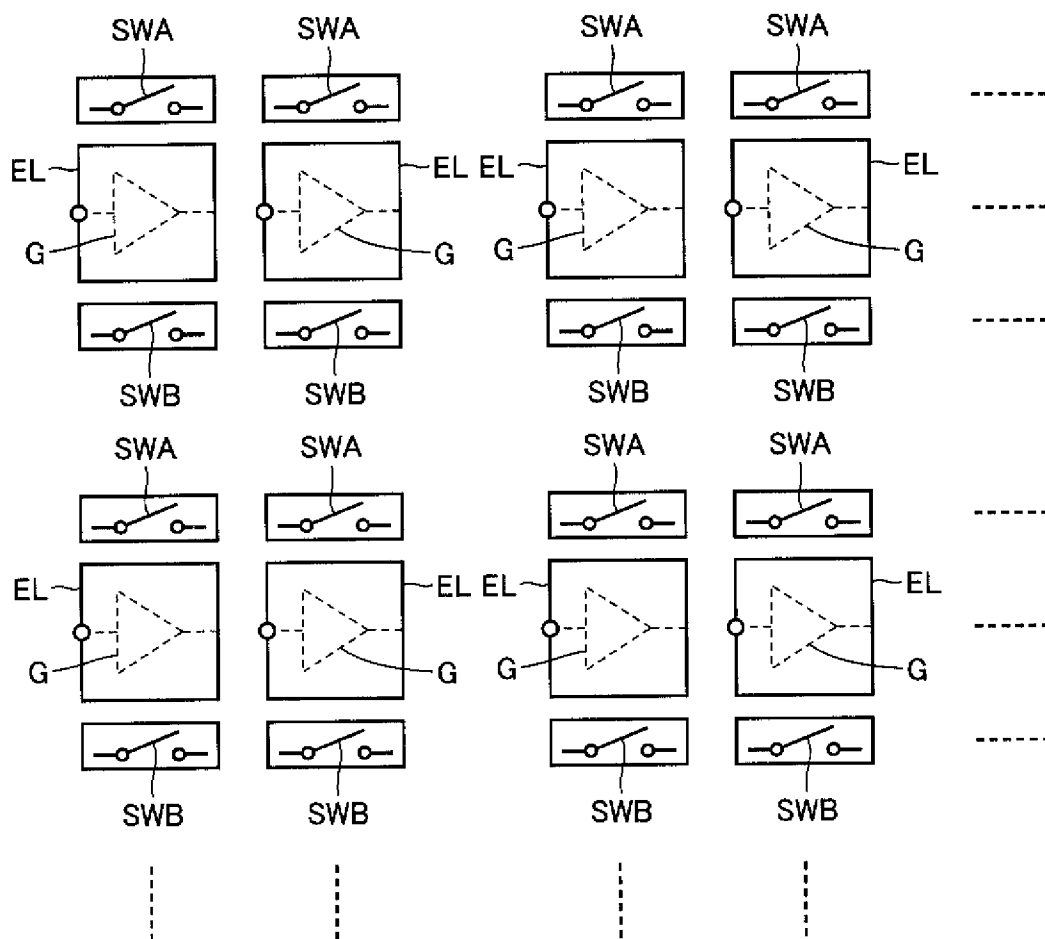


[図15]

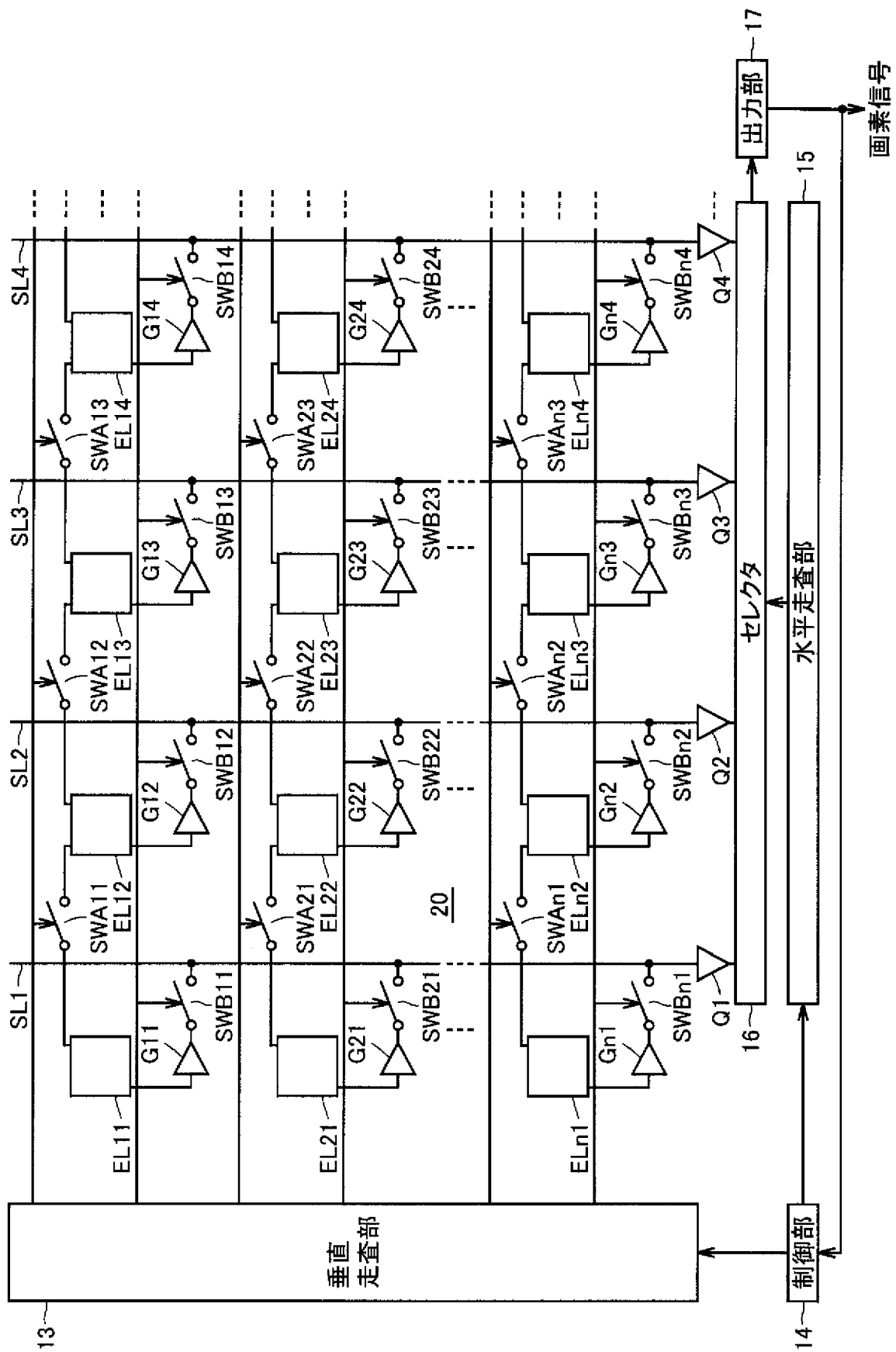


[図16]

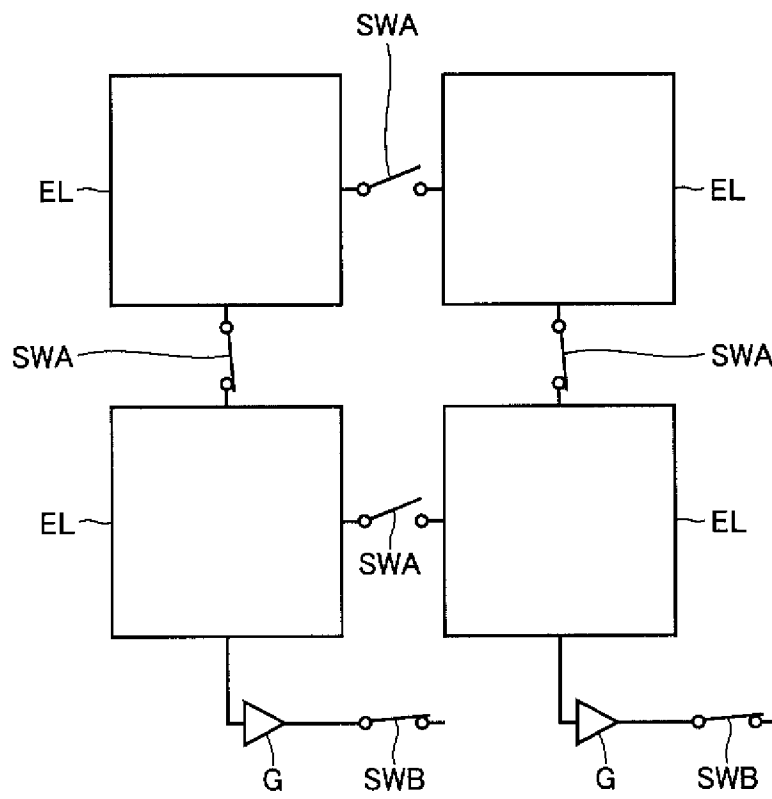




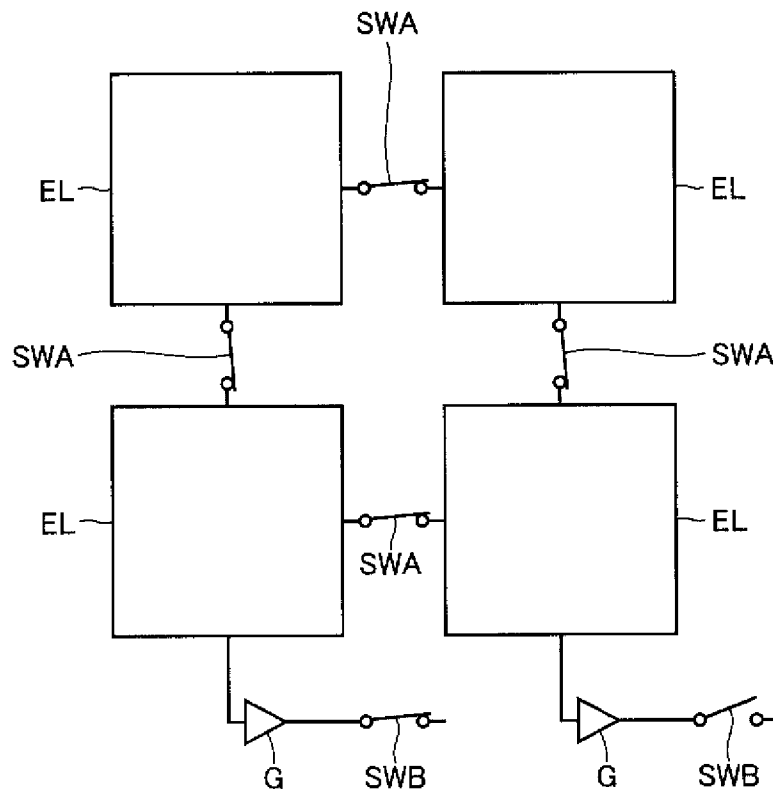
[図18]



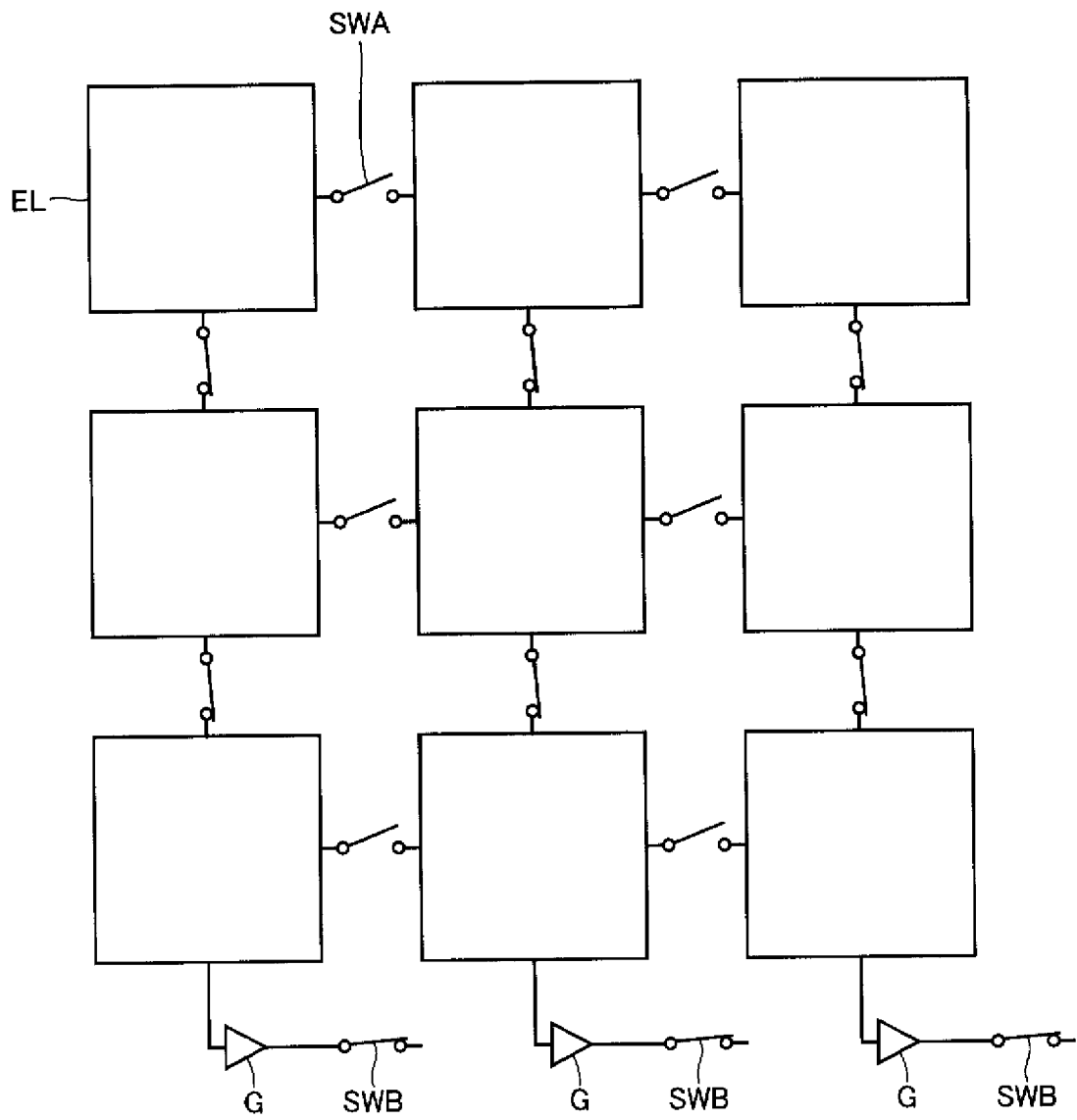
[図19]



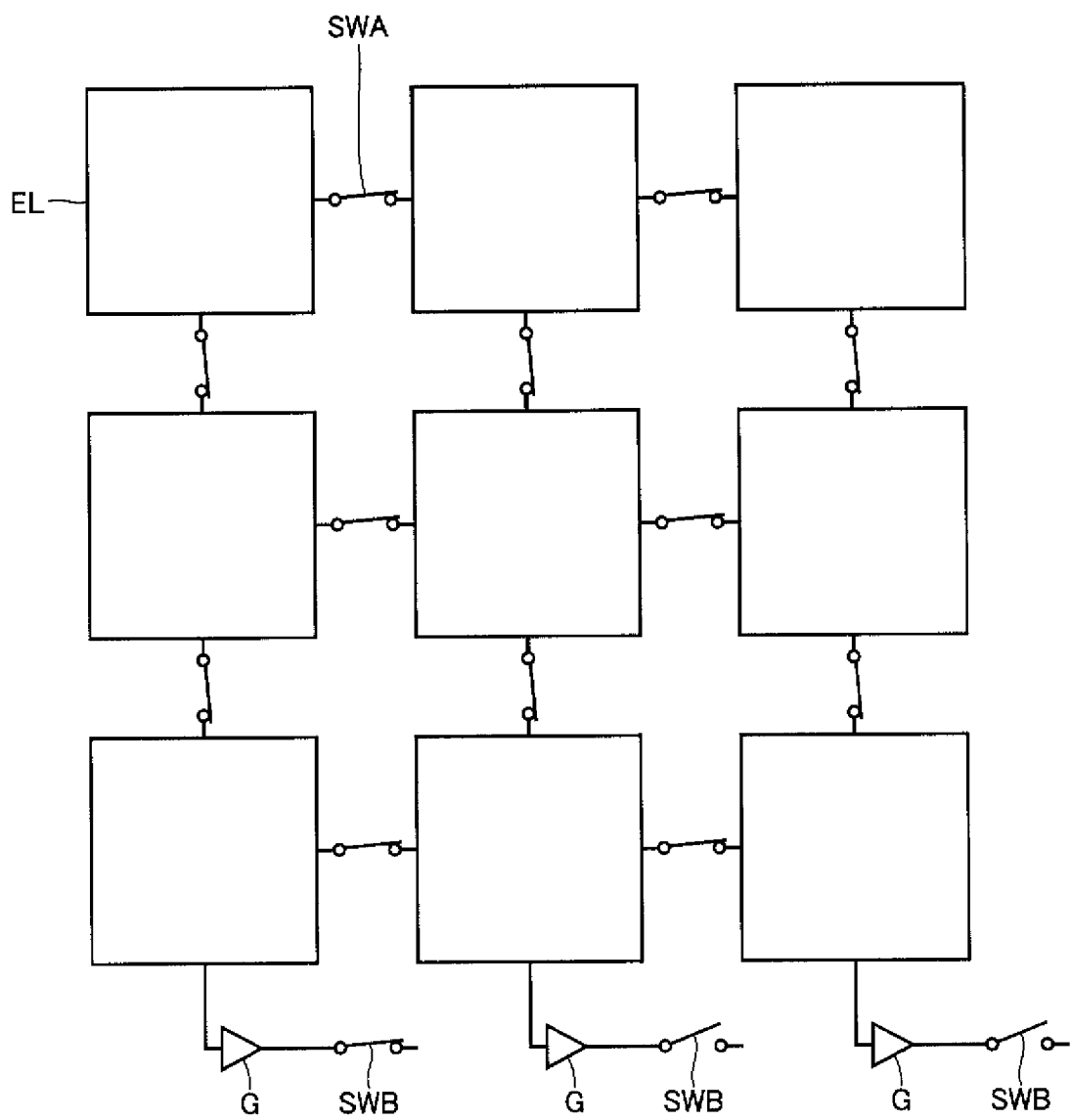
[図20]



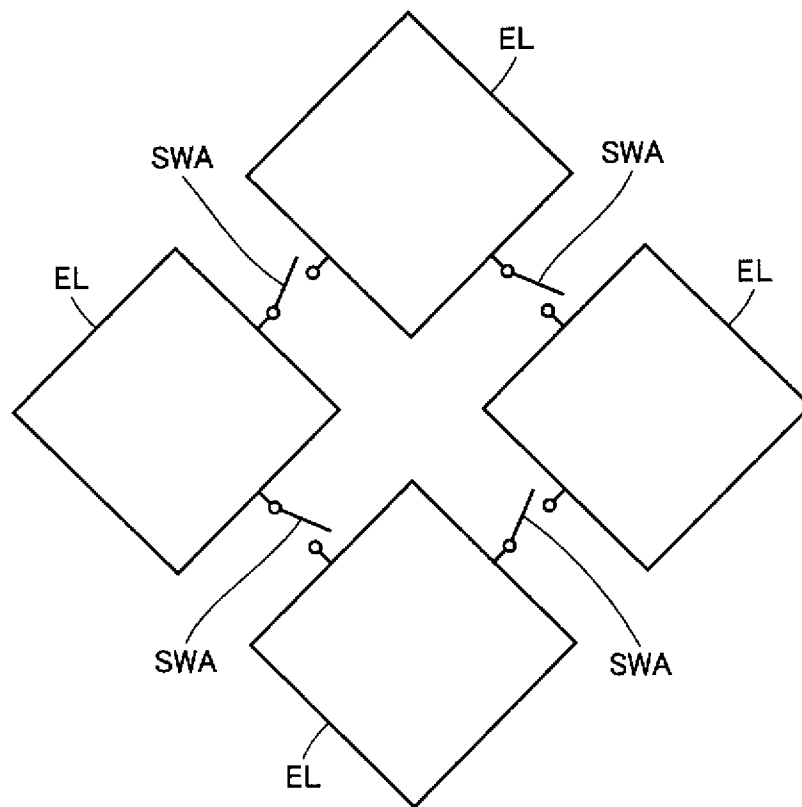
[図21]



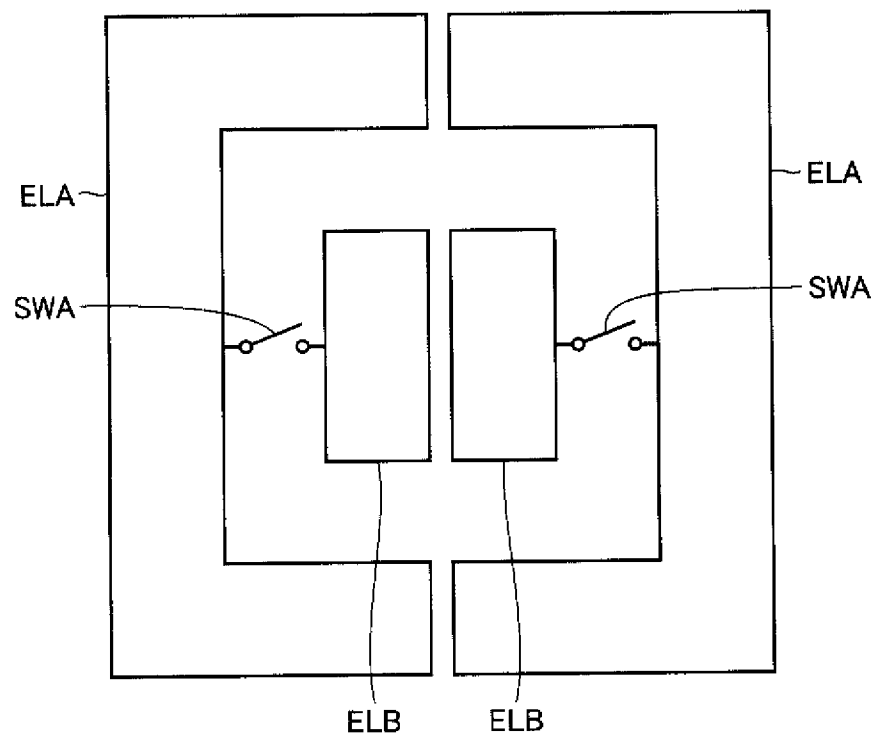
[図22]



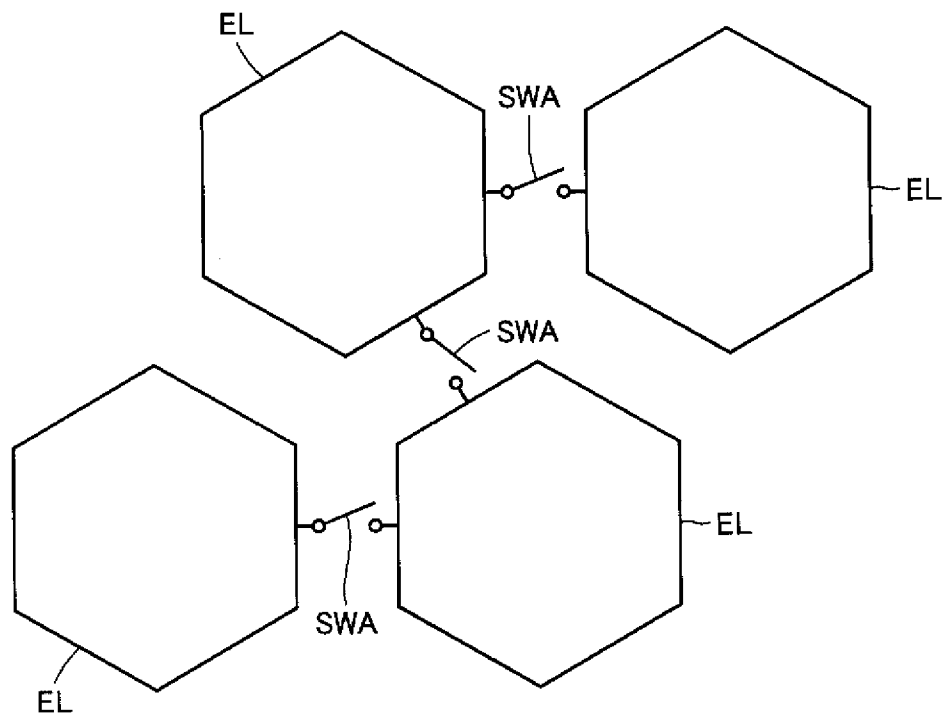
[図23]



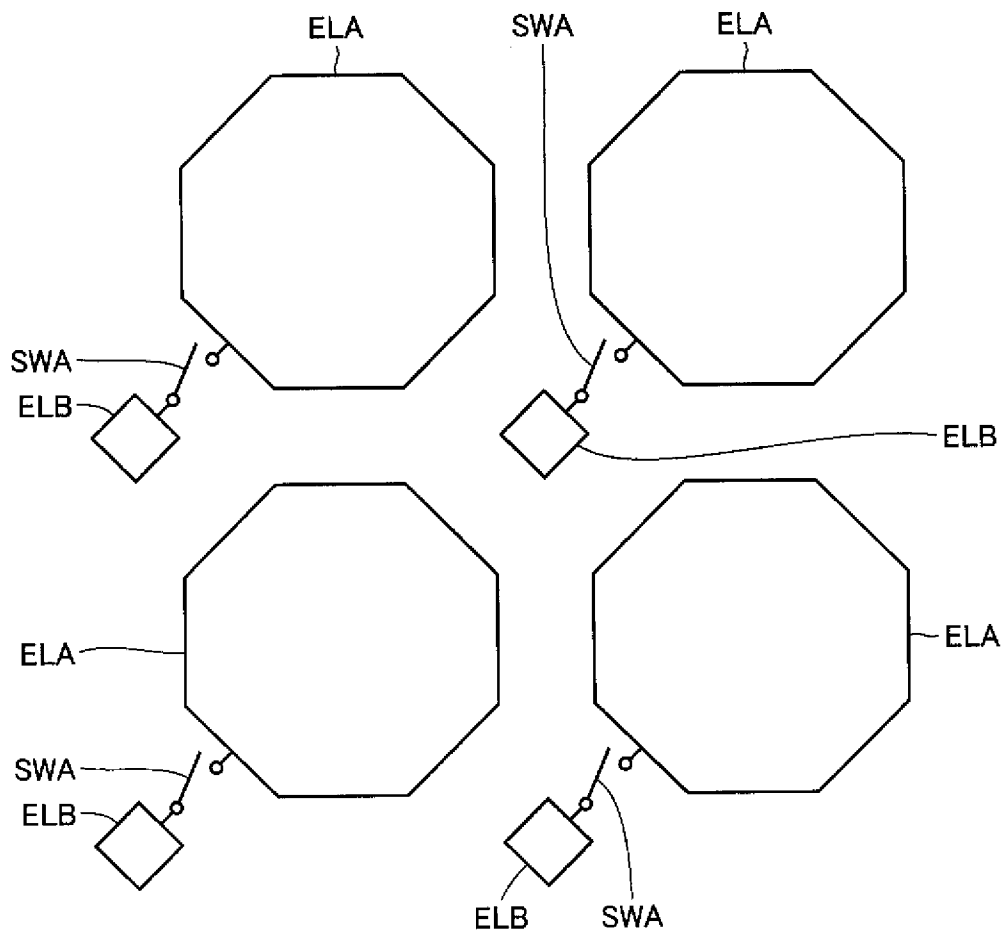
[図24]



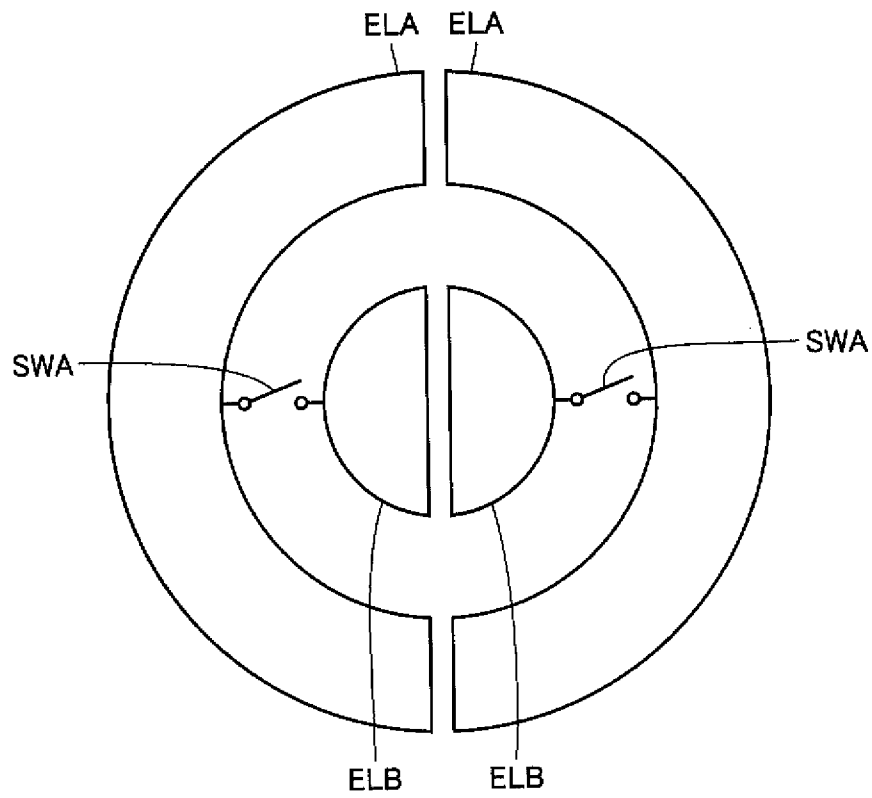
[図25]



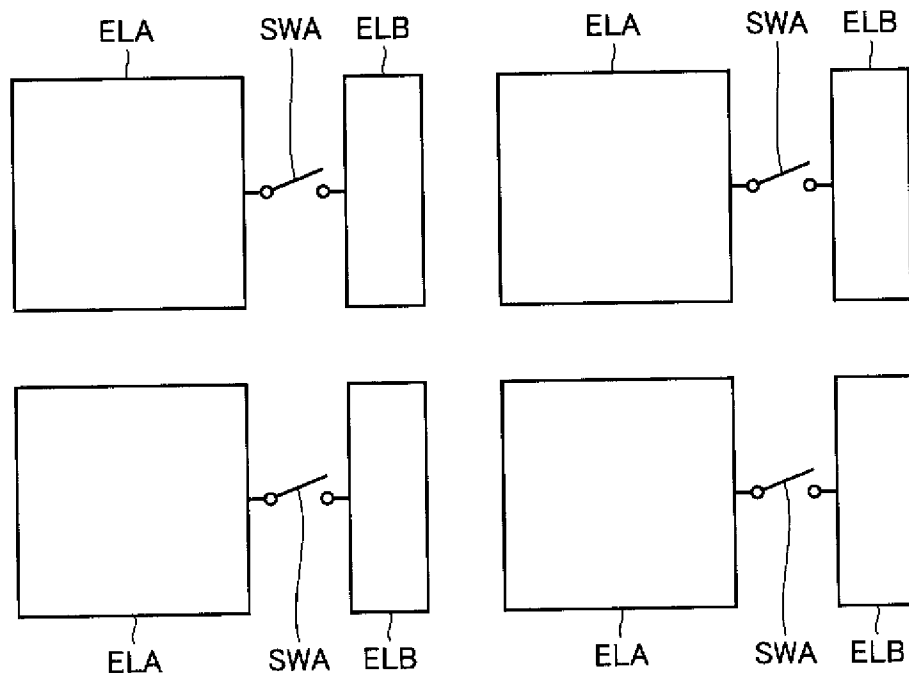
[図26]



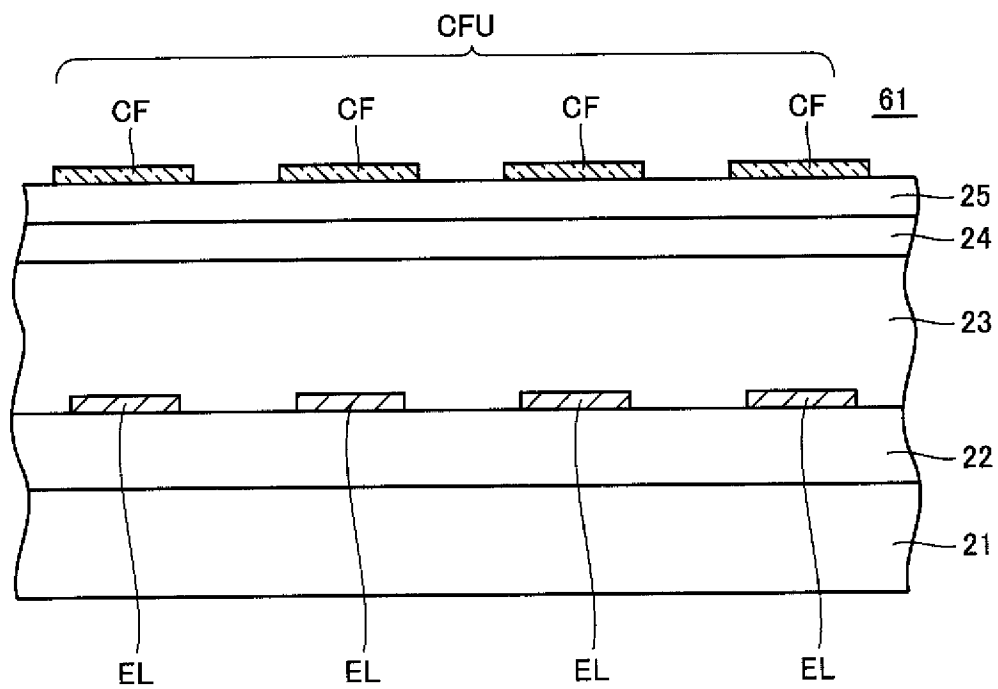
[図27]



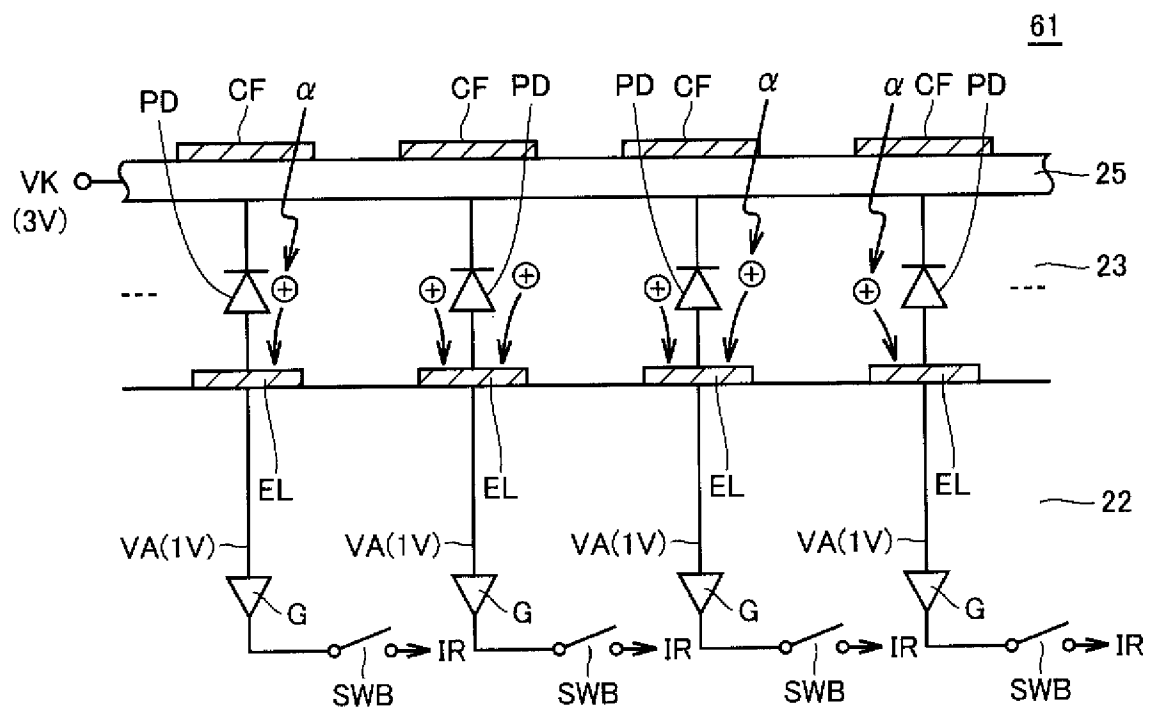
[図28]



[図29]



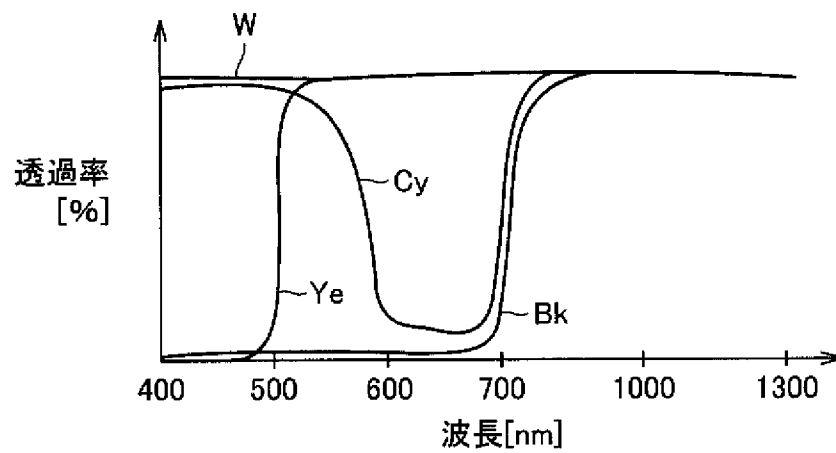
[図30]



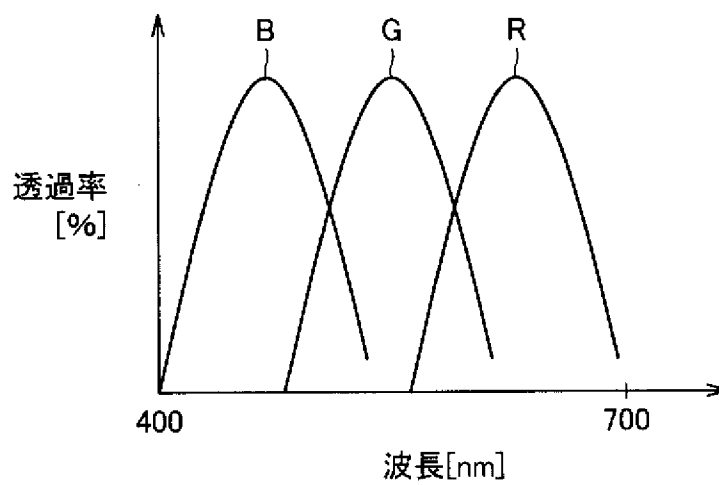
[図31]

W	Ye
Cy	Bk

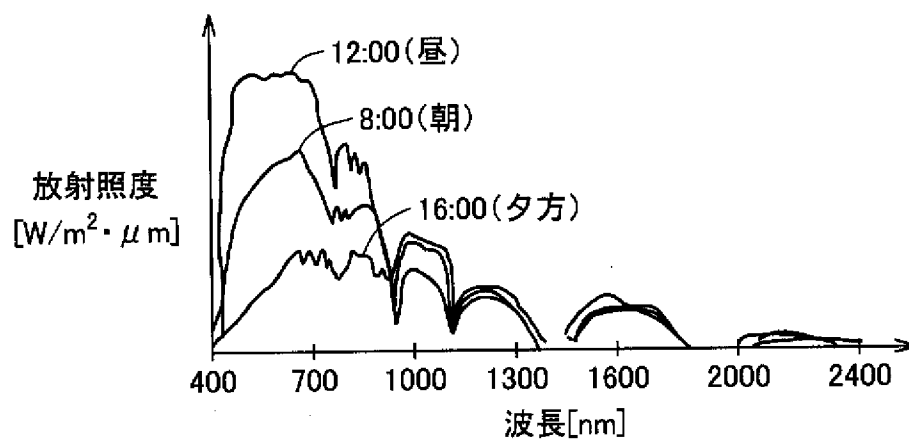
[図32]



[図33]



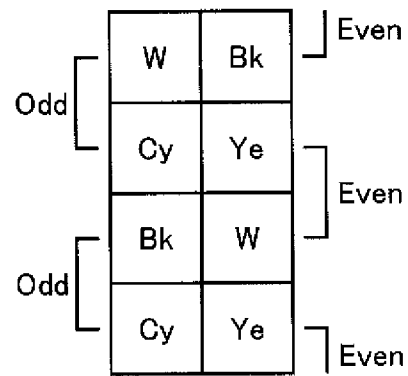
[図34]



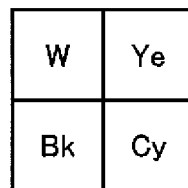
[図35]

W	Bk
Cy	Ye

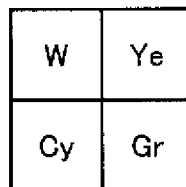
[図36]



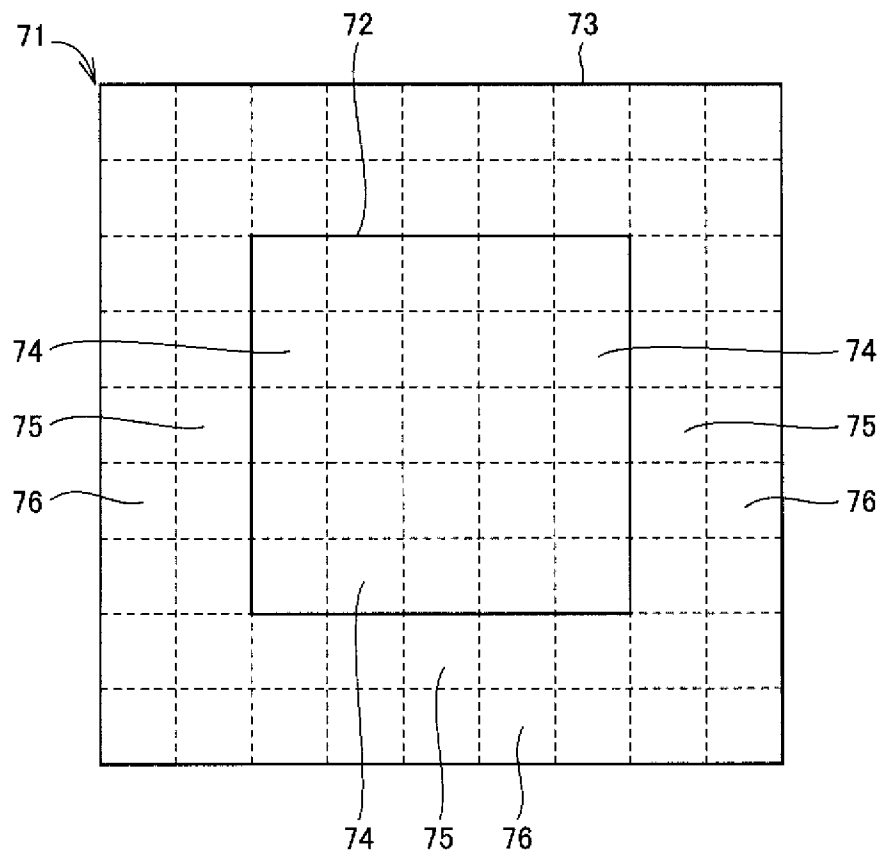
[図37]



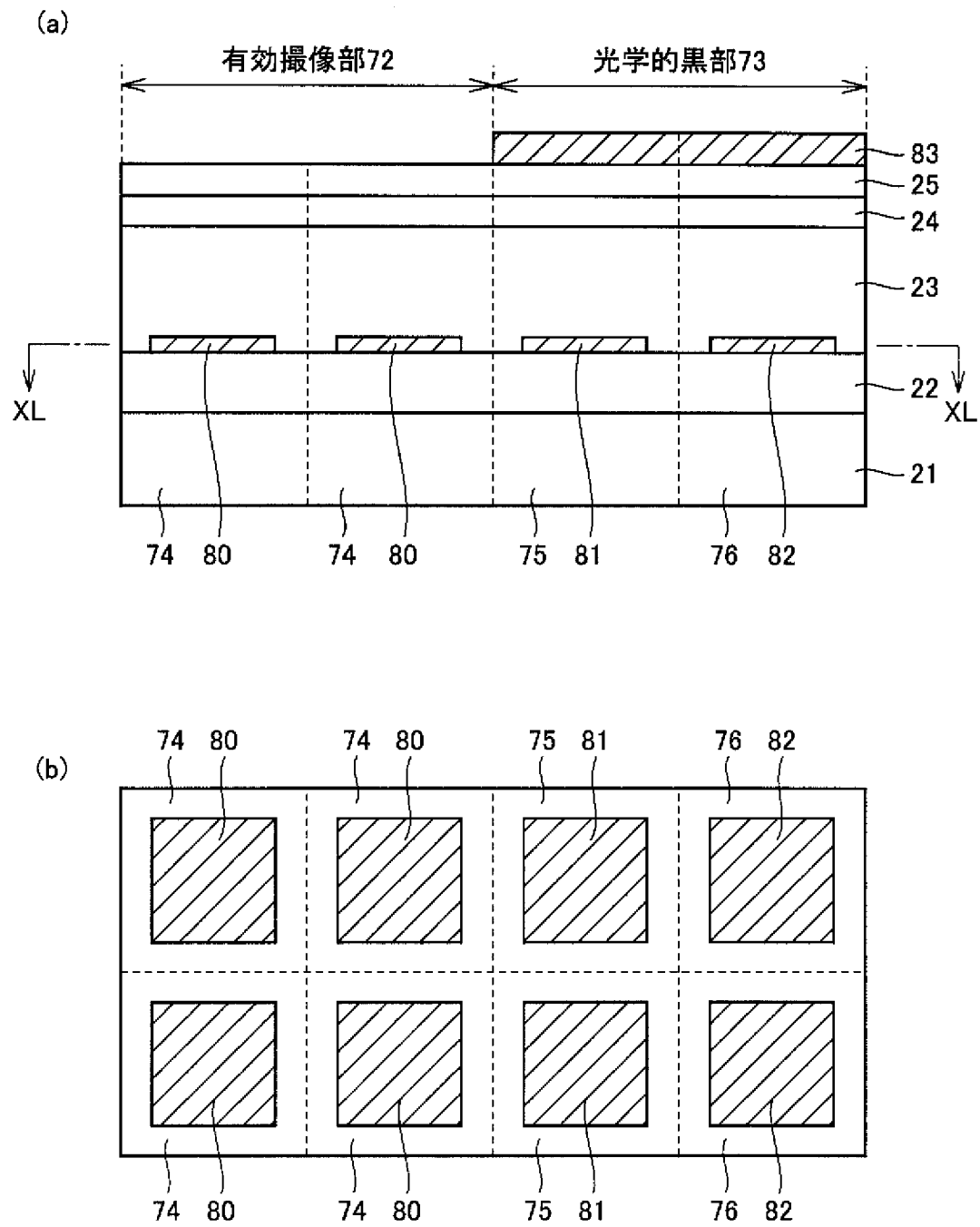
[図38]



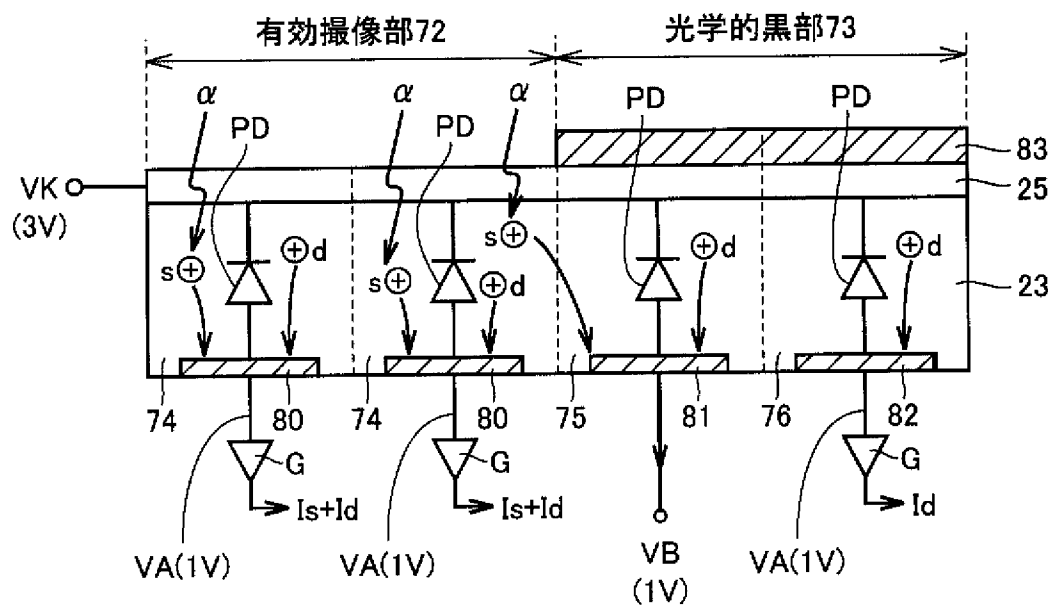
[図39]



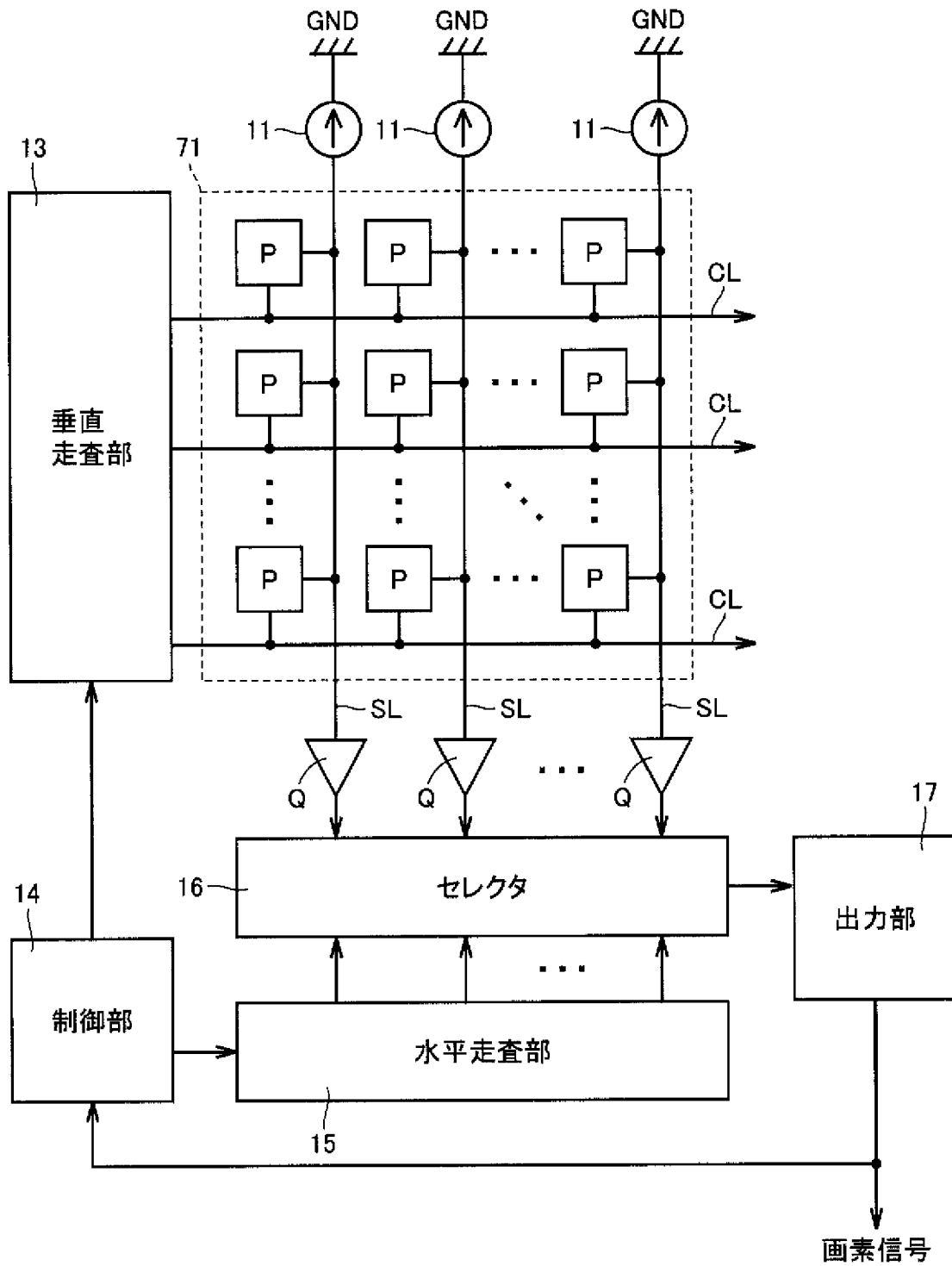
[図40]



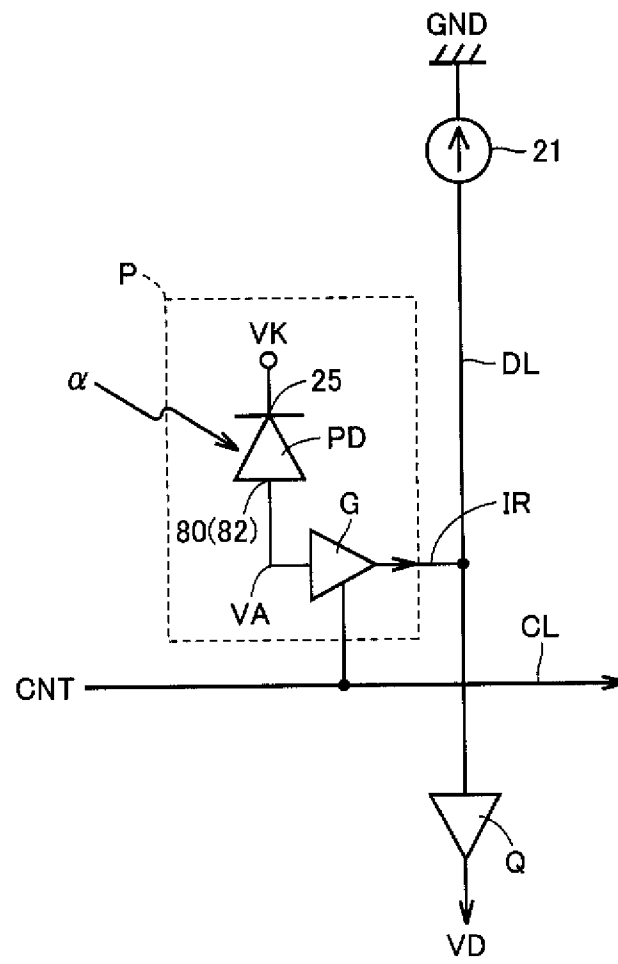
[図41]



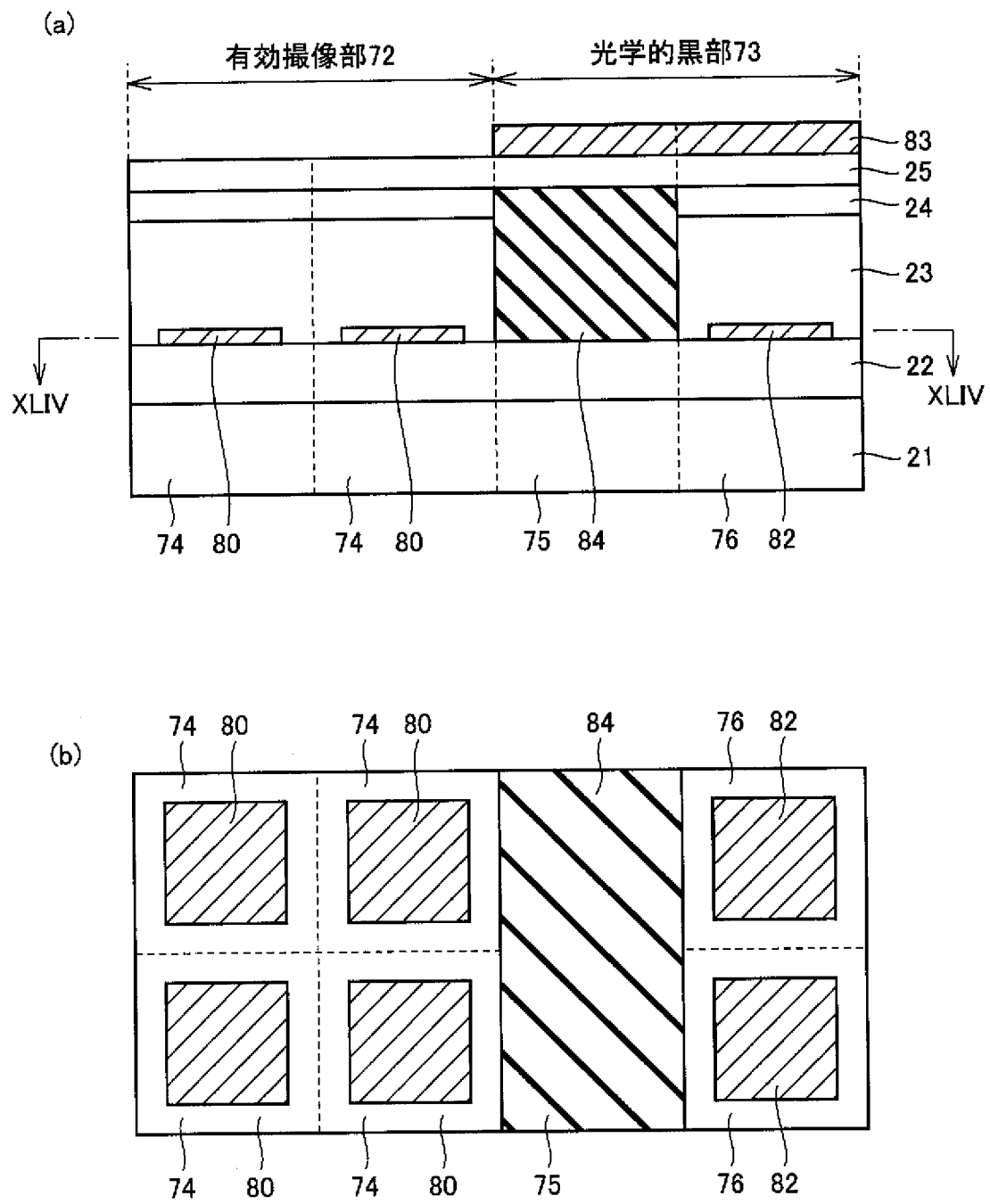
[図42]



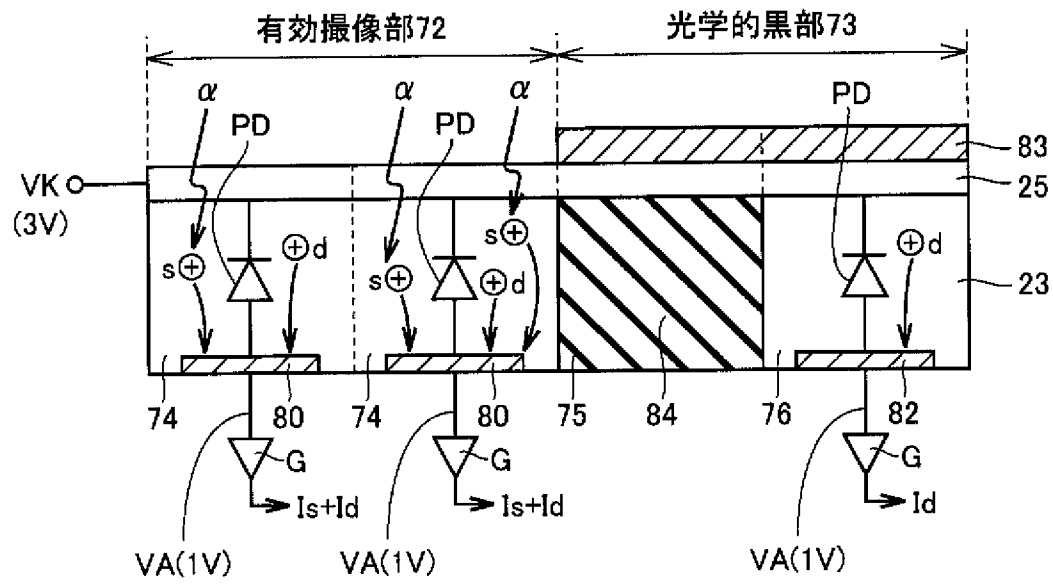
[図43]



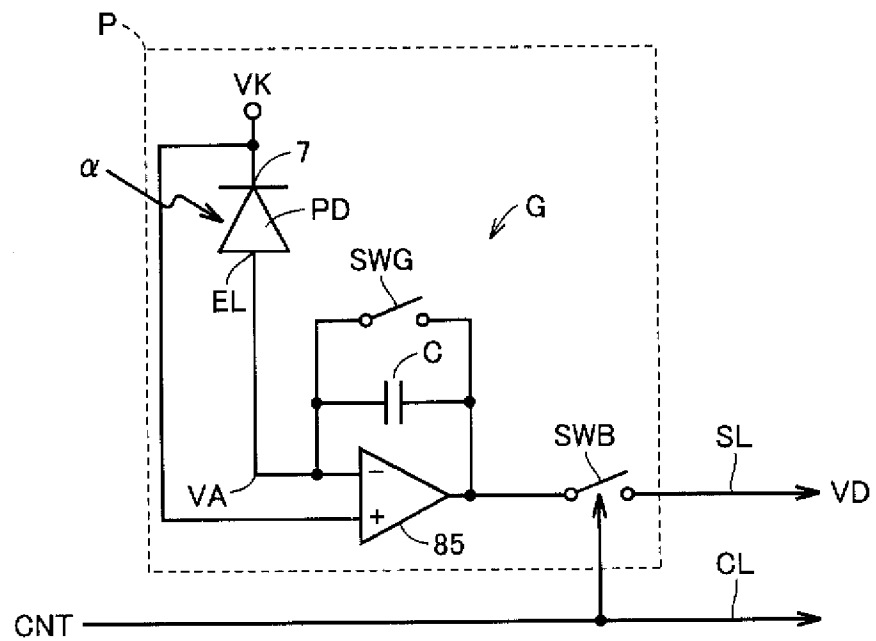
[図44]

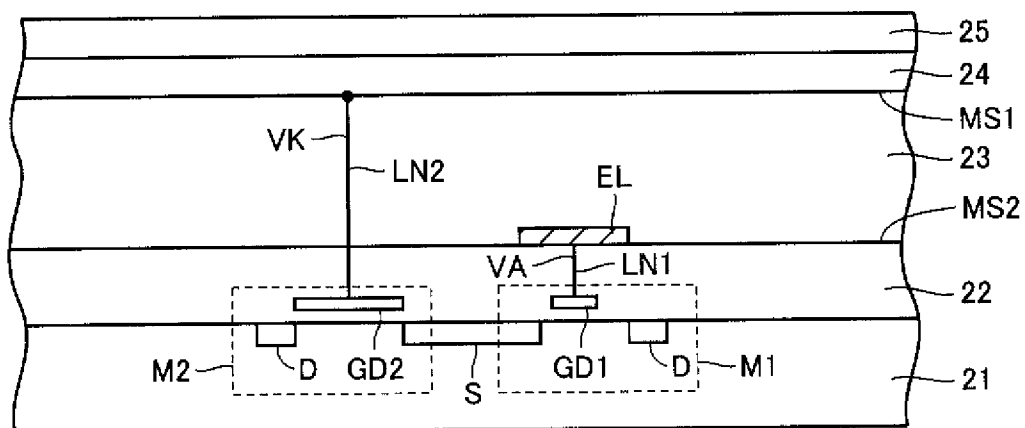
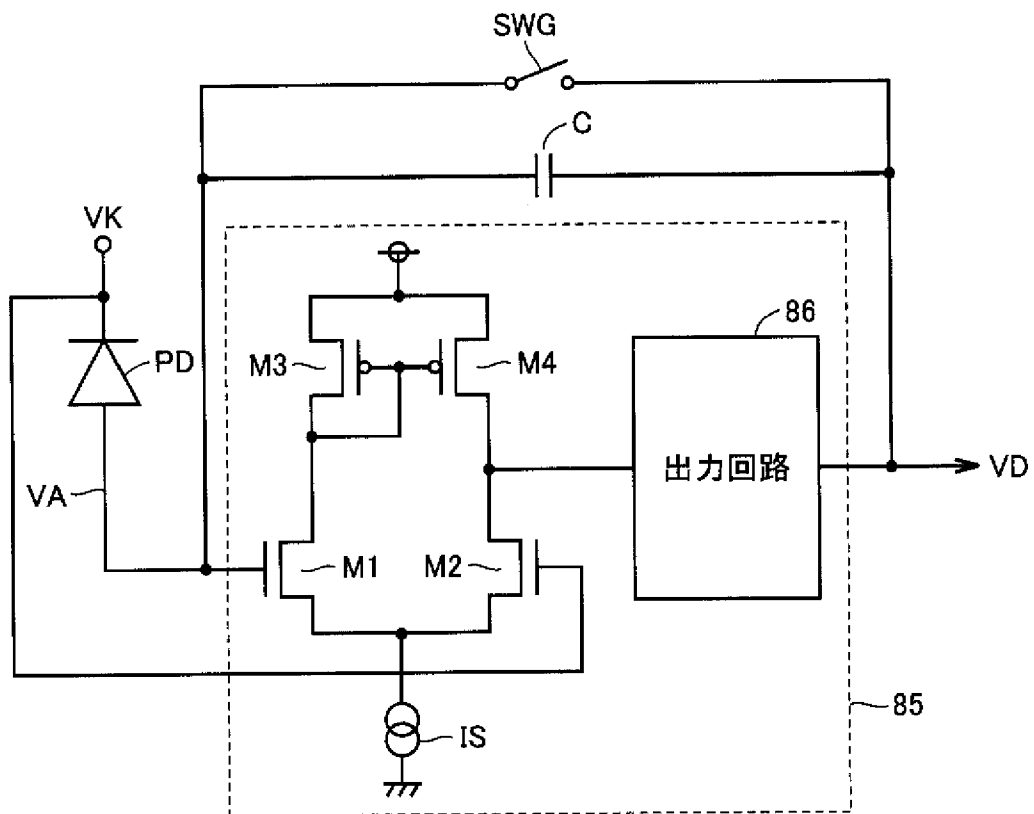


[図45]

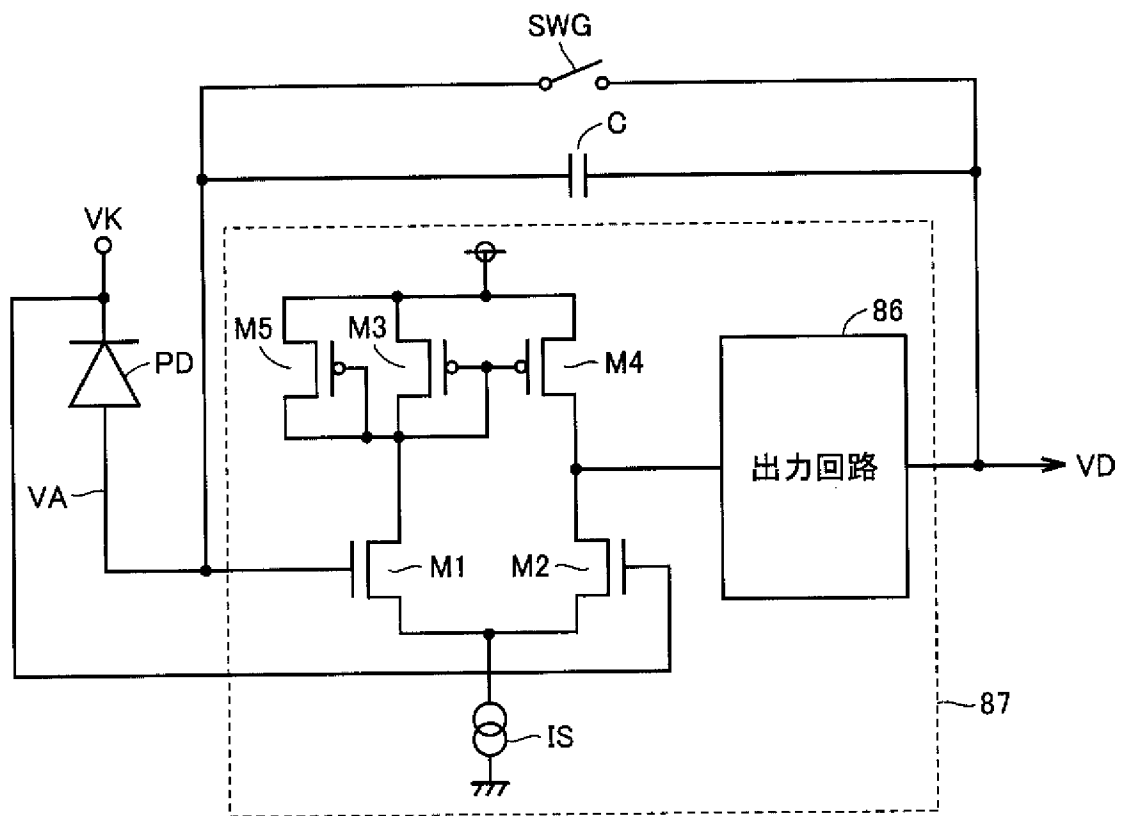


[図46]

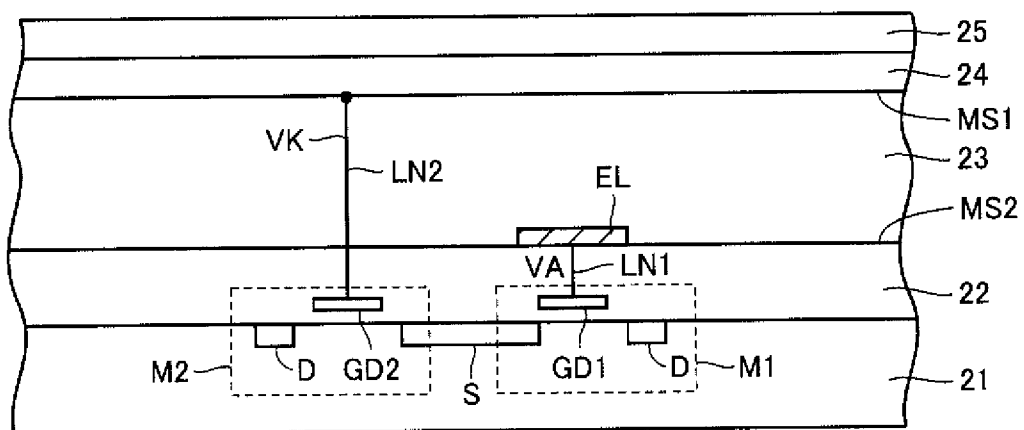




[図49]



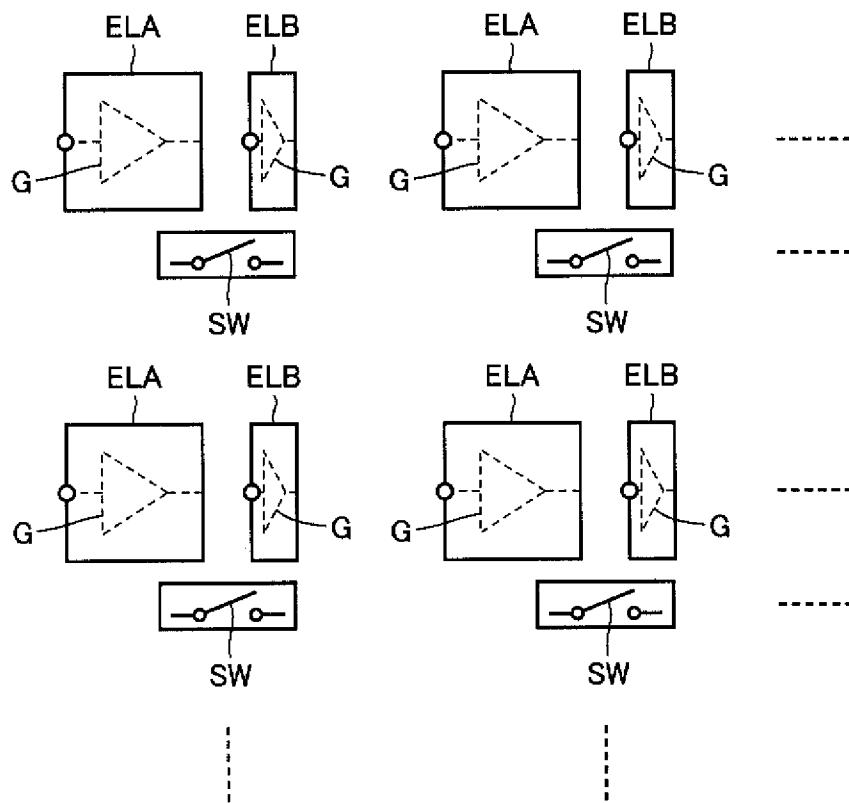
[図50]



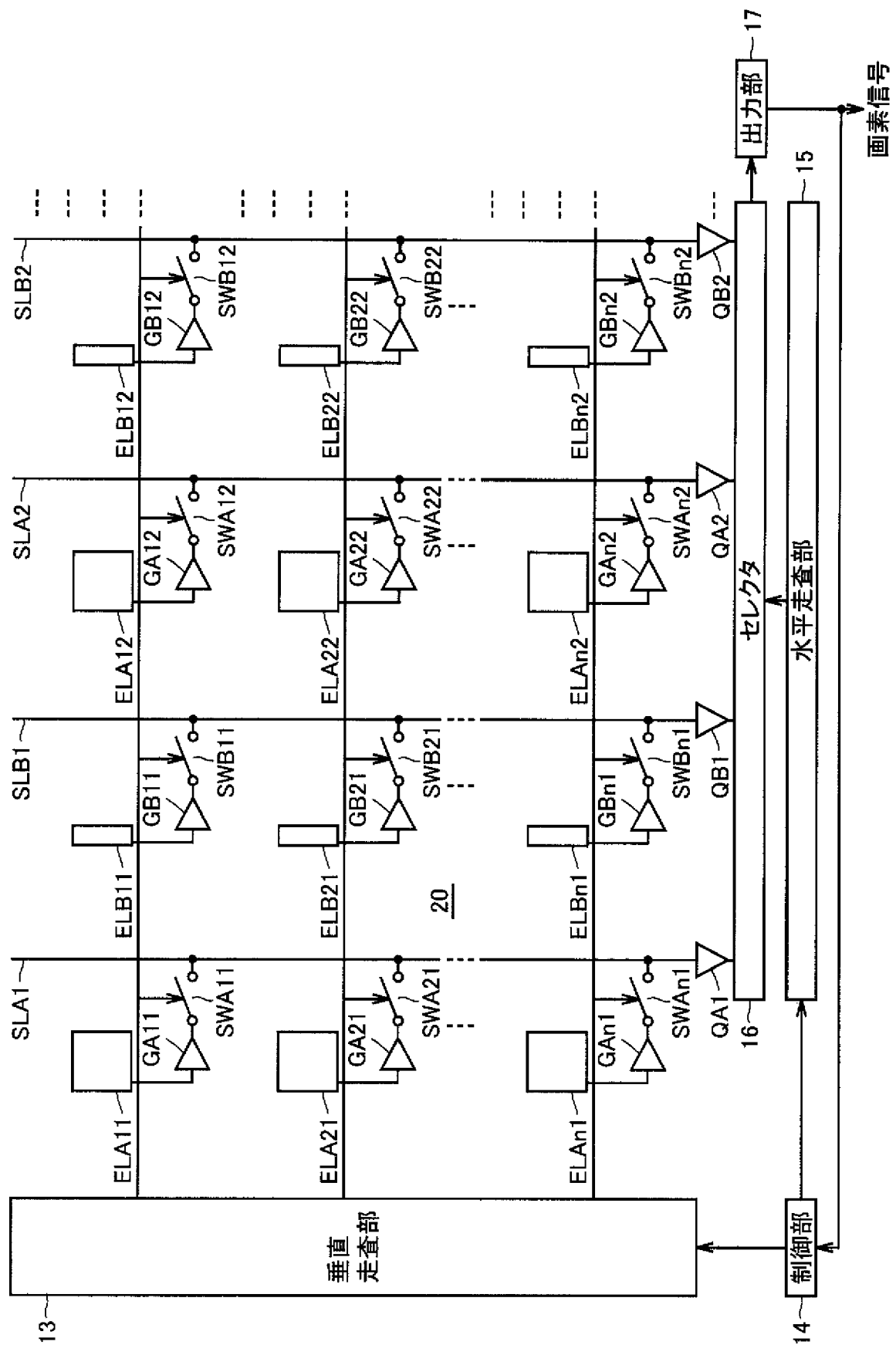
A cross-sectional view of a multi-layered structure. It consists of a central layer (22) flanked by two outer layers (21 and 23). Above layer 23 are two more layers (24 and 25). Five hatched rectangular blocks are positioned on the top surface of layer 22. The first, third, and fifth blocks are labeled ELA, while the second and fourth blocks are labeled ELB.

The diagram illustrates a semiconductor device 23. A horizontal line 25 at the top is connected to a 3V supply (VK). Below this line, a series of photodiodes (PD) are connected. Each PD is connected to the line 25 through a resistor α . The PDs are connected to a common output line (IR) through a series of transistors (G) and switches (SW). The transistors (G) are connected to a 1V supply (VA). The switches (SW) are controlled by a common signal (IR). The output line (IR) is connected to a common output terminal (IR).

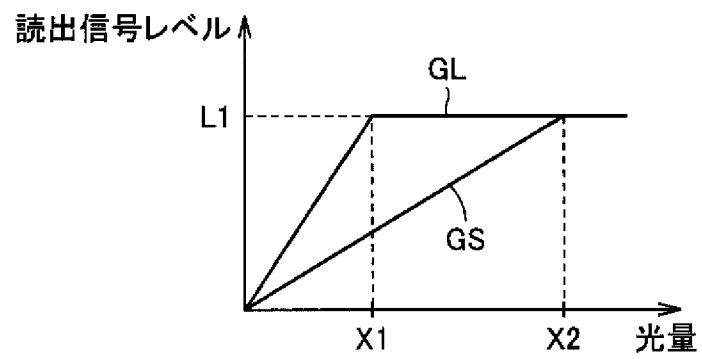
[図53]



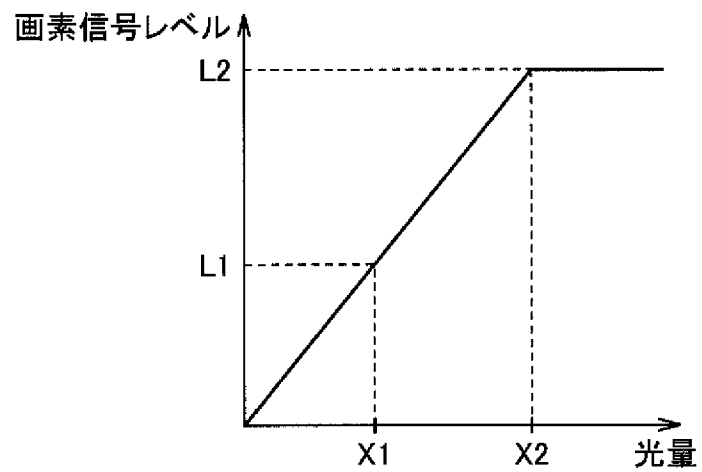
[図54]



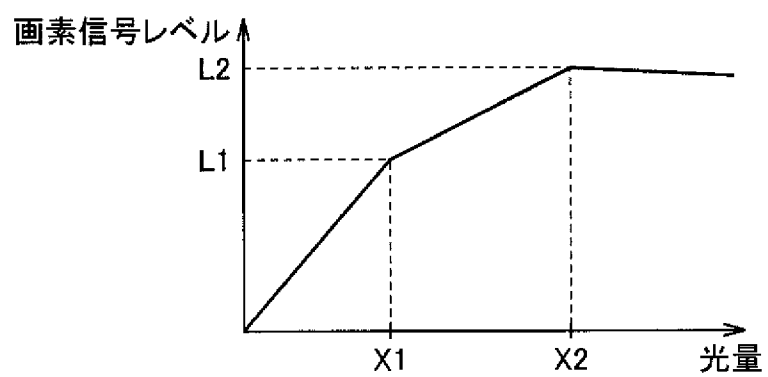
[図55]



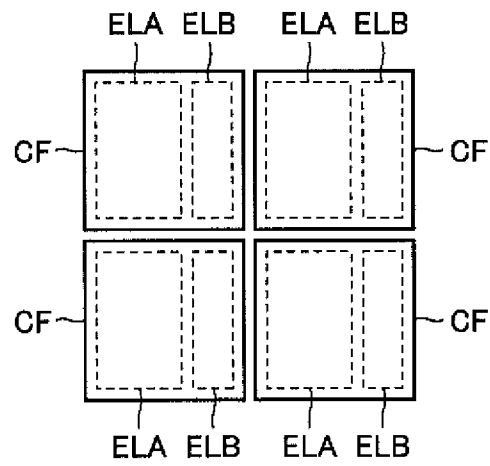
[図56]



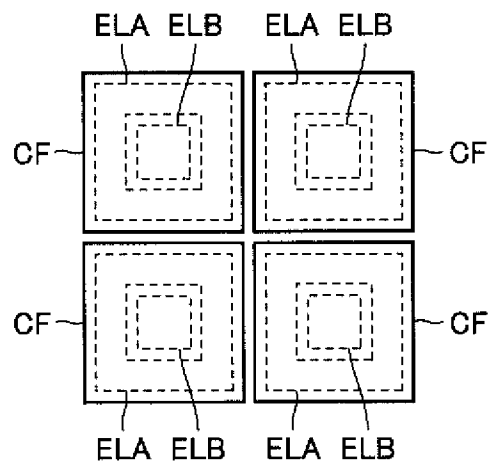
[図57]



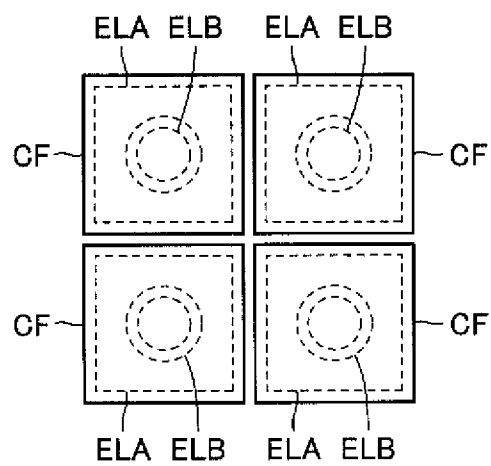
[図58]



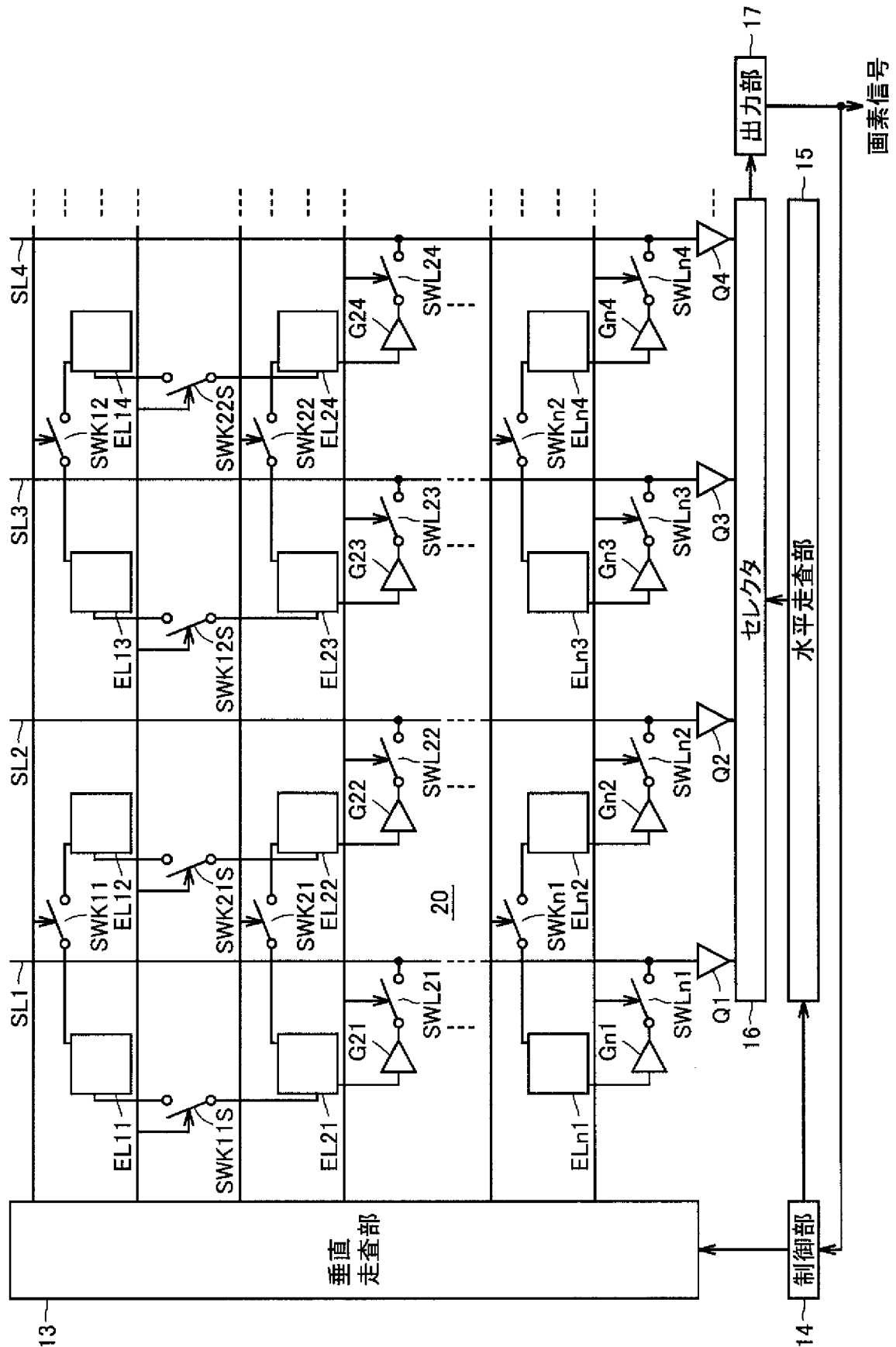
[図59]



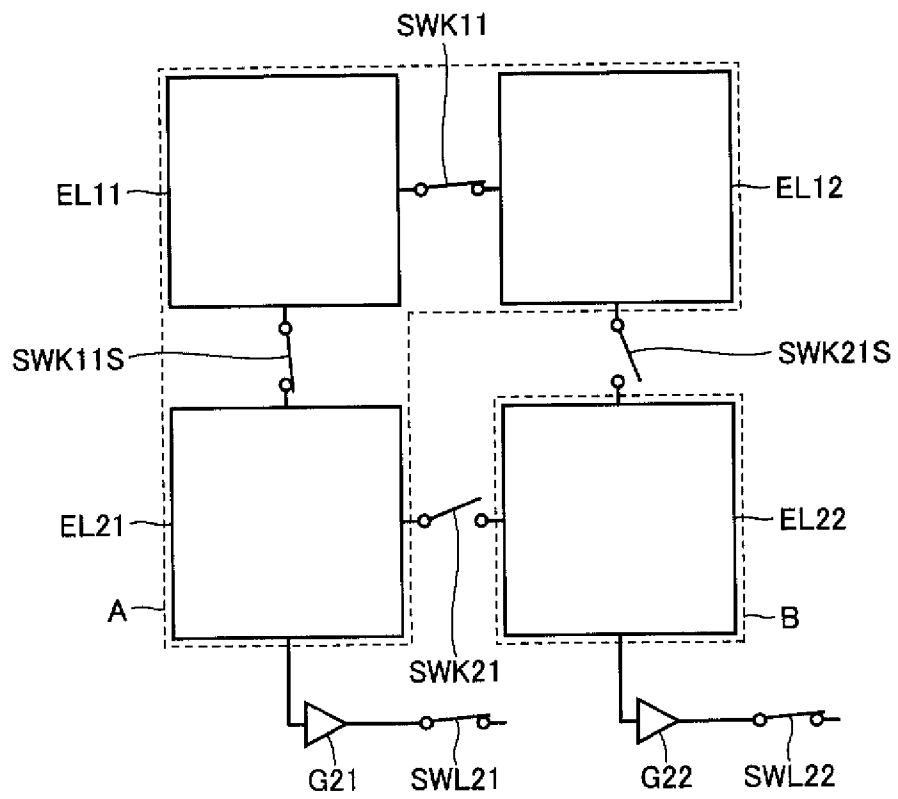
[図60]



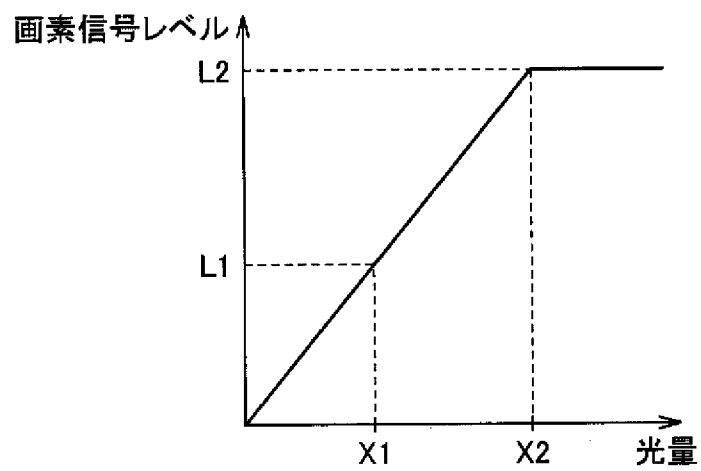
[図61]



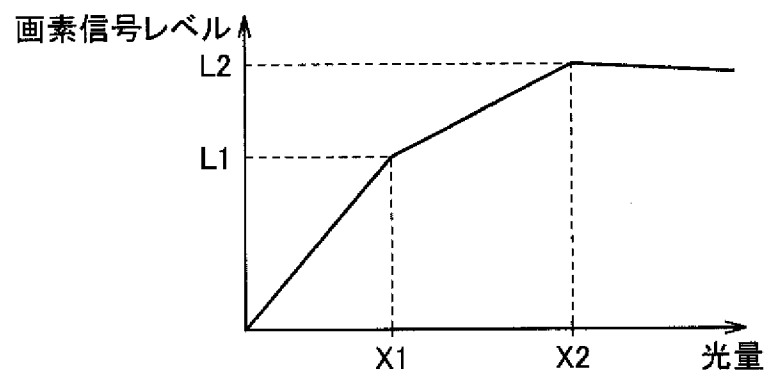
[図62]



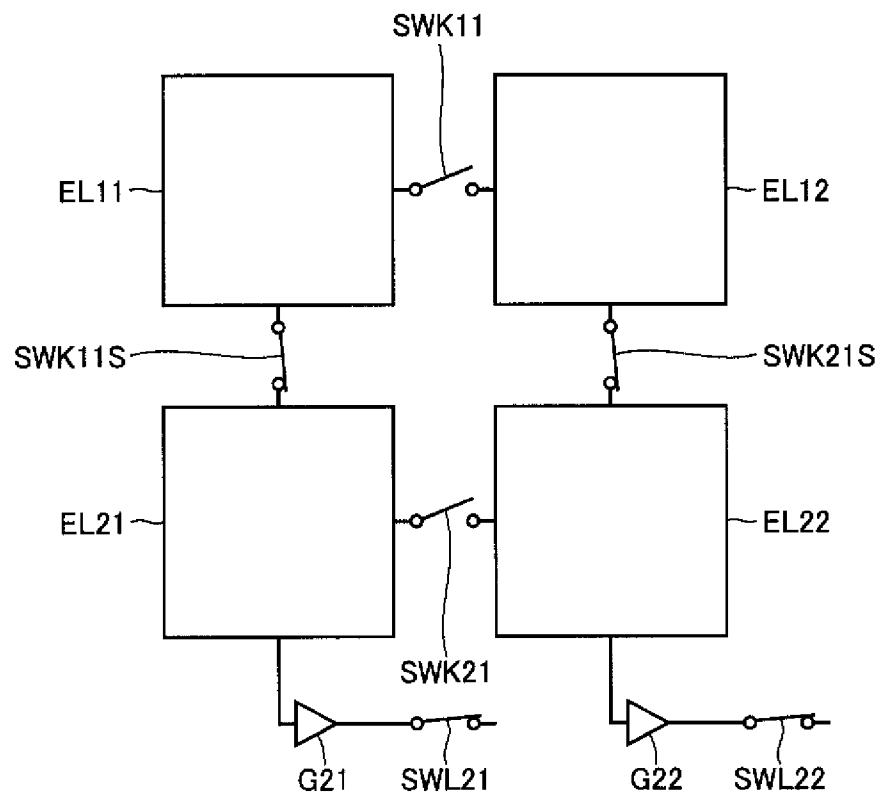
[図63]



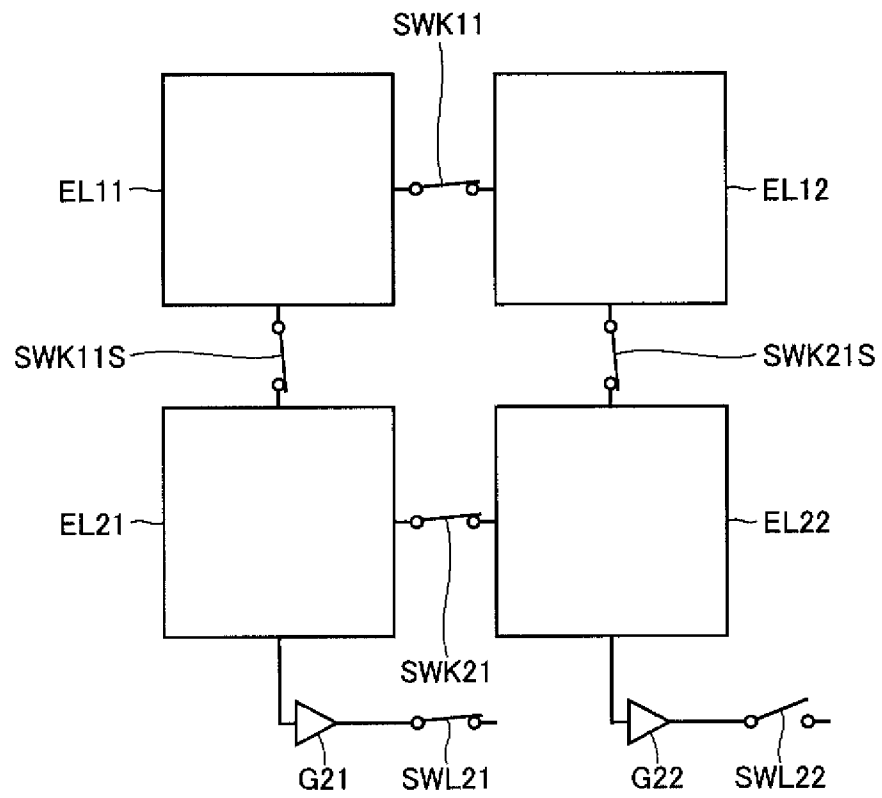
[図64]

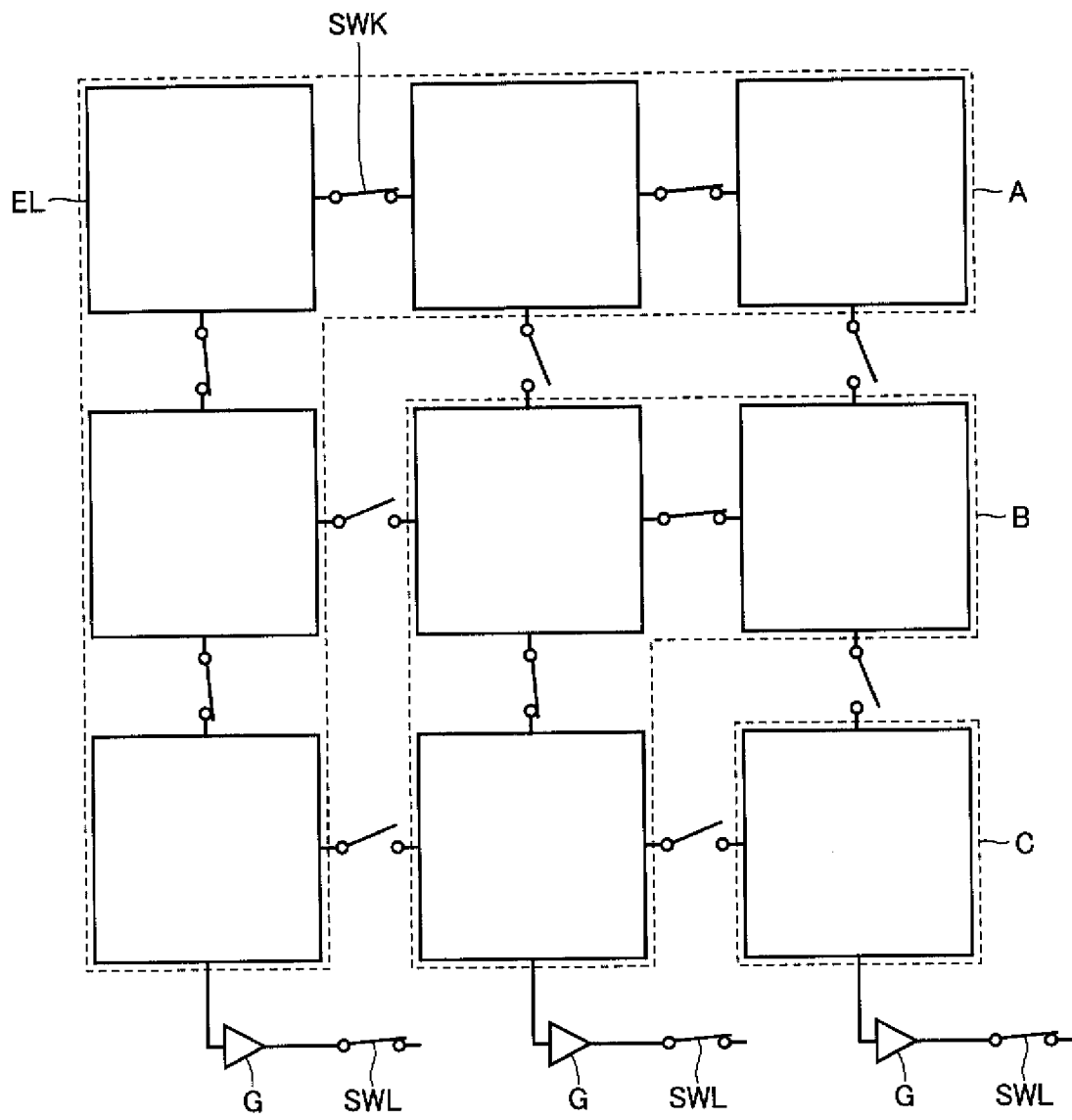


[図65]

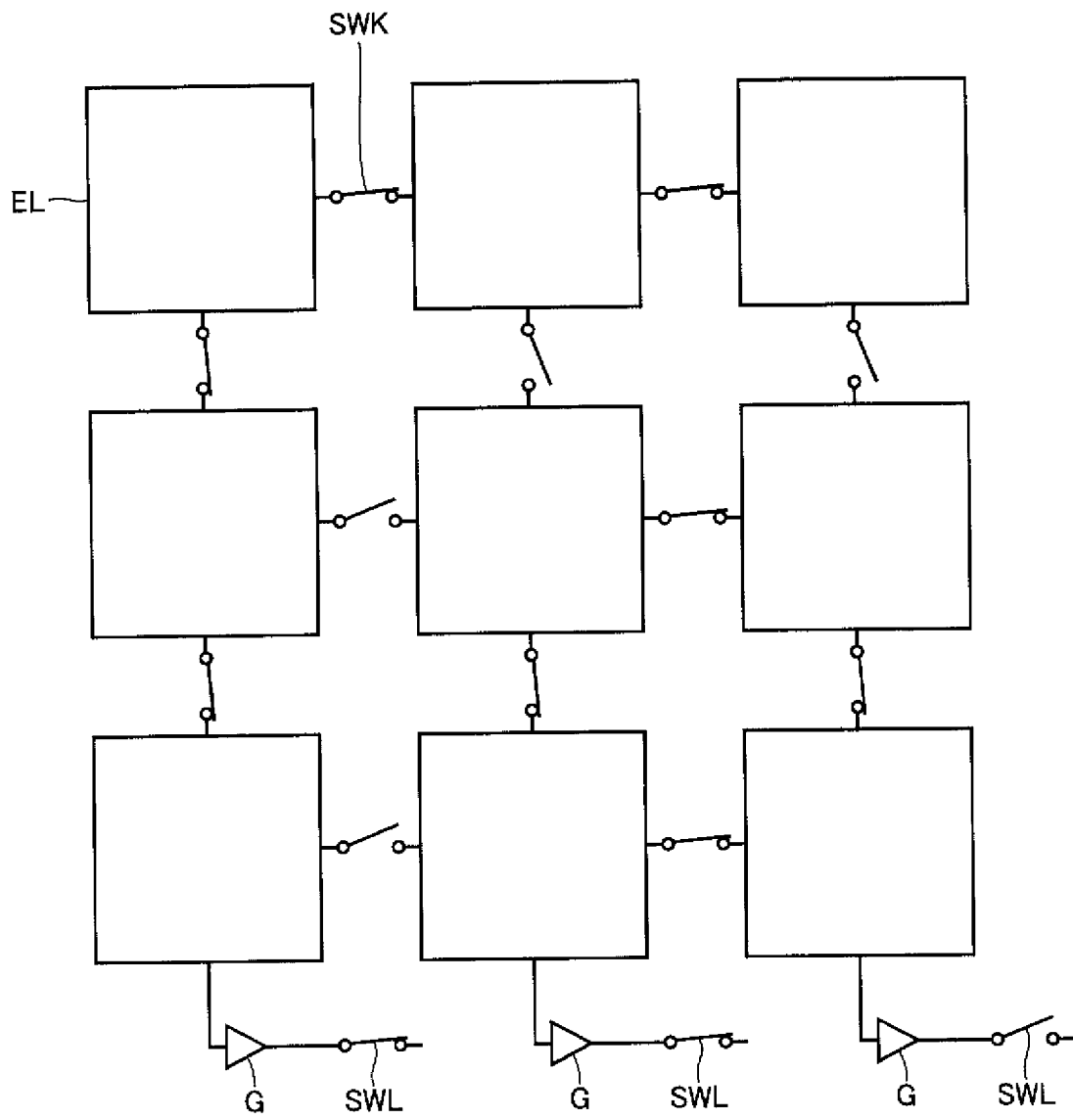


[図66]

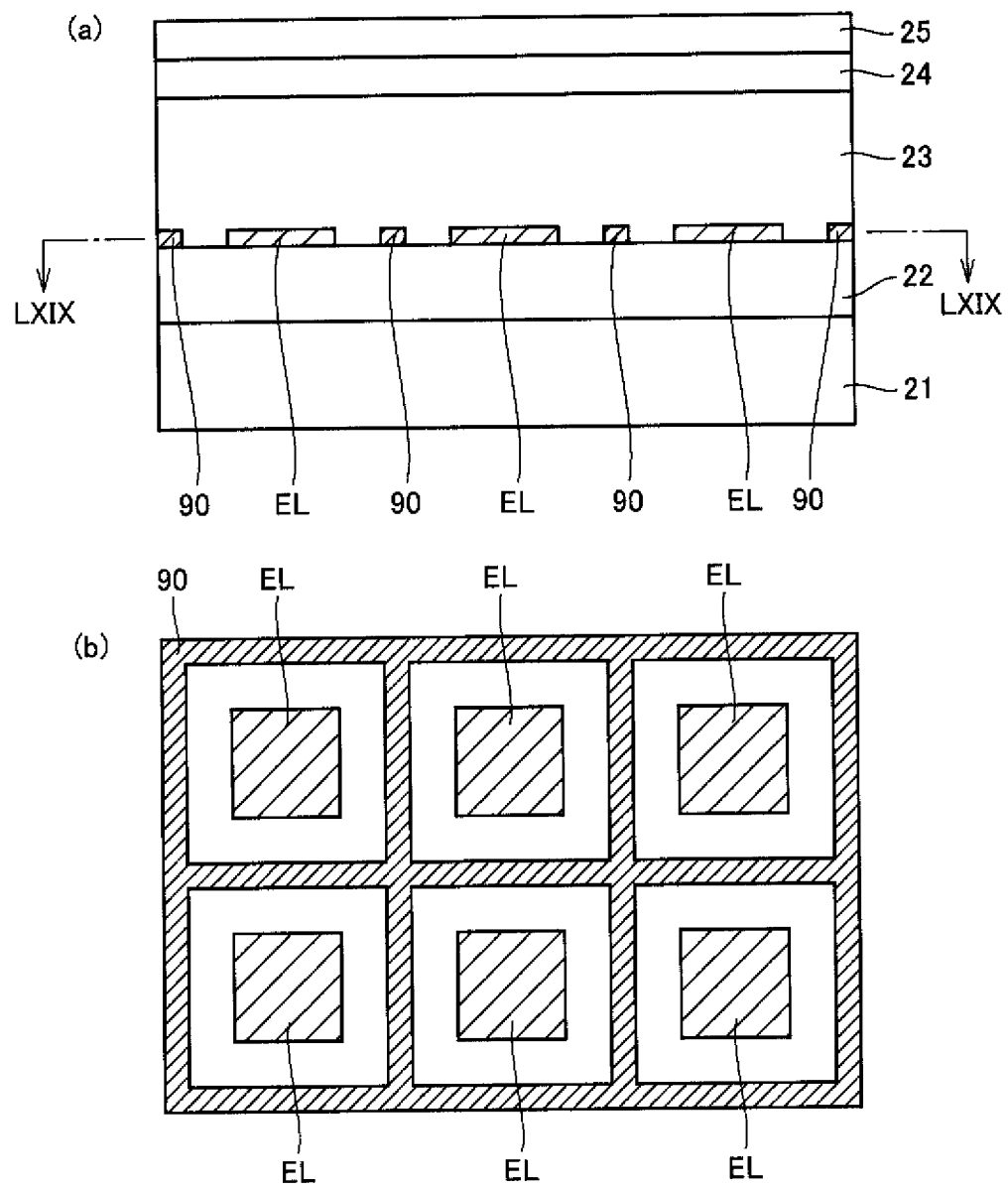




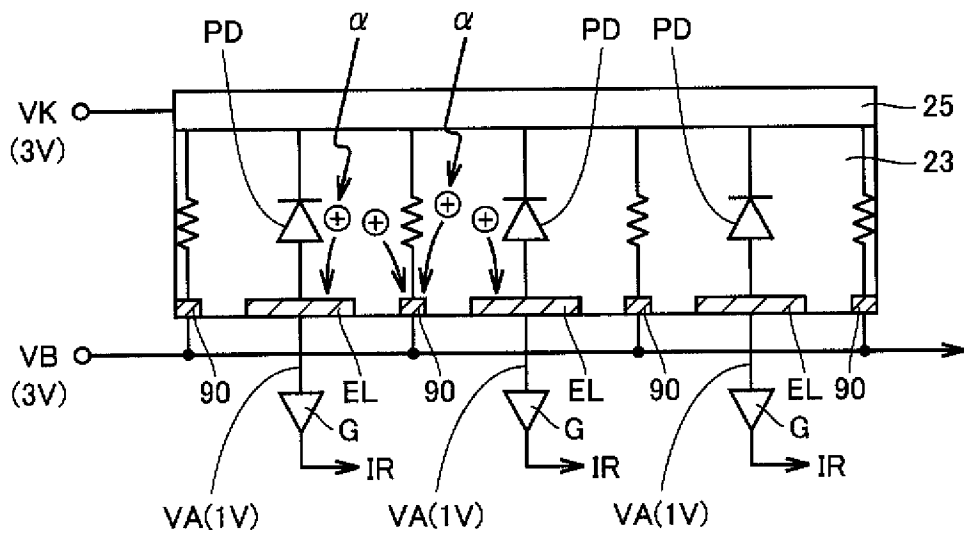
[図68]



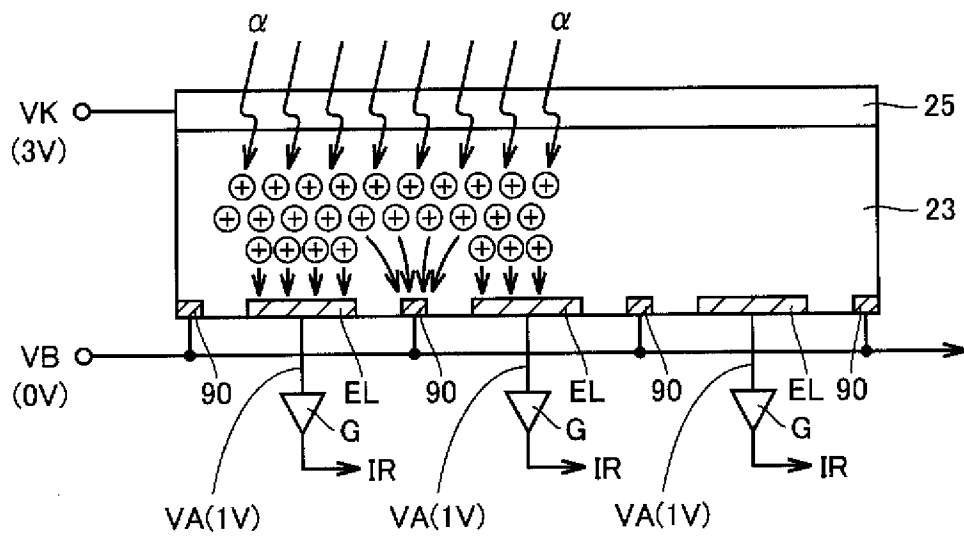
[図69]



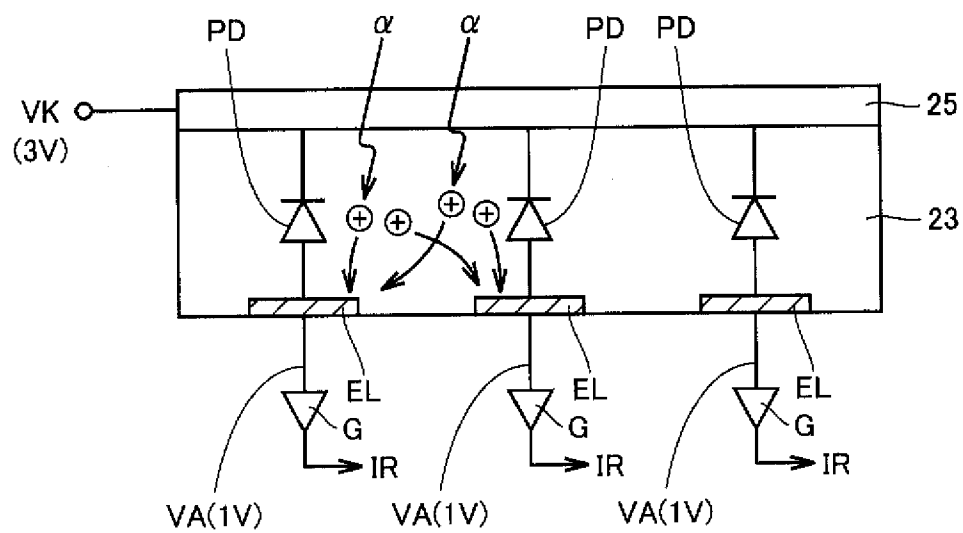
[図70]



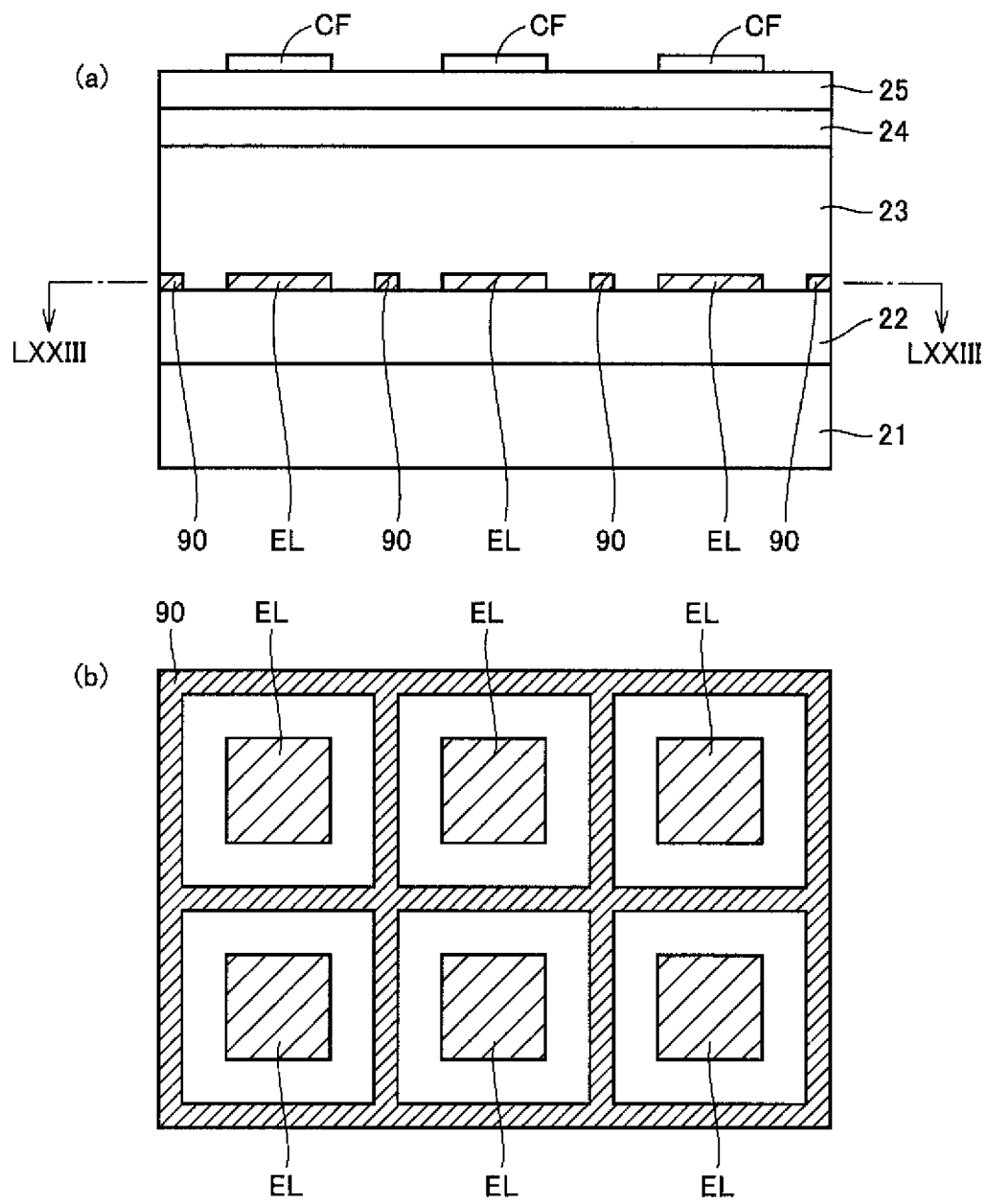
[図71]



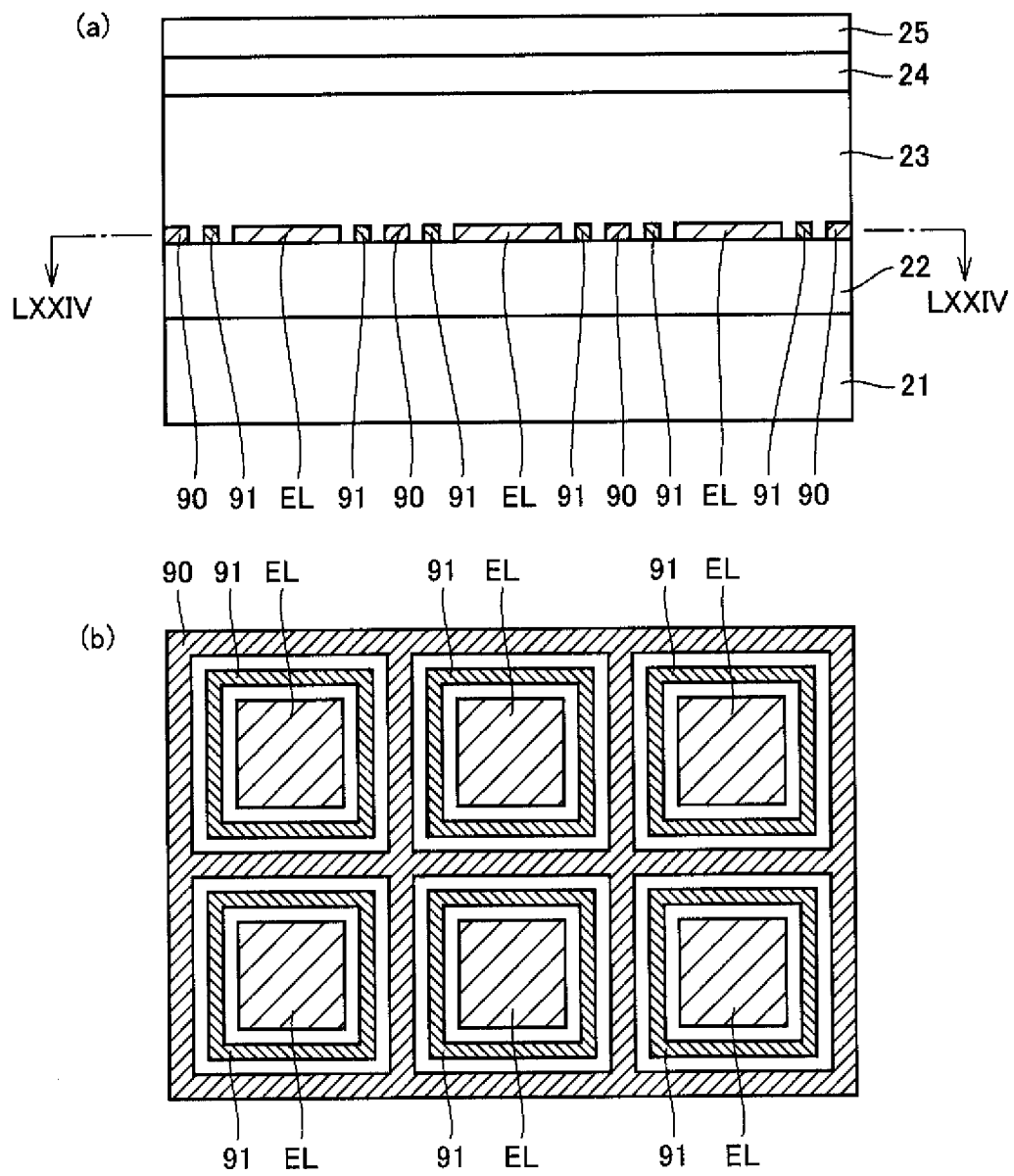
[図72]



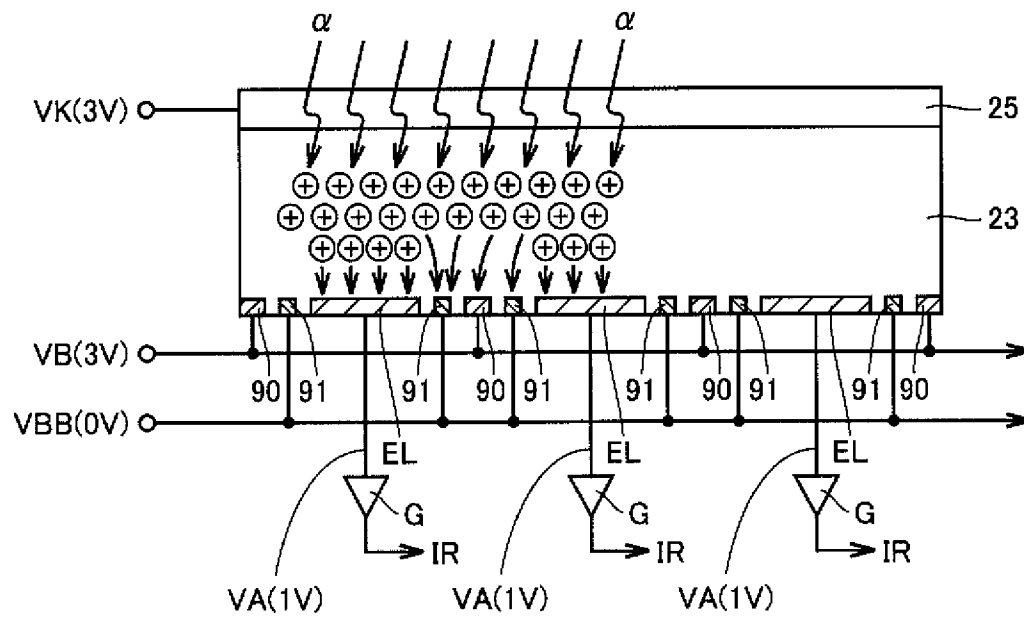
[図73]



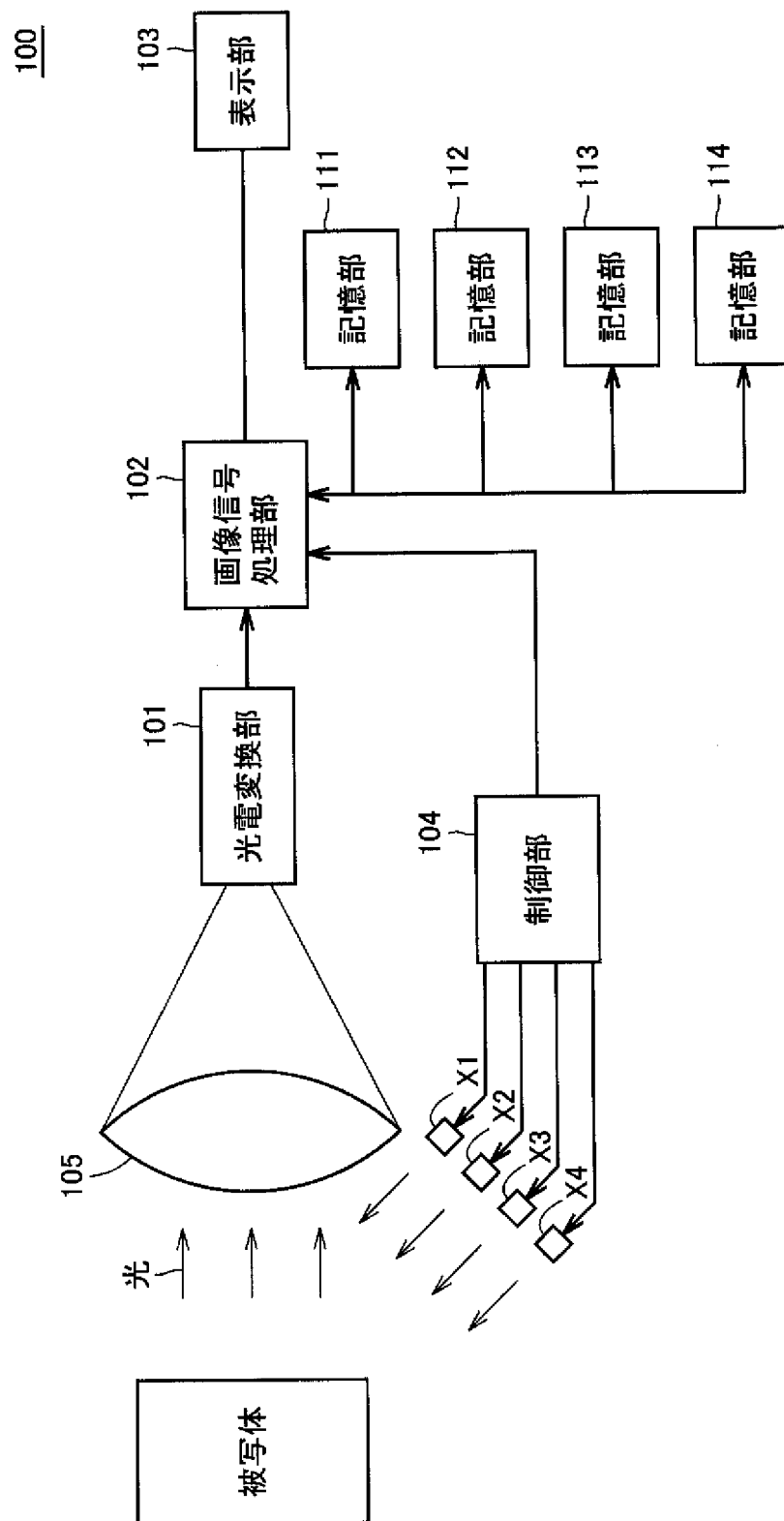
[図74]



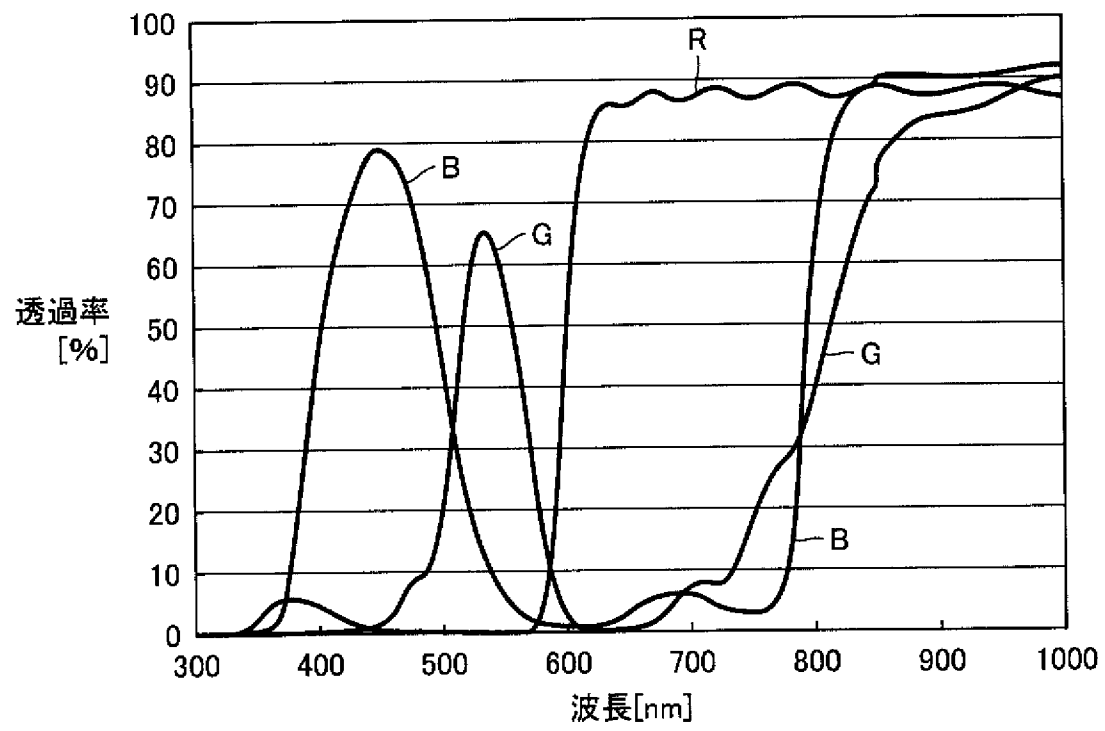
[図75]



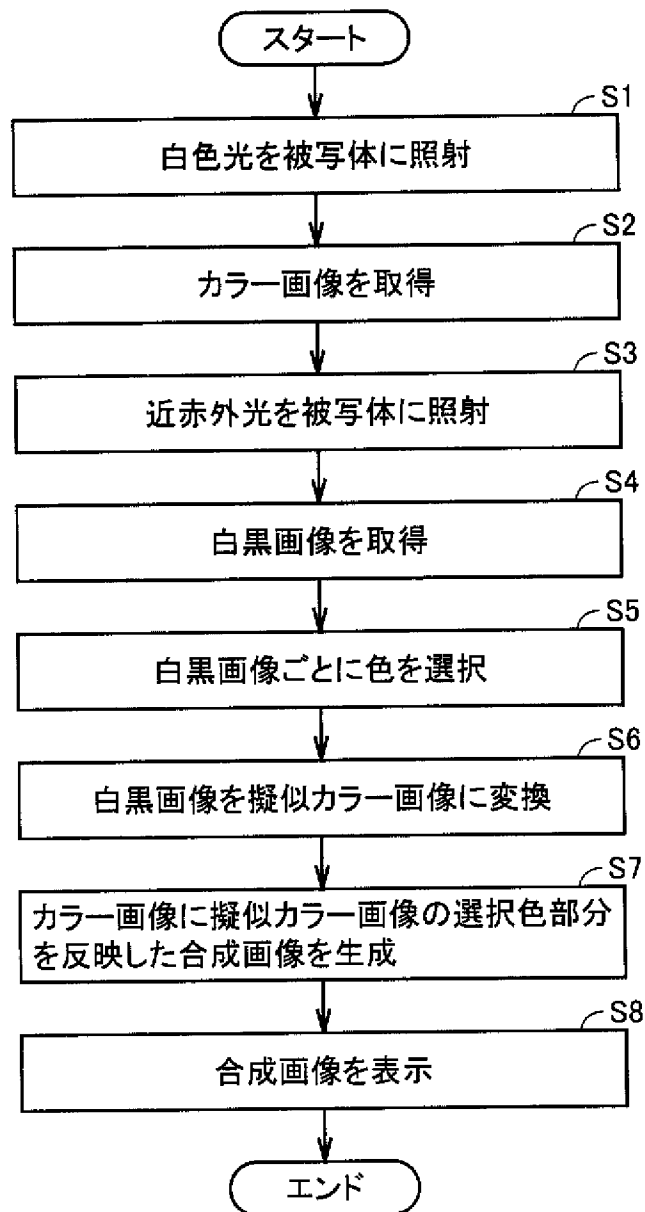
[図76]



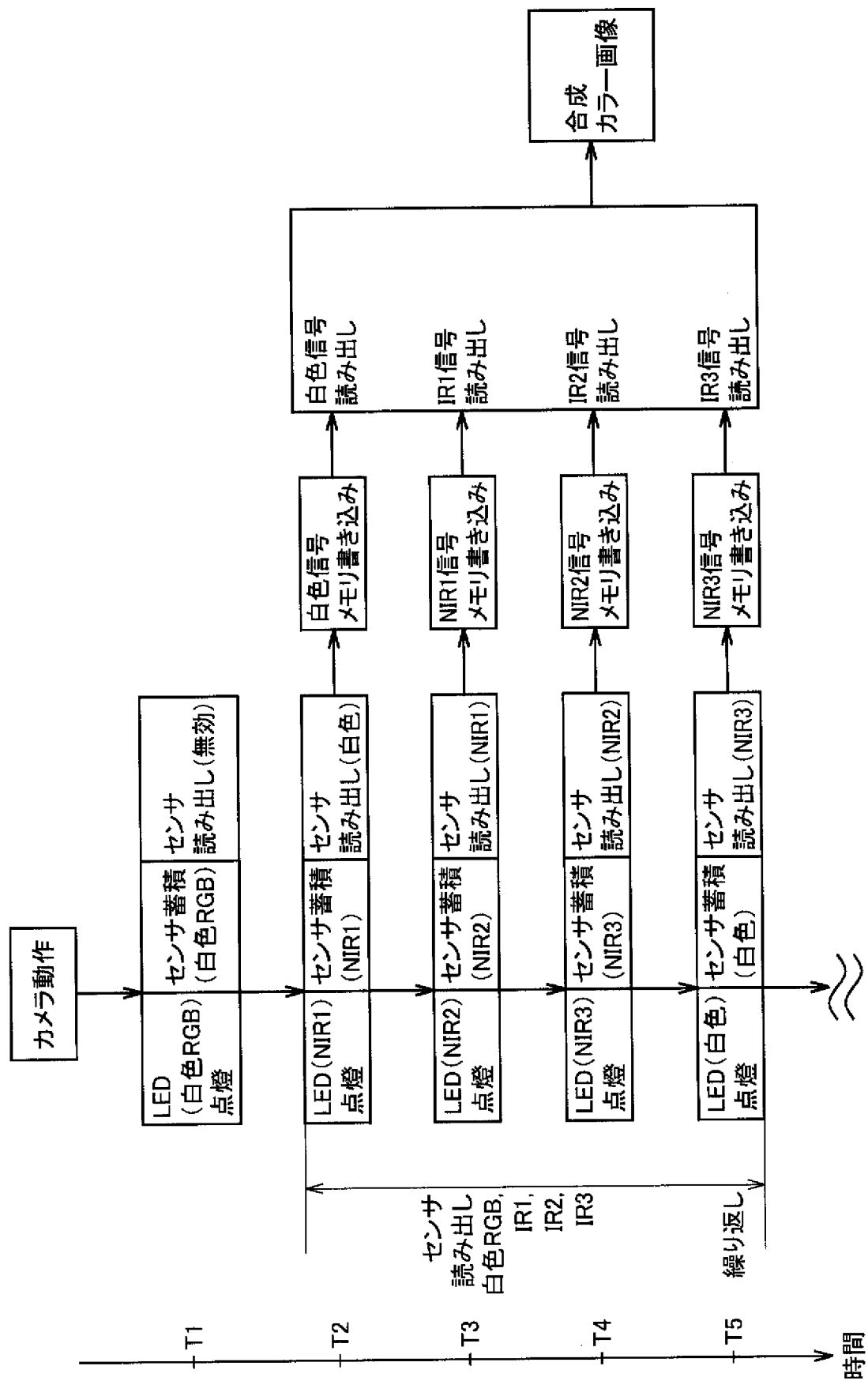
[図77]



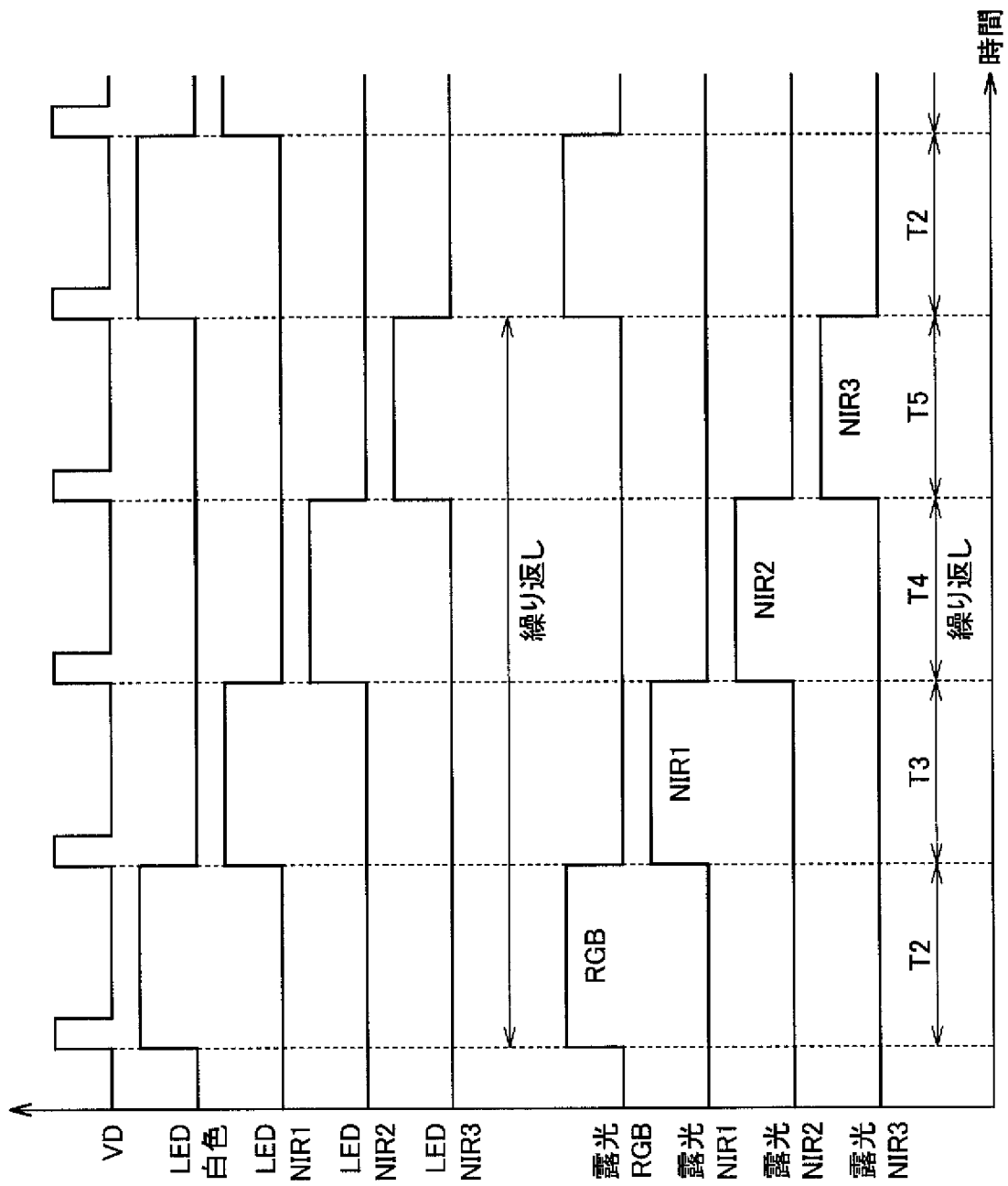
[図78]



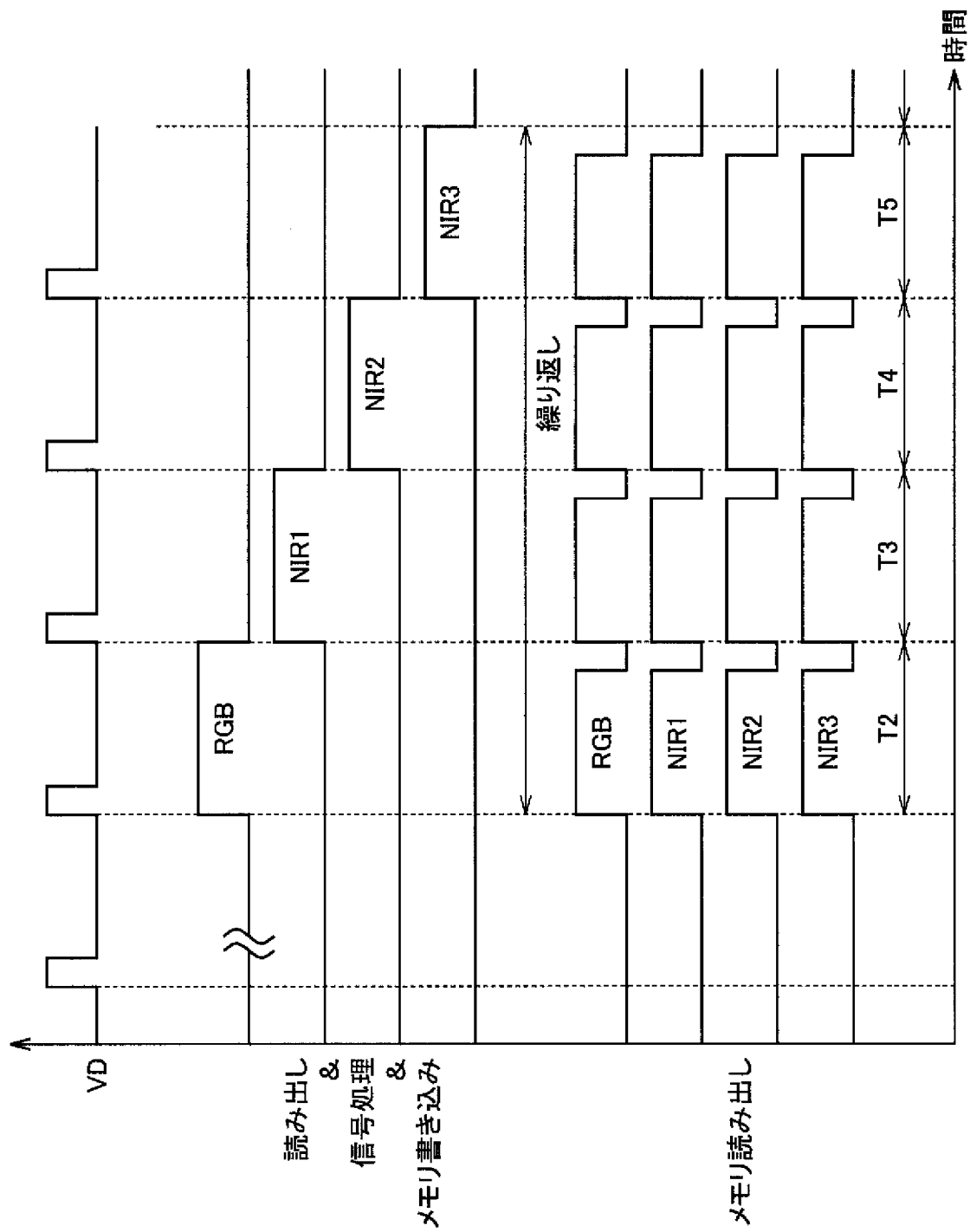
[図79]



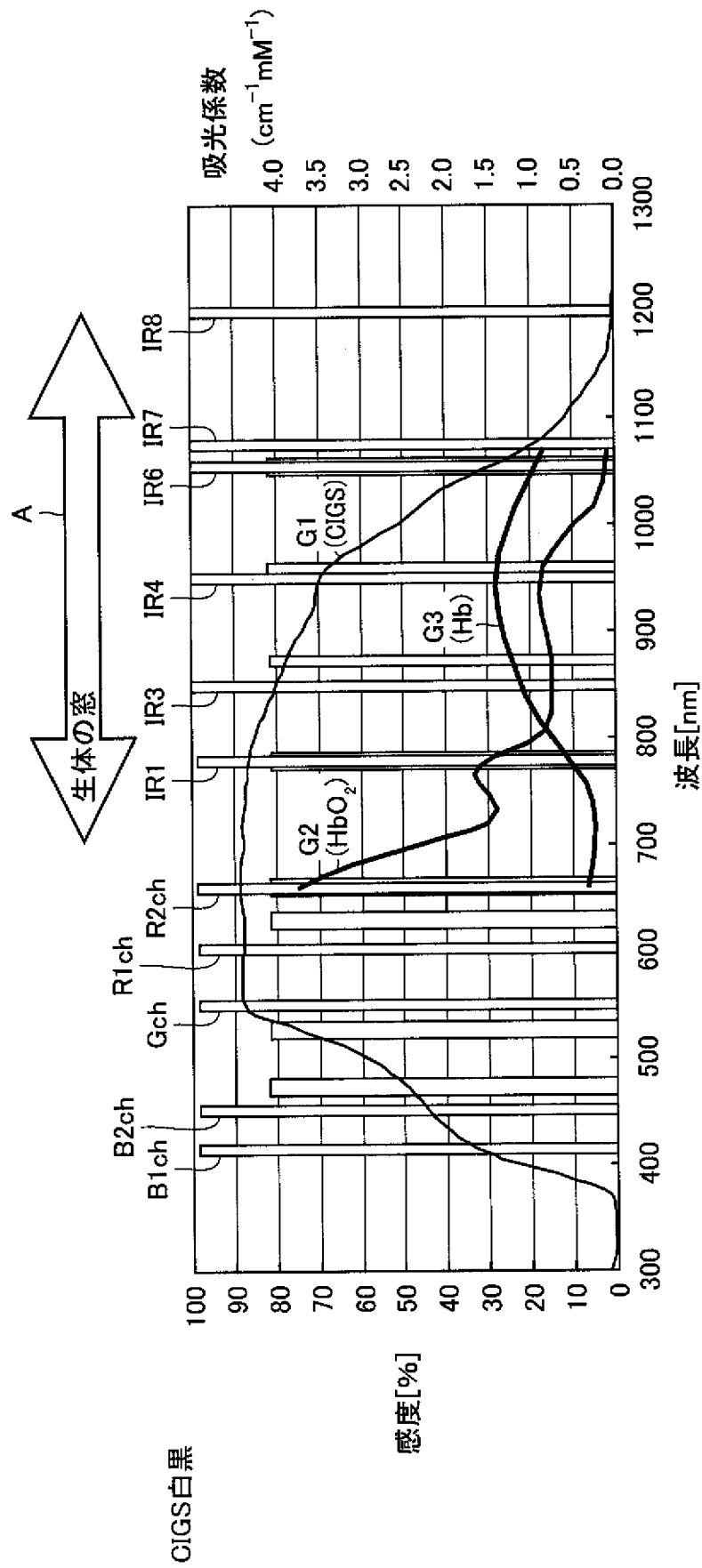
[図80]

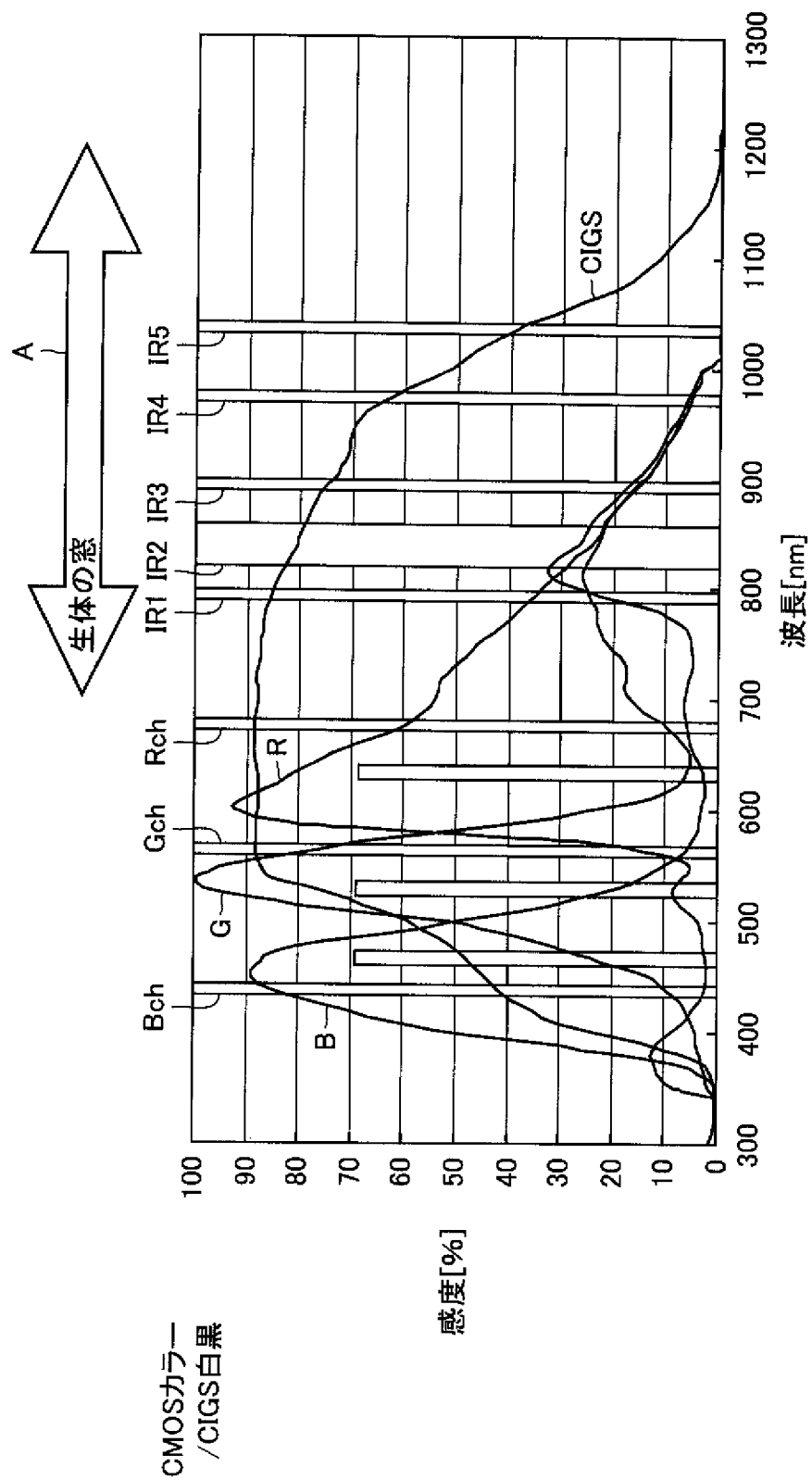


[図81]

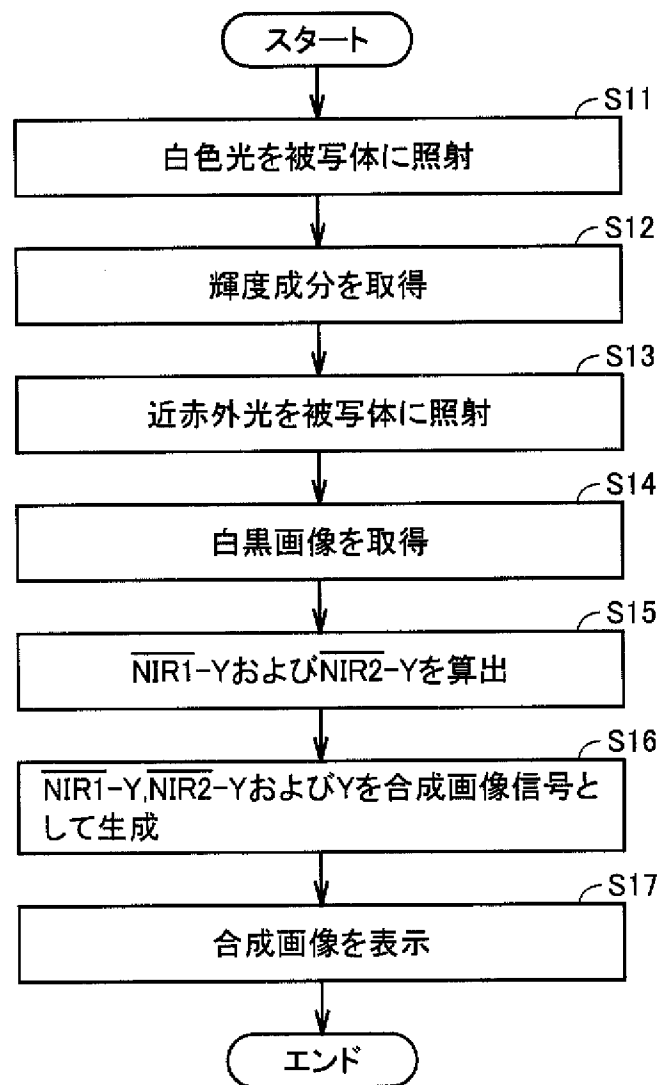


[図82]





[図84]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/056173

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/146(2006.01) i, H04N5/335(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/146, H04N5/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-513443 A (Thermotrex Corp.), 10 October 2000 (10.10.2000),	1-5, 9, 10, 13-17
Y	page 14, line 13 to page 18, line 4; page 21, line 1 to page 24, line 21; page 43, line 2 to page 44, line 3; fig. 2 to 6, 10 to 12 & US 5528043 A & EP 830619 A & WO 1996/033424 A1 & DE 69635303 T & AU 3570097 A & BR 9709841 A & KR 10-2000-0016788 A & CN 1228163 A	6-8, 11, 12
Y	WO 2008/093834 A1 (Rohm Co., Ltd. et al.), 07 August 2008 (07.08.2008), paragraphs [0041] to [0070]; fig. 1 to 4 & EP 2124256 A1 & WO 2008/093834 A1	6-8, 11, 12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
23 June, 2010 (23.06.10)

Date of mailing of the international search report
06 July, 2010 (06.07.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/056173

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-172377 A (Shimadzu Corp.), 17 June 2004 (17.06.2004), paragraphs [0032] to [0041]; fig. 1 to 4 & US 2004/0094721 A1	1-17
A	JP 2002-236054 A (Sharp Corp.), 23 August 2002 (23.08.2002), paragraphs [0001], [0027] to [0040]; fig. 1 to 3 & US 2002/0134943 A1	1-17
A	JP 2001-313384 A (Shimadzu Corp.), 09 November 2001 (09.11.2001), entire text; all drawings & US 2001/0035911 A1	1-17
A	JP 2005-295336 A (Hamamatsu Photonics Kabushiki Kaisha), 20 October 2005 (20.10.2005), paragraphs [0013] to [0030], [0040] to [0045]; fig. 1 to 3, 7 & US 2006/0158542 A1 & EP 1732315 A1 & WO 2005/096622 A1 & KR 10-2006-0130547 A & CN 1820498 A	23-25

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/056173

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☒ Claims Nos.: 18-22
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

Continued to extra sheet

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/056173

Continuation of Box No.II-2 of continuation of first sheet(2)

The technical feature set forth in claims 20-22 which are dependent on claims 18 and 19 is considered to be based on paragraphs [0075]-[0078] and fig. 10-15 of the description (the application that serves as the basis for claiming the rights of priority: JP 2009-154493 A). In the paragraphs and drawings, however, the technical feature of the invention of claims 18 and 19 is not disclosed.

Consequently, the invention of claims 18-22 is not disclosed within the meaning of PCT Article 5, and is not fully supported by the description within the meaning of PCT Article 6. In addition, the invention of claims 18-22 fails to satisfy the requirement of clearness prescribed under PCT Article 6 even by taking the common technical knowledge at the time of filing into consideration.

Continuation of Box No.III of continuation of first sheet(2)

The technical feature common to the invention of claims 1-14 and the invention of claims 18-22 is "a photoelectric conversion device which comprises a semiconductor substrate (omitted), an insulating layer (omitted), a first electrode (omitted), a photoelectric conversion film (omitted), a wiring line (omitted), a first surface electrode (omitted), and a second surface electrode (omitted)". The technical feature, however, does not define a contribution over the prior art in view of the disclosure of document 1 (JP 2000-513443 A (Thermotrex Corp.), 10 October 2000 (10.10.2000), from page 14 line 13 to page 18 line 4, from page 21 line 1 to page 24 line 21, from page 43 line 2 to page 44 line 3, and fig. 2-6 and 10-12), and thus the common technical feature cannot be considered as a special technical feature. In addition, these inventions do not have another same or corresponding special technical feature.

The invention of claims 1-14 and the invention of claims 23-25 do not have a same or corresponding special technical feature.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L27/146 (2006. 01) i, H04N5/335 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L27/146, H04N5/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2000-513443 A (セルモトレックス, コーポレーション) 2000. 10. 10, 第 1 4 頁第 1 3 行 - 第 1 8 頁第 4 行、第 2 1 頁第 1 行 - 第 2 4 頁第 2 1 行、第 4 3 頁第 2 行 - 第 4 4 頁第 3 行、図 2 - 6, 1 0 - 1 2 & US 5528043 A & EP 830619 A & WO 1996/033424 A1 & DE 69635303 T & AU 3570097 A & BR 9709841 A & KR 10-2000-0016788 A & CN 1228163 A	1-5, 9, 10, 13- 17 6-8, 11, 12
Y	WO 2008/093834 A1 (ローム株式会社 外 1 名) 2008. 08. 07, 段落 [0041]-[0070], 図 1 - 4 & EP 2124256 A1 & WO 2008/093834 A1	6-8, 11, 12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 6 . 2 0 1 0

国際調査報告の発送日

0 6 . 0 7 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

恩田 春香

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

8 9 3 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-172377 A (株式会社島津製作所) 2004.06.17, 段落【0032】－【0041】, 図1－4 & US 2004/0094721 A1	1-17
A	JP 2002-236054 A (シャープ株式会社) 2002.08.23, 段落【0001】、【0027】－【0040】, 図1－3 & US 2002/0134943 A1	1-17
A	JP 2001-313384 A (株式会社島津製作所) 2001.11.09, 全文, 全図 & US 2001/0035911 A1	1-17
A	JP 2005-295336 A (浜松ホトニクス株式会社) 2005.10.20, 段落【0013】－【0030】、【0040】－【0045】, 図1－3, 7 & US 2006/0158542 A1 & EP 1732315 A1 & WO 2005/096622 A1 & KR 10-2006-0130547 A & CN 1820498 A	23-25

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☒ 請求項 1 8 - 2 2 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
特別ページに続く。
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

第Ⅱ欄の続き

請求項 1 8, 1 9 を引用する請求項 2 0 - 2 2 に記載された技術的特徴は、明細書の段落【0 0 7 5】 - 【0 0 7 8】、図 1 0 - 1 5（優先権基礎出願：特願 2 0 0 9 - 1 5 4 4 9 3 号）に基づく認められる。しかし、当該記載箇所には請求項 1 8, 1 9 に係る発明の技術的特徴について開示されていない。

したがって、請求項 1 8 - 2 2 に係る発明は、PCT 第 5 条の意味での開示を欠き、また、PCT 第 6 条の意味での明細書の開示による裏付けを欠いている。さらに、出願時の技術常識を勘案しても PCT 第 6 条における明確性の要件を欠いている。

第Ⅲ欄の続き

請求項 1 - 1 4 に係る発明、請求項 1 8 - 2 2 に係る発明は、「半導体基板と、・・・絶縁層と、・・・第 1 の電極と、・・・光電変換膜と、・・・配線と、・・・第 1 の面状電極と、・・・第 2 の面状電極とを備える、光電変換装置。」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献 1（JP2000-513443 A（セルモトレックス，コーポレーション），2000.10.10，第 1 4 頁第 1 3 行 - 第 1 8 頁第 4 行、第 2 1 頁第 1 行 - 第 2 4 頁第 2 1 行、第 4 3 頁第 2 行 - 第 4 4 頁第 3 行、図 2 - 6，1 0 - 1 2）の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、ほかに同一の又は対応する特別な技術的特徴は存在しない。

請求項 1 - 1 4 に係る発明、請求項 2 3 - 2 5 に係る発明は、同一の又は対応する特別な技術的特徴を有しない。