



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I542032 B

(45)公告日：中華民國 105 (2016) 年 07 月 11 日

(21)申請案號：101103632

(22)申請日：中華民國 101 (2012) 年 02 月 04 日

(51)Int. Cl. : H01L33/02 (2010.01)

H01L33/22 (2010.01)

(30)優先權：2011/02/07 德國

10 2011 003 684.9

(71)申請人：歐斯朗奧托半導體股份有限公司(德國)OSRAM OPTO SEMICONDUCTORS GMBH  
(DE)

德國

(72)發明人：艾伯 約翰 EIBL, JOHANN (DE)；英格 卡羅 ENGL, KARL (DE)；蘭伐路西  
塔馬斯 LAMFALUSI, TAMAS (DE)；茂堤 馬庫斯 MAUTE, MARKUS (DE)

(74)代理人：何金塗；王彥評

(56)參考文獻：

DE 102008062933A1

US 2010/0041170A1

審查人員：許勝宗

申請專利範圍項數：19 項 圖式數：6 共 33 頁

(54)名稱

光電半導體晶片及光電半導體晶片之製造方法

OPTO-ELECTRONIC SEMICONDUCTOR CHIP AND METHOD FOR PRODUCING OPTO-ELECTRONIC SEMICONDUCTOR CHIP

(57)摘要

一種光電半導體晶片(100)，具有：磊晶層序列(102)，包括一摻雜的磊晶層(104)，其具有第一區(116)和第二區(118)；及受保護之結構(108、106)。該摻雜的磊晶層(104)之第一區(116)完全覆蓋上述受保護之結構(108、106)。該摻雜的磊晶層(104)之外部表面(119)在第一區(116)中具有第一粗糙度且在第二區(118)中具有第二粗糙度。

An opto-electronic semiconductor chip (100) with an epitaxy layer sequence (102) having a doped epitaxy layer (104) with a first area (116) and a second area (118), and a protected structure (108, 106). The first area (116) of the doped epitaxy layer (104) fully covers the protected structure (108, 106). The outer surface (119) of the doped epitaxy layer (104) has in the first area (116) a first roughness and in the second area (118) a second roughness.

指定代表圖：

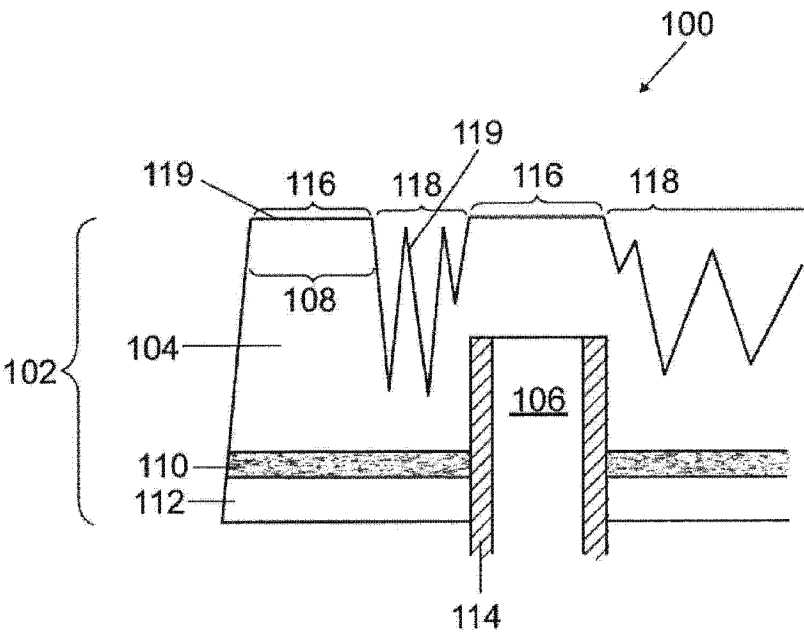


圖 2d

- 符號簡單說明：
- 100 . . . 半導體晶片
  - 102 . . . 磊晶層序列
  - 104 . . . 摻雜之磊晶層
  - 106 . . . 接觸缺口
  - 108 . . . 磊晶層序列之環形的邊緣
  - 110 . . . 活性區
  - 112 . . . 另一摻雜之磊晶層
  - 114 . . . 鈍化層
  - 116 . . . 外部表面之第一區
  - 118 . . . 外部表面之第二區
  - 119 . . . 摻雜之磊晶層的外部表面

發明專利說明書

PD1128553E

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101103632

※ 申請日：101.2.4

※IPC 分類：

H01L33/02 (2010.01)

一、發明名稱：(中文/英文)

H01L33/02 (2010.01)

光電半導體晶片及光電半導體晶片之製造方法

OPTO-ELECTRONIC SEMICONDUCTOR CHIP AND METHOD

FOR PRODUCING OPTO-ELECTRONIC SEMICONDUCTOR CHIP

## 二、中文發明摘要：

一種光電半導體晶片(100)，具有：磊晶層序列(102)，包括一摻雜的磊晶層(104)，其具有第一區(116)和第二區(118)；及受保護之結構(108、106)。該摻雜的磊晶層(104)之第一區(116)完全覆蓋上述受保護之結構(108、106)。該摻雜的磊晶層(104)之外部表面(119)在第一區(116)中具有第一粗糙度且在第二區(118)中具有第二粗糙度。

## 三、英文發明摘要：

An opto-electronic semiconductor chip (100) with an epitaxy layer sequence (102) having a doped epitaxy layer (104) with a first area (116) and a second area (118), and a protected structure (108, 106). The first area (116) of the doped epitaxy layer (104) fully covers the protected structure (108, 106). The outer surface (119) of the doped epitaxy layer (104) has in the first area (116) a first roughness and in the second area (118) a second roughness.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 2d 圖。

(二)本代表圖之元件符號簡單說明：

|     |                       |
|-----|-----------------------|
| 100 | 半 導 體 晶 片             |
| 102 | 磊 晶 層 序 列             |
| 104 | 摻 雜 之 磊 晶 層           |
| 106 | 接 觸 缺 口               |
| 108 | 磊 晶 層 序 列 之 環 形 的 邊 緣 |
| 110 | 活 性 區                 |
| 112 | 另 一 摻 雜 之 磊 晶 層       |
| 114 | 鈍 化 層                 |
| 116 | 外 部 表 面 之 第 一 區       |
| 118 | 外 部 表 面 之 第 二 區       |
| 119 | 摻 雜 之 磊 晶 層 的 外 部 表 面 |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明涉及一種光電半導體晶片及光電半導體晶片之製造方法。

### 【先前技術】

光電半導體晶片可發出電磁輻射。光電半導體晶片具有一種磊晶層序列。此磊晶層序列可具有一摻雜之磊晶層。電磁輻射可經由該摻雜之磊晶層之一外部表面而由光電半導體晶片發出。該摻雜之磊晶層之外部表面可粗糙化。已粗糙化的表面可具有稜錐體結構。此稜錐體結構是需要的或有利的，以便使電磁輻射由光電半導體晶片發出時之發射效率提高。磊晶層序列之該摻雜之磊晶層可經由所謂之接觸缺口而達成電性接觸。各接觸缺口例如具有銀以便達成導電性。各接觸缺口的至少一部份橫越該磊晶層序列之遠離該摻雜之磊晶層之側面的磊晶層序列。由於該摻雜之磊晶層之外部表面之所需的粗糙化，則該摻雜之磊晶層被薄化。藉由各接觸缺口，可使該摻雜之磊晶層大大地薄化，以使各接觸缺口之至少一部份裸露出。因此，銀亦裸露出。由於裸露的各接觸缺口，使光電半導體晶片不能使用。各接觸缺口之裸露的銀在半導體晶片之一般的光學控制中可被辨認出。

### 【發明內容】

本發明的目的是提供一種光電半導體晶片，其中像各接觸缺口之類的結構亦可在粗糙化之後受到保護且同時可有效率地發出電磁輻射。

上述目的藉由申請專利範圍獨立項第 1 項之光電半導體晶片及獨立項第 10 項之光電半導體晶片之製造方法來達成。

光電半導體晶片及光電半導體晶片之製造方法的其它形式和有利的佈置方式描述在申請專利範圍各附屬項中。

#### 例示性的實施形式

光電半導體晶片之不同的實施形式具有一種磊晶層序列。此磊晶層序列包含一摻雜之磊晶層。此摻雜之磊晶層包含第一區和第二區。該磊晶層序列具有一受保護之結構。該摻雜之磊晶層之第一區完全覆蓋該受保護之結構。該摻雜之磊晶層之外部表面在第一區中具有第一粗糙度，且在第二區中具有第二粗糙度。此種配置可確保：該受保護之結構不會裸露出且同時可使該磊晶層序列中所產生的電磁輻射達成高的發射效率。

該磊晶層序列能以 GaN-或 InGaN-層系統為主。在該磊晶層序列中設置活性區。此活性區發出電磁輻射，其可由半導體晶片發出。發出的光譜較佳是位於綠色光至紫外線之範圍中，特別佳時位於藍色光譜區中。然而，發出的此種光譜亦可位於紅色至黃色的光譜區中。

該磊晶層序列之厚度典型上是在 1 微米和 20 微米之間。

粗糙度是一種表面物理性的概念且表示表面高度之不相同。表面粗糙度例如可藉由拋光、研磨、蝕刻或腐蝕而受到影響。已有多種粗糙度表示法，其全部以單位

“微米”來表示。

該摻雜之磊晶層的外部表面之第一粗糙度可藉由特別之孔形式的深度小於 0.5 微米的凹口來形成。此種結構例如可在進行雷射剝離(Lift Off)時產生。在進行雷射剝離時，可藉由雷射之入射而使基板由先前生長在基板上的磊晶層序列分離。此外，第一粗糙度亦會由於該摻雜之磊晶層的外部表面上的晶格缺陷和表面缺陷而形成。像孔形式的凹口、晶格缺陷或表面缺陷等之類的結構對光之發出而言只有微小的相關性。

在一較佳之實施形式中，該摻雜之磊晶層之外部表面的第一區係由一保護罩所覆蓋。此保護罩應覆蓋該摻雜之磊晶層的在粗糙化過程中不繼續粗糙化的區域。在一較佳的實施形式中，該保護罩在粗糙化過程之後可保留在該摻雜之磊晶層上。該保護罩可具有氮化矽(SiN)或二氧化矽(SiO<sub>2</sub>)。特別有利的是二氧化矽。相對於氮化矽而言，二氧化矽幾乎不吸收藍色和綠色光譜區中之電磁輻射。反之，氮化矽和二氧化矽在紅色光譜區中只輕微地具有吸收性。因此，在使紅色光譜區之電磁輻射發出的活性區中可使用二種材料。

在另一有利的實施形式中，該摻雜之磊晶層之外部表面之第一區未被覆蓋，即，在第一區上未配置該保護罩。這藉由將該保護罩在粗糙化過程之後予以去除來達成。這樣是有利的，此乃因該摻雜之磊晶層之外部表面在粗糙化時所使用的化學物將不會在該保護罩上形成殘留物。此外，亦可在該保護罩中避免光吸收的問題。

在一較佳的實施形式中，覆蓋各接觸缺口之第一區之第一粗糙度藉由蝕刻深度達 1 微米的稜錐體形式之凹口來形成。這是有利的，此乃因這樣亦可使電磁波經由該受保護之結構而有效率地由磊晶層序列中發出。最大 1 微米之蝕刻深度確保了該受保護之結構不會裸露出。在本申請案中，提供一種平均的步級(step)高度之粗糙度，其藉由已蝕刻的稜錐體形式之凹口而產生。

在一較佳的實施形式中，第二區上的第二粗糙度藉由蝕刻深度為 0.5 微米至 4 微米的稜錐體形式之凹口而形成。稜錐體形式之凹口的側面與該磊晶層序列的平面形成一種 35 度至 75 度的角度，較佳是 50 度至 70 度。各別的角度藉由晶體方向和化學剝蝕來設定。由微米範圍之蝕刻深度和 35 度至 75 度之間的角度所形成的組合特別有利，此乃因這樣可使特別多的電磁輻射成份由該磊晶層序列發出。這因此是與“蝕刻深度越大，則產生越大的稜錐體”有關。稜錐體越大，則可發出越多的光。此種關係只有當所發出的電磁輻射在磊晶層序列的媒體中所具有的波長小於稜錐體之基底測量的直徑時才適用。例如，該磊晶層序列以 GaN-系統為主。在電磁輻射之波長大約是 0.4 微米時，GaN 的折射率大約是 2.5。電磁輻射在媒體中的波長因此大約是 0.16 微米。稜錐體之基底的直徑可大於約 0.16 微米，此種稜錐體可發出電磁輻射。

在一較佳的實施形式中，受保護之結構具有多個接觸缺口。各接觸缺口以平行於該磊晶層序列的方式而橫跨該磊晶層序列且形成一種至摻雜之磊晶層之電性接

觸。這樣是有利的，此乃因該摻雜之磊晶層可被透過，使由磊晶層序列之活性區所發出的光未被遮蔽。這因此是與“在該摻雜之磊晶層之外部表面上各電性接觸結構已不需要”有關。

在一較佳的實施形式中，該摻雜之磊晶層是 n-摻雜層。此 n-摻雜層藉由可導電之接觸缺口而與光電半導體晶片之 n-接觸區相連接。

在一較佳的實施形式中，受保護之結構形成該磊晶層序列的環形之邊緣。這樣特別有利，此乃因該環形之邊緣可受到保護而不受到粗糙化時所使用的蝕刻化學物的影響。結果，該環形之邊緣具有明確地定義的形式、結構精確性和最小長度。就光電半導體晶片之自動控制之步驟而言，光滑的邊緣是重要的。該磊晶層序列之受保護的環形之邊緣在以磷酸來對平台(mesa)邊緣進行蝕刻時亦有助益。由  $\text{SiO}_2$  構成的鈍化層可覆蓋該摻雜之磊晶層。鈍化層的主要目的在於覆蓋該平台邊緣，以防止短路。環形之邊緣受到保護之目的為：可使磷酸只輕微地對  $\text{SiO}_2$  鈍化層進行欠蝕刻(under-etching)或欠滲漏。結果，在摻雜之磊晶層中只產生很少的電洞。整個磊晶層序列能以有利的方式而在邊緣上以磷酸來進行貫穿式蝕刻而不會侵蝕該摻雜之磊晶層。

各種不同的實施形式包括一種用來製造光電半導體晶片的方法。首先，製備一種磊晶層序列。此磊晶層序列生長在基板上，特別是生長在碳化矽( $\text{SiC}$ )、矽( $\text{Si}$ )或藍寶石( $\text{Al}_2\text{O}_3$ )上。該磊晶層序列之遠離該基板之面接合

至一載體(特別是具有鍍者)上。然後，該磊晶層序列藉由雷射輻射的照射而由基板分離(雷射剝離)。該磊晶層序列具有一摻雜之磊晶層，其包含一外部表面。然後，在該外部表面上施加一已結構化之保護罩。然後，對該摻雜之磊晶層進行蝕刻。可使用氫氧化鉀(KOH)做為蝕刻劑。因此，在外部層之由該保護罩所覆蓋的區域上仍保留著具有第一粗糙度的第一區。這樣是有利的，此乃因在第一區中該磊晶層序列未被薄化。因此，一方面可防止受保護之結構之不期望的裸露。另一方面可使該磊晶層序列在蝕刻之前設置成較薄。較薄的磊晶層序列的蝕刻通常會造成不深的稜錐體。然而，這樣可使所需之昂貴的磊晶層材料的量下降。在該外部表面之未由保護罩所覆蓋的區域上產生一種具有第二粗糙度的第二區。這樣是有利的，此乃因在第二區中產生微米範圍的蝕刻深度。此種蝕刻深度成為稜錐體的形成之先決條件，該稜錐體可使電磁輻射有效率地發出。特別有利的是，粗糙化時間較以無保護罩來進行的蝕刻之方法時多很多。於是，可達成更大的蝕刻深度且因此可達成更大的稜錐體。這樣是有利的，此乃因更多的光可經由稜錐體發出。

在一較佳的實施形式中，該保護罩經由多個接觸缺口而施加在外部表面上。如上所述，這樣是有利的，此乃因在蝕刻步驟中各接觸缺口須設法裸露出來。

在一較佳的實施形式中，該保護罩施加在磊晶層序列之環形之邊緣上。這樣是有利的，此乃因在以磷酸來對平台邊緣進行蝕刻時可使平台邊緣受到保護。

在一較佳的實施形式中，在以氫氧化鉀來對該摻雜之磊晶層進行蝕刻之後將該保護罩由第一區去除。這樣是有利的，此乃因該外部表面之第一區可被再蝕刻。於是，該磊晶層序列中所產生的電磁輻射之發射效率可提高。

### 【實施方式】

本發明的解決方式之各種不同的實施例以下將依據圖式來詳述。各圖式中相同、相同形式或作用相同的各組件分別設有相同的參考符號。所示圖式以及圖式中各元件和各元件之間的比例未必依比例繪出。反之，為了更清楚及更容易了解，各別的元件可放大地顯示出或縮小。

圖 1a 顯示一種未具備受保護之區域的光電半導體晶片 100 之一實施例的剖面圖。磊晶層序列 102 具有摻雜之磊晶層 104、活性區 110 和另一摻雜之磊晶層 112 且配置在一電流擴散層 122 上。此電流擴散層 122 包括一具有銀的鏡面；及銀鏡面之包封件。包封材料具有金。電流擴散層 122 配置在電性絕緣之鈍化層 114 上，電流擴散層 122 上跟隨著可導電之材料 124，其具有銀。然後跟隨著一可導電之載體 126，其例如由鍺構成。在該載體 126 之遠離該磊晶層序列之此側上施加第一接觸區 128。經由該磊晶層序列 102 而配置多個接觸缺口 106。藉由各接觸缺口 106，使第一接觸區 128 與摻雜之磊晶層 104 達成電性連接。於此，將可導電之材料 124 填充至各接觸缺口 106 中且藉由鈍化層 114 而與另一摻

雜之磊晶層 112 隔開。第二接觸區 130 經由電流擴散層 122 而形成一種對該另一摻雜之磊晶層 112 的電性接觸區。該摻雜之磊晶層 104 具有稜錐體形式之凹口，其到達上述接觸缺口 106。在各接觸缺口 106 上形成該可導電之材料 124 之裸露的區域 107。於是，具有銀之該可導電之材料 124 的至少一部份在上述接觸缺口 106 中是敞開的(open)。裸露的銀可造成電子遷移。因此，光電半導體晶片 100 在下一步驟中不能使用。磊晶層序列 102 之環形的邊緣 108 同樣具有凹口，其甚至使光電半導體晶片 100 不能使用，不易進行光電半導體晶片 100 之自動控制。此外，光電半導體晶片之平台邊緣幾乎未受保護，這樣會使半導體晶片之故障機率提高。

圖 1b 以俯視圖粗略地顯示圖 1a 之實施例。可辨認各接觸缺口 106。可導電之材料 124 裸露出。光電半導體晶片 100 因此不可使用。此外，磊晶層序列 102 之環形的邊緣 108 具有一種流蘇狀的結構。於是，光電半導體晶片 100 形成有一很擴大的邊緣 108。這樣會使光電半導體晶片 100 的故障機率提高。

圖 2 是光電半導體晶片之二種不同的製造方法 A 或 B 之流程圖。製造過程可描述在步驟 S1 至 S5 中。步驟 S4 和 S5 是可選擇者(optional)。

步驟 S1 中，製備一種磊晶層序列 102。圖 2a 顯示步驟 S1 之結果。在具有外部表面 119 之摻雜之磊晶層 104 上跟隨著活性區 110。在活性區 110 上跟隨著另一摻雜之磊晶層 112。一接觸缺口 106 完全地橫越該另一摻

雜之磊晶層 112 和該活性區 110 且終止於該摻雜之磊晶層 104。該接觸缺口 106 中以可導電的材料 124 來填充。在該接觸缺口 106 和該磊晶層序列 102 之間配置一絕緣用的鈍化層 114。該摻雜之磊晶層 104 之外部表面 119 具有第一粗糙度，其未顯示在圖中。第一粗糙度藉由深度達大約 0.5 微米之特別是孔形式的凹口來形成。此種結構可在雷射剝離中形成，其中藉由雷射之入射使生長基板由該磊晶層序列 102 分離。第一粗糙度亦可另外藉由晶格缺陷和表面缺陷而形成在該摻雜之磊晶層 104 之外部表面 119 上。第一粗糙度由於其小的深度而與光的發出幾乎無關。因此，第一粗糙度未顯示在圖 2a 中。

在步驟 S2 中，施加一種保護罩 120。圖 2 中顯示另二種方式 S2a 和 S2b，其用來進行步驟 S2。此二種方式造成與圖 2b 中所示相同之中間產品。

另一方式 S2a 描述在隨後的子步驟(part step)中：在子步驟 S2a.1 中在該摻雜之磊晶層 104 上整面施加一保護層。子步驟 S2a.2 中，在該摻雜之磊晶層 104 之待保護之區域(即，環形的邊緣 108 和各接觸缺口 106)上施加光阻。子步驟 S2a.3 中，該保護層之未由光阻所覆蓋的區域被去除。子步驟 S2a.4 中，將光阻去除。

另一方式 S2b 描述在以下的子步驟中：在子步驟 S2b.1 中在待保護之區域的空出區下方在該摻雜之磊晶層 104 上施加光阻且予以結構化。在子步驟 S2b.2 中，在該摻雜之磊晶層 104 上整面地施加一保護層。在子步驟 S2b.3 中將光阻取下。

圖 2b 顯示在步驟 S2 終止之後中間產品之局部剖面圖。在受保護之結構 106、108 上，在該摻雜之磊晶層 104 之外部表面 119 上施加該保護罩 120。此保護罩可具有 SiN 或 SiO<sub>2</sub>。

步驟 S3 中，對該摻雜之磊晶層 104 進行蝕刻。在該摻雜之磊晶層 104 之由該保護罩 120 所覆蓋的外部表面 119 上保留著具有第一粗糙度之第一區 116。在該摻雜之磊晶層 104 之外部表面 119 之未由該保護罩 120 所覆蓋的區域上產生具有第二粗糙度之第二區 118。

圖 2c 顯示在步驟 S3 終止之後光電半導體晶片 100 之局部剖面圖。該外部表面 119 之第一區 116 是由一保護罩 120 所覆蓋。該外部表面 119 之第二區 118 具有第二粗糙度，其包括稜錐體形式之凹口。蝕刻深度形成為介於 0.5 微米至 4 微米之間。此蝕刻深度顯示成第二區 118 之步級高度 121。受保護之結構具有可導電之接觸缺口 106。該接觸缺口 106 平行於磊晶層序列 102 之生長方向而橫越該磊晶層序列 102。該接觸缺口 106 形成一種至該摻雜之磊晶層 104 之電性接觸區。該摻雜之磊晶層 104 可以是 n-摻雜者。受保護之結構另具有該磊晶層序列 102 之環形的邊緣 108。

在可選擇的步驟 S4 中，將該保護罩 120 去除。由 SiO<sub>2</sub> 或 SiN 構成之該保護罩 120 可藉由以氫氟酸(HF)或以銨緩衝之氫氟酸(BOE)來進行的蝕刻過程而去除。

圖 2d 顯示光電半導體晶片 100 在步驟 S4 終止之後的局部剖面圖。圖 2d 不同於圖 2c 之處只有：該保護罩

120 已去除。該摻雜之磊晶層 104 之外部表面 119 之第一區 116 現在已裸露出。

步驟 S5 中，在該保護罩 120 去除之後，以 KOH 來對該摻雜之磊晶層 104 之第一區 116 進行再蝕刻。

圖 2e 顯示光電半導體晶片 100 在步驟 S5 終止之後的局部剖面圖之一部份。該摻雜之磊晶層 104 之外部表面 119 之第一區 116 上的第一粗糙度具有稜錐體形式之凹口，其蝕刻深度可達 1 微米。於是，光亦可由該摻雜之磊晶層 104 之多個區域中有效率地發出，上述多個區域配置在該接觸缺口 106 上方及/或該磊晶層序列 102 之環形的邊緣 108 上方。上述蝕刻深度顯示成第一區 116 之步級高度 117 及第二區 118 之步級高度 121。第一區 116 之步級高度 117(換言之，蝕刻深度)可達 1 微米。第二區 118 之步級高度 121(換言之，蝕刻深度)介於大約 0.5 微米和大約 4 微米之間。

圖 3 顯示光電半導體晶片 100 之一實施例的剖面圖。已顯示了整個光電半導體晶片 100，其以顯示在圖 2d 中的磊晶層序列 102 為主。該接觸缺口 106 和磊晶層序列 102 之環形的邊緣 108 完全未由該摻雜之磊晶層 104 所覆蓋。外部表面 119 之第一區 116 具有第一粗糙度，其凹口可達 0.5 微米。為了使圖面能更清楚，第一粗糙度未顯示在圖中。該外部表面 119 之第二區 118 具有第二粗糙度，其凹口為稜錐體 140 的形式。稜錐體 140 具有可達 4 微米的高度。第一接觸區 128 經由載體 126 而與可導電之材料 124 相接觸。可導電之材料 124 經由該

接觸口 106 而形成一種至該摻雜之磊晶層 104 之電性連接。另一摻雜之磊晶層 112 經由電流擴散層 122 而與第二接觸區 130 形成電性連接。

圖 4a 顯示光電半導體晶片一實施例之俯視圖。該磊晶層序列 102 之環形的邊緣 108 和該摻雜之磊晶層 104 之完全地覆蓋該接觸缺口 106 的區域是以保護罩 120 來覆蓋。顯示一條切割線 134，圖 4b 構成之實施例沿著該切割線 134 而顯示。

圖 4b 顯示光電半導體晶片一實施例之剖面圖。圖 4b 之實施例不同於圖 3 之實施例之處只有：該保護罩 120 覆蓋該外部表面 119 之第一區 116。

圖 5 顯示一部份已粗糙化的該摻雜之磊晶層 104。舉例式地顯示一接觸缺口 106、該接觸缺口 106 上之外部表面 119 之幾乎未粗糙化之第一區 116、以及該外部表面 119 之已粗糙化之第二區 118。該外部表面 119 之第二區 118 中例示性地顯示一稜錐體 140，其由一部份已粗糙化的摻雜之磊晶層 104 之多個稜錐體所構成。該摻雜之磊晶層 104 之外部表面 119 形成了介於該光電半導體晶片 100(特別是具有 GaN)之光學較密媒體和光學較薄媒體(空氣)之間的界面。藉由稜錐體形式的凹口，則可使在該外部表面 119 上發生全反射之電磁輻射之成份變少。稜錐體形式的凹口之側面 146 與磊晶層序列 102 之平面形成一種 35 度至 75 度之角度，較佳是 50 度至 70 度。具體的角度 144 是藉由該摻雜之磊晶層 104 之晶體方向和化學剝蝕來設定。在微米範圍之蝕刻深度和由

上述之值範圍構成的角度 144 時形成稜錐體，其特別適合用於將可見的波長範圍(即，介於大約 0.3 微米和大約 0.8 微米之間的波長)中的電磁輻射發出。稜錐體 140 之基底之直徑 142 同樣位在微米的範圍中。此直徑 142 因此較半導體媒體中的電磁輻射之波長大很多。例如，在空氣中具有大約 450 奈米波長的電磁輻射在由 GaN 構成的媒體(其折射率大約是 2.4)中具有大約 200 奈米之波長。稜錐體 140 之基底之直徑 142 和媒體中之電磁輻射的波長之間的 2 至 10 之比例相對於“電磁輻射可由該摻雜之磊晶層 104 入射至稜錐體 140”而言是必要的先決條件。稜錐體 140 之基底在 GaN 時具有六角形的形式。

圖 6a 顯示光束 152 在該外部表面 119 上未發生全反射時的角度範圍。光束 152 以小於臨界角 148 之角度而入射至該摻雜之磊晶層 104 之外部表面 119 上。此種光束 152 在光學較密媒體 154 至光學較薄媒體 156 之接面上發生折射。光束 152 可離開該光學較密媒體 154。反之，以一種大於臨界角 148 之角度而入射至該外部表面 119 上的光束 150 會發生全反射。

一種摻雜之磊晶層 104 形成為由折射率大約是 2.4 之 GaN 構成的光學較密媒體 154 和由折射率大約是 1 之空氣構成的光學較薄媒體 156，此種摻雜之磊晶層 104 中會造成大約 25 度之臨界角 148。光可離開光學較密媒體 154 時的角度範圍稱為“逃脫角錐(escape cone)”。

圖 6b 顯示該摻雜之磊晶層 104 之外部表面 119，其形成光學較密媒體 154，且具有由稜錐體 140 構成的結

構。藉由此種稜錐體結構，使第一光束 150 目前在全反射所需之臨界角 148 內入射至該外部表面 119。第一光束 150 不會發生全反射而是由該摻雜之磊晶層 104 發出且因此由光電半導體晶片 100 發出。整體上會有較該外部表面 119 幾乎是平面時還多的光由稜錐體形式之已粗糙化的外部表面 119 發出。

### 【圖式簡單說明】

圖 1a 顯示光電半導體晶片之一實施例的剖面圖。

圖 1b 粗略地顯示圖 1a 之實施例之俯視圖。

圖 2 顯示用來製造光電半導體晶片之流程圖。

圖 2a 和圖 2b 顯示光電半導體晶片之製造方法的中間產品之局部剖面圖。

圖 2c、圖 2d 和圖 2e 顯示光電半導體晶片之局部剖面圖。

圖 3 顯示光電半導體晶片之一實施例的剖面圖。

圖 4a 顯示光電半導體晶片一實施例之俯視圖。

圖 4b 顯示光電半導體晶片一實施例之剖面圖。

圖 5 顯示磊晶層序列的摻雜之磊晶層中的稜錐體。

圖 6a 顯示可使光離開一媒體時的角度範圍。

圖 6b 顯示可使光發出一種稜錐體結構。

### 【主要元件符號說明】

|     |        |
|-----|--------|
| 100 | 半導體晶片  |
| 102 | 磊晶層序列  |
| 104 | 摻雜之磊晶層 |
| 106 | 接觸缺口   |

|     |                       |
|-----|-----------------------|
| 107 | 接觸缺口中可導電之材料之裸露的區域     |
| 108 | 磊晶層序列之環形的邊緣           |
| 110 | 活性區                   |
| 112 | 另一摻雜之磊晶層              |
| 114 | 鈍化層                   |
| 116 | 外部表面之第一區              |
| 117 | 第一區中的步級高度             |
| 118 | 外部表面之第二區              |
| 119 | 摻雜之磊晶層的外部表面           |
| 120 | 保護罩                   |
| 121 | 第二區中的步級高度             |
| 122 | 電流擴散層                 |
| 124 | 可導電之材料                |
| 126 | 載體                    |
| 128 | 第一接觸區                 |
| 130 | 第二接觸區                 |
| 132 | 接合線                   |
| 134 | 切割線                   |
| 140 | 稜錐體                   |
| 142 | 稜錐體之基底的直徑             |
| 144 | 稜錐體之側面和磊晶層序列之平面所形成的角度 |
| 146 | 稜錐體之側面                |
| 148 | 全反射之臨界角               |
| 150 | 第一光束                  |
| 152 | 第二光束                  |

154 光學較密媒體

156 光學較薄媒體

## 七、申請專利範圍：

1. 一種光電半導體晶片(100)，具有：

- 磊晶層序列(102)，包括一摻雜的磊晶層(104)，其具有第一區(116)和第二區(118)；及受保護之結構(108、106)，

其中該摻雜的磊晶層(104)之第一區(116)完全覆蓋上述受保護之結構(108、106)，且

該摻雜的磊晶層(104)之外部表面(119)在第一區(116)中具有第一粗糙度且在第二區(118)中具有第二粗糙度。

2. 如申請專利範圍第1項之光電半導體晶片，其中該第一粗糙度藉由晶格缺陷和表面缺陷來形成。

3. 如申請專利範圍第1項之光電半導體晶片，其中該第一粗糙度藉由稜錐體形式的、蝕刻深度大約1微米的凹口來形成。

4. 如申請專利範圍第1至3項中任一項之光電半導體晶片，其中該第二粗糙度藉由稜錐體形式的、蝕刻深度大約0.5微米至4微米的凹口來形成。

5. 如申請專利範圍第1或2項之光電半導體晶片，其中該第一粗糙度及/或該第二粗糙度係藉由錐形體形式的凹口來形成，且該稜錐體形式的凹口之側面與該磊晶層序列(102)之平面形成一種介於35度至75度之間的角度。

6. 如申請專利範圍第1或2項之光電半導體晶片，其中該受保護之結構具有至少一接觸缺口(106)，其平行於

該磊晶層序列(102)之生長方向而橫越該磊晶層序列(102)且形成一種至該摻雜之磊晶層(104)的電性接觸區。

7.如申請專利範圍第 1 或 2 項之光電半導體晶片，其中該受保護之結構具有該磊晶層序列(102)之環形的邊緣(108)。

8.如申請專利範圍第 1 或 2 項之光電半導體晶片，其中該摻雜之磊晶層(104)是 n-摻雜層。

9.如申請專利範圍第 1 或 2 項之光電半導體晶片，其中該第一區(116)由第一保護罩(120)所覆蓋。

10.如申請專利範圍第 1 或 2 項之光電半導體晶片，其中該第一粗糙度藉由孔形的、深度小於 0.5 微米的凹口來形成。

11.如申請專利範圍第 1 或 2 項之光電半導體晶片，其中該第一粗糙度及/或該第二粗糙度係藉由錐形體形式的凹口來形成，且該稜錐體形式的凹口之側面與該磊晶層序列(102)之平面形成一種介於 50 度至 70 度之間的角度。

12.如申請專利範圍第 1 或 2 項之光電半導體晶片，其中在該第一區(116)中的該磊晶層(104)具有第一平均厚度，以及在該第二區(118)中的第二粗糙度係透過摻雜的該磊晶層(104)的序列而形成，其中，至少一個凹口具有平行於生長方向的步級高度，該步級高度係大於該第一平均厚度。

13.如申請專利範圍第 1 或 2 項之光電半導體晶片，其中

該受保護的結構具有至少一個接觸缺口(106)，且在該外部表面(119)上的一保護罩(120)係透過該至少一個接觸缺口而設置。

14.一種光電半導體晶片(100)之製造方法，包括以下各步驟：

- 製備磊晶層序列(102)，其具有包含一外部表面(119)之摻雜之磊晶層(104)；
- 在該外部表面(119)上施加一已結構化之保護罩(120)；
- 對該摻雜之磊晶層(104)進行蝕刻，其中在由該保護罩(120)所覆蓋之外部表面(119)上保留著一具有第一粗糙度之第一區(116)，且在該外部表面(119)之未由該保護罩(120)所覆蓋之區域上產生一具有第二粗糙度之第二區(118)。

15.如申請專利範圍第 14 項之製造方法，其中該保護罩(120)在至少一接觸缺口(106)上施加在該外部表面(119)上。

16.如申請專利範圍第 14 或 15 項之製造方法，其中該保護罩(120)在該磊晶層序列(102)之環形的邊緣(108)上施加在該外部表面(119)上。

17.如申請專利範圍第 14 項之製造方法，其中在對該摻雜之磊晶層(104)進行蝕刻之後將該保護罩(120)去除。

18.如申請專利範圍第 17 項之製造方法，其中在該保護罩(120)去除之後，對該摻雜之磊晶層(104)的第一區(116)進行再蝕刻。

19. 一種製造光電半導體晶片(100)的方法，其包含有以下步驟：

- 製備磊晶層序列(102)，其具有包含一外部表面(119)之摻雜之磊晶層(104)；
- 在該外部表面(119)上施加一已結構化之保護罩(120)；
- 對該摻雜之磊晶層(104)進行蝕刻，其中在由該保護罩(120)所覆蓋之外部表面(119)上保留著一具有第一粗糙度之第一區(116)，且在該外部表面(119)之未由該保護罩(120)所覆蓋之區域上產生一具有第二粗糙度之第二區(118)，其中該保護罩(120)在至少一接觸缺口(106)上施加在該外部表面(119)上。

八、圖式：

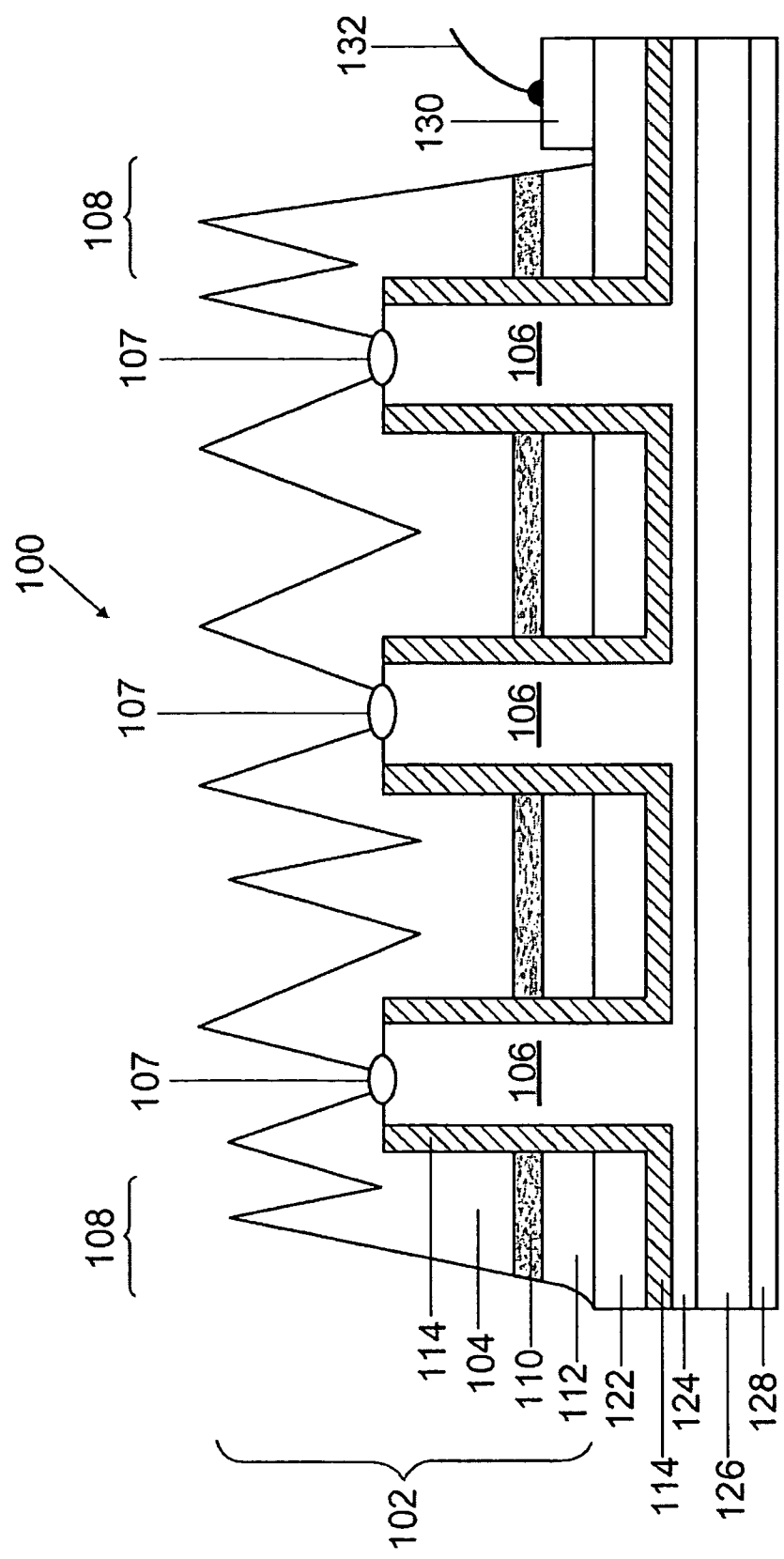


圖 1a

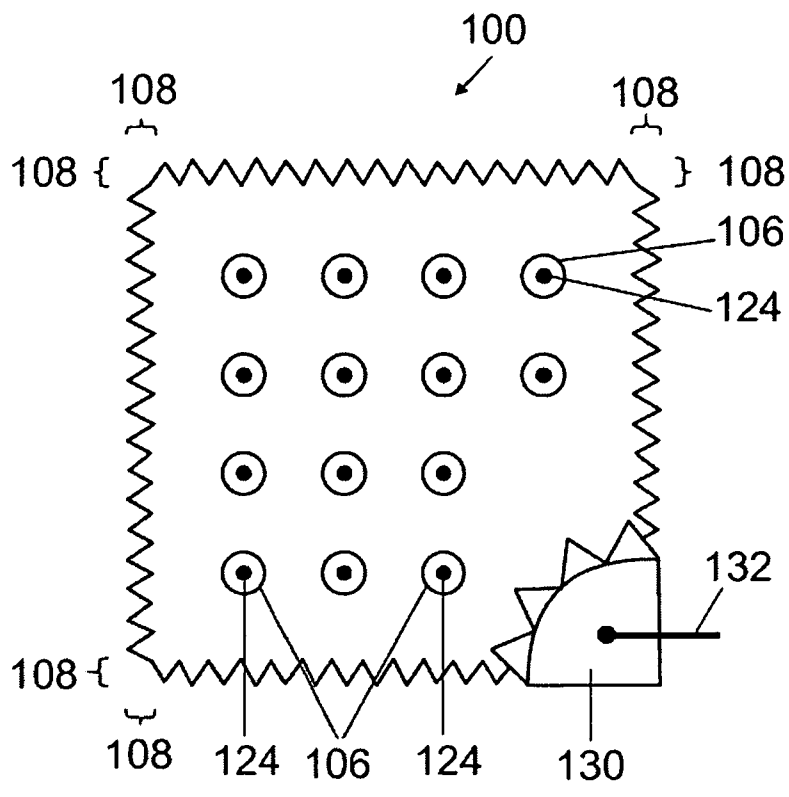


圖 1b

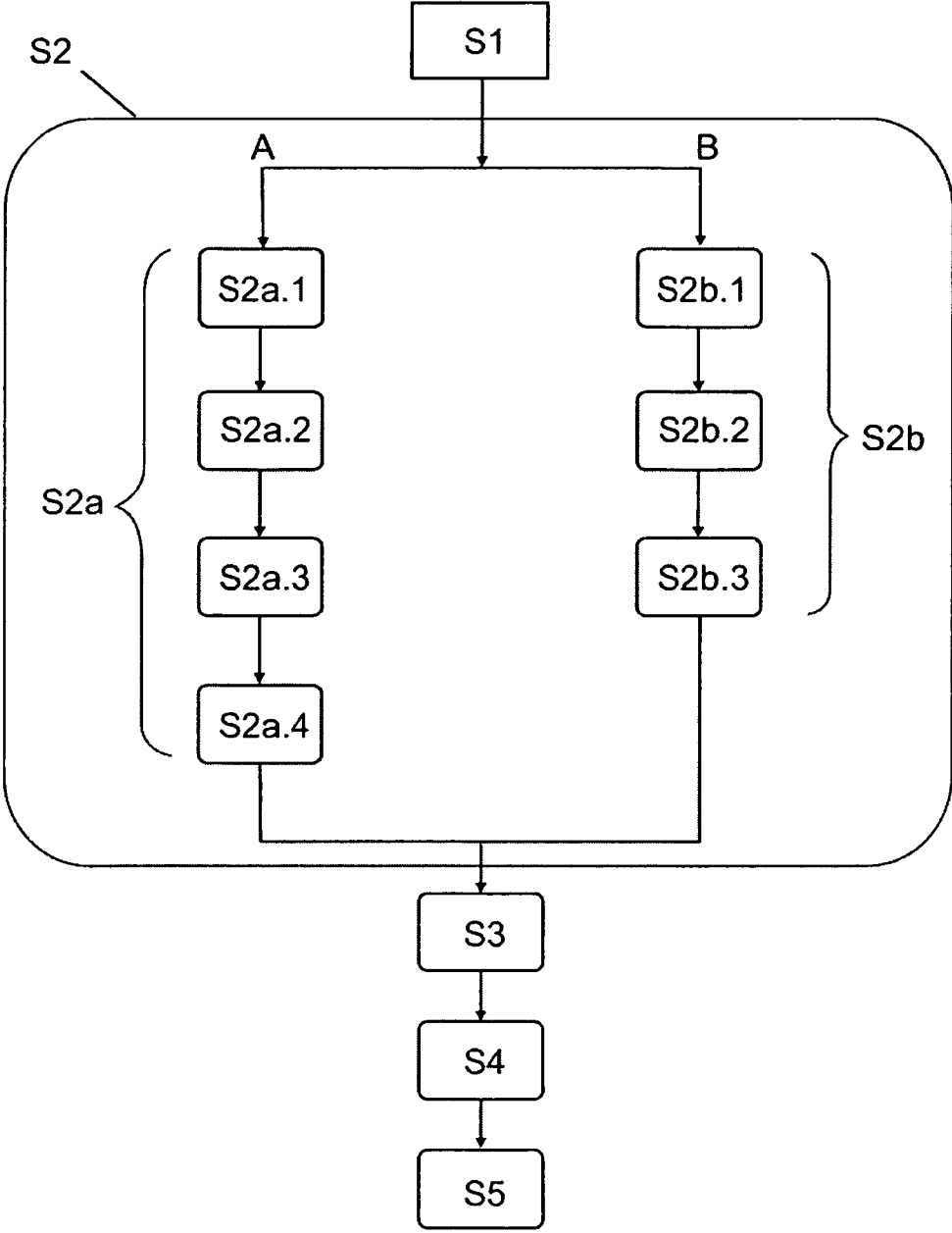


圖 2

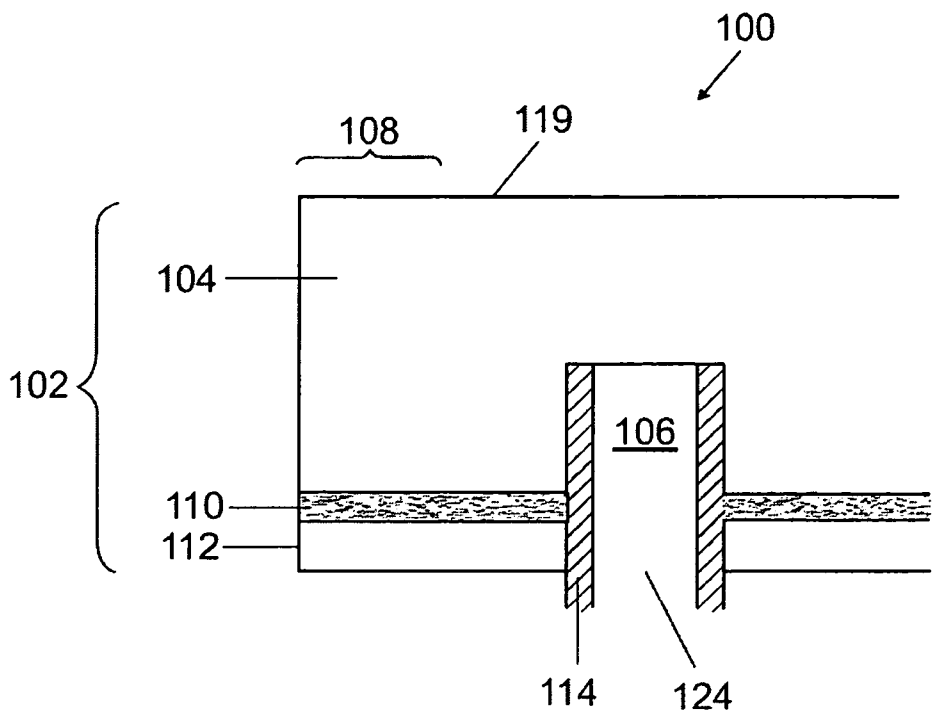


圖 2a

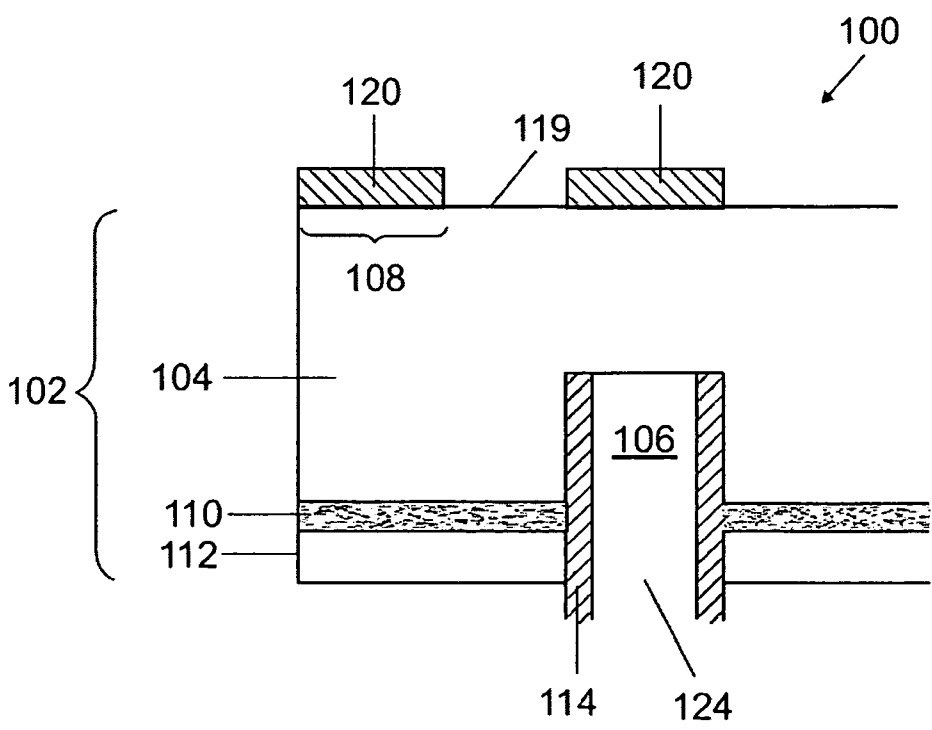


圖 2b

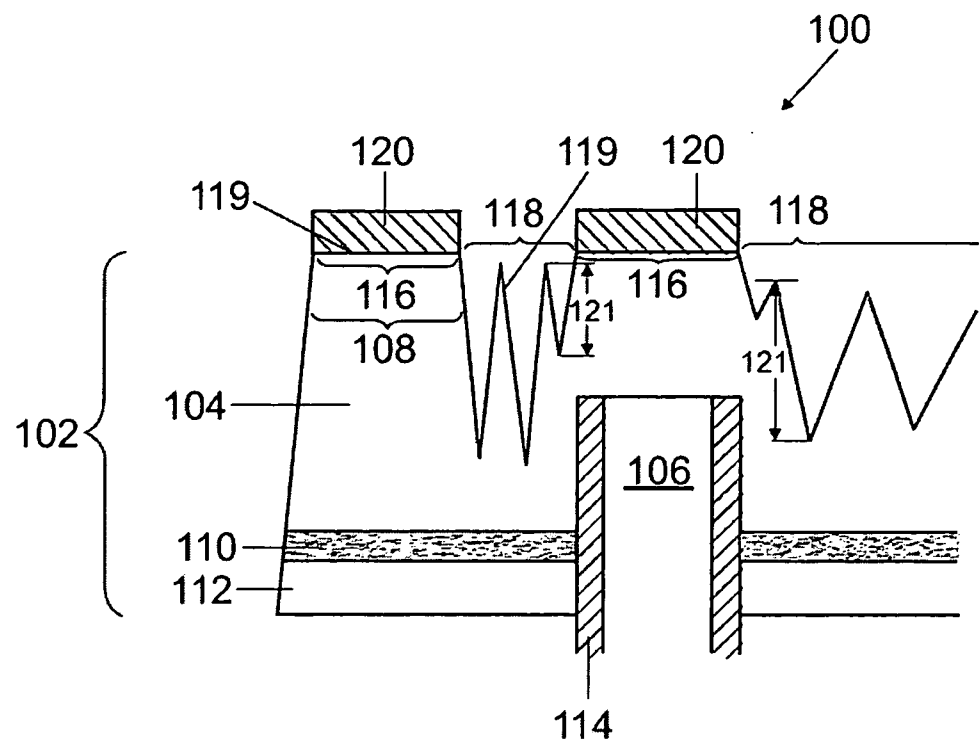


圖 2c

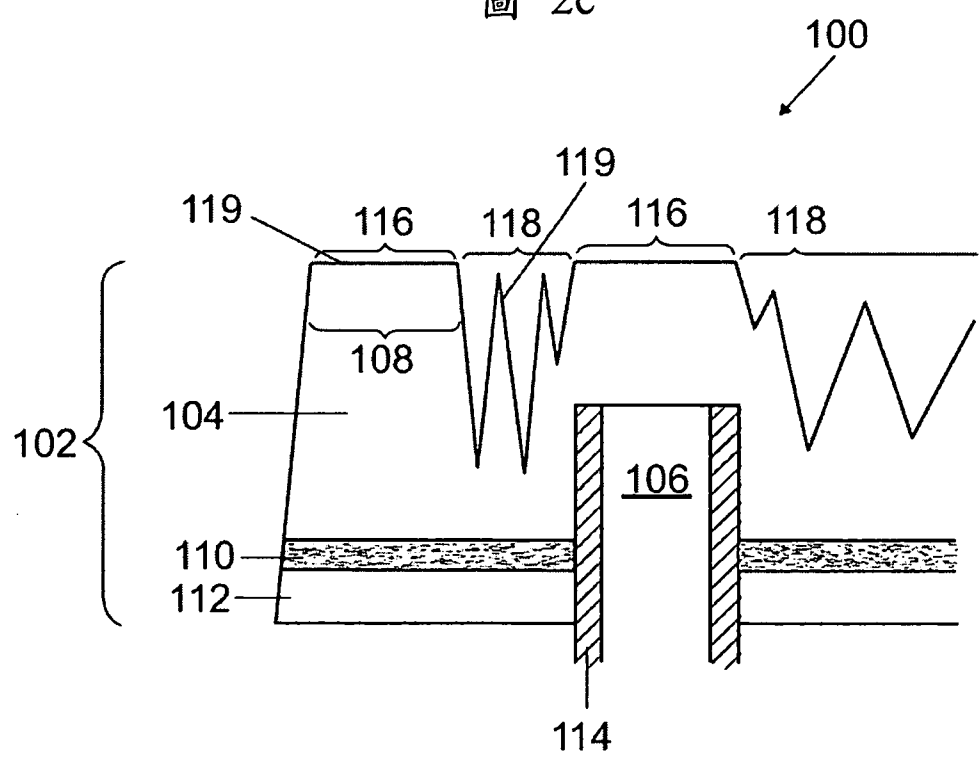


圖 2d

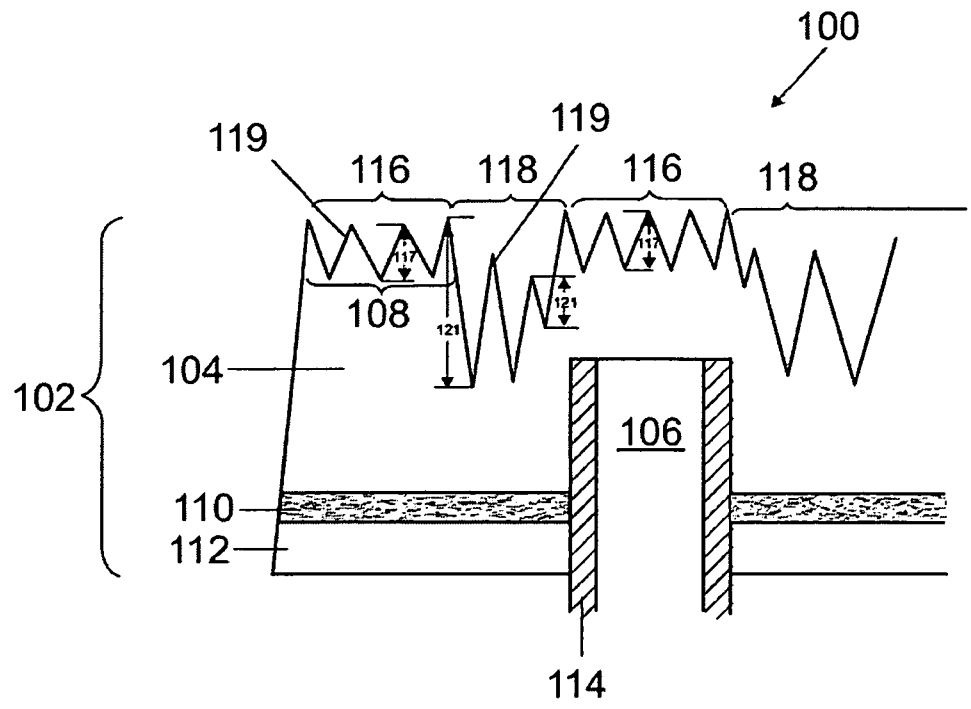


圖 2e

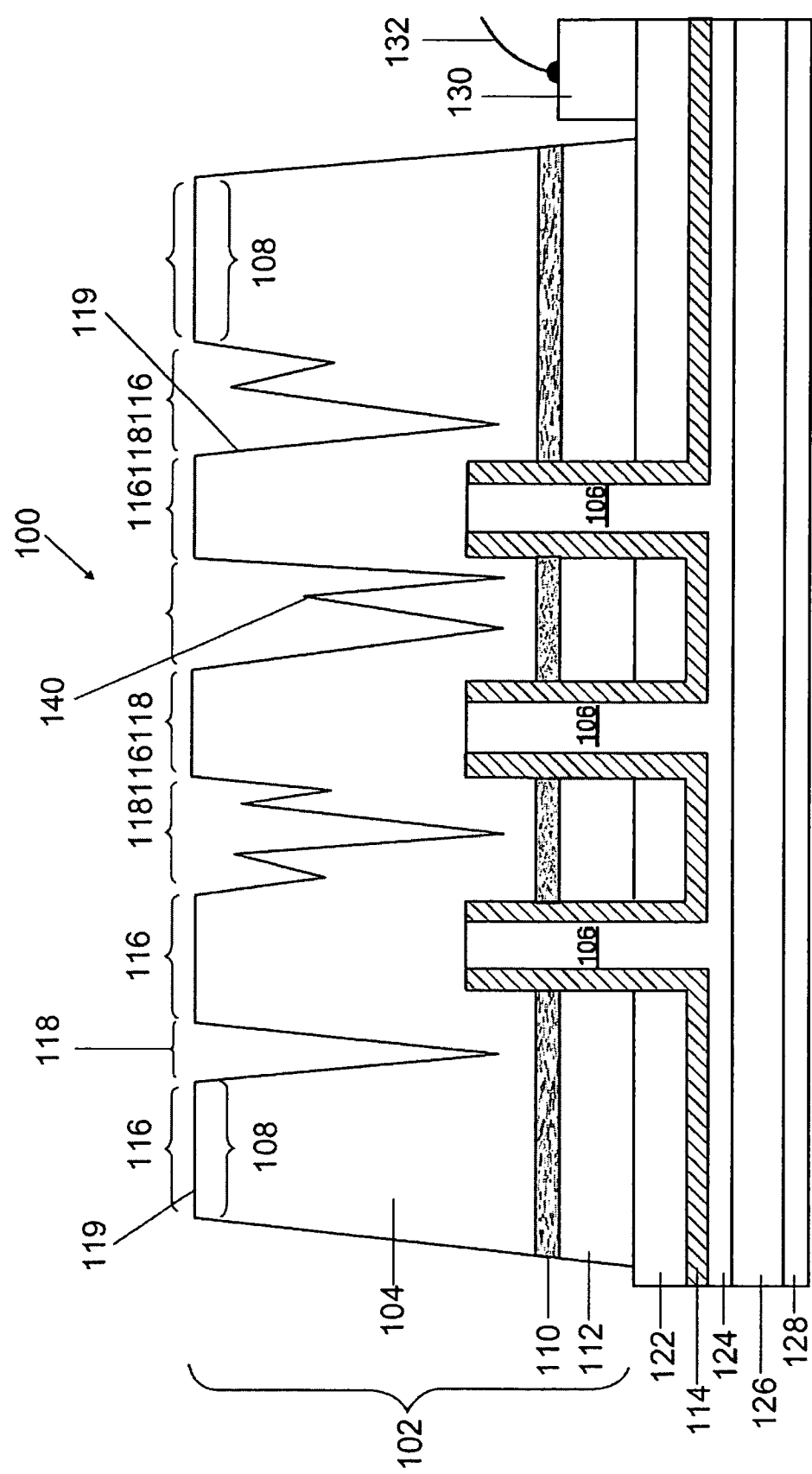


圖 3

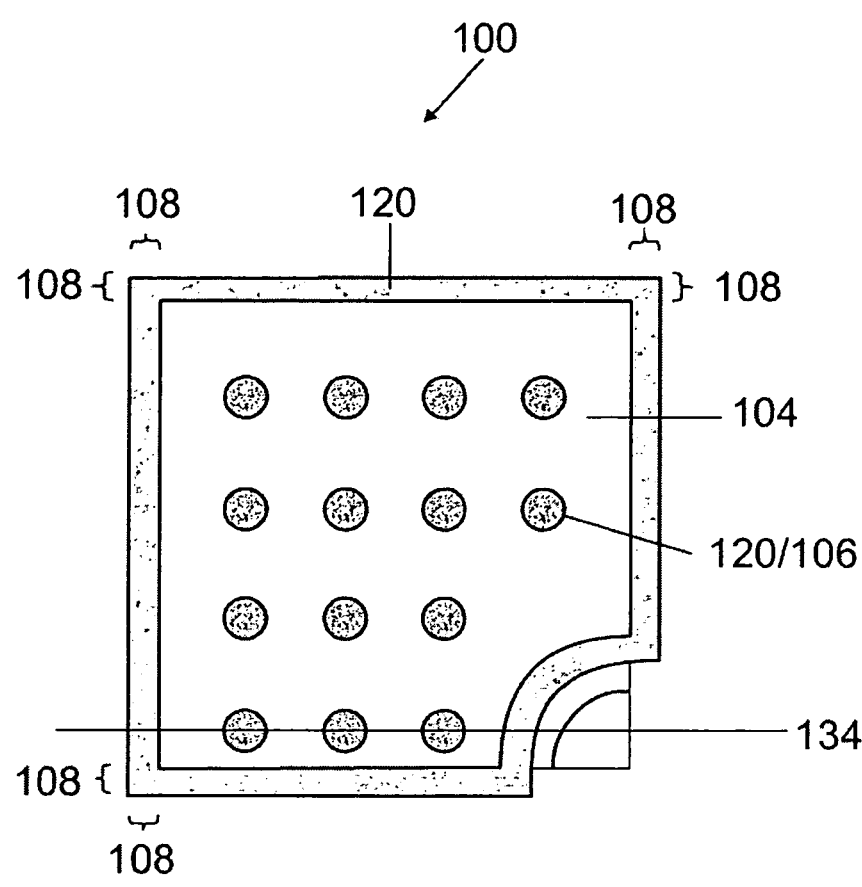


圖 4a

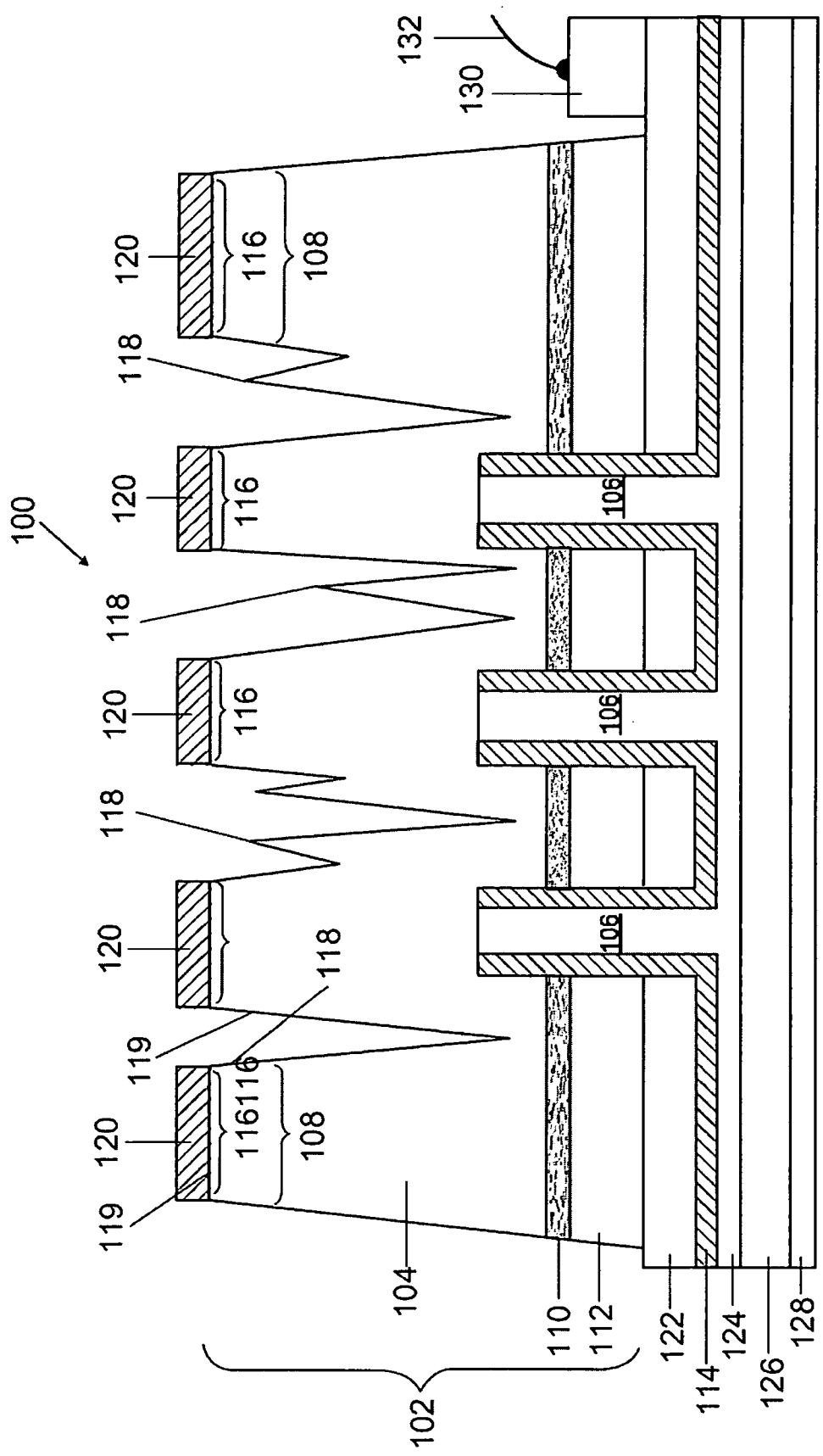


圖 4b

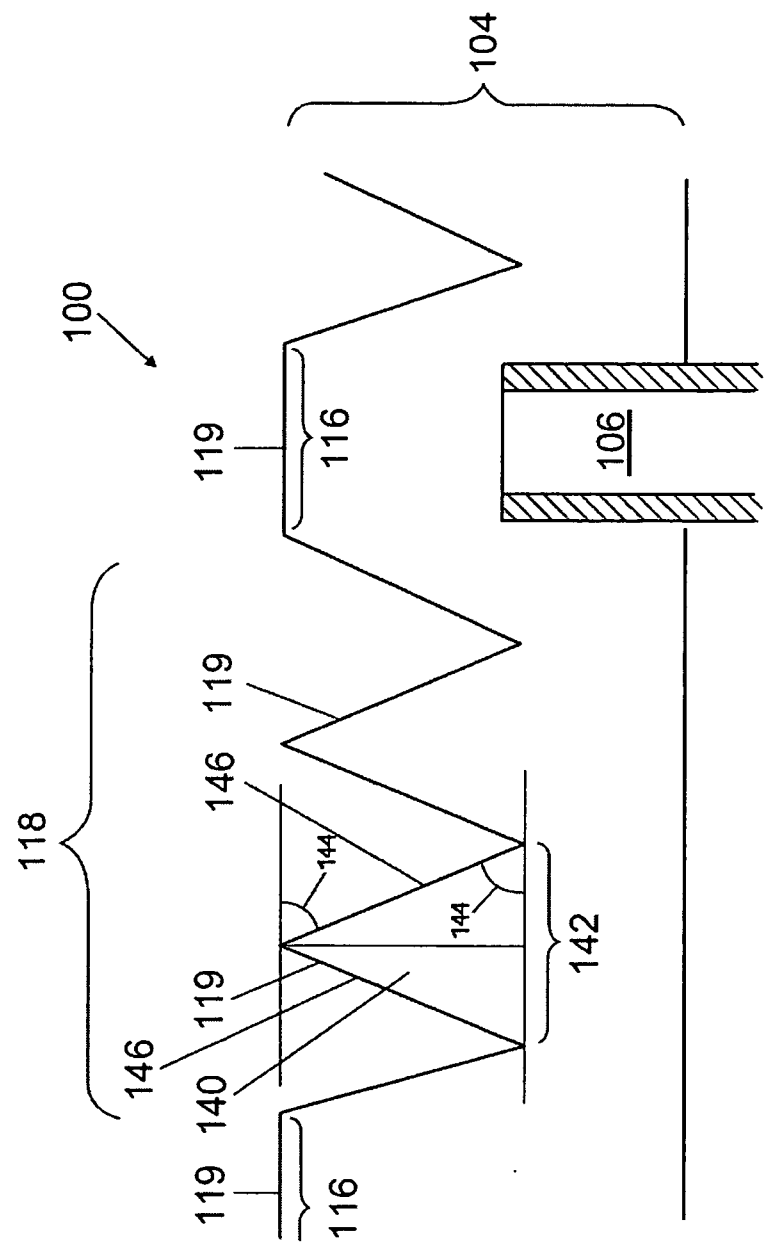


圖 5

105年2月5日修(更)正替換頁

修正頁  
(2016 年 2 月 5 日)

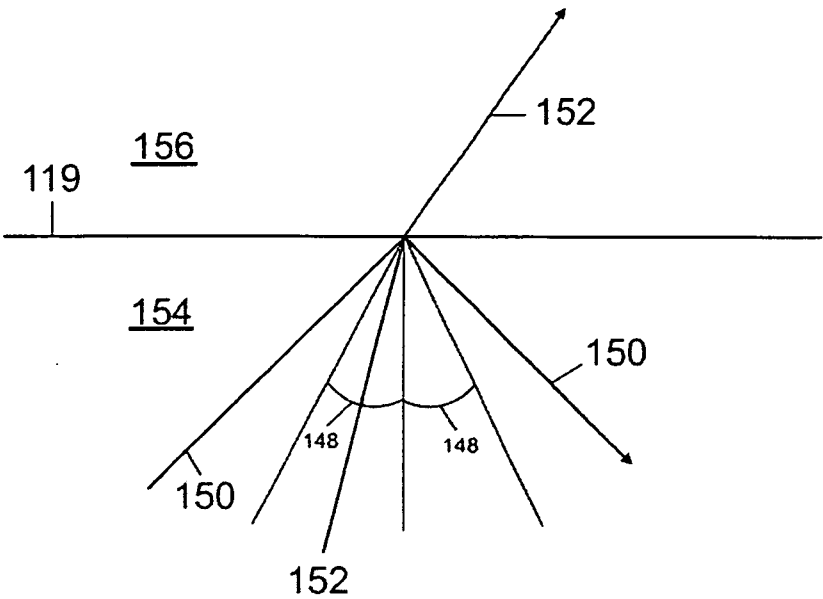


圖 6a

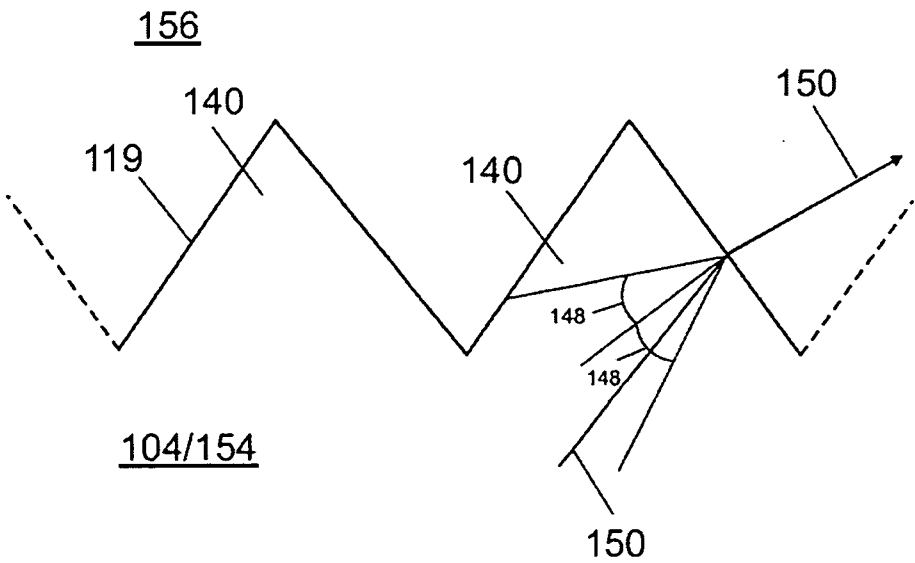


圖 6b