

本

| | |
|------|------------------------|
| 申請日期 | 90 年 3 月 19 日 |
| 案 號 | 90106378 |
| 類 別 | G11C 8/00 ; H01L 27/00 |

A4
C4

509952

(以上各欄由本局填註)

發 明 專 利 說 明 書

| | | |
|-------------|--------------|--|
| 一、發明 名稱 | 中 文 | 半導體裝置 |
| | 英 文 | |
| 二、發明人 創作 | 姓 名 | (1) 阪田健 |
| | 國 籍 | (1) 日本 (1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 |
| 三、申請人 | 住、居所 | |
| | 姓 名 (名稱) | (1) 日立製作所股份有限公司 株式会社日立製作所 |
| | 國 籍 | (1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地 |
| | 代 表 人 姓 名 | (1) 庄山悅彦 |

裝

訂

線

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權

日本 2000年5月26日 2000-161124 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

〔發明背景〕

本發明是有關半導體裝置（在此，主要是有關半導體記憶裝置。因此，以下是針對半導體記憶裝置加以敘述），尤其是關於以預備記憶格來置換不良記憶格，而藉此來救濟缺陷之技術。

隨著半導體記憶體的高積體化，256百萬位元的動態隨機存取記憶體（DRAM）也跟著進入量產。但，高積體化所伴隨而來的元件微細化及元件數量增加會有因缺陷而造成良品率降低的問題發生。其對策可使用事先設置於記憶體晶片上的預備記憶體之冗長記憶格來置換不良記憶格，而進行修復，亦即所謂缺陷救濟技術。例如，就DRAM的缺陷救濟技術而言，有記載於日本特開平2-192100（1990年7月27日公開）者，該缺陷救濟技術是按照行位址來進行列系救濟的判定，而將列選擇線置換成冗長列選擇線之區塊救濟者。此方式可以較少的冗長列選擇線來置換較多的不良記憶格。

第2圖是表示以往的區塊救濟邏輯構成模式圖。在此是表示含缺陷的兩個領域的記憶格群分別置換於冗長記憶格群。對記憶格陣列NMCA而言，設有冗長格陣列RMCA，藉由救濟判定電路YRC來進行控制。記憶格陣列NMCA在N條的字元線WLs與M條的資料線DLs的交點設有記憶格，根據行解碼器XDEC與列解碼器YDEC來選擇。冗長格陣列RMCA在N條的字元線WLs與P條的資料線RDLs的交點設有冗長記憶格

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (2)

，根據行解碼器 X D E C 與冗長列解碼器 R Y D 來選擇。又，行解碼器 X D E C 是針對 n 位元的行位址 A X 進行解碼，由 2 的 n 次方之 N 條的字元線 W L s 來選擇性地驅動 1 條。又，列解碼器 Y D E C 是針對 m 位元的列位址 A Y 進行解碼，由 2 的 m 次方之 M 條的資料線 D L s 來選擇 1 條。又，冗長列解碼器 R Y D 是針對列位址 A Y 中的 p 位元進行解碼，由 2 的 p 次方之 P 條的冗長資料線 R D L s 來選擇 1 條。又，根據救濟判定電路 Y R C 的輸出之救濟判定結果 R Y H 來控制列解碼器 Y D E C 與冗長列解碼器 R Y D。若救濟判定結果 R Y H 為 “0”，則列解碼器 Y D E C 會活化而來選擇記憶格陣列 N M C A 內的記憶格，若救濟判定結果 R Y H 為 “1”，則冗長列解碼器 R Y D 會活化而來選擇冗長格陣列 R M C A 內的冗長記憶格。藉此，缺陷部 D F 1，D F 2 的記憶格群會被置換成冗長記憶格群。在此，置換單位是根據 Q 條的字元線與 P 條的資料線而選擇的領域。

救濟判定電路 Y R C 是由 2 個行位址比較電路 A X C，及 2 個列位址比較電路 A Y C，及 2 個 2 輸入 A N D 電路 A N D 2，以及 2 輸入 O R 電路 O R 2 所構成。各以 1 個行位址比較電路 A X C 與列位址比較電路 A Y C 為 1 組來記憶 1 個置換源的救濟位址。又，行位址比較電路 A X C 包含記憶 $(n - q)$ 位元的救濟位址之位址記憶手段，用以和行位址 A X 中的 $(n - q)$ 位元進行比較。又，列位址比較電路 A Y C 包含記憶 $(m - p)$ 位元的救濟

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

位址之位址記憶手段，用以和列位址 A Y 中的 $(m - p)$ 位元進行比較。又，根據 2 輸入 A N D 電路 A N D 2 來取行位址比較電路 A X C 的一致判定結果 X H C 1，X H C 2 與列位址比較電路 A Y C 的一致判定結果 Y H 1，Y H 的邏輯乘積，分別針對第 1 及第 2 的兩個置換來取得判定結果 H C 1，H C 2，且以 2 輸入 O R 電路 O R 2 來取得邏輯和，而作為救濟判定結果 R Y H。藉由如此構成的救濟判定電路 Y R C，將可使用相同冗長資料線上的冗長記憶格來對應於行位址而救濟各列位址的缺陷。

[發明概要]

就第 2 圖所示之列系區塊救濟而言，在第 1 置換與第 2 置換中，行位址不可相同。亦即，2 個行位址比較電路 A X C 所記憶的救濟行位址必須不同。若行位址相同，則即使置換源 R P O 的列位址不同，置換端 R P D 還是會形成於相同領域而彼此競爭。因此，即使可記憶 2 個救濟位址，還是無法在 Q 條字元線所選擇的領域內，針對以 P 條字元線為單位的其他列位址領域中有 2 個缺陷時進行救濟。為了縮小因置換端 R P D 競爭而無法救濟的機率，雖可藉由縮小一個置換單位的字元線數 Q 來解決，但是若縮小字元線數 Q，則行位址比較電路 A X C 所比較之行位址的位元數 $(n - q)$ 會變大，而導致行位址比較電路的電路規模會變大。

因此，期盼能夠有效率地救濟複數個缺陷。亦即，本

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (4)

發明之一目的是在於實現一種具有可以較少位元數的小規模位址比較電路來控制置換，而使能夠避免置換端的競爭，進而能夠有效率地救濟缺陷的缺陷救濟電路之半導體記憶裝置。

具體而言，本發明之半導體記憶裝置是具備：

複數條字元線；及

與上述複數條字元線交錯而配置之複數條位元線；及

配置於上述複數條字元線與上述複數條位元線的所期望交點之多數個記憶格；及

以能夠和上述複數條字元線交錯而配置之複數條預備位元線；及

配置於上述複數條字元線與上述複數條預備位元線的所期望交點之複數個預備記憶格；及

將包含上述多數個記憶格中的缺陷部之記憶格群置換於上述預備記憶格群之缺陷救濟電路；等，

又，上述缺陷救濟電路具有：控制第 1 置換單位的第 1 置換，以及比上述第 1 置換單位還要小的第 2 置換單位的第 2 置換，而於進行上述第 1 置換與第 2 置換下形成置換端的預備記憶格群發生競爭時，使第 2 置換優先之機能。

又，上述缺陷救濟電路具有：

一第 1 位址判定電路；該第 1 位址判定電路是在於控制第 1 置換單位的第 1 置換，以及比上述第 1 置換單位還要小的第 2 置換單位的第 2 置換，而使能夠針對選擇上述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

多數個記憶格的位址的至少一部份之第 1 部份進行判定；
及

一第 2 位址判定電路；該第 2 位址判定電路是針對上述位址的一部份之第 2 部份進行判定；及

一第 3 位址判定電路；該第 3 位址判定電路是針對從上述位址除去上述第 2 部份之中的至少一部份的第 3 部份進行判定；當上述第 2 位址判定電路輸出錯誤 (miss) 時，不進行上述第 2 置換，而是按照上述第 1 位址判定電路的輸出來進行上述第 1 置換，當上述第 2 位址判定電路輸出正確 (hit) 時，不進行上述第 1 置換，而是按照上述第 3 位址判定電路的輸出來進行上述第 2 置換。

[實施例的說明]

(實施例 1)

第 1 圖是表示將本發明適用於列系救濟之列冗長方式的模式例圖。與第 2 圖所示之習知的區塊救濟例同樣的，含缺陷的兩個領域的記憶格群會分別置換於冗長記憶格群。其特徵為使第 2 置換的置換領域縮小成比第 1 置換來得小，而以使第 2 置換能夠優先之方式來進行置換判定。

除了救濟判定電路 Y R N 以外，其餘與第 2 圖所示之習知例相同。亦即，對記憶格陣列 N M C A 設有冗長格陣列 R M C A，藉由救濟判定電路 Y R N 來予以控制。記憶格陣列 N M C A 在 N 條的字元線 W L s 與 M 條的資料線

D L s 的交點設有記憶格，根據行解碼器 X D E C 與列解

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

碼器 Y D E C 來選擇。冗長格陣列 R M C A 在 N 條的字元線 W L s 與 P 條的資料線 R D L s 的交點設有冗長記憶格，根據行解碼器 X D E C 與冗長列解碼器 R Y D 來選擇。又，行解碼器 X D E C 是針對 n 位元的行位址 A X 進行解碼，由 2 的 n 次方之 N 條的字元線 W L s 來選擇性地驅動 1 條。又，列解碼器 Y D E C 是針對 m 位元的列位址 A Y 進行解碼，由 2 的 m 次方之 M 條的資料線 D L s 來選擇 1 條。又，冗長列解碼器 R Y D 是針對列位址 A Y 中的 p 位元進行解碼，由 2 的 p 次方之 P 條的冗長資料線 R D L s 來選擇 1 條。又，根據救濟判定電路 Y R N 的輸出之救濟判定結果 R Y H 來控制列解碼器 Y D E C 與冗長列解碼器 R Y D，而使缺陷部 D F 1，D F 2 的記憶格群置換成冗長記憶格群。

又，救濟判定電路 Y R N 是由 2 個行位址比較電路 A X C 1，A X C 2，及 2 個列位址比較電路 A Y C，及反相器 I N V，3 輸入 A N D 電路 A N D 3，2 輸入 A N D 電路 A N D 2，以及 2 輸入 O R 電路 O R 2 所構成。以行位址比較電路 A X C 1 與列位址比較電路 A Y C 來記憶第 1 置換的救濟位址，以行位址比較電路 A X C 2 與列位址比較電路 A Y C 來記憶第 2 置換的救濟位址。又，行位址比較電路 A X C 1 包含記憶 (n - q 1) 位元的救濟位址之位址記憶手段，用以和行位址 A X 1 中的 (n - q 1) 位元進行比較。另一方面，行位址比較電路 A X C 2 包含記憶 (n - q 2) 位元的救濟位址之位址記

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

憶手段，用以和行位址 $A X 2$ 中的 $(n - q 2)$ 位元進行比較。又，列位址比較電路 $A Y C$ 包含分別記憶 $(m - p)$ 位元的救濟位址之位址記憶手段，用以和列位址 $A Y$ 中的 $(m - p)$ 位元進行比較。根據反相器 $I N V$ 來使行位址比較電路 $A X C 2$ 的一致判定結果 $X H N 2$ 反相，且根據 3 輸入 $A N D$ 電路 $A N D 3$ 來取行位址比較電路

$A X C 1$ 的一致判定結果 $X H N 1$ 與列位址比較電路

$A Y C$ 的一致判定結果 $Y H 1$ 的邏輯乘積，而藉此來取得有關第 1 置換的第 1 判定結果 $H N 1$ 。另一方面，根據 2 輸入 $A N D$ 電路 $A N D 2$ 來取行位址比較電路 $A X C 2$ 的一致判定結果 $X H N 2$ 與列位址比較電路 $A Y C$ 的一致判定結果 $Y H 2$ 的邏輯乘積，而藉此來取得有關第 2 置換的第 2 判定結果 $H N 2$ 。又，以 2 輸入 $O R$ 電路 $O R 2$ 來取得判定結果 $H N 1$ ， $H N 2$ 的邏輯和，而作為救濟判定結果 $R Y H$ 。根據如此構成的救濟判定電路 $Y R N$ ，當行位址比較電路 $A X C 1$ 輸出正確 (hit)，亦即輸出一致的一致判定結果，且行位址比較電路 $A X C 2$ 輸出錯誤 (miss)，亦即輸出不一致的一致判定結果時，第 1 判定結果 $H N 1$ 會依照列位址比較電路 $A Y C$ 的一致判定結果 $Y H 2$ 而輸出。又，當 2 個的行位址比較電路 $A X C 1$ ， $A X C 2$ 的雙方輸出正確 (hit)，亦即輸出一致的一致判定結果時，第 1 判定結果 $H N 1$ 會形成 " 0 "。另一方面，第 2 判定結果 $H N 2$ 不會依照行位址比較電路 $A X C 1$ 的一致判定結果 $X H N 1$ ，而是只要行位址比較電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

款

五、發明說明 (8)

A X C 2 輸出正確 (hit) , 亦即輸出一致的一致判定結果 , 便會按照列位址比較電路 A Y C 的一致判定結果 Y H 2 來予以輸出。亦即 , 第 2 置換要比第 1 置換來得優先。在此 , 正確 (hit) 或錯誤 (miss) 當然是以預定的電位輸出。

置換單位 , 在第 1 置換中是根據 2 的 q_1 次方之 Q_1 條的字元線 W L s 與 P 條的資料線 D L s 而選擇之領域 , 在第 2 置換中是根據 2 的 q_2 次方之 Q_2 條的字元線 W L s 與 P 條的資料線 D L s 而選擇之領域。但 , 當第 1 置換的 Q_1 條的字元線包含第 2 置換的 Q_2 條的字元線時 , 是根據第 1 置換去除第 2 置換的 Q_2 條的字元線之 ($Q_1 - Q_2$) 條的字元線與 P 條的資料線而選擇之拔取領域。此刻 , 在根據第 1 置換之 Q_1 條的字元線與 P 條的資料線而選擇的領域中 , 以第 2 置換之 Q_2 條的字元線而選擇的記憶格不會對冗長記憶格進行置換。

例如 , 第 1 缺陷 D F 1 為第 1 字元線 W L i 與第 1 資料線 D L i 的交點之記憶格 , 第 2 缺陷 D F 2 為第 2 字元線 W L j 與第 2 資料線 D L j 的交點之記憶格時 , 第 2 字元線 W L j 亦含於第 1 置換領域中 , 置換端 R P D 會競爭。就本發明而言 , 當第 2 字元線 W L j 與第 1 資料線 D L i 被選擇時 , 是在不進行置換下對第 1 資料線 D L i 進行存取。

就此救濟方式而言 , 只要以形成第 2 置換單位的 Q_2 條字元線所選擇的領域不同 , 便會對具有 2 個缺陷的情況

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (9)

時進行救濟。藉由縮小該字元線數 Q_2 ，即使字元線數 Q_1 大，還是可以縮小因置換端競爭而無法救濟的機率。此刻，雖然行位址比較電路 $A X C_2$ 所進行比較之行位址的位元數 $(n - q_2)$ 會變大，亦即行位址比較電路 $A X C_2$ 的電路規模會變大，但行位址比較電路 $A X C_1$ 所進行比較之行位址的位元數 $(n - q_1)$ 會變小，亦即行位址比較電路 $A X C_1$ 的電路規模會變小。因此，可使用比以往進行比較的位元數還要少的小電路規模位址比較電路來控制置換，而使能夠避免置換端的競爭，進而能夠有效率地救濟缺陷。

(實施例 2)

第 3 圖是供以實現與第 1 圖所示的冗長方式同樣的列系救濟的其他長方式的模式圖。除了救濟判定電路 $Y R S$ 以外，其餘與第 1 圖所示的實施例相同。亦即，設有記憶格陣列 $N M C A$ ，冗長格陣列 $R M C A$ ，行解碼器 $X D E C$ ，列解碼器 $Y D E C$ ，及冗長列解碼器 $R Y D$ 。

救濟判定電路 $Y R S$ 是由 2 個行位址比較電路 $A X C_1$ ， $A X C_2$ ，及救濟列位址選擇電路 $R A Y S$ ，及列位址比較電路 $A Y C S$ ，及反相器 $I N V$ ，以及 2 輸入 $A N D$ 電路 $A N D_2$ 所構成。行位址比較電路 $A X C_1$ 與 $A X C_2$ 會分別記憶第 1 與第 2 置換的救濟行位址，救濟列位址選擇電路 $R A Y S$ 會分別記憶第 1 與第 2 置換的救濟列位址。與第 1 圖同樣的，行位址比較電路 $A X C_1$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

包含記憶 ($n - q_1$) 位元的救濟位址之位址記憶手段，用以和行位址 A X 中的 ($n - q_1$) 位元進行比較。另一方面，行位址比較電路 A X C 2 包含記憶 ($n - q_2$) 位元的救濟位址之位址記憶手段，用以和行位址 A X 中的 ($n - q_2$) 位元進行比較。又，根據反相器 I N V 來使行位址比較電路 A X C 2 的一致判定結果 X H N 2 反相，且根據 2 輸入 A N D 電路 A N D 2 來取和行位址比較電路 A X C 1 的一致判定結果 X H N 1 的邏輯乘積，而藉此來取得有關第 1 置換的第 1 行判定結果 X H S 1。又，救濟列位址選擇電路 R A Y S 包含分別記憶 ($m - p$) 位元的救濟位址之 2 組的位址記憶手段，按照第 1 行判定結果 X H S 1 與行位址比較電路 A X C 2 的一致判定結果 X H N 2 來選擇第 1 與第 2 置換的救濟列位址，輸出 ($m - p$) 位元的救濟列位址 R A Y。又，列位址比較電路 A Y C S 會將此救濟列位址 R A Y 與列位址 A Y 中的 ($m - p$) 位元進行比較，輸出救濟判定結果 R Y H。根據如此構成的救濟判定電路 Y R S，當 2 個的行位址比較電路 A X C 1，A X C 2 的雙方輸出正確 (hit)，亦即輸出一致的一致判定結果時，第 1 行判定結果 X H S 1 會形成“0”，救濟列位址選擇電路 R A Y S 會輸出作為救濟列位址 R A Y 之第 2 置換的救濟列位址。亦即，第 2 置換要比第 1 置換來得優先。

即使利用此救濟判定電路 Y R S，同樣可實現與第 1 圖相同效率的置換。甚至可在選擇救濟列位址後來進行列

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

位址比較，藉此列位址比較電路 A Y C S 只需 1 個便可完成。其結果，電路規模能夠縮小到比第 1 圖的救濟判定電路 Y R N 還要小。因此，可使用比第 1 圖的構成還要小的電路規模之救濟判定電路 Y R S 來控制置換，而使能夠避免置換端的競爭，進而能夠有效率地救濟缺陷。

(實施例 3)

以下，利用第 4 ~ 17 圖來說明實現第 3 圖所示之列系冗長方式的具體例。該例是將本發明適用於同步

D R A M (S D R A M) 的列系區塊救濟。首先，針對第 4 圖中顯示要部區塊圖的 S D R A M 全體的構成加以說明。S D R A M 的間接周邊電路包含：時脈緩衝器 C K B，控制信號緩衝器 C B，指令解碼器 C D，位址緩衝器 A B，列位址計數器 Y C T，輸入緩衝器 D I B，輸出緩衝器 D O B。又，對應於記憶體陣列 M A R 而設有行系缺陷救濟電路 X R，行預解碼器 X P D，列系救濟判定電路 Y R，列預解碼器 Y P D，寫入緩衝器 W B，主放大器 M A 等，構成記憶體核心的區段 S C T 0，S C T 1 . . .。記憶體核心的區段是對應於記憶體容量及群集數等式樣所配合的記憶體陣列個數，但在此只簡單地顯示出 2 個。

各電路區塊可分別達成以下所述任務。區塊緩衝器 C K B 可將外部時脈 C L K 當作內部時脈 C L K I 來分配給指令解碼器 C D 等。指令解碼器 C D 是對應於來自外部的控制信號 C M D，而來產生用以控制位址緩衝器 A B，

五、發明說明 (12)

列位址計數器 Y C T , 輸入緩衝器 D I B , 及輸出緩衝器 D O B 等之控制信號。位址緩衝器 A B 是在對應於外部時脈 C L K 的所期望時間點取入來自外部的位址 A D R , 並將行位址 B X 分配給選擇器 S C T 0 , S C T 1 。又, 位址緩衝器 A B 會在取入列位址後傳送至列位址計數器

Y C T , 列位址計數器 Y C T 會以所輸入的列位址作為初期值來產生進行資料組動作的列位址 B Y , 且分配給選擇器 S C T 0 , S C T 1 。又, 輸入緩衝器 D I B 是在所期望的時間點來取入與外部的輸出入資料 D Q 之資料, 然後輸出寫入資料 G I 。另一方面, 輸出緩衝器 D O B 是在所期望的時間點來對輸出入資料 D Q 輸出讀出資料 G O 。

在選擇器 S C T 0 或 S C T 1 內, 行系缺陷救濟電路 X R 會針對行位址 B X 判定有無置換, 並將行系救濟判定結果 R X H 輸出至行預解碼器 X P D 。行預解碼器 X P D 在接受行位址 B X 及行系救濟判定結果 R X H 之後, 會將所期望的墊 (mat) 選擇信號 M S 及行預解碼位址 C X 輸出至記憶體陣列 M A R 。另一方面。列系救濟判定電路

Y R 會針對行位址 B X 及列位址 B Y 判定有無置換, 並將列系救濟判定結果 R Y H 輸出至列預解碼器 Y P D 。列預解碼器 Y P D 在接受列位址 B Y 及列系救濟判定結果

R Y H 之後, 會針對列位址 B Y 進行預解碼, 將列預解碼位址 C Y 輸出至記憶格陣列 M A R 。又, 寫入緩衝器 W B 會將寫入資料 G I 輸出至主輸出入線 M I O 。另一方面, 主放大器 M A 會放大主輸出入線 M I O 的信號, 輸出讀出

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

款

五、發明說明 (13)

資料 G O 。

第 5 圖是表示第 4 圖所示之 S D R A M 構成例之讀出動作的時間例圖。根據此時間圖來說明第 4 圖的

S D R A M 的動作。在各外部時脈 C L K 上升時，指令解碼器 C D 會針對控制信號 C M D 加以判斷，而被賦予啓動指令 A，藉此從位址 A D R 來將行位址 X 取入位址緩衝器 A B，輸出行位址 B X。

予以接收後，在選擇器 S C T 0 或 S C T 1 內，所期望的墊選擇信號 M S 及行預解碼位址 C X 會被輸出。藉此，在記憶體陣列 M A R 內，字元線 W L 會被選擇。並且，在控制信號 C M D 中會被賦予讀出指令 R，藉此從位址 A D R 來將列位址 Y 取入位址緩衝器 A B，列位址計數器 Y C T 會在每個時脈週期動作，輸出列位址 B Y。在選擇器 S C T 0 或 S C T 1 內，在接受行位址 B X 及列位址 B Y 後，列系救濟判定電路 Y R 會動作，配合其結果來輸出列預解碼位址 C Y 或冗長列位址信號 R C Y。藉此，在記憶體陣列 M A R 內，列選擇線 Y S 或冗長選擇線 R Y S 會被選擇。其結果，信號會被讀出至主輸出入線 M I O，主放大器 M A 會輸出讀出資料 G O，且輸出緩衝器 D O B 會在對應於外部時脈 C L K 的時間點將資料輸出至輸出入資料 D Q。

如此一來，在 S D R A M 中，會在取入行位址 X 後，在所期望的時脈週期數後取入列位址 Y。這是為了削減位址的接腳 (pin) 數，由於是在記憶體核心行系動作終了後

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

進行列系動作，因此即使是在行位址後取入列位址也不會對存取時間有所影響。如後述，本實施例是利用此時間上的充裕來使得因進行救濟判定而造成的延遲不會影響到存取時間。

第 6 圖是表示第 3 圖所示之列系救濟判定電路 Y R 的構成例圖。此為輸出能夠分別對最大 8 個的置換進行控制之 2 個的比較判定結果 R C Y 0 , R C Y 1 的構成例。是由 4 個行位址比較電路群 B X C G 0 ~ B X C G 3 , 2 個行位址比較結果的控制電路 R M C 0 , R M C 1 , 2 個救濟列位址選擇電路群 R B Y S G 0 , R B Y S G 1 , 2 個列位址比較電路 B Y C 1 , 2 輸入 O R 電路 O R 2 所構成。

行位址比較電路群 B X C G 0 是由 4 個上位行位址比較電路 B X U C 1 所構成，行位址比較電路 B X U C 1 會分別記憶 4 位元的救濟行位址，比較所被輸入之行位址 B X 內的上位 4 位元 B X 9 ~ B X 1 2 , 然後輸出行位址比較結果 R M U 0 ~ R M U 3 。此行位址比較電路 B X U C 1 是對應於後述之墊單位的區塊救濟。又，行位址比較電路群 B X C G 2 是由 4 個行位址比較電路 B X C 1 所構成，行位址比較電路 B X C 1 會分別記憶 1 1 位元的救濟行位址，比較所被輸入之行位址 B X 的 1 1 位元 B X 2 ~ B X 1 2 , 然後輸出行位址比較結果 R M 4 ~ R M 7 。由於此行位址比較電路 B X C 1 是進行比上位行位址比較電路 B X U C 1 還要多 7 位元之 1 1 位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

元的比較，因此該部份會以較小的單位，亦即以副陣列的 $\frac{1}{28}$ 的單位來進行區塊救濟。這是對應於後述所謂的位元救濟。又，控制電路 R M C 0 是由 2 個的 4 輸入 N O R 電路 N O R 4，及 2 輸入 N A N D 電路 N A N D 2，以及 4 個的 2 輸入 A N D 電路 A N D 2 所構成。行位址比較結果 R M U 0 ~ R M U 3 及 R M 4 ~ R M 7 的邏輯和可在輸出 R M A 0 中取得。此輸出信號 R M A 0 是針對所被輸入的行位址 B X 顯示有無進行置換之救濟列位址。並且，當行位址比較結果 R M 4 ~ R M 7 皆為“0”時，節點 (node) R M A 2 b 會形成“1”，且在行位址判定結果 R M 0 ~ R M 3 中輸出行位址比較結果 R M U 0 ~ R M U 3，當行位址比較結果 R M 4 ~ R M 7 皆為“1”時，節點 R M A 2 b 會形成“0”，且行位址判定結果 R M 0 ~ R M 3 為“0”。藉此，行位址比較結果 R M 4 ~ R M 7 會比行位址比較結果 R M U 0 ~ R M U 3 來得優先，這與上述實施例同樣的可避免置換端競爭。又，救濟列位址選擇電路群 R B Y S G 0 是由 8 個位址選擇電路 R B Y S 1 所構成，對應於所被輸入的行位址比較結果 R M 0 ~ R M 3 及行位址比較結果 R M 4 ~ R M 7，位址選擇電路 R B Y S 1 會分別選擇救濟列位址 R B Y 1 0 ~ R B Y 8 0 的各 1 位元。又，救濟列位址會各以 1 位元分散記憶於位址選擇電路 R B Y S 1 中。亦即，記憶一個置換的位址空間的保險絲 (fuse) 組是由：1 個行位置比較電路 B X U C 1 或 B X C 1 中的保險絲，及 8 個位址選擇

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

電路 R B Y S 1 中的各 1 個保險絲所構成。又，當控制信號 R M A 0 為 “ 1 ” 時，列位址比較電路 B Y C 1 會比較救濟列位址 R B Y 1 0 ~ R B Y 8 0 與列位址 B Y (B Y 1 ~ B Y 8) ， 且輸出比較結果 R C Y 0 。

行位址比較電路群 B X C G 1 ， B X C G 3 ， 控制電路 R M C 1 ， 救濟列位址選擇電路群 R B Y S G 1 ， 列位址比較電路 B Y C 1 會進行同樣的動作，然後輸出比較判定結果 R C Y 1 。根據 2 輸入 O R 電路 O R 2 來取得 2 個比較判定結果 R C Y 0 ， R C Y 1 的邏輯和，且輸出列系救濟判定結果 R Y H 。以下，針對這些電路的更具體構成及動作加以說明。

第 7 圖是表示第 6 圖中的上位行位址比較電路 B X U C 1 的構成例。含 5 個的保險絲判定電路 F D Y k ， F D 9 k ~ F D 1 2 k ， 由控制電路 R M C U ， 及 4 個的 1 位元比較部 A C 1 ， 及 N M O S 電晶體 M N U E ， 及 閘鎖 (latch) 電路 L C B ， 及 允許 (enable) 電路 R M U E 所構成。控制電路 R M C U 是由 2 輸入 N A N D 閘極，反相器 (inverter) 及 2 輸入 N O R 閘極所構成。1 位元比較部 A C 1 是由 4 個的 N M O S 電晶體及反相器所構成。閘鎖電路 L C B 是由 2 個的 P M O S 電晶體及反相器所構成。允許電路 R M U E 是由反相器及 2 輸入 N O R 閘極所構成。保險絲判定電路在不燒毀 (blow) 保險絲時，真實 (true) 輸出 R B X 9 k 會形成低位準，虛實輸出 R B X 9 k b 會形成高位準，相反的，當保險絲被燒毀時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

，真實 (true) 輸出 R B X 9 k 會形成高位準，虛實輸出 R B X 9 k b 會形成低位準。該上位行位址比較電路 B X U C 1 的動作，依保險絲判定電路 F D Y k 及 F D X 1 2 k 判定保險絲是否被燒毀來大致分成三種類。

在保險絲判定電路 F D Y k 中，當保險絲被燒毀且其輸出 R Y R k 為高位準時，會比較行位址中的上位 4 位元 B X 9 ~ B X 1 2 與記錄於 4 個保險絲判定電路 F D X 9 k ~ F D X 1 2 k 內的救濟位址。此刻，根據控制電路 R M C U ，允許 (enable) 信號 R U E k b 會形成低位準，節點 X U E k 會根據復位 (reset) 控制信號 R S T 0 b 來予以控制。在各 1 位元比較部 A C 1 內，若保險絲判定電路的輸出 (例如 R B X 9 k) 與被輸入的行位址 (例如 B X 9) 不一致，則可藉各 2 個直列連接的 N M O S 電晶體來形成 2 個同時成為 O N 狀態的組合，形成電路路徑。若復位控制信號 R S T 0 b 形成高位準，則節點 X U E k 會形成高位準，N M O S 電晶體會形成 O N 狀態。若保險絲判定電路 F D X 9 k ~ F D X 1 2 k 的輸出 R B X 9 k ~ R B X 1 2 k 與上位行位址 B X 9 ~ B X 1 2 的其中之一不一致，則節點 X U H k 會經由所對應的 1 位元比較部 A C 1 而被放電。其結果，比較結果 R M U k 為形成低位準，亦即形成 “ 0 ”。又，若保險絲判定電路 F D X 9 k ~ F D X 1 2 k 的輸出 R B X 9 k ~ R B X 1 2 k 與上位行位址 B X 9 ~ B X 1 2 全部一致，則通過 1 位元比較部 A C 1 的電流路徑不會形成，節點

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

X U H k 會藉門鎖電路 L C B 而保持於高位準。其結果，比較結果 R M U k 為形成高位準，亦即形成 “ 1 ”。

在保險絲判定電路 F D Y k 中，保險絲不被燒毀，且其輸出 R Y R k 為低位準，以及在保險絲判定電路 F D X 1 2 k 中，保險絲被燒毀，且其輸出 R B X 1 2 k 為高位準時，比較結果 R M U k 不會依照行位址而形成 “ 1 ”。這將如後述對應於置換列選擇線全體之所謂的 Y S 救濟。此情況，允許 (enable) 信號 R U E k b 會根據控制電路 R M C U 而形成低位準，節點 X U E k 不會根據復位 (reset) 控制信號 R S T 0 b 而形成低位準。由於 N M O S 電晶體 M N U E 不會形成 O N 狀態，因此節點 X U E k 會根據門鎖電路 L C B 而被保持於高位準，且比較結果 R M U k 會形成 “ 1 ”。

在保險絲判定電路 F D Y k 及 F D X 1 2 k 中，當保險絲不被燒毀，且輸出 R Y R k 及 R B X 1 2 k 為低位準時，比較結果 R M U k 不會依照行位址而形成 “ 0 ”。這將對應於不使用對應於其上位行位址比較電路 B X U C 1 的保險絲組時。此情況，根據控制電路 R M C U，允許信號 R U E k b 會形成高位準，節點 X U E k 不會根據復位控制信號 R S T 0 b 而形成低位準。由於 N M O S 電晶體 M N U E 不會形成 O N 狀態，因此節點 X U E k 會根據門鎖電路 L C B 而被保持於高位準，但因為允許信號 R U E k b 為高位準，所以比較結果 R M U k 會形成低位準，亦即會形成 “ 0 ”。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

就此上位行位址比較電路而言，是利用動態型 C M O S 邏輯電路來縮小電路規模。並且，將在區塊救濟時記憶救濟行位址 R B X 1 2 k 的保險絲判定電路 F D X 1 2 k 利用於判定有無使用 Y S 救濟，藉此來節約保險絲數。

第 8 圖是表示第 6 圖中之行位址比較電路 B X C 1 的構成例。包含 1 2 個的保險絲判定電路 F D B k ， F D X 2 k ~ F D X 1 2 k ， 由控制電路 R M C ， 及 1 1 個的 1 位元比較部 A C 1 ， 及 3 個的 N M O S 電晶體 M N L E ， M N M E ， M N U E ， 及 3 個的門鎖電路 L C B ， 及允許電路 R M E 所構成。在此，1 位元比較部 A C 1 及門鎖電路 L C B 是與第 7 圖相同構成。控制電路 R M C 是由：3 個的 2 輸入 N A N D 閘極，及 2 個的反相器，以及 2 輸入 N O R 閘極所形成。允許電路 R M E 是由：3 輸入 N A N D 閘極，及 2 輸入 N O R 閘極所形成。該上位行位址比較電路 B X C 1 的動作，依保險絲判定電路 F D B k 及 F D X 2 k 判定保險絲是否被燒毀來大致分成下述之三種類。

在保險絲判定電路 F D B k 中，當保險絲被燒毀且其輸出 R B R k 為高位準時，會比較行位址 B X 2 ~ B X 1 2 與記錄於 1 1 個保險絲判定電路 F D X 2 k ~ F D X 1 2 k 內的救濟位址。此刻，根據控制電路 R M C ， 允許 (enable) 信號 R Y E k b 會形成低位準，節點 X M L E k 會根據復位控制信號 R S T 0 b 來予以控制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (20)

若復位控制信號 R S T 0 b 形成高位準，則節點 X M L E k，X U E k 會形成高位準，N M O S 電晶體 M N L E，M N M E，M N U E 會形成 O N 狀態。若保險絲判定電路 F D X 2 k ~ F D X 4 k 的輸出 R B X 2 k ~ R B X 4 k 與行位址 B X 2 ~ B X 4 的其中之一不一致，則節點 X L H k 會經由所對應的 1 位元比較部 A C 1 而被放電。又，若保險絲判定電路 F D X 2 k ~ F D X 4 k 的輸出 R B X 2 k ~ R B X 4 k 與行位址 B X 2 ~ B X 4 全部一致，則通過 1 位元比較部 A C 1 的電流路徑不會形成，節點 X L H k 會藉閉鎖電路 L C B 而保持於高位準。同樣的，若保險絲判定電路 F D X 5 k ~ F D X 8 k 的輸出 R B X 5 k ~ R B X 8 k 與行位址 B X 5 ~ B X 8 的其中之一不一致，則節點 X M H k 會形成低位準，若全部一致，則節點 X M H k 會被保持於高位準。又，若保險絲判定電路 F D X 9 k ~ F D X 1 2 k 的輸出 R B X 9 k ~ R B X 1 2 k 與行位址 B X 5 ~ B X 8 的其中之一不一致，則節點 X M U k 會形成低位準，若全部一致，則節點 X U H k 會被保持於高位準。由於允許信號 R Y E k b 為低位準，因此會在允許電路 R M E 取邏輯乘積，若節點 X L H k，X M H k，X U H k 全體為高位準，則比較結果 R M k 會形成高位準，若皆為低位準，則比較結果 R M k 會形成低位準。亦即，針對行位址 B X 2 ~ B X 1 2 與記錄於 1 1 個保險絲判定電路 F D X 2 k ~ F D X 1 2 k 內的救濟位址進行比較的結果可自比較結果

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (21)

R M k 中取得。

在保險絲判定電路 F D B k 中，保險絲不被燒毀，且其輸出 R B R k 為低位準，以及在保險絲判定電路

F D X 2 k 中，保險絲被燒毀，且其輸出 R B X 2 k 為高位準時，會比較行位址中的上位 4 位元 B X 9 ~ B X 1 2 與記錄於 4 個保險絲判定電路 F D X 9 k ~ F D X 1 2 k

內的救濟位址。此情況會形成與第 7 圖的上位行位址相同的機能，對應於各墊 (mat) 的區塊救濟。又，此情況，根據控制電路 R M C，允許信號 R U E k b 會形成低位準，節點 X M L E k 也會形成低位準，但節點 X U E k 是根據復位控制信號 R S T 0 b 而予以控制。由於 N M O S 電

晶體 M N L E，M N M E 不會形成 O N 狀態，因此節點 X L H k，X M H k 不會依照行位址而被保持於高位準。另一方面，若保險絲判定電路 F D X 9 k ~ F D X 1 2 k 的輸出 R B X 9 k ~ R B X 1 2 k 與行位址 B X 5 ~

B X 8 的其中之一不一致，則節點 X U H k 會形成低位準，若全部一致，則節點 X U H k 會被保持於高位準。比較結果 R M U k 會形成“1”。由於允許信號 R U E k b 會形成低位準，因此根據允許電路 R M E，節點 X U H k 的

值會作為比較結果 R M k 而輸出。亦即，針對行位址 B X 9 ~ B X 1 2 與記錄於 4 個保險絲判定電路 F D X 9 k ~ F D X 1 2 k 內的救濟位址進行比較的結果可自比較結果 R M k 中取得。

在保險絲判定電路 F D B k 及 F D X 2 k 中，保險絲

B X 9 ~ B X 1 2 與記錄於 4 個保險絲判定電路

F D X 9 k ~ F D X 1 2 k 內的救濟位址進行比較的結果可自比較結果 R M k 中取得。

在保險絲判定電路 F D B k 及 F D X 2 k 中，保險絲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

不被燒毀，且其輸出 $R B R k$ 及 $R B X 2 k$ 為低位準時，比較結果 $R M U k$ 不會依照行位址而形成“0”。這將對應於不使用對應於該行位址比較電路 $B X C 1$ 的保險絲組時。此情況，根據控制電路 $R M C U$ ，允許信號

$R Y E k b$ 會形成高位準，節點 $X N L E k$ ， $X U E k$ 不會根據復位控制信號 $R S T 0 b$ 而形成低位準。由於 $N M O S$ 電晶體 $M N L E$ ， $M N M E$ ， $M N U E$ 不會形成 $O N$ 狀態，因此節點 $X L H k$ ， $X M H k$ ， $X U H k$ 會根據門鎖電路 $L C B$ 而被保持於高位準，但因為允許信號 $R Y E k b$ 為高位準，所以比較結果 $R M k$ 會形成低位準，亦即會形成“0”。

此行位址比較電路亦與第 7 圖所示之上位行位址比較電路 $B X U C 1$ 同樣的，可利用動態型 $C M O S$ 邏輯電路來縮小電路規模。但，由於進行比較的位元數較多，因此將動態電路分成三份，而使能夠進行安定的動作。並且，將在區塊救濟時記憶救濟行位址 $R B X 2 k$ 的保險絲判定電路 $F D X 2 k$ 利用於判定有無使用 $Y S$ 救濟，藉此來節約保險絲數。

第 9 圖是表示第 7 及 8 圖中之保險絲判定電路的構成例。該保險絲判定電路是由：保險絲 $F U S E$ ， $N M O S$ 電晶體 $M N 4$ ， $M N 5$ ，及 $C M O S$ 反相器 $I N V 2$ 所構成。保險絲 $F U S E$ 可以配線層等來實現，藉由雷射等來選擇性地予以切斷。

該保險絲判定電路會進行下述動作。在允許信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

F E b 為高位準間，且 N M O S 電晶體 M N 4 為 O N 狀態下，當保險絲 F U S E 被切斷時，會使虛實輸出 F 0 b 復位成低位準，以及使真實輸出 F 0 復位成高位準。若允許信號 F E 形成高位準，則 N M O S 電晶體 M N 4 會形成 O N 狀態。當保險絲 F U S E 未被切斷時，虛實輸出 F 0 b 會形成高位準，使真實輸出 F 0 會形成低位準。另一方面，當保險絲 F U S E 被切斷時，會根據 N M O S 電晶體 M N 5 來使虛實輸出 F 0 b 保持於低位準，以及根據反相器 I N V 2 來使真實輸出 F 0 保持於高位準。

當保險絲 F U S E 未被切斷時，在允許信號 F E b 為高位準間，貫通電流會流動。若縮小 N M O S 電晶體的閘極寬及增大閘極長，則雖貫通電流會變小，但佈局面積卻會變大。由於本發明可以較少的保險絲數來有效率地進行救濟，因此可縮小保險絲判定電路的數量，甚至該貫通電流的問題亦可減輕。

就此保險絲判定電路而言，由於在為了使輸出形成全振幅時可利用必要的 C M O S 反相器 I N V 來取得相輔的輸出，因此適合於第 7 及 8 圖所示之利用相輔的保險絲判定結果之構成。並且，如第 7 圖中的 F D Y K 所示，只要真實輸出的判定結果即可時，僅利用輸出 F 0 即可。

又，亦可利用由電容器所構成的抗保險絲 (anti-fuse) 來取代保險絲。該情況，由於可電氣性的燒毀，因此不需要設置一供雷射進行燒毀的開口部，進而能夠使製程簡略化。並且，該情況具有即使在封裝後也能夠進行燒毀之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

功效。但，抗保險絲判定電路與通常的保險絲判定電路相較下，不但元件數較多，而且必需將電晶體的尺寸設定成能夠使形成燒毀時的電流路徑的電晶體形成非常低的阻抗，以及使決定判定時的負荷阻抗的電晶體形成非常高的阻抗，因此其面積會變大。由於本發明的救濟方式可以較少的保險絲數來實現有效率的缺陷救濟，減輕抗保險絲判定電路的面積問題，因此非常合適於利用抗保險絲判定電路的救濟判定電路。

第 10 圖是表示位址選擇電路 R B Y S 1 的構成例。是由：8 個保險絲 $F y j 0 \sim F y j 7$ ，及 9 個 N M O S 電晶體 M N E， $M Y j 0 \sim M Y j 7$ ，及附有門鎖機能的反相器 L C I 所構成。該附有門鎖機能的反相器 L C I 是由 2 個 P M O S 電晶體及反相器所構成。按照行位址判定結果 R M 0 ~ R M 3 及行位址比較結果 R M 4 ~ R M 7 來選擇根據保險絲而被記憶的救濟列位址。又，以行位址判定結果 R M 0 ~ R M 3 及行位址比較結果 R M 4 ~ R M 7 中僅一個為高位準，其他為低位準，或全部形成低位準之方式來設定行位址比較電路 B X U C 1，B X C 1 的保險絲。

待機時，使復位信號 R S T b 形成低位準，然後將節點 R B Y j 0 b 復位成高位準，將輸出節點 R B Y j 復位成低位準。例如，當行位址判定結果 R M 0 為高位準，其他為低位準時，若復位信號 R S T b 形成高位準，則 N M O S 電晶體 M N E 會形成 O N 狀態，只要保險絲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (25)

F y j 0 不被燒毀 (blow) , 節點 R B Y j b 會被放電成低位準, 輸出節點 R B Y j 會根據附有閃鎖機能的反相器 L C I 而形成高位準。若保險絲 F y j 0 被燒毀, 則節點 R B Y j b 會根據附有閃鎖機能的反相器 L C I 而形成高位準, 而輸出節點 R B Y j 會被保持於低位準。

藉由如此利用含保險絲的動態復合閘極, 將可使救濟列位址選擇的複雜邏輯電路能夠實現較小的電路規模。甚至, 因為復位信號 R S T b 到形成高準位為止, N M O S 電晶體 M N E 會形成 O F F 狀態, 所以與第 9 圖所示的保險絲判定電路不同, 不會有貫通電流的問題。

又, 亦可將第 10 圖的保險絲置換成抗保險絲, 然後追加燒毀控制用的電晶體等, 藉此來利用抗保險絲, 而非保險絲。又, 亦可取代第 10 圖中的保險絲, 而設置 N M O S 電晶體, 以抗保險絲判定電路的輸出來控制其閘極。此情況, 燒毀抗保險絲之電路的構成容易。

第 11 圖是表示第 6 圖所示之列位址比較電路 B Y C 1 的構成例。是由 8 個的排他性 N O R 電路 X N O R , 及 9 輸入 A N D 電路 A N D 9 所構成, 該 9 輸入 A N D 電路 A N D 9 是由 3 個的 3 輸入 N A N D 閘極與 3 輸入 N O R 閘極所構成。使用 8 個的排他性 N O R 電路 X N O R 來 1 位元 1 位元地比較救濟列位址 R B Y 1 i ~ R B Y 8 i 。針對其結果與輸入信號 R M A i , 以 9 輸入 A N D 電路 A N D 9 來取邏輯乘積, 然後輸出比較判定結果 R C Y i 。在此, 藉由取得輸入信號 R M A i (顯示有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

無救濟列位址) 與邏輯乘積, 當行位址判定結果 $R M 0 \sim R M 3$ 及行位址比較結果 $R M 4 \sim R M 7$ 皆為低位準時, 使比較判定結果 $R C Y i$ 成為低位準。

該列位址比較電路是在列預解碼位址 $B Y$ 被輸入後動作, 形成決定來自第 5 圖的讀出指令 R 的存取時間之臨界脈衝 (critical pulse)。在此, 藉由靜態 $C M O S$ 電路來構成, 而使不須定時界限 (timing margin) 來縮小延遲時間。另一方面, 使讀出指令 R 前動作的行位址比較電路 $B X U C 1$, $B X C 1$ 或位址選擇電路 $R B Y S 1$ 形成動態電路, 而來縮小電路規模, 這將可在不含於臨界脈衝中充分地確保定時界限下使安定動作。

為了說明上述具體的列系缺陷救濟判定電路 $Y R$ 的分配任務, 而以第 4 圖中的電路區塊來具體表示與列系動作相關的構成。

第 1 2 圖是表示第 4 圖所示之列預解碼器 $Y P D$ 的構成例。如上述, 針對列位址 $B Y 1 \sim B Y 8$ 進行預解碼, 而來將列預解碼位址 $C Y 2 0 \sim C Y 2 3$, $C Y 5 0 \sim C Y 5 7$, $C Y 8 0 \sim C Y 8 7$ 供應給第 4 圖之記憶體陣列 $M A R$ 中的列解碼器。是由: 對列位址 $B Y 1$, $B Y 2$ 進行預解碼, 而輸出列預解碼位址 $C Y 2 0 \sim C Y 2 3$ 的 2 位元預解碼器 $Y P D 2$, 及對列位址 $B Y 3 \sim B Y 5$ 或 $B Y 6 \sim B Y 8$ 進行預解碼, 而輸出列預解碼位址 $C Y 5 0 \sim C Y 5 7$ 或 $C Y 8 0 \sim C Y 8 7$ 的 2 個 2 位元預解碼器 $Y P D 2$ 所構成。又, 2 位元預解碼器 $Y P D 2$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

是由 3 個反相器及 4 個的 3 輸入 A N D 電路 A N D 3 P 所構成，該 4 個的 3 輸入 A N D 電路 A N D 3 P 是分別由 3 輸入 N A N D 閘極及反相器所形成。並且，以反相器來使列系缺陷救濟判定電路 Y R 的列系缺陷救濟判定結果

R Y H 反相，及以 3 輸入 A N D 電路 A N D 3 P 來取列位址 B Y 1 或其反相信號及列位址 B Y 2 或其反相信號的邏輯乘積，而作為列預解碼位址 C Y 2 0 ~ C Y 2 3 來輸出。亦即，若列系缺陷救濟判定結果 R Y H 為高位準，則會使所有的列預解碼位址 C Y 2 0 ~ C Y 2 3 形成低位準，若列系缺陷救濟判定結果 R Y H 為低位準，則會對應於列位址 B Y 1，B Y 2 來使所有的列預解碼位址 C Y 2 0 ~ C Y 2 3 的其中之一個形成高位準。又，3 位元預解碼器 Y P D 3 是由 3 個反相器及 8 個 3 輸入 A N D 電路 A N D 3 P 所構成，針對所被輸入的列位址 3 位元進行預解碼而輸出。

藉由 2 位元預解碼器 Y P D 2，當列系缺陷救濟判定結果 R Y H 為高位準時，會使所有列預解碼位址 C Y 2 0 ~ C Y 2 3 形成低位準，且如後述，將正常的列選擇線置換成冗長列選擇線時，會停止正常的列選擇線的動作。在此，列位址信號 C Y 5 0 ~ C Y 5 7，C Y 8 0 ~ C Y 8 7 不會依照列系缺陷救濟判定結果 R Y H 而輸出，藉此不會在 2 個 3 位元預解碼器 Y P D 3 中供給列系缺陷救濟判定結果 R Y H，而使連接於列系缺陷救濟判定結果 R Y H 的負荷縮小，進而能夠縮小臨界脈衝的延遲時間。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

第 1 3 圖是表示第 4 圖中之記憶體陣列 M A R 的構成例。在此，記憶格被配置成矩陣狀的記憶體陣列會被分割成 1 6 個的墊 M C A 0 ~ M C A 1 5。並且，在各墊的兩側設有感應放大器部 S A B 0 ~ S A B 1 6。而且，對應於墊 M C A 0 ~ M C A 1 5 而設有行解碼器 X D E C 0 ~ X D E C 1 5，對應於感應放大器部 S A B 0 ~ S A B 1 6 而設有感應放大器控制電路 S A C 0 ~ S A C 1 6。在此，列解碼器 Y D E C 及冗長列驅動器 R Y D 2 是共通於所被分割的墊 M C A 0 ~ M C A 7，選擇性地驅動 2 5 6 條的列選擇線 Y S 0 ~ Y S 2 5 5 及 2 條的冗長列選擇線 R Y S 0，R Y S 1。第 6 ~ 1 1 圖所示之列系救濟判定電路 Y R 及第 1 2 圖的列預解碼器 Y P D 是對應於列選擇線及冗長列選擇線的條數。例如，之所以在第 4 圖的比較判定結果為 2 個，那是因為 R C Y 0，R D Y 1 分別 1 對 1 對應於冗長列選擇線 R Y S 0，R Y S 1。

第 1 4 圖是表示第 9 圖中之列解碼器 Y D E C 及冗長列驅動器 R Y D 2 的構成例。列解碼器 Y D E C 為了能夠選擇列選擇線 Y S 0 ~ Y S 2 5 5 來進行解碼，而由 N A N D 閘極與反相器所形成的 2 輸入 A N D 電路 A N D 2 1，A N D 2 2 會分別多數設置。並且，會被輸入對列位址 2 位元進行預解碼後的列位址信號 C Y 2 0 ~ C Y 2 3，及各對 3 位元進行預解碼後的列位址信號 C Y 5 0 ~ C Y 5 7，C Y 8 0 ~ C Y 8 7。首先，利用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

A N D 電路 A N D 2 1 來取 C Y 5 0 ~ C Y 5 7 與 C Y 8 0 ~ C Y 8 7 的其中之一邏輯乘積，以及利用 A N D 電路 A N D 2 2 來取 A N D 電路 A N D 2 1 的輸出與 C Y 2 0 ~ C Y 2 3 的其中之一邏輯乘積，藉此 7 位元分量的解碼會被進行，而使能夠選擇 2 5 5 條列選擇線 Y S 0 ~ Y S 5 1 1 中所期望的 1 條。並且，在冗長列驅動器 R Y D 2 中為了驅動冗長列選擇線 R Y S 0 ， R Y S 1 ，而設有 2 個 2 段連接反相器的緩衝電路 B U F 2 。

第 1 5 圖是表示第 1 3 圖中之感應放大器部 S A B 1 及墊 M C A 1 的構成例。墊 M C A 1 是形成周知的折回型位元線構成，亦即在位元線對 B L 0 t 與 B L 0 b ， B L 0 t 與 B L 0 b 、 、 、 的其中一方與字元線 W L 0 ， W L 1 、 、 、 的交點配置有記憶格 M C 。記憶格 M C 是由 1 個 N M O S 電晶體與 1 個儲存電容所形成之 1 電晶體 1 電容器型記憶格。感應放大器部 S A B 1 為 2 個墊 M C A 0 及 M C A 1 共有，是由共同閘極 S H L 0 ， S H L 1 、 、 、 及 S H R 0 ， S H R 1 、 、 、 ，預充電電路 P C 0 ， P C 1 、 、 、 ，感應放大器 S A 0 ， S A 1 、 、 、 ，輸出入閘極 I O G 0 ， I O G 1 、 、 、 所構成。預充電電路 P C 0 ， P C 1 、 、 、 是將兩側的墊 M C A 0 及 M C A 1 內的位元線對予以預充電成預充電電壓 H V C 。共同閘極 S H L 0 ， S H L 1 、 、 、 及 S H R 0 ， S H R 1 、 、 、 是與墊 M C A 0 及 M C A 1 的其中一方內

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

的位元線對及感應放大器連接，且與他方內的位元線對分離。在連接於感應放大器部的墊內，藉由其中之一字元線被選擇驅動，信號會從記憶格 M C 讀出至各位元線對 B L 0 t 與 B L 0 b，B L 0 t 與 B L 0 b、、、，且利用感應放大器 S A 0，S A 1 來予以放大。輸出入閘極 I O G 0，I O G 1、、、是根據列選擇線 Y S 0，Y S 1、、、而選擇，將所期望的感應放大器連接於輸出線對 I 0 0 t 與 I 0 0 b，I 0 1 t 與 I 0 1 b。在此所示的例子是列選擇線被配置於感應放大器部內的每 2 個感應放大器，亦即墊內的每 4 對位元線。藉由將此列選擇線置換成冗長列選擇線，而使能夠由輸出線對 I 0 0 t 與 I 0 0 b，I 0 1 t 與 I 0 1 b 來置換進行資料收受的感應放大器，進而能夠將不良記憶格置換成冗長記憶格來進行救濟。

第 16 圖是表示以上所述構成之列選擇線的置換例。藉由將列選擇線置換成冗長列選擇線，而來將各墊的位元線置換成冗長位元線，且將缺陷部的記憶格群置換成冗長記憶格群。將向右上斜線模樣的剖面領域 R P O A 予以置換成向右下斜線模樣的剖面領域 R P D A。冗長列選擇線 R Y S 0，R Y S 1 是分別以 8 處來置換列選擇線。混合區塊救濟（以連續的兩個墊為單位）與位元救濟（較小的單位）。換言之，混合著：於 1 個墊中以根據列位址信號而選擇的資料線為一單位進行置換的區塊救濟，及於 1 個墊中以根據列位址信號而選擇的資料線與預定數的字元線

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (31)

之交叉領域為一單位進行置換的位元救濟。例如，在墊 M C A 0 中是以副陣列的 1 2 8 分之 1 的單位來置換列選擇線。這可利用第 4 圖中的行位址比較電路 B X C 1 來進行控制，而實現所謂的位元救濟，合適於記憶格的缺陷救濟。並且，在墊 M C A 2 中是以墊單位來置換列選擇線。此類的置換可利用第 4 圖中的上位行位址比較電路 B X U C 1 來進行控制，適合於位元線的缺陷救濟。在此，亦可以冗長列選擇線 R Y S 0，R Y S 1 來置換連續 2 條的列選擇線，而使能夠對應於位元線間的短路。並且，如墊 M C A 4，M C A 5 所示，亦可於連續的 2 個墊置換相同的列選擇線，而使能夠對應於感應放大器的缺陷。

如墊 M C A 4 所示，優先進行位元救濟，然後從中進行區塊救濟，藉此而能夠利用位元救濟用的行位址比較電路 B X C 1 與區塊救濟用的上位行位址比較電路

B X U C 1 來實現與 2 個位元救濟份量同等的置換。又，如墊 M C A 8 所示，亦可於 1 個墊內進行 2 個位元救濟。這對於在冗長列選擇線所被選擇的冗長記憶格中有缺陷時有效。又，如墊 M C A 1 2 所示，亦可以 2 條冗長列選擇線 R Y S 0，R Y S 1 的雙方來進行位元救濟與從中拔取區塊救濟。

當位元線的缺陷較多時，冗長列選擇線 R Y S 1 亦可於 5 個墊進行區塊救濟與從中拔取區塊救濟，以及在最大 8 個墊進行墊單位的區塊救濟。就此圖例而言，例如可利用位元救濟用的行位址比較電路 B X C 1 來進行墊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

M C A 1 0 的區塊救濟。

第 1 7 圖是表示列選擇線的其他置換例。在此是不依照行位址來將 1 條列選擇線置換成冗長列選擇線 R Y S 1。藉由如此所謂的 Y S 置換，將可對應於列選擇線或列解碼器的缺陷。此刻，可以冗長列選擇線 R Y S 0 來救濟 8 處的缺陷。在此，如墊 M C A 4，M C A 1 2 所示，亦可以 1 個墊來救濟複數個缺陷。

如以上所述，本實施例的列系救濟方式可進行圓滑的救濟。又，由於保險絲的數量少，因此不但晶片面積增加少，且可藉高救濟效率來提高良品率，甚至能夠降低 S D R A M 的製造成本。在此，雖是針對列選擇線為 2 5 6 條，冗長列選擇線為 2 條等所顯示的具體數值來加以說明，但並非只限於此，其他數值時亦有效。又，以上所示構成，雖能以 1 個份量的墊作為區塊救濟的基本單位，而擴張成 2 個份量的墊，但並非只限於此，亦可以 2 個份量等複數個的墊作為區塊救濟的基本單位，而擴張成複數倍的墊。又，以上雖是以 S D R A M 為例，但本實施例是有關記憶體陣列的缺陷救濟者，對高速頁模式等其他的 D R A M 亦可取得同樣的效果。甚至亦可適用於 D R A M 以外的記憶體。以下所示的實施例亦相同。

(實施例 4)

利用第 1 8 ~ 2 1 圖來說明列系區塊救濟的其他實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

此實施例的特徵為：可在保險絲進行程式化而來決定到底要將位元救濟可能的保險絲組利用於 2 條冗長列選擇線的其中哪一條。

第 4 圖所示之 S D R A M 全體的構成，或第 1 2 圖之列預解碼器 Y P D，第 1 3 ~ 1 5 圖所示之記憶體陣列 M A R 的構成，是與利用第 4 ~ 1 7 圖所述的方式相同。

第 1 8 圖是表示列系救濟電路的其他構成例，和第 6 圖所示的列系救濟電路相同，作為第 4 圖中的 Y R 用。此為輸出能夠分別對最大 8 個合計 1 2 個以內的置換進行控制之 2 個的比較判定結果 R C Y 0，R C Y 1 的構成例。是由 3 個行位址比較電路群 B X C G 0，B X C G 1，B X C G 2 2，行位址比較結果的控制電路 R M C 2，救濟列位址選擇電路群 R B Y S G 2，2 個列位址比較電路 B Y C 1，2 輸入 O R 電路 O R 2 所構成。

和第 6 圖同樣的，行位址比較電路群 B X C G 0，B X C G 1 是分別由 4 個上位行位址比較電路 B X U C 1 所構成。行位址比較電路 B X U C 1 的構成如第 7 圖所示，分別記憶 4 位元的救濟行位址，比較所被輸入之行位址 B X 中的上位 4 位元 B X 9 ~ B X 1 2，然後輸出行位址比較結果 R M U 0 ~ R M U 3，R M U 8 ~ R M U 1 1。又，行位址比較電路群 B X C G 2 2 是由 4 個行位址比較電路 B X C 2 所構成，行位址比較電路 B X C 2 會分別記憶 1 1 位元的救濟行位址，比較所被輸入之行位址 B X 的 1 1 位元 B X 2 ~ B X 1 2，然後輸出行位址比較結果

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

R M 4 0 ~ R M 7 0 , R M 4 1 ~ R M 7 1 。在此，行位址比較結果 R M 4 0 ~ R M 7 0 是有關比較判定結果

R C Y 0 , 行位址比較結果 R M 4 1 ~ R M 7 1 是有關比較判定結果 R C Y 0 。又，控制電路 R M C 2 是由 4 個的 4 輸入 N O R 電路 N O R 4 , 及 2 個的 2 輸入 N A N D 電路 N A N D 2 , 及 8 個的 2 輸入 A N D 電路 A N D 2 所構成。行位址比較結果 R M U 0 ~ R M U 3 及 R M 4 0 ~

R M 7 0 的邏輯和可在輸出 R M A 0 中取得，R M U 8 ~ R M U 1 1 及 R M 4 1 ~ R M 7 1 的邏輯和可在輸出

R M A 1 中取得。此輸出信號 R M A 0 , R M A 1 是分別在 2 個的列位址比較電路 B Y C 1 中對所輸入的行位址

B X 顯示有無進行比較之救濟列位址。並且，當行位址比較結果 R M 4 0 ~ R M 7 0 皆為“0”時，節點

R M A 2 0 b 會形成“1”，且在行位址判定結果 R M 0 ~ R M 3 中輸出行位址比較結果 R M U 0 ~ R M U 3 , 當

行位址比較結果 R M U 4 0 ~ R M U 7 0 皆為“1”時，節點 R M A 2 0 b 會形成“0”，且行位址判定結果

R M 0 ~ R M 3 為“0”。同樣的，藉由節點

R M A 2 1 b 來控制行位址比較結果 R M 8 ~ R M 1 1 。

又，救濟列位址選擇電路群 R B Y S G 2 是由 8 個位址選擇電路 R B Y S 2 所構成，對應於所被輸入的行位址比較結果 R M 0 ~ R M 3 , R M 8 ~ R M 1 1 及行位址比較結果 R M 4 0 ~ R M 7 0 , R M 4 1 ~ R M 7 1 , 位址選擇電路 R B Y S 2 會分別選擇救濟列位址 R B Y 1 0 ~

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

R B Y 8 0 及 R B Y 1 1 ~ R B Y 8 1 的各 1 位元。又，記憶一個置換的位址空間的保險絲組是由：1 個行位置比較電路 B X U C 1 或 B X C 2 中的保險絲，及 8 個位址選擇電路 R B Y S 2 中的各 1 個保險絲所構成。又，列位址比較電路 B Y C 1 的構成如第 1 1 圖所示，當控制信號 R M A 0，R M A 1 為“1”時，會比較救濟列位址 R B Y 1 0 ~ R B Y 8 0，R B Y 1 1 ~ R B Y 8 1 與列位址 B Y (B Y 1 ~ B Y 8)，且輸出比較結果 R C Y 0，R C Y 1。又，根據 2 輸入 O R 電路 O R 2 來取得 2 個比較判定結果 R C Y 0，R C Y 1 的邏輯和，且輸出列系救濟判定結果 R Y H。

第 1 9 圖是表示第 1 8 圖中的行位址比較電路 B X C 2 的構成例。追加於第 8 圖所示之行位址比較電路 B X C 1 中，由保險絲判定電路 F D R 1 k 及選擇器 R M S L 所構成。與行位址比較電路 B X C 1 中的 1 2 個保險絲判定電路 F D B k，F D X 2 k ~ F D X 1 2 k 合併，具有 1 3 個保險絲判定電路。選擇器 R M S L 是由 2 個的 2 輸入 N A N D 閘極與 2 個的反相器所構成，對應於保險絲判定電路 F D R 1 k 的輸出 R Y 1 k b，R Y 1 k 來將行位址比較電路 B X C 1 的輸出 R M k 予以輸出至 2 個行位址比較結果 R M k 0，R M k 1 的一方，且將另一方當作“0”。如此一來，在行位址比較電路的兩個輸出選擇，能夠在不使電路規模增大的情況下實現。

第 2 0 圖是表示第 1 8 圖中的位址選擇電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (36)

R B Y S 2 的構成例。是由：12個保險絲 F y j 0 ~ F y j 11，及15個NMOS電晶體 M N E 0，M N E 2，M N E 1，M Y j 0 ~ M Y j 3，M Y j 4 0 ~ M Y j 7 0，M Y j 4 1 ~ M Y j 7 1，M Y j 8 ~ M Y j 11，及2個附有閘鎖機能的反相器 L C I 所構成。該附有閘鎖機能的反相器 L C I 與第10圖同樣的，是由2個PMOS電晶體及反相器所構成。在此構成下按照行位址判定結果 R M 0 ~ R M 3，R M 8 ~ R M 11 及行位址比較結果 R M 4 0 ~ R M 7 0，R M 4 1 ~ R M 7 1 來選擇根據保險絲而被記憶的救濟列位址。又，以行位址判定結果 R M 0 ~ R M 3 及行位址比較結果 R M 4 0 ~ R M 7 0，或行位址判定結果 R M 8 ~ R M 11 及行位址比較結果 R M 4 1 ~ R M 7 1 中僅一個為高位準，其他為低位準，或全部形成低位準之方式來設定行位址比較電路 B X U C 1，B X C 2 的保險絲。又，根據第19圖所示的行位址比較電路 B X C 2 而輸出的行位址比較結果 R M 4 0 ~ R M 7 0，R M 4 1 ~ R M 7 1 是分別在兩個的行位址比較結果，例如在 R M 4 0，R M 4 1，一方為高位準，另一方為低位準，或雙方形成低位準。

待機時，使復位信號 R S T b 形成低準位，然後將節點 R B Y j 0 b，R B Y j 1 b 復位成高準位，將輸出節點 R B Y j 0，R B Y j 1 復位成低準位。若復位信號 R S T b 形成高準位，則NMOS電晶體 M N E 0 ~ M N E 2 會形成ON狀態，經由NMOS電晶體與保險絲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

，由輸出 $R B Y j 0$ ， $R B Y j 1$ 來判定節點 $R B Y j 0 b$ ， $R B Y j 1 b$ 是否被放電。例如，行位址判定結果 $R M 0$ 與行位址比較結果 $R M 4 1$ 為高位準，其他為低位準時，只要保險絲 $F y j 0$ 不被燒毀，節點 $R B Y j 0 b$ 會被放電成低位準，輸出節點 $R B Y j 0$ 會根據附有閉鎖機能的反相器 $L C I$ 而形成高位準，若保險絲 $F y j 0$ 被燒毀，則節點 $R B Y j 0 b$ 會根據附有閉鎖機能的反相器 $L C I$ 而形成高位準，而輸出節點 $R B Y j 0$ 會被保持於低位準。並且，只要保險絲 $F y j 4$ 不被燒毀，輸出節點 $R B Y j 1$ 會形成高位準，若保險絲 $F y j 4$ 被燒毀，則輸出節點 $R B Y j 1$ 會被保持於低位準。

藉由如此利用含保險絲的動態復合閘極，將可使比第 10 圖所示之救濟列位址選擇電路 $R B Y S 1$ 還要複雜的邏輯電路能夠實現較小的電路規模。此位址選擇電路 $R B Y S 2$ 要比 2 個分量的第 10 圖所示之救濟列位址選擇電路 $R B Y S 1$ 還能夠形成更小的佈局面積。

第 21 圖是表示利用第 18 圖所示之列救濟判定電路時之列選擇線的置換例。與第 16 圖及第 17 圖同樣的，將向右上斜線模樣的剖面領域 $R P O D$ 予以置換成向右下斜線模樣的剖面領域 $R P D A$ 。冗長列選擇線 $R Y S 0$ ， $R Y S 1$ 是以 12 處來置換列選擇線，且混合區塊救濟（以連續的兩個墊為單位）與位元救濟（較小的單位）。如墊 $M C A 4$ 所示，優先進行位元救濟，然後從中進行區塊

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明 (38)

救濟，藉此而能夠利用位元救濟用的行位址比較電路

B X C 2 與區塊救濟用的上位行位址比較電路 B X U C 1 來實現與 2 個位元救濟份量同等的置換。在此，是以冗長列選擇線 R Y S 0 來進行如此的置換，且以冗長列選擇線 R Y S 1 來進行通常的區塊救濟。就第 1 8 圖所示之列救濟判定電路而言，因為無論是在 2 條冗長線的哪一條皆可分配位元救濟用的 4 個保險絲組，所以因位元線的缺陷等而進行區塊救濟的墊中最大可執行 5 個位元救濟。並且，如墊 M C A 1 2 所示，亦可在 2 條冗長列選擇線 R Y S 0，R Y S 1 的雙方進行位元救濟及從中拔取區塊救濟。

在本實施例中亦可實現第 1 7 圖所示的置換例。就第 1 7 圖而言，是將 1 條列選擇線置換成冗長列選擇線 R Y S 1。此刻，可同時將 4 個行位址比較電路 B Y C 2 分配於冗長列選擇線 R Y S 0，而以冗長列選擇線 R Y S 0 來救濟 8 處的缺陷。

就上述本實施例的列系救濟方式而言，由於無論在冗長列線的何處皆可分配自由度高的位元救濟用保險絲組，因此可非常圓滑地進行救濟。尤其是本實施例的構成在合適位元救濟的記憶格缺陷數少時，可使浪費保險絲組的可能性有效降低。

(實施例 5)

利用第 2 2 ~ 2 4 圖來說明列系救濟電路的其他實施例。該實施例的特徵是依特定的順序來分類記憶進行區塊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

救濟的救濟行位址，減少記憶救濟行位址的保險絲數。

在此，第 4 圖所示的 S D R A M 全體的構成，第 1 2 圖的列預解碼器 Y P D，及第 1 3 ~ 1 5 圖所示的記憶體陣列 M A R 的構成是與第 4 ~ 1 7 圖所述的方式相同。

第 2 2 圖為列系救濟電路的其他構成例，與第 6 圖所示的列系救濟電路同樣的，作為第 4 圖中的 Y R 用。但此列系救濟電路中亦輸入行預解碼器 X P D 的輸出之墊選擇信號 M S。在此是表示用以輸出能夠分別對最大 1 2 個的置換進行控制之 2 個的比較判定結果 R C Y 0，R C Y 1 的構成例。並且，設有 2 個位址位移器 M S S F 0，M S S F 1，而來取代第 6 圖所示之列系救濟電路 Y R 中的行位址比較電路群 B X C G 0，B X C G 1。其他則與第 6 圖同樣的，是由 2 個行位址比較電路群 B X C G 2，B X C G 3，2 個行位址比較結果的控制電路 R S C 0，R S C 1，2 個救濟列位址選擇電路群 R B Y S S 0，R B Y S S 1，2 個列位址比較電路 B Y C 1，2 輸入 O R 電路 O R 2 所構成。

位址位移器 M S S F 0，M S S F 1，如後述是以特定的順序來分類進行區塊救濟的行位址，然後藉由保險絲予以記憶起，使對應輸入的墊選擇信號 M S (M S 0 ~ M S 1 5) 位移，而作為行位址比較結果 R M S 0 ~ R M S 7，R M S 1 2 ~ R M S 1 9 輸出。和第 6 圖同樣的，行位址比較電路群 B X C G 2，B X C G 3 是由 4 個行位址比較電路 B X C 1 所構成。行位址比較電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (40)

B X C 1 的構成如第 8 圖所示，分別記憶 1 位元的救濟行位址，比較所被輸入之行位址 B X 的 1 1 位元 B X 2 ~ B X 1 2，然後輸出行位址比較結果 R S 8 ~ R S 1 1，R S 2 0 ~ R S 2 3。又，控制電路 R S C 0，R S C 1 是分別由 8 輸入 N O R 電路 N O R 8，及 4 輸入 N O R 電路 N O R 4，及 2 輸入 N A N D 電路 N A N D 2，及 8 個的 2 輸入 A N D 電路 A N D 2 所構成。雖與第 6 圖中的控制電路 R M C 0，R M C 1 所輸入的位址比較結果的個數不同，但動作相同。亦即，行位址比較結果 R M S 0 ~ R M S 7 及 R S 8 ~ R S 1 1 的邏輯和可在輸出 R S A 0 中取得，行位址比較結果 R M S 1 2 ~ R M S 1 9 及 R S 2 0 ~ R S 2 3 的邏輯和可在輸出 R S A 1 中取得。並且，當行位址比較結果 R S 8 ~ R S 1 1 皆為“0”時，節點 R S A 2 b 會形成“1”，且在行位址判定結果 R S 0 ~ R S 7 中輸出行位址比較結果 R M S 0 ~ R M S 7，當行位址比較結果 R S 8 ~ R S 1 1 皆為“1”時，節點 R S A 2 b 會形成“0”，且行位址判定結果 R S 0 ~ R S 7 為“0”。同樣的，藉由節點 R S A 3 b 來控制行位址比較結果 R S 1 2 ~ R S 1 9。又，救濟列位址選擇電路群 R B Y S S 0，R B Y S S 1 是由 8 個位址選擇電路 R B Y S 3 所構成。位址選擇電路 R B Y S 3 雖所被輸入的行位址判定結果的個數不同，但可和第 1 0 圖所示的位址選擇電路 R B Y S 1 同樣構成，分別選擇救濟列位址 R B Y 1 0 ~ R B Y 8 0 及 R B Y 1 1 ~

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

R B Y 8 1 的各 1 位元。依情況，亦可將 1 2 個的輸入分成兩個部份，在各一半動態復合閘極取邏輯後取得邏輯和。此情況，雖電路規模會若干變大，但可改善動作速度及雜訊界限。又，列位址比較電路 B Y C 1 的構成如第 1 1 圖所示，當控制信號 R M A 0，R M A 1 為“1”時，會比較救濟列位址 R B Y 1 0 ~ R B Y 8 0，R B Y 1 1 ~ R B Y 8 1 與列位址 B Y (B Y 1 ~ B Y 8)，且輸出比較結果 R C Y 0，R C Y 1。又，根據 2 輸入 O R 電路 O R 2 來取得 2 個比較判定結果 R C Y 0，R C Y 1 的邏輯和，且輸出列系救濟判定結果 R Y H。

第 2 3 圖是表示使用 N M O S 通路電晶體的位址位移器 M S S F 0 的構成例。位址位移器 M S S F 1 亦同樣被構成。並將所被輸入的墊選擇信號 M S (M S 0 ~ M S 1 5) 分成 M S 0 ~ M S 7，M S 8 ~ M S 1 5 的兩個群組，且分別設置通路電晶體部。是由：輸入墊選擇信號 M S 0 ~ M S 7 的輸入部 A S I 8 L，輸入墊選擇信號 M S 8 ~ M S 1 5 的輸入部 A S I 8 U，輸出救濟墊位址的比較結果 R M S 0 ~ R M S 7 的輸出部 A S 0 8，在輸入部 A S I 4 L 與輸出部 A S 0 8 之間的 8 輸入 8 輸出的通路電晶體部 A S N L，在輸入部 A S I 8 U 與輸出部 A S 0 8 之間的 8 輸入 8 輸出的通路電晶體部 A S N U，及實現 Y S 置換的通路電晶體部 A S A 1，以及 1 7 個保險絲判定電路 F M S 0 ~ F M S 1 5，F M S A 等所構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

輸入部 A S I 8 L , A S I 8 U 是分別由源極連接於接地電壓 V S S 的 8 個 N M O S 電晶體所構成。又，通路電晶體部 A S N L , A S N U 是分別由 6 4 個 N M O S 電晶體所構成。又，通路電晶體部 A S N L 是根據保險絲判定電路 F M S 7 ~ F M S 0 的保險絲判定結果 R F S 7 ~ R F S 0 , R F S 6 b ~ R F S 0 b 來予以控制，通路電晶體部 A S N U 是根據保險絲判定電路 F M S 8 ~ F M S 1 5 的保險絲判定結果 R F S 8 ~ R F S 1 5 , R F S 9 b ~ R F S 1 5 b 來予以控制。又，通路電晶體部 A S A 1 是由 2 個 N M O S 電晶體所構成，是以保險絲判定電路 F M S A 的保險絲判定結果 R F S A 與復位信號 R S T 0 b 來予以控制。又，通路電晶體部 A S N L 與 A S N U 及 A S A 1 的輸出會在輸出部 A S O 8 的輸入端子藉由線“或”(wired OR)來取邏輯和。輸出部 A S O 8 是由 8 個位準保持反相器 L C I 所構成。

其動作如以下所示進行。在進行行系的動作時，令復位信號 R S T 0 b 形成高位準，而使輸出部 A S O 8 內的位準保持反相器 L C I 活性化。若墊選擇信號 M S 0 ~ M S 7 的其中之一形成高位準，則於輸出部的 A S O 8 內所對應的 N M O S 電晶體會導通，只要在通路電晶體部 A S N L 形成有往輸出部 A S O 8 的電流路徑，其輸出便會形成高位準。此刻，由於墊選擇信號 M S 8 ~ M S 1 5 皆為低位準，因此通過輸入部 A S I 8 U 及通路電晶體部 A S N U 而未形成電流路徑。另一方面，若墊選擇信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (43)

M S 8 ~ M S 1 5 的其中之一形成高位準，則於緩衝部的 A S I 8 U 內的其中之 N M O S 電晶體會導通，只要在通路電晶體部 A S N U 形成有往輸出部 A S O 8 的電流路徑，其輸出便會形成高位準。此刻，由於墊選擇信號 M S 0 ~ M S 7 皆為低位準，因此通過輸入部 A S I 8 L 及通路電晶體部 A S N L 而未形成電流路徑。又，通路電晶體部 A S N L 會依 R M S 0, R M S 1, . . . , R M S 7 的順序來分配根據墊選擇信號 M S 0, M S 1, . . . , M S 7 內的保險絲判定結果所選擇者，相反的，通路電晶體部 A S N U 會依 R M S 7, R M S 6, . . . , R M S 0 的順序來分配根據墊選擇信號 M S 1 5, M S 1 4, . . . , M S 8 內的保險絲判定結果所選擇者。因此，只要能以記憶合計 8 個以下的墊選擇信號之方式來將保險絲判定電路設定成正確狀態，兩個以上的墊選擇信號便不會分配至相同的位址位移器輸出。並且，當保險絲判定電路 F M S A 的保險絲判定結果 R F S A 為高位準時，比較結果 R M S 7 會不依照墊選擇信號 M S 0 ~ M S 1 5 而形成高位準。

如此藉 N M O S 通路電晶體邏輯 (pass transistor logic) 的使用，將可以較少的元件數來構成位址位移器。並且，以被輸入彼此互補的保險絲判定結果的 2 個 N M O S 電晶體來實現第 2 圖中的 3 端子開關。而且，位準保持反相器 L C I 會有效利用“若輸入開放則輸出低位準”來省去傳達邏輯 0 的通路電晶體，減少元件數。又，將 1 6 個墊選

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (44)

擇信號 $MS0 \sim MS15$ 分成各 8 個的群族，且分別設置通路電晶體部，藉此而能夠構成 2 個 8 輸入 8 輸出的通路電晶體，減少元件數（比使用 16 輸入 8 輸出的通路電晶體部的構成還要少），進而能夠縮小佔有面積。又，於位址位移器中雖多數的 $NMOS$ 通路電晶體會形成信號路徑，但由於此電路不會形成存取時間的臨界脈衝，因此延遲時間不成問題。又，由於通路電晶體部 $ASN L$ ， $ASN U$ 內的通路電晶體的閘極皆為保險絲判定結果，事先預定的值，因此不會有因通路電晶體部 $ASN L$ ， $ASN U$ 的內部的寄生電容而造成錯誤動作之虞。在此，因為是將通路電晶體部分成兩個部份，而來減少從位準保持反相器到接地電位 VSS 為止之直列連接的 $NMOS$ 電晶體數，所以能夠進行安定且延遲時間小的動作。

第 24 圖是表示本實施例之列選擇線的置換例。與第 16 圖同樣的，將向右上斜線模樣的剖面領域 $RPOA$ 予以置換成向右下斜線模樣的剖面領域 $RPOA$ 。冗長列選擇線 $RY S 0$ ， $RY S 1$ 是以 12 處來置換列選擇線，且混合區塊救濟（以一個墊為單位）與位元救濟（較小的單位）。如墊 $MCA 4$ 所示，優先進行位元救濟，然後從中進行區塊救濟，藉此而能夠實現與 2 個位元救濟份量同等的置換。在此，是在每條冗長列選擇線以 8 個墊來進行包含從中拔取區塊救濟的區塊救濟。並且，以第 23 圖所示之位址位移器來實現此 8 處置換的行位址比較。

第 23 圖所示之位址位移器的保險絲判定電路數為

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

錄

五、發明說明 (45)

1 7 個。相對的，在第 7 圖所示之位址比較電路

B X U C 1 中是使用 5 個保險絲判定電路，因此若使用 8 個位址比較電路 B X U C 1，則保險絲判定電路會合計形成 4 0 個。在此，本實施例是利用位址位移器以未達一半的保險絲判定電路來實現和上述同等機能的行位址比較。並且，與使用 8 個位址比較電路 B X U C 1 時相較下，位址位移器所使用電晶體也會較少。在本實施例中，是利用如此的特徵來擴大區塊救濟的保險絲組數。

依特定的順序來分類記憶本實施例中所利用的救濟位址的方式，雖適合於依各置換而有所不同的救濟時，但若允許以複數個置換來進行位址救濟，則所實現的構成會變得複雜。因此，就墊單位的列系區塊救濟而言，雖適合於救濟行位址的記憶，但就位元救濟而言，所實現的構成會變得複雜。本發明中是藉由導入從中拔取區塊救濟（使位元救濟比區塊救濟來得優先）來使位元救濟與區塊救濟混合，依救濟墊選擇信號特定的順序來分類記憶，減少記憶救濟行位址的保險絲數。

(實施例 6)

利用第 2 5 ~ 2 7 圖來說明列系救濟電路的其他實施例。該實施例的特徵是依特定的順序來分類記憶進行區塊救濟的救濟行位址，減少記憶救濟行位址的保險絲數。

在此，第 4 圖所示的 S D R A M 全體的構成，第 1 2 圖的列預解碼器 Y P D，及第 1 3 ~ 1 5 圖所示的記憶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (46)

陣列 M A R 的構成是與第 4 ~ 1 7 圖所述的方式相同。

第 2 5 圖為列系救濟電路的其他構成例，與第 2 2 圖所示的列系救濟電路同樣的，亦輸入行預解碼器 X P D 的輸出之記憶墊選擇信號 M S，作為第 4 圖中的 Y R 用。在此亦表示使區塊救濟與位元救濟混合，而用以輸出能夠分別對最大 1 2 個的置換進行控制之 2 個的比較判定結果

R C Y 0，R C Y 1 的構成例。但，區塊救濟的置換單位為形成 2 個墊。並且，設有 2 個 O R 電路群 M S P E 0，M S P P E 1，而來取代第 2 2 圖所示之列系救濟電路中的位址位移器。O R 電路群 M S P E 0，M S P P E 1 是分別由 8 個墊選擇信號 O R 電路 M S P 所構成。其他則與第 2 2 圖同樣的，是由 2 個行位址比較電路群 B X C G 2，B X C G 3，2 個行位址比較結果的控制電路 R P C 0，R P C 1，2 個救濟列位址選擇電路群 R B Y S P 0，R B Y S P 1，2 個列位址比較電路 B Y C 1，2 輸入 O R 電路 O R 2 所構成。控制電路 R P C 0，R P C 1，救濟列位址選擇電路群 R B Y S P 0，R B Y S P 1 是與第 2 2 圖中的控制電路 R S C 0，R S C 1，救濟列位址選擇電路群 R B Y S S 0，R B Y S S 1 相同構成，且進行同樣動作。又，列位址比較電路 B Y C 1 及 2 輸入 O R 電路 O R 2 亦進行前述那樣的動作。

第 2 6 圖是表示墊選擇信號 O R 電路 M S P 的構成例。在此是以輸入墊選擇信號 M S 0，M S 1，輸出救濟判定用墊選擇信號 R M E 0 時為例。由保險絲判定電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

F D E 0 及邏輯電路 M S O R (由 2 個 2 輸入 N O R 閘極所形成) 所構成。當保險絲判定電路 F D E 0 判定保險絲被燒毀，而使其保險絲判定結果 R Y 1 k b 成爲 " 0 " 時，會以墊選擇信號 M S 0 , M S 1 的邏輯和作爲救濟判定用墊選擇信號 R M E 0 而輸出。若保險絲判定結果 R Y 1 k b 成爲 " 1 " ，則不依照墊選擇信號 M S 0 , M S 1 ，將墊選擇信號 R M E 0 當作 " 0 " 。

第 2 7 圖是表示本實施例之列選擇線的置換例。與第 1 6 圖同樣的，將向右上斜線模樣的剖面領域 R P O A 予以置換成向右下斜線模樣的剖面領域 R P D A 。冗長列選擇線 R Y S 0 , R Y S 1 是以 1 2 處來置換列選擇線，且混合區塊救濟 (以連續 2 個墊爲單位) 與位元救濟 (較小的單位) 。換言之，混合著：於相鄰的 2 個墊中以根據列位址信號而選擇的資料線爲一單位進行置換的區塊救濟，及於 1 個墊中以根據列位址信號而選擇的資料線與預定數的字元線之交叉領域爲一單位進行置換的位元救濟。又，亦可爲以一個墊爲一單位來進行置換之區塊救濟。例如，冗長列選擇線 R Y S 0 在墊 M C A 4 中是被利用於位元救濟及以 1 個墊爲單位的從中拔取區塊救濟。這可藉由優先進行利用行位址比較電路 B X C 1 的墊 M C A 5 的區塊救濟與墊 M C A 4 內的位元救濟來予以實現 (對利用墊選擇信號 O R 電路 M S P 的墊 M C A 4 , M C A 5 的區塊救濟而言) 。

在此實施例中雖未設置供以控制 Y S 救濟 (不依照行

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (48)

位址來置換某列選擇線)的保險絲判定電路，但只要能以1條冗長列選擇線全體來對相同的列位址進行區塊救濟，便可實現所欲達成之目的。

第26圖所示之墊選擇信號OR電路MSP的保險絲判定電路數為1個，可以8個保險絲判定電路來實現8個區塊救濟的行位址判定。相對的，若使用8個第7圖所示之位址比較電路BXUC1，則如前述保險絲判定電路會合計形成40個。在此，於本實施例中是與第22圖所示之列系救濟電路同樣的可以未達一半的保險絲判定電路來實現和上述同等機能的行位址比較。由於與使用第23圖之位址位移器的第22圖之列系救濟電路相較下，第26圖所示之墊選擇信號OR電路MSP的構成較為單純，因此電晶體數少。

若在每個墊中設置保險絲組，則保險絲組數會增多，記憶救濟列位址的保險數會變多，但本實施例中是取墊選擇信號的邏輯和來形成適當的個數。並且，藉由調整位元救濟用的保險絲組數來使合計的保險絲組數能夠最適化。

(實施例7)

第28圖是表示第25圖所示之列系救濟電路的變形例。其特徵乃將區塊救濟中對每2個墊置換列選擇線的情況加以活用，而使能夠進行對應於感應放大器的缺陷之置換。在此，亦使區塊救濟與位元救濟混合，設置OR電路群MSPO1來取代第22圖所示之列系救濟電路中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (49)

O R 電路群 M S P E 1 。雖此 O R 電路群 M S P E 1 與第 2 5 圖中的 O R 電路群 M S P O 1 同樣的是由 8 個墊選擇信號 O R 電路 M S P 所構成，但所被輸入的墊選擇信號的組合不同。其他則與第 2 5 圖相同，是由 2 個行位址比較電路群 B X C G 2 ， B X C G 3 ， 2 個行位址比較結果的控制電路 R P C 0 ， R P C 1 ， 2 個救濟列位址選擇電路群 R B Y S P 0 ， R B Y S P 1 ， 2 個列位址比較電路 B Y C 1 ， 2 輸入 O R 電路 O R 2 所構成。並且會進行與第 2 5 圖的列系救濟電路相同的動作。

第 2 9 圖是表示第 2 8 圖之列系救濟電路的列選擇線的置換例。與第 1 6 圖等同樣的，是將向右上斜線模樣的剖面領域 R P O A 予以置換成向右下斜線模樣的剖面領域 R P D A 。冗長列選擇線 R Y S 0 ， R Y S 1 是分別以 1 2 處來置換列選擇線，且混合區塊救濟（以連續的兩個墊為單位）與位元救濟（較小的單位）。換言之，混合著：於相鄰的 2 個墊中以根據列位址信號而選擇的資料線為一單位進行置換的區塊救濟，及於 1 個墊中以根據列位址信號而選擇的資料線與預定數的字元線之交叉領域為一單位進行置換的位元救濟。又，與第 2 7 圖所示之置換例同樣的，亦可為以一個墊為一單位來進行置換之區塊救濟。在此，於冗長列選擇線 R Y S 0 與 R Y S 1 ，以 2 個墊為單位的區塊救濟會偏離 1 個墊。例如，在冗長列選擇線 R Y S 0 中是在墊 M C A 0 與 M C A 1 進行置換，相對的在冗長列選擇線 R Y S 1 中則是在墊 M C A 1 與 M C A 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

進行置換。如第 1 3 圖所示，由於在墊的彼此間分別配置有感應放大器部，因此藉由區塊救濟的進行，可利用對冗長列選擇線 R Y S 0 的 1 個區塊救濟來救濟配置於墊 M C A 1 與 M C A 2 間的感應放大器部 S A B 1 內之感應放大器的缺陷，以及可利用對冗長列選擇線 R Y S 1 的 1 個區塊救濟來救濟配置於墊 M C A 1 與 M C A 2 間的感應放大器部 S A B 2 內之感應放大器的缺陷。此區塊救濟可以使用 1 個保險絲組來實現，因此能夠有效活用保險絲組。

(實施例 8)

以上是針對將本發明適用於列系救濟的種種冗長方式例加以說明。但，本發明並非只限於列系救濟，亦可適用於行系救濟。第 3 0 圖是表示將本發明適用於行系救濟的冗長方式例模式圖。是表示將字元線置換成冗長字元線，含缺陷的兩個領域的記憶格群會分別置換成冗長記憶格群之例。與第 1 圖所示之列系救濟同樣的，其特徵為使第 2 置換的置換領域縮小成比第 1 置換來得小，而以使第 2 置換能夠優先之方式來進行置換判定。

對記憶格陣列 N M C A 設有冗長格陣列 R M C X，藉由救濟判定電路 X R N 來予以控制。記憶格陣列 N M C A 在 N 條的字元線 W L s 與 M 條的資料線 D L s 的交點設有記憶格，根據行解碼器 X D E C 與列解碼器 Y D E C 來選擇。冗長格陣列 R M C X 在 Q 1 條的冗長字元線 R W L s

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (51)

與 P 條的資料線 D L s 的交點設有冗長記憶格，根據行冗長行解碼器 R X D 與列解碼器 Y D E C 來選擇。又，行解碼器 X D E C 是針對 n 位元的行位址 A X 進行解碼，由 2 的 n 次方之 N 條的字元線來選擇性地驅動 1 條。又，列解碼器 Y D E C 是針對 m 位元的列位址 A Y 進行解碼，由 2 的 m 次方之 M 條的資料線來選擇 1 條。又，冗長列解碼器 R X D 是針對列位址 A X 中的 q 1 位元進行解碼，由 2 的 q 1 次方之 Q 1 條的冗長資料線來選擇 1 條。又，根據救濟判定電路 X R N 的輸出之救濟判定結果 R X H 來控制列解碼器 Y D E C 與冗長列解碼器 R X D，而使缺陷部 D F 1，D F 2 的記憶格群置換成冗長記憶格群。

又，救濟判定電路 X R C 是由 2 個上位行位址比較電路 X C 1，及下位行位址比較電路 X C 2，及反相器 I N V，2 個 2 輸入 A N D 電路 A N D 2，以及 2 輸入 O R 電路 O R 2 所構成。只在上位行位址比較電路 X C 1 記憶第 1 置換的救濟位址，以及在上位行位址比較電路 X C 1 與下位行位址比較電路 X C 2 記憶第 2 置換的救濟位址。又，上位行位址比較電路 X C 1 包含記憶 (n - q 1) 位元的救濟位址之位址記憶手段，用以和行位址 A X 中的 (n - q 1) 位元進行比較。另一方面，下位行位址比較電路 X C 2 包含記憶 (q 1 - q 2) 位元的救濟位址之位址記憶手段，用以和行位址 A X 中的 (n - q 2) 位元進行比較。根據反相器 I N V 來使下位行位址比較電路 X C 2 的一致判定結果 X L N 2 反相，且根據 2 輸入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

A N D 電路 A N D 2 來取得與行位址比較電路 X C 1 的一致判定結果 X U H 1 的邏輯乘積，而藉此來取得有關第 1 置換的第 1 判定結果 H X 1。另一方面，根據 2 輸入

A N D 電路 A N D 2 來取下位行位址比較電路 X C 2 的一致判定結果 X L H 2 與上位行位址比較電路 X C 1 的一致判定結果 X U H 2 的邏輯乘積，而藉此來取得有關第 2 置換的第 2 判定結果 H X 2。又，以 2 輸入 O R 電路 O R 2 來取得判定結果 H X 1，H X 2 的邏輯和，而作為救濟判定結果 R X H。根據如此構成的救濟判定電路 X R N，當下位行位址比較電路 X C 2 輸出一致的一致判定結果時，第 1 判定結果 H X 1 會形成“0”，第 2 判定結果 H X 2 會依照上位行位址比較電路 X C 1 的一致判定結果 X U H 2 來予以輸出。亦即，第 2 置換要比第 1 置換來得優先。

置換單位，在第 1 置換中是根據 2 的 q_1 次方之 Q_1 條的字元線而選擇之領域，在第 2 置換中是根據 2 的 q_2 次方之 Q_2 條的字元線而選擇之領域。但，當第 1 置換的 Q_1 條的字元線包含第 2 置換的 Q_2 條的字元線時，是根據第 1 置換去除第 2 置換的 Q_2 條的字元線之 $(Q_1 - Q_2)$ 條的字元線而選擇之拔取領域。此刻，在根據第 1 置換之 Q_1 條的字元線而選擇的領域中，以第 2 置換之 Q_2 條的字元線而選擇的記憶格不會對冗長記憶格進行置換。

就此救濟方式而言，只要以形成第 2 置換單位的 Q_2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

條字元線所選擇的領域不同，便會對具有 2 個缺陷的情況時進行救濟。藉由縮小該字元線數 Q_2 ，即使字元線數 Q_1 大，還是可以縮小因置換端競爭而無法救濟的機率。此刻，雖然下位行位址比較電路 $X C 2$ 所進行比較之行位址的位元數 $(q_1 - q_2)$ 會變大，亦即下位行位址比較電路 $X C 2$ 的電路規模會變大，但上位行位址比較電路 $X C 1$ 所進行比較之行位址的位元數 $(n - q_1)$ 會變小，亦即上位行位址比較電路 $X C 1$ 的電路規模不會增加。因此，將本發明適用於行系救濟中時同樣可使用位元數還要少的小電路規模位址比較電路來控制置換，而使能夠避免置換端的競爭，進而能夠有效率地救濟缺陷。

(實施例 9)

第 3 1 a 圖，第 3 1 b 圖，第 3 1 c 圖是表示本實施例形態的 D R A M 的製造方法流程例。第 3 1 a 圖是表示 D R A M 的製造方法流程。第 3 1 b 圖是用以說明製造流程中的探針檢查過程 1。第 3 1 c 圖是有關探針檢查過程 1 中的救濟判定者。

首先，在第 3 1 a 圖中，對半導體晶圓重複進行薄膜形成，氧化，摻雜，退火，光阻劑處理，曝光，蝕刻，洗淨，C M P 等的處理，實施供以在每個晶片形成含記憶格陣列及第 1 或 3 圖的救濟電路等預定的積體電路之

D R A M 的晶圓處理過程 (S T E P 1)。然後，再對此晶圓處理後的半導體晶圓實施探針檢查過程 1，該探針檢

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (54)

查過程 1 是利用晶圓探測器來使探針接觸於晶片焊墊，而供以實施 D C 測試，A C 測試，或試驗冗長區域測試等的電器特性 (S T E P 2)。又，在探針檢查過程 1 終了後，進行根據該檢查結果來藉雷射等切斷救濟電路中所含的保險絲之程式過程 (S T E P 3)。然後，包含確認缺陷是否被救濟，進行供以試驗電氣特性的探針檢查過程 2 (S T E P 4)。其次，實施利用切割機來將完成探針檢查過程 2 的半導體晶圓切成各晶片之晶圓切斷過程 (S T E P 5)。接著，組裝該被切斷的晶片，例如實施供以將晶片搭載於引導框架的晶片焊墊上，且藉導線來連接晶片焊墊與引導框架的內部引線，然後再利用樹脂等來進行封裝之晶片組裝過程 (S T E P 6)。藉此而能夠製成封裝構造的 D R A M。

其次，利用第 3 1 b 圖來詳細說明上述探針檢查過程 1 的處理流程例。在此探針檢查過程 1 中，首先進行開啓，短路，電源電流及漏電流測定等之 D C 測試 (S T E P 2 1)，及供以檢查冗長記憶格陣列內的缺陷位元之冗長區域測試 (S T E P 2 2)，以及進行機能檢查等之 A C 測試 (S T E P 2 3)，而來調查記憶格陣列的領域內的記憶格，或選擇該記憶格的字元線及資料線中是否有缺陷。然後，在具有應救濟的缺陷時，進行供以決定如何救濟之救濟判定 (S T E P 2 4)。

其次，利用第 3 1 c 圖來詳細說明救濟判定中供以救濟缺陷的救濟方法之一實施例。首先，根據各測試來作成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

不良位元圖 (S T E P 2 4 1) 。所謂不良位元圖是以 2 次元分布來表示藉由測試而檢測出的缺陷者。其次，根據該不良位元圖來分類成 (1) Y S 線不良，(2) 資料線不良，(3) 位元不良 (S T E P 2 4 2) 。在此所謂的 Y S 線不良 (1) ，主要是指第 1 3 圖所示之列選擇線所引起的缺陷，例如列選擇線的斷線不良等。又，所謂的資料線不良 (2) ，主要是指資料線所引起的缺陷或感應放大器所引起的缺陷，例如資料線的斷線等。又，所謂的位元不良，主要是指記憶格所引起的缺陷，例如更新特性不良等。在分類後，首先救濟 Y S 不良者 (S T E P 2 4 3) ，其次救濟資料線不良者 (S T E P 2 4 4) 。再其次，將位元不良者分配於區塊救濟中而來進行救濟 (S T E P 2 4 5) ，而無法分配於區塊救濟的位元不良者則利用位元救濟來進行救濟 (S T E P 2 4 6) 。

在此，根據第 3 2 圖來詳細說明將各缺陷分配於冗長 Y S 線的方法 (S T E P 2 4 3 ~ 2 4 6) 。在第 3 2 圖中，D F 1 ~ 5 是表示位元不良，D F D L 是表示資料線不良，D F Y S 是表示 Y S 線不良。首先，在事先進行的冗長區域測試中，在冗長 Y S 線 R Y S 0 ， R Y S 1 中發現缺陷時，由於該部份無法利用於救濟，因此豎起無法置換的含意之旗標 F G R Y S 。其次，雖是救濟 Y S 線缺陷 D F Y S ，但必須利用所有置換端的領域來救濟線不良者。因此，在豎起旗標 F G R Y S 的冗長 Y S 線 R Y S 0 中無法置換。在此，將 Y S 線不良 D F Y S 分配於冗長 Y S

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (56)

線 R Y S 1 的同時，在 Y S 線不良 D F Y S 所被置換的領域（此情況為冗長 Y S 線 R Y S 1 全體）中豎起旗標

F G R Y S。其次，再考量資料線不良 D F D L 的救濟。由於冗長 Y S 線 R Y S 1 中已經豎起旗標 F G R Y S，因此以能夠置換於旗標未豎起的冗長 Y S 線 R Y S 0 中之方式來分配於區塊救濟。此刻，在對應於資料線不良 D F D L 之冗長 Y S 線 R Y S 0 的領域中豎起旗標 F G D L。

接著，針對位元不良 D F 1 ~ D F 5 進行救濟。就救濟的分配法而言，雖未特別加以限制，但在此是依記憶格陣列 M C A 0 ~ M C A 3 的順序來進行救濟。最初在記憶格陣列 M C A 0 中救濟位元不良 D F 1，D F 2 時，由於在冗長 Y S 線 R Y S 0，R Y S 1 的雙方豎起旗標 F G Y S，F G R Y S，因此無法分配於區塊救濟。在此，位元不良 D F 1，D F 2 會分配於位元救濟。然後，在冗長 Y S 線 R Y S 0 中豎起旗標 F G 1，F G 2。其次，在記憶格陣列 M C A 1 中有關位元不良 D F 3 方面，由於在冗長 Y S 線 R Y S 0 中未有旗標豎起，因此可分配區塊救濟。此刻，旗標 F G 3 是只在對應於位元不良 D F 3 的領域中豎起。如此一來，並非在全體置換端的領域中豎起旗標，而是只在對應於位元不良 D F 3 的領域中豎起旗標，藉此，旗標 F G 3 以外的部份會形能所謂的救濟可能狀態。如前述即使利用區塊救濟來救濟位元不良，在置換端的冗長 Y S 線中所必要的領域也只限於置換位元不良的部

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (57)

份。因此，其他的缺陷即使置換於旗標 F G 3 以外的領域中也無妨。

其次，在記憶格陣列 M C A 2 中，與位元不良 D F 3 同樣的，將位元不良 D F 4 分配於區塊救濟的同時，在冗長 Y S 線 R Y S 0 中豎起旗標 F G 4。接著，由於位元不良 D F 5 在冗長 Y S 線 R Y S 0，R Y S 1 的雙方豎起旗標 F G Y S 或 F G 4，因此無法分配於區塊救濟。在此，位元不良 D F 5 會分配於位元救濟的同時，在冗長 Y S 線 R Y S 0 中豎起旗標 F G 5。若在救濟位元不良 D F 4 時豎起使用終了（針對置換端的冗長 Y S 線所被置換的領域全體而言）的旗標，則往後會無法執行位元不良 D F 5 之類的救濟。如此一來，即使將位元不良者分配於區塊救濟，也會只在該位元不良所需的冗長 Y S 線的領域中豎起旗標，藉此將可執行從中拔取區塊救濟。藉由上述救濟方式的利用，將可優先分配於保險絲數量較少的區塊救濟用的保險絲組，減少保險絲的切斷數，進而能夠謀求製造過程的縮短化。

以上，是舉一製造流程例來加以說明，但並非只限於此，只要不脫離本發明的要旨範圍，亦可實施其他種種的變更。例如，程式元件使用抗保險絲或其他電氣保險絲時，可以探針檢查過程中所使用的測試器來進程式化。同樣的該情況因為對程式元件進程式化的數目會減少，所以可縮短時間。並且，救濟方式亦可藉由其他方式來進行救濟。同樣的該情況亦可將位元不良者分配於區塊救濟，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (58)

而藉此來減少保險絲的切斷數，進而能夠謀求製造過程的縮短化。此外，就缺陷的分類而言，除了上述 3 種類以外，亦可追加其他的不良分類。例如，亦可追加字元線的斷線不良等之行系不良者。另外，旗標亦可針對冗長 Y S 線中所含的記憶格加以指定，或針對冗長 Y S 線的領域加以指定。

若利用上述實施例，則可使用比以往進行比較的位元數還要少的小電路規模位址比較電路來控制置換，而使能夠避免置換端的競爭，進而能夠有效率地救濟缺陷。其結果，可實現具有面積小且救濟效率高的缺陷救濟電路之半導體記憶裝置，以及能夠降低半導體記憶裝置的製造成本。

[圖面之簡單說明]

第 1 圖是表示本發明之一實施例的列冗長方式的模式圖。

第 2 圖是表示習知之列冗長方式的模式圖。

第 3 圖是表示本發明之一實施例的其他列冗長方式的模式圖。

第 4 圖是表示本發明之一實施例的 S D R A M 的構成例方塊圖。

第 5 圖是表示第 4 圖所示之 S D R A M 的動作時間圖。

第 6 圖是表示第 3 圖所示之列系救濟判定電路的構成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (59)

例圖。

第 7 圖是表示第 6 圖所示之區塊救濟用行位址比較電路的構成例圖。

第 8 圖是表示第 6 圖所示之行位址比較電路的構成例圖。

第 9 圖是表示第 7 及第 8 圖所示之保險絲判定電路的構成例圖。

第 10 圖是表示救濟列位址選擇電路的構成例圖。

第 11 圖是表示第 6 圖所示之列位址比較電路的構成例圖。

第 12 圖是表示第 4 圖所示之列預解碼器的構成例圖。

第 13 圖是表示第 4 圖所示之記憶體陣列的構成例圖。

第 14 圖是表示第 9 圖所示之列解碼器的構成例圖。

第 15 圖是表示第 13 圖所示之副陣列與感應放大器部的構成例圖。

第 16 圖是表示本發明之一實施例之列選擇線的置換例圖。

第 17 圖是表示本發明之一實施例之列選擇線的其他置換例圖。

第 18 圖是表示本發明之一實施例之列系救濟判定電路的構成例圖。

第 19 圖是表示第 18 圖所示之行位址比較電路的構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (60)

成例圖。

第 2 0 圖是表示第 1 8 圖所示之救濟列位址選擇電路的構成例圖。

第 2 1 圖是表示本發明之一實施例的列選擇線的置換例圖。

第 2 2 圖是表示本發明之一實施例的列系救濟判定電路的構成例圖。

第 2 3 圖是表示位址位移器的構成例圖。

第 2 4 圖是表示本發明之一實施例的列選擇線的置換例圖。

第 2 5 圖是表示本發明之一實施例的列系救濟判定電路的構成例圖。

第 2 6 圖是表示本發明之一實施例的記憶墊選擇信號 O R 電路的構成例圖。

第 2 7 圖是表示本發明之一實施例的列選擇線的置換例圖。

第 2 8 圖是表示本發明之一實施例的列系救濟判定電路的構成例圖。

第 2 9 圖是表示本發明之一實施例的列選擇線的置換例圖。

第 3 0 圖是表示本發明之一實施例的列冗長方式的模式圖。

第 3 1 a , b 及 c 圖是表示本發明之一實施例的 D R A M 的製造方法的流程。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (61)

第 3 2 圖是表示本發明之一實施例的缺陷救濟例圖。

【符號之說明】

Y R N , Y R S : 救濟判定電路

N M C A : 記憶格陣列

R M C A : 冗長格陣列

W L s : 字元線

D L s : 資料線

X D E C : 行解碼器

Y D E C : 列解碼器

R Y D : 冗長列解碼器

A X : 行位址

A Y : 列位址

R D L s : 冗長資料線

R Y H : 救濟判定電路

D F 1 , D F 2 : 缺陷部

A X C 1 , A X C 2 : 行位址比較電路

A Y C : 列位址比較電路

I N V : 反相器

A N D 3 : 3 輸入 A N D 電路

A N D 2 : 2 輸入 A N D 電路

O R 2 : 2 輸入 O R 電路

X H N 1 , X H N 1 , Y H 1 , Y H 2 : 一致判定電

路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (62)

- C K B : 時脈緩衝器
- C B : 控制信號緩衝器
- C D : 指令解碼器
- A B : 位址緩衝器
- Y C T : 列位址計數器
- D I B : 輸入緩衝器
- D O B : 輸出緩衝器
- M A R : 記憶體陣列
- X R : 行系缺陷救濟電路
- X P D : 行預解碼器
- Y R : 列系救濟判定電路
- Y P D : 列預解碼器
- W B : 寫入緩衝器
- M A : 主放大器
- C L K : 外部時脈
- C L K I : 內部時脈
- C M D : 控制信號
- B X : 行位址
- S C T 0 , S C T 1 : 區段
- D Q : 輸出入資料
- G I : 寫入資料
- G O : 讀出資料
- R X H : 行系救濟判定電路
- M S : 墊選擇信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (63)

C X : 行預解碼位址

B Y : 列位址

A : 啓動指令

A D R : 位址

X : 行位址

Y : 列位址

C Y : 列預解碼位址

R C Y : 冗長列位址信號

Y S : 列選擇線

R Y S : 冗長列選擇線

M I O : 主輸出入線

R C Y 0 , R C Y 1 : 比較判定結果

B X C G 0 ~ B X C G 3 : 行位址比較線路群

R M C 0 , R M C 1 : 行位址比較解果的控制電路

R B Y C G 0 , R B Y C G 1 : 救濟列位址選擇電路

群

B Y C 1 : 列位址比較電路

O R 2 : 2 輸入 O R 電路

R M U 0 ~ R M U 3 : 行位址比較結果

B X U C 1 : 行位址比較電路

R B Y S 1 : 位址選擇電路

R M 0 ~ R M 3 : 行位址判定結果

R M 4 ~ R M 7 : 行位址比較結果

R M A 0 : 控制信號

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (64)

R B Y 1 0 ~ R B Y 8 0 : 救濟列位址

F D Y k , F D X 9 k ~ F D X 1 2 k : 保險絲電路

R M C U : 控制電路

A C 1 : 1 位元比較部

M N L E , M N M E , M N U E : N M O S 電晶體

L C B : 門鎖電路

R M U E : 允許電路

R Y E k b : 允許信號

R S T 0 b : 復位控制信號

X L H k , X M L E k , X U E k , X U H k : 節點

R M E : 允許電路

R M k : 比較結果

F U S E : 保險絲

M N 4 , M N 5 : N M O S 電晶體

I N V 2 : C M O S 反相器

F E : 允許信號

N M E : N M O S 電晶體

L C 1 : 附有門鎖機能反相器

B X U C 1 , B X C 1 : 行位址比較電路

R S T b : 復位信號

R B Y j b : 節點

R B Y j : 輸出節點

B Y C 1 : 列位址比較線路

X N O R : 排他性 N O R 電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (65)

A N D 9 : 9 輸 入 A N D 電 路

R : 復 位 指 令

R B Y S 1 : 位 址 選 擇 電 路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要(發明之名稱：

半導體裝置

就 D R A M 之以往的列系區塊救濟而言，若不縮小置換單位，以及記憶更多位元數的救濟位址，則會發生置換端競爭。因應於此，本發明是使第 2 置換的置換領域縮小成比第 1 置換來得小，而以使第 2 置換能夠優先之方式來進行置換判定。藉此，第 1 置換可以較少位元數的救濟位址來進行控制，實現具有面積小且救濟效率高的缺陷救濟電路之半導體記憶裝置。

英文發明摘要(發明之名稱：

)

六、申請專利範圍

1. 一種半導體裝置，其特徵是具備：

一第 1 正規記憶墊；該第 1 正規記憶墊是具有設置於複數條第 1 正規字元線與複數條第 1 正規資料線的各交點之複數個的正規記憶格；及

一冗長區塊；該冗長區塊是包含：上述第 1 正規記憶墊含第 1 缺陷及第 2 缺陷時可供以救濟上述第 1 及第 2 缺陷之第 1 冗長線；及

一救濟判定電路；該救濟判定電路是包含：

爲了以第 1 置換單位來救濟上述第 1 缺陷，而使能夠記憶第 1 不良資訊之第 1 行位址記憶電路；及

爲了以比第 1 置換單位還要小的第 2 置換單位來救濟上述第 2 缺陷，而使能夠記憶第 2 不良資訊之第 2 行位址記憶電路；及

具有：連接於上述第 1 行位址記憶電路的第 1 輸入節點，及被輸入行位址資訊的第 2 節點，及上述第 1 不良資訊與上述行位址資訊一致時供以輸出第 1 信號的第 1 輸出節點等之第 1 行位址比較電路；及

具有：連接於上述第 2 行位址記憶電路的第 3 輸入節點，及被輸入行位址資訊的第 4 節點，及上述第 2 不良資訊與上述行位址資訊一致時供以輸出第 2 信號的第 2 輸出節點等之第 2 行位址比較電路；及

連接於上述第 1 及第 2 輸出節點，而供以輸出救濟信號之選擇電路；

又，上述選擇電路，在被輸入上述第 1 信號時，會輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

煩請委員研閱本案卷宗後是請於本頁背頁實印密

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

出供以使用上述第 1 置換單位來救濟上述第 1 缺陷之上述救濟信號，在被輸入上述第 2 信號時，會輸出供以使用上述第 2 置換單位來救濟上述第 2 缺陷之上述救濟信號，在被輸入上述第 1 及第 2 信號時，會輸出供以使用上述第 2 置換單位來救濟上述第 2 缺陷之上述救濟信號。

2. 如申請專利範圍第 1 項之半導體裝置，其中上述救濟判定電路更包含：可記憶上述第 1 缺陷的第 3 不良資訊及第 2 缺陷的第 4 不良資訊之列位址選擇電路，及具有連接於上述列位址記憶電路的第 5 輸入節點與被輸入列位址資訊的第 6 輸入節點之列位址比較電路；

上述列位址比較電路在接受上述救濟信號，而於比較上述第 3 或第 4 不良資訊與上述列位址資訊下形成一致時，會輸出供以救濟上述第 1 或第 2 缺陷的信號。

3. 如申請專利範圍第 2 項之半導體裝置，其中更具備：

一 電路區塊；該電路區塊是包含：連接於上述複數條第 1 正規資料線的輸出入線，及供以控制上述複數條第 1 正規資料線與上述輸出入線的連接狀態的複數個輸出入閘極；及

一 列選擇線；該列選擇線是在於傳達供以控制上述複數個輸出入閘極的信號；

又，上述第 1 置換單位為：在上述第 1 正規記憶墊中，根據上述列位址資訊而被選擇之資料線的範圍；

上述第 2 置換單位為：在上述第 1 正規記憶墊中，根

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

據上述列位址資訊而被選擇之資料線中與預定數的字元線交叉的範圍。

4. 如申請專利範圍第2項之半導體裝置，其中更具備：

一第2正規記憶墊；該第2正規記憶墊是包含設置於複數條第2正規字元線與複數條第2正規資料線的各交點之複數個第2正規記憶格；及

一第1電路區塊；該第1電路區塊是包含：連接於上述複數條第1正規資料線的輸出入線，及供以控制上述複數條第1正規資料線與上述輸出入線的連接狀態的複數個第1輸出入閘極；及

一系列選擇線；該列選擇線是在於傳達供以控制上述複數個第1輸出入閘極的信號；

又，上述第1電路區塊是設置於上述第1正規記憶墊與上述第2正規記憶墊之間；

上述第1置換單位為：在上述複數個第1及第2正規記憶墊中，根據上述列位址資訊而被選擇之資料線的範圍；

上述第2置換單位為：在上述複數個第1正規記憶墊中，根據上述列位址資訊而被選擇之資料線中與預定數的字元線交叉的範圍。

5. 如申請專利範圍第4項之半導體裝置，其中上述第1行位址比較電路更包含：供以將上述第2置換單位變更成根據上述第1或第2正規記憶墊之上述列位址資訊而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

被選擇之資料線的範圍的電路。

6. 如申請專利範圍第2項之半導體裝置，其中更具備：

一第2正規記憶墊；該第2正規記憶墊是包含設置於複數條第2正規字元線與複數條第2正規資料線的各交點之複數個第2正規記憶格；及

一第3正規記憶墊；該第3正規記憶墊是包含設置於複數條第3正規字元線與複數條第3正規資料線的各交點之複數個第3正規記憶格；

又，更具備：

一第1電路區塊；該第1電路區塊是包含：連接於上述複數條第1正規資料線的第1輸出入線，及供以控制上述複數條第1正規資料線與上述第1輸出入線的連接狀態的複數個第1輸出入閘極；及

一第2電路區塊；該第2電路區塊是包含：連接於上述複數條第3正規資料線的第2輸出入線，及供以控制上述複數條第3正規資料線與上述第2輸出入線的連接狀態的複數個第2輸出入閘極；及

一列選擇線；該列選擇線是在於傳達供以控制上述複數個第1及第2輸出入閘極的信號；

又，上述第1電路區塊是設置於上述第1正規記憶墊與上述第2正規記憶墊之間；

上述第2電路區塊是設置於上述第1正規記憶墊與上述第3正規記憶墊之間；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

上述第 1 冗長救濟電路更包含：供以記憶與上述第 1 置換單位同大小之第 3 置換單位的第 5 不良資訊之第 3 行位址記憶電路；

上述第 1 置換單位為：在上述第 1 及第 2 正規記憶墊中，根據上述列位址資訊而被選擇之資料線的範圍；

上述第 2 置換單位為：在上述第 1 正規記憶墊中，根據上述列位址資訊而被選擇之資料線中與預定數的字元線交叉的範圍；

上述第 3 置換單位為：在上述第 1 及第 3 正規記憶墊中，根據上述列位址資訊而被選擇之資料線的範圍。

7. 如申請專利範圍第 2 項之半導體裝置，其中上述冗長記憶區塊更包含：第 2 冗長線；

上述第 2 冗長比較電路更具有：供以選擇上述第 1 或第 2 冗長線而來救濟上述第 1 或第 2 缺陷之電路。

8. 一種半導體裝置，其特徵是具備：

一第 1 行位址記憶電路；該第 1 行位址記憶電路是具有：可使第 1 不良資訊程式化之第 1 預定數的記憶元件，及供以輸出上述第 1 不良資訊的第 1 輸出節點；及

一第 1 行位址比較電路；該第 1 行位址比較電路是具有：連接於上述第 1 輸出節點的第 1 輸入節點，及被輸入行位址資訊的第 2 輸入節點，及在比較上述第 1 不良資訊與上述行位址資訊下形成一致時供以輸出第 1 信號的第 2 輸出節點；及

一第 2 行位址記憶電路；該第 2 行位址記憶電路是具

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

有：可使第 2 不良資訊程式化之比第 1 預定數還要多的第 2 預定數的上述記憶元件，及供以輸出上述第 2 不良資訊的第 3 輸出節點；及

一第 2 行位址比較電路；該第 2 行位址比較電路是具有：連接於上述第 3 輸出節點的第 3 輸入節點，及被輸入行位址資訊的第 4 輸入節點，及在比較上述第 2 不良資訊與上述行位址資訊下形成一致時供以輸出第 2 信號的第 4 輸出節點；及

一選擇電路；該選擇電路是連接於上述第 2 及第 4 輸出節點；

又，上述選擇電路是在上述第 1 信號被輸入時輸出上述第 1 信號，在上述第 2 信號被輸入時輸出上述第 2 信號，在上述第 1 及第 2 信號並列輸入時輸出上述第 2 信號。

9 . 如申請專利範圍第 8 項之半導體裝置，其中更具備：

一救濟列位址選擇電路；該救濟列位址選擇電路具有：連接於上述選擇電路的第 5 輸入節點，及可使第 3 不良資訊程式化的第 3 預定數的上述記憶元件，及供以輸出上述第 3 不良資訊的第 5 輸出節點；及

一系列位址比較電路；該列位址比較電路具有：被輸入列位址資訊的第 6 輸入節點，及連接於上述第 5 輸出節點的第 7 輸入節點，及比較上述列位址資訊與上述第 3 不良資訊，而供以輸出第 3 信號的第 6 輸出節點。

10 . 如申請專利範圍第 9 項之半導體裝置，其中更

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

具備一記憶墊，該記憶墊具有：被設置於與複數條字元線交叉的複數條資料線，第1冗長資料線及第2冗長資料線的交點之複數個的記憶格；

上述救濟列位址選擇電路更包含：供以輸出上述第3不良資訊的第7輸出節點，且由上述第5或第6輸出節點選擇輸出上述第3不良資訊；

上述列位址比較電路更包含：連接於上述第7輸出節點的第8輸入節點，及比較上述列位址資訊與上述第3不良資訊，而供以輸出第4信號的第8輸出節點；

當上述第3不良資訊與上述列位址資訊一致時，選擇輸出上述第3或第4信號；

上述第1冗長資料線在上述列位址比較電路中當上述第3不良資訊與上述列位址資訊一致時，接受上述第3信號而形成選擇狀態；

上述第2冗長資料線在上述列位址比較電路中當上述第3不良資訊與上述列位址資訊一致時，接受上述第4信號而形成選擇狀態；

1 1 . 如申請專利範圍第10項之半導體裝置，其中上述第2信號是作為相補信號而輸出。

1 2 . 如申請專利範圍第11項之半導體裝置，其中更具備：複數條的列選擇線，該列選擇線是橫跨複數個上述記憶墊而設置，且各對應於上述複數記憶墊的上述複數條資料線而設置；

上述第1輸入節點會被輸入比上述第1預定數還要少

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1 個位元數的行位址信號；

上述第 4 輸入節點會被輸入比上述第 2 預定數還要少 1 個位元數的行位址信號；

上述第 1 行位址比較電路是根據上述第 1 預定數的記憶元件的邏輯狀態來以上述列選擇線作為一單位進行比較。

1 3 . 如申請專利範圍第 9 項之半導體裝置，其中更具備：複數個記憶墊，該複數個記憶墊分別具有：被設置於與複數條字元線交叉的複數條資料線，第 1 冗長資料線及第 2 冗長資料線的交點之複數個的記憶格；

上述第 1 行位址記憶電路是包含：分別對應於上述複數個的記憶墊，而使有無缺陷位址的狀況形成程式化之複數個的第 1 缺陷記憶電路；

上述第 1 輸入節點，為了可被輸入分別對應於上述複數個記憶墊的複數個選擇信號，而設置複數個；

上述第 4 節點會被輸入列位址信號；

上述第 1 行位址比較電路更包含：

一第 1 位移電路；該第 1 位移電路是包含：在分別和上述複數個第 1 輸入節點連接的複數個第 1 節點與和上述複數個第 1 節點同數的複數個第 2 節點之間設定複數個第 1 邏輯性結合路徑；及

一第 2 位移電路；該第 2 位移電路是包含：在分別和上述複數個第 2 節點結合的複數個第 3 節點與比上述複數個第 3 節點的數量還要大的第 4 節點之間設定複數個第 2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

邏輯性結合路徑；

又，上述複數個第 1 邏輯性結合路徑是根據上述複數個第 1 缺陷記憶電路的一個來決定，上述複數個第 2 邏輯性結合路徑是根據上述複數個第 2 缺陷記憶電路的一個來決定。

1 4 . 如申請專利範圍第 9 項之半導體裝置，其中更具備：複數個記憶墊，該複數個記憶墊分別具有：被設置於與複數條字元線交叉的複數條資料線，第 1 冗長資料線及第 2 冗長資料線的交點之複數個的記憶格；

上述複數個記憶墊包含：第 1 記憶墊，及第 2 記憶墊；

上述第 1 輸入節點會被輸入對應於上述第 1 記憶墊的第 1 墊選擇信號，及對應於上述第 2 記憶墊的第 2 墊選擇信號；

上述第 4 輸入節點會被輸入列位址信號；

上述第 1 行位址記憶電路會分別對應於上述第 1 或第 2 正規記憶墊而記憶有無缺陷位址；

上述第 1 行位址比較電路是以上述第 1 及第 2 記憶墊為一個單位來比較上述第 1 或第 2 墊選擇信號。

1 5 . 如申請專利範圍第 1 4 項之半導體裝置，其中上述第 1 行位址比較電路包含：被輸入上述第 1 墊選擇信號與上述第 2 墊選擇信號的第 1 N O R 電路，及連接於上述第 1 N O R 電路與上述第 1 輸出節點的第 2 N O R 電路。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

1.6 . 如申請專利範圍第 1.5 項之半導體裝置，其中上述 2 預定數為：比所被輸入的上述列位址信號還要多一個，上述第 2 行位址比較電路是根據上述第 2 行位址記憶電路中所含的上述第 2 預定數的記憶元件的邏輯狀態來以上述複數個記憶墊的一個作為一單位進行比較。

1.7 . 如申請專利範圍第 9 項之半導體裝置，其中更具備：

一複數個記憶墊；該複數個記憶墊是分別具有：被設置於與複數條字元線交叉的複數條資料線，第 1 冗長資料線及第 2 冗長資料線的交點之複數個的記憶格；及

一第 3 行位址記憶電路；該第 3 行位址記憶電路是具有：第 3 不良資訊會被程式化的上述第 1 預定數的記憶元件，及供以輸出上述第 3 不良資訊的第 7 輸出節點；及

一第 3 行位址比較電路；該第 3 行位址比較電路是具有：連接於上述第 7 輸出節點的第 8 輸入節點，及被輸入上述行位址資訊的第 9 輸入節點，及在比較上述第 3 不良資訊與上述行位址資訊下形成一致時供以輸出第 3 信號的第 8 輸出節點；

又，上述複數個記憶墊是包含：第 1 記憶墊，第 2 記憶墊，及第 3 記憶墊；

上述第 1 及第 9 輸入節點會被輸入墊選擇信號，該墊選擇信號是供以選擇上述第 1 ~ 第 3 記憶墊中的一個；

上述第 4 輸入節點會被輸入列位址信號；

上述第 1 行位址比較電路是以上述第 1 及第 2 記憶墊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

作為一個單位來比較上述墊選擇信號；

上述第 3 行位址比較電路是以上述第 2 及第 3 記憶墊作為一個單位來比較上述墊選擇信號。

18. 如申請專利範圍第 8 項之半導體裝置，其中上述選擇電路在上述第 1 信號及上述第 2 信號並列輸入時，具有停止上述第 1 信號的輸出之電路。

19. 如申請專利範圍第 8 項之半導體裝置，其中上述記憶元件為：以第 1 邏輯狀態作為初期值而進行記憶，且根據程式化來記憶第 2 邏輯狀態之保險絲電路。

20. 如申請專利範圍第 9 項之半導體裝置，其中上述半導體裝置是在輸入行位址信號後，在預定的時間之後輸入列位址信號。

21. 一種半導體裝置，其特徵是具備：

一記憶墊；該記憶墊是包含設置於第 1 及第 2 字元線與第 1，第 2 正規資料線及冗長資料線的交點之複數個記憶格；及

一救濟判定電路；該救濟判定電路是供以在具有相關上述第 1 正規資料線的第 1 缺陷時以第 1 置換單位來置換上述第 1 缺陷，在具有相關上述第 2 正規資料線的第 2 缺陷時以比上述第 1 置換單位還要小的第 2 單位來置換上述第 2 缺陷；

又，上述第 1 置換單位為包含：上述第 1 及第 2 字元線與上述第 1 正規資料線交叉的領域，上述第 2 置換單位為包含：上述第 1 字元線及上述第 2 正規資料線交叉的領

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

域時，上述救濟判定電路會在上述第2字元線及上述第1正規資料線被選擇時，選擇上述冗長資料線，以及在上述第1字元線及上述第1正規資料線被選擇時，選擇上述第1正規資料線。

22. 如申請專利範圍第21項之半導體裝置，其中上述救濟判定電路具備：

一第1不良位址記憶電路；該第1不良位址記憶電路是爲了以上述第1置換單位來進行救濟，而形成能夠記憶第1不良資訊；及

一第2不良位址記憶電路；該第2不良位址記憶電路是爲了以上述第2置換單位來進行救濟，而形成能夠記憶第2不良資訊；

又，上述第1位址記憶電路是包含第1預定數的記憶元件；

上述第2位址記憶電路是包含比上述第1預定數還要多的第2預定數之記憶元件。

23. 如申請專利範圍第22項之半導體裝置，其中上述救濟判定電路更具備：

一第1行位址比較電路；該第1行位址比較電路是具有：連接於上述第1位址記憶電路的第1輸入節點，及被輸入行位址資訊的第2輸入節點與第1輸出節點；及

一第2行位址比較電路；該第2行位址比較電路是具有：連接於上述第2位址記憶電路的第3輸入節點，及被輸入行位址資訊的第4輸入節點與第2輸出節點；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 選擇電路；該選擇電路是連接於上述第 1 及第 2 輸出節點；

又，上述第 1 行位址比較電路是在上述第 1 不良資訊與上述行位址資訊一致時，由上述第 1 輸出節點輸出第 1 信號；

上述第 2 行位址比較電路是在上述第 2 不良資訊與上述行位址資訊一致時，由上述第 2 輸出節點輸出第 2 信號；

上述選擇電路是在上述第 1 及第 2 信號並列輸入時輸出上述第 2 信號。

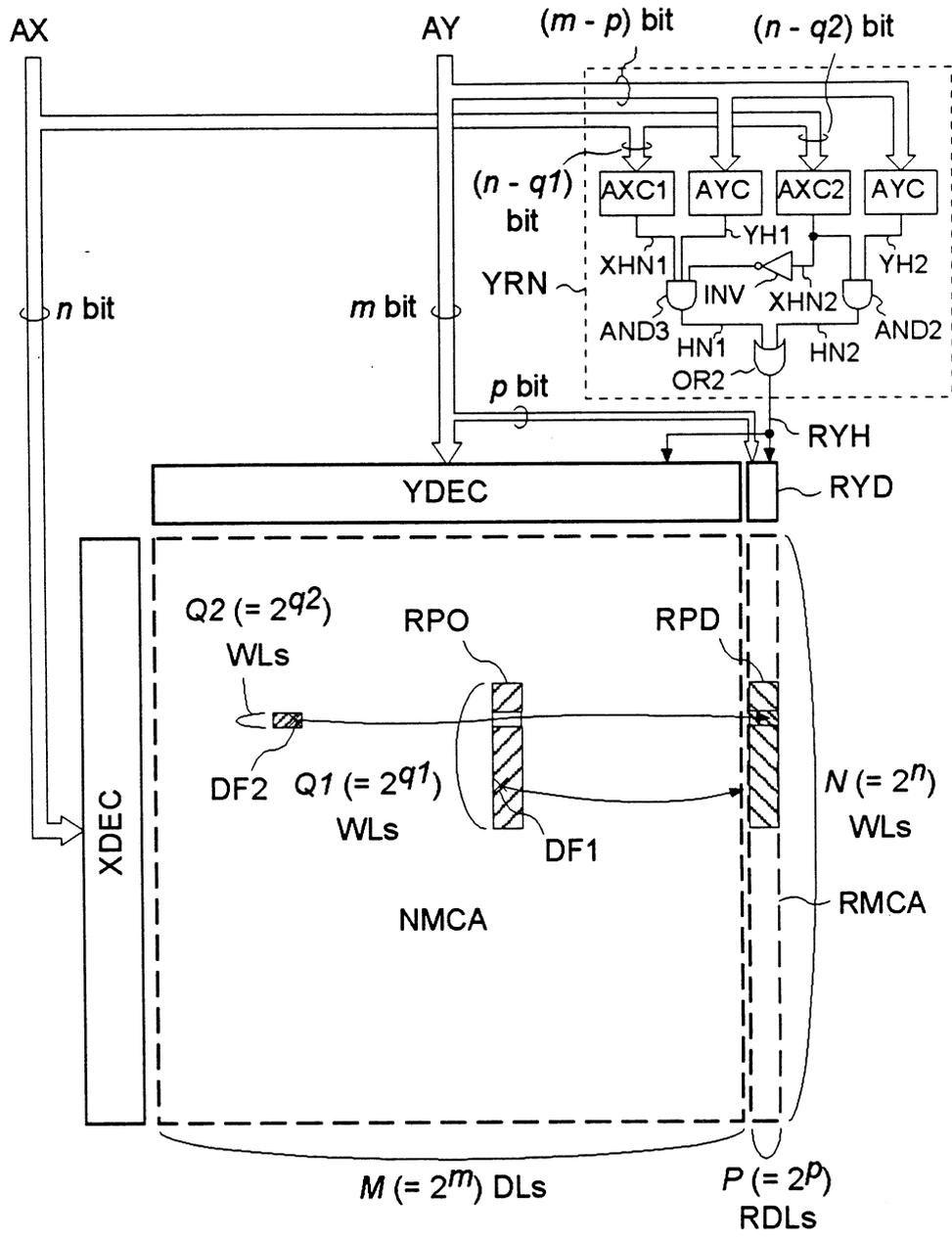
2 4 . 如申請專利範圍第 2 3 項之半導體裝置，其中上述半導體裝置為動態型隨機存取記憶體。

(請先閱讀背面之注意事項再填寫本頁)

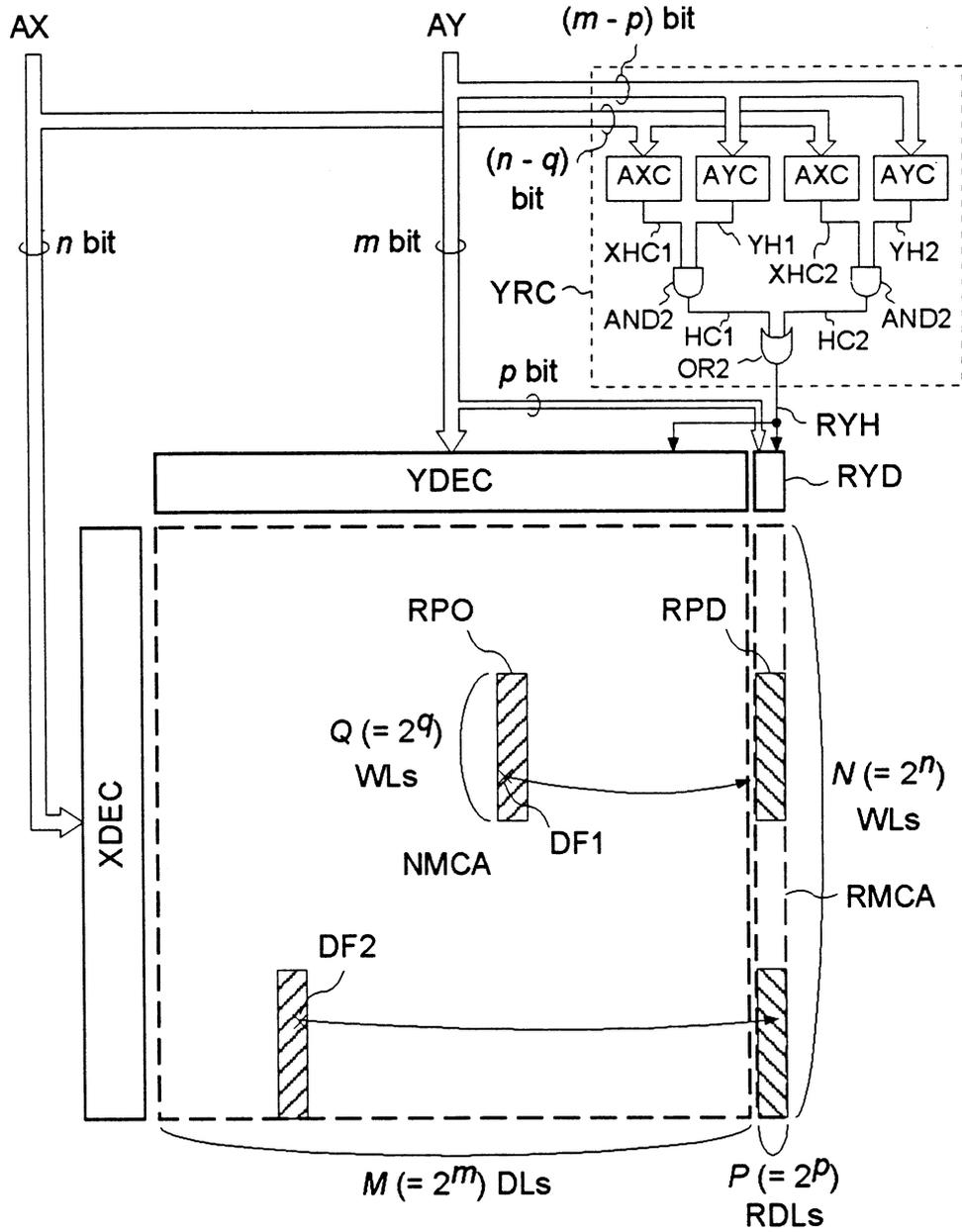
裝

訂

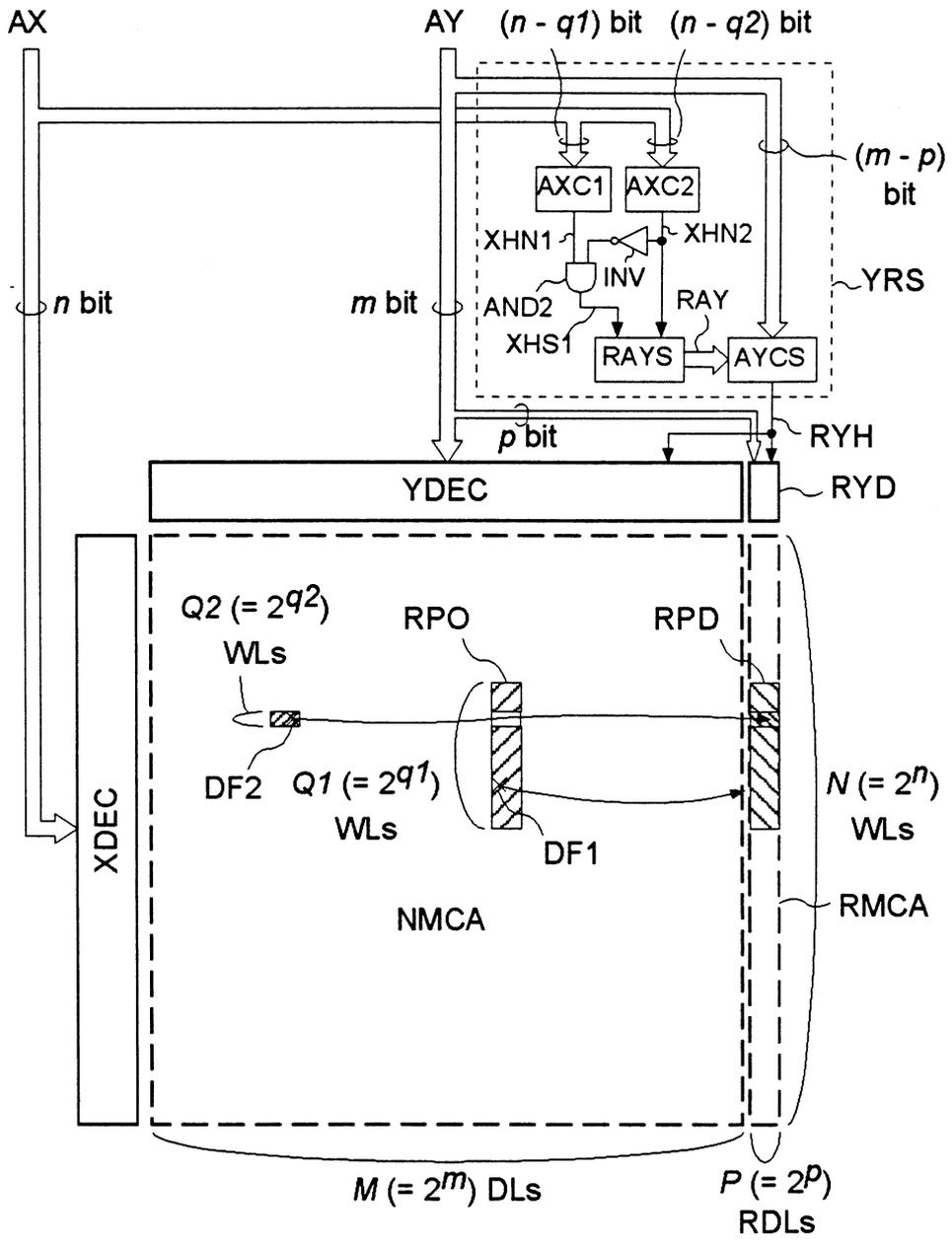
第 1 圖



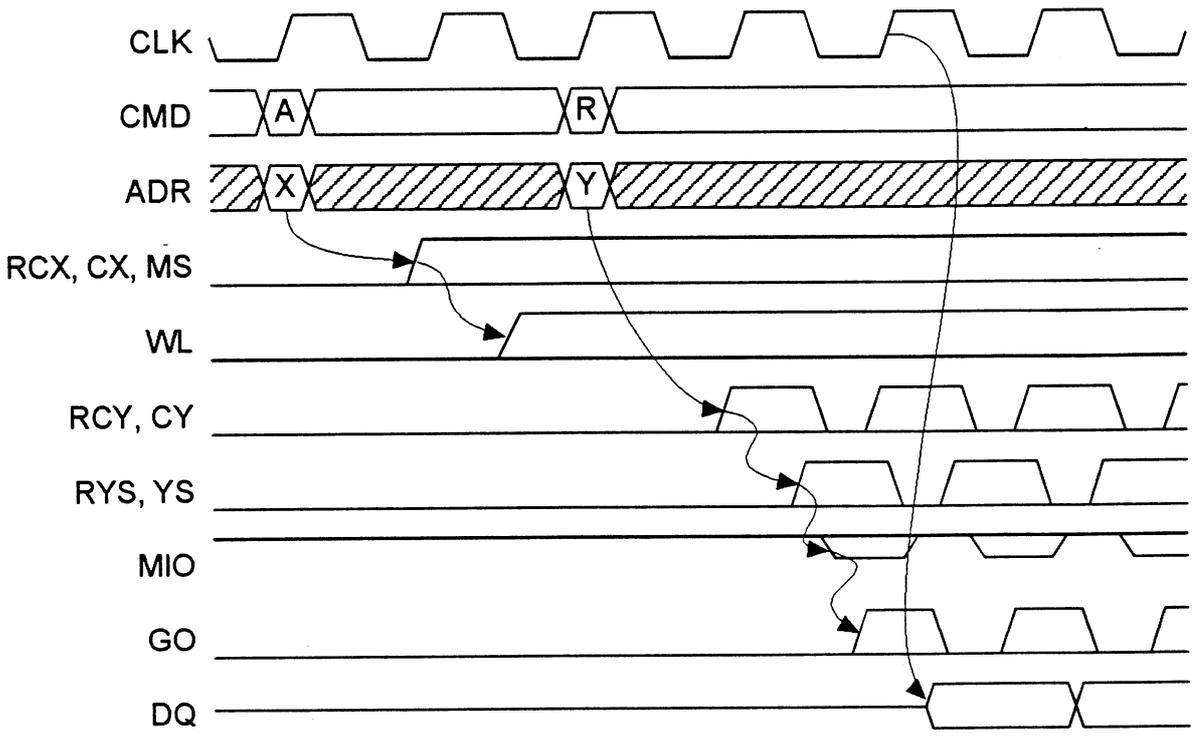
第 2 圖



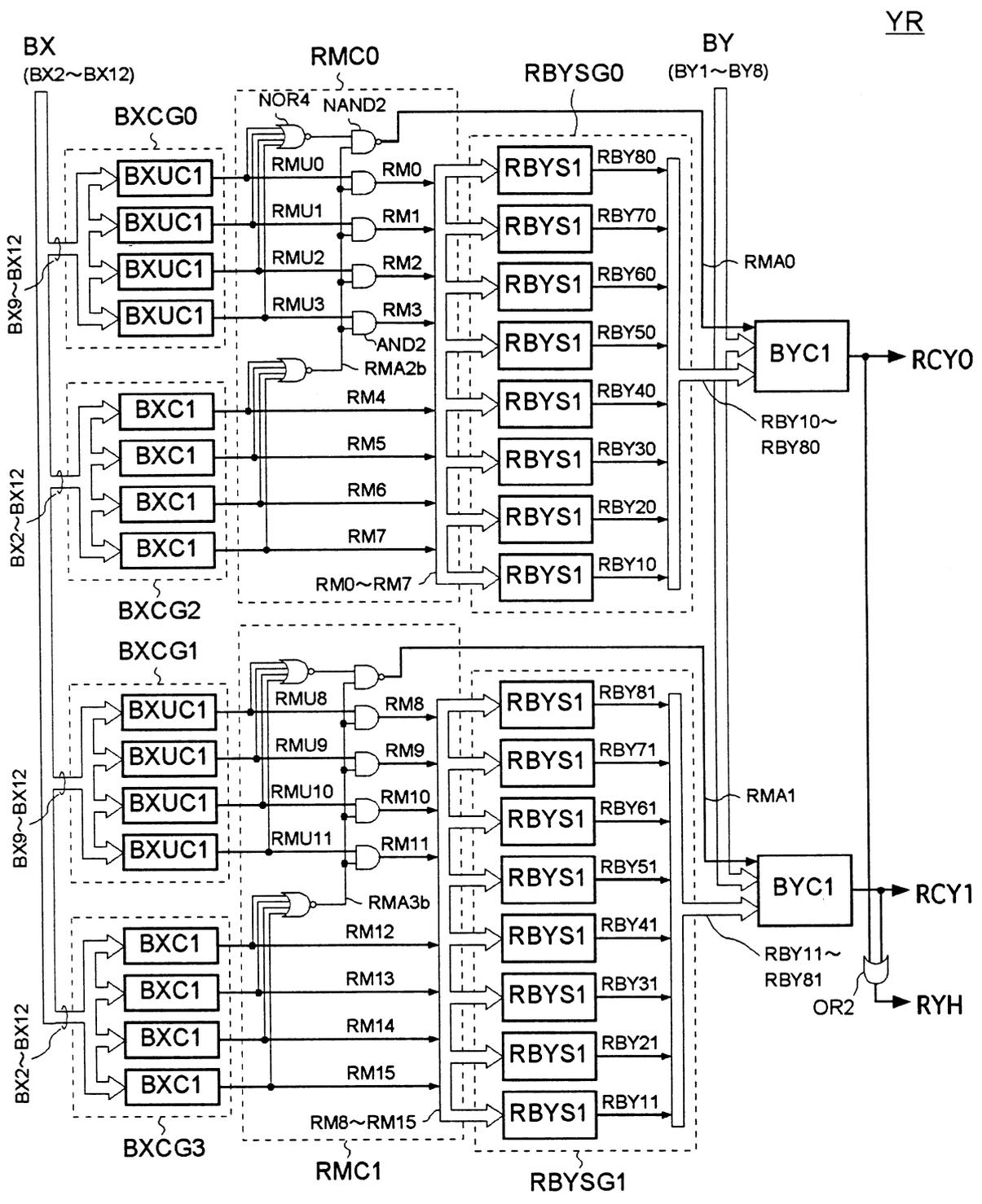
第 3 圖



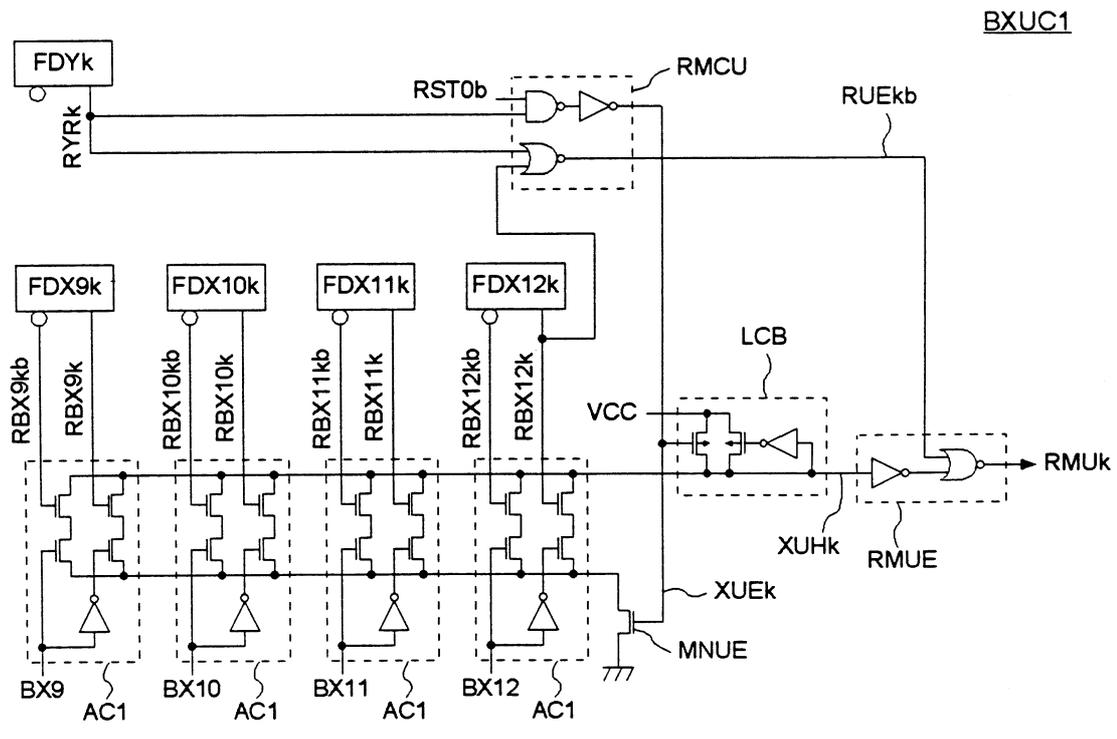
第 5 圖



第 6 圖

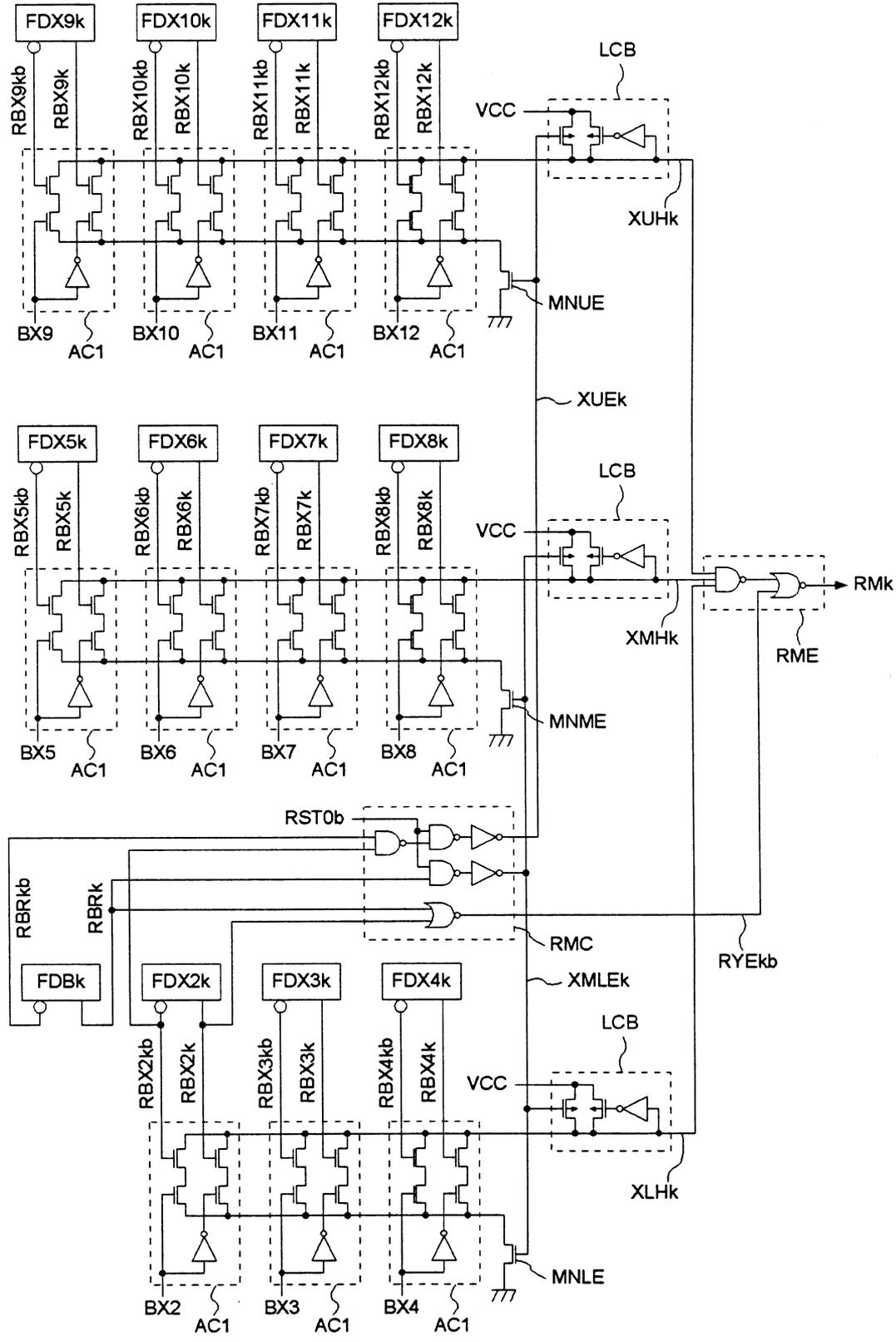


第 7 圖

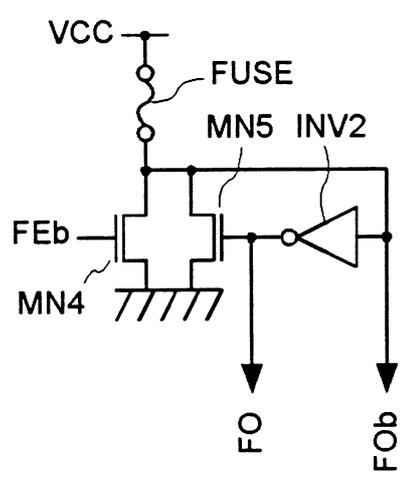


第 8 圖

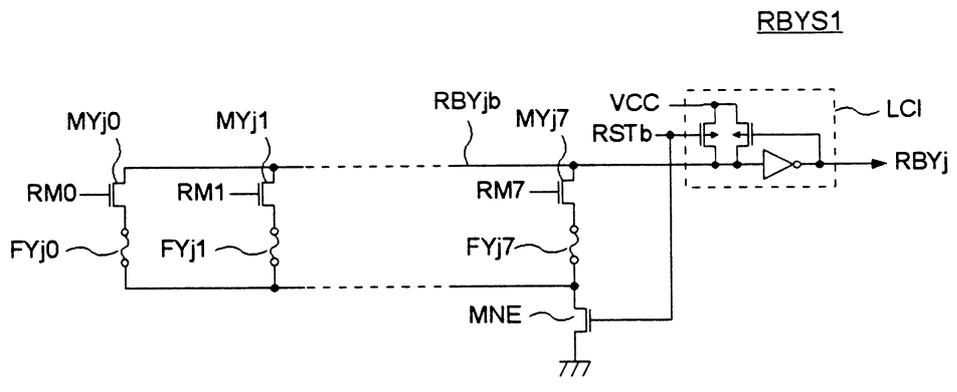
BXC1



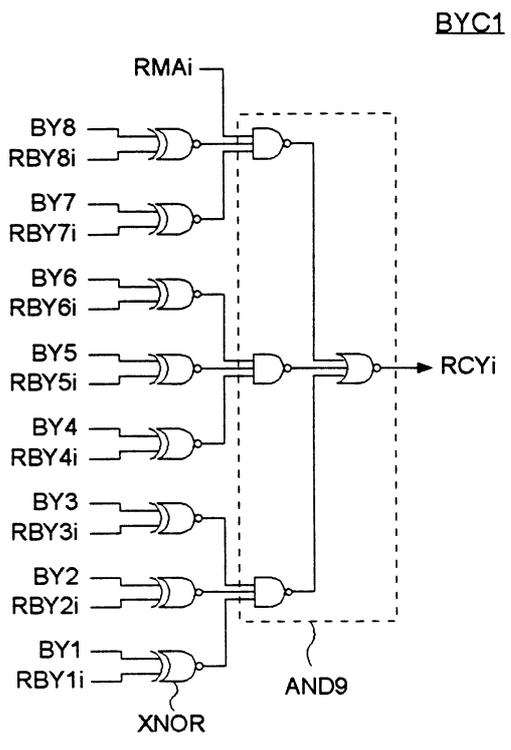
第 9 圖



第 10 圖

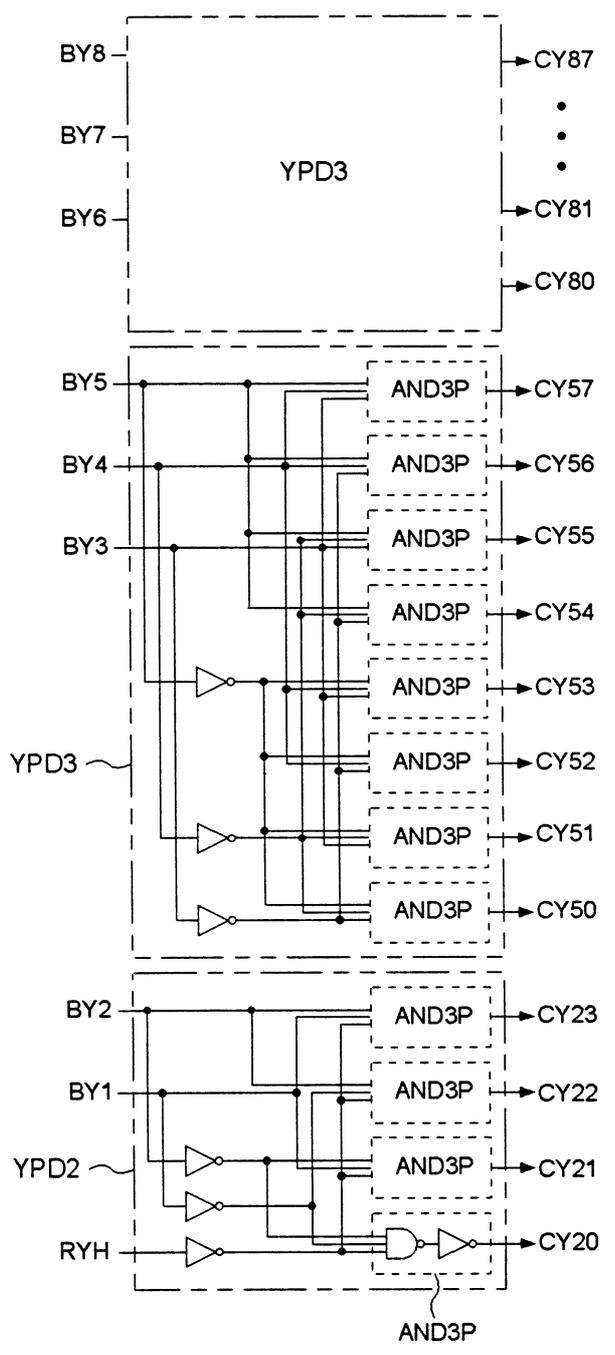


第 11 圖

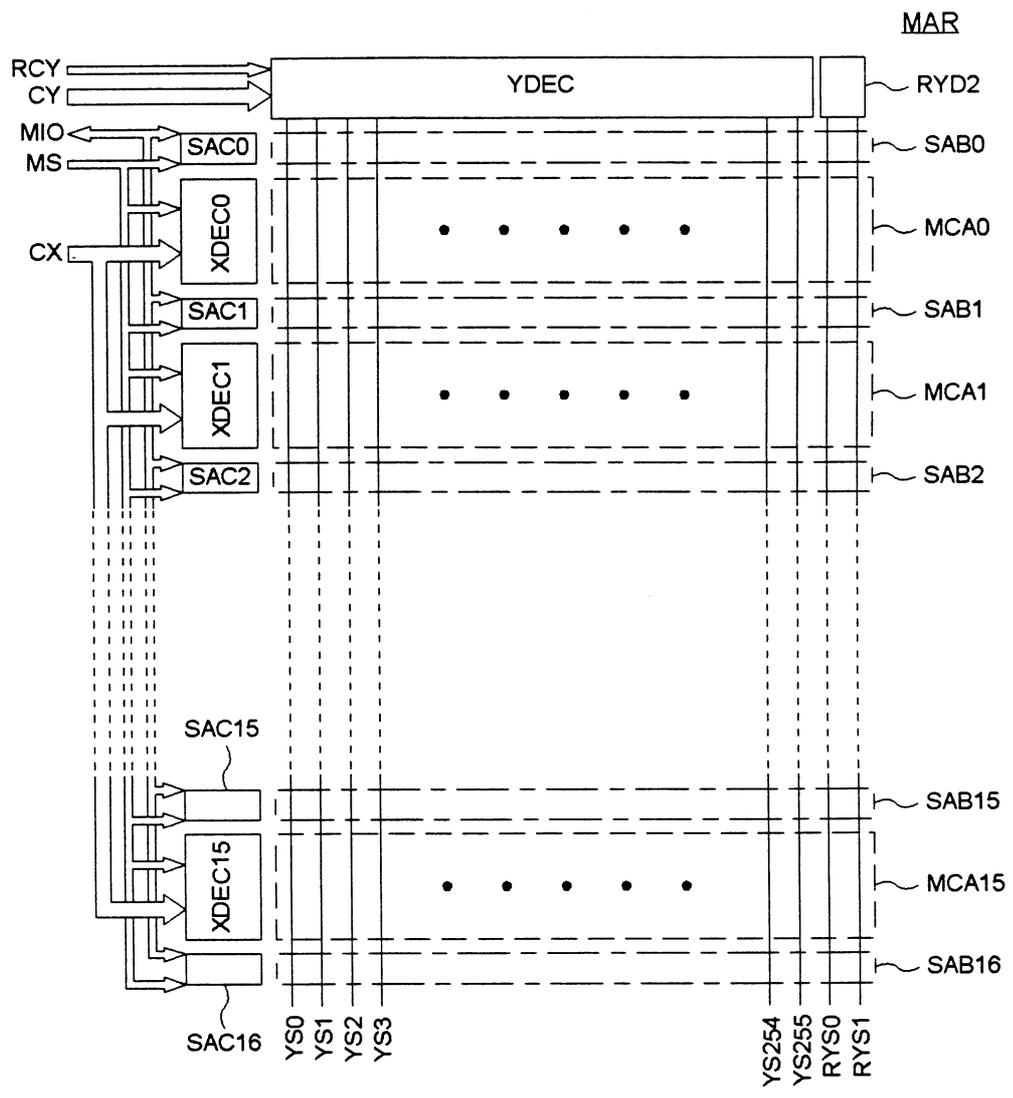


第 12 圖

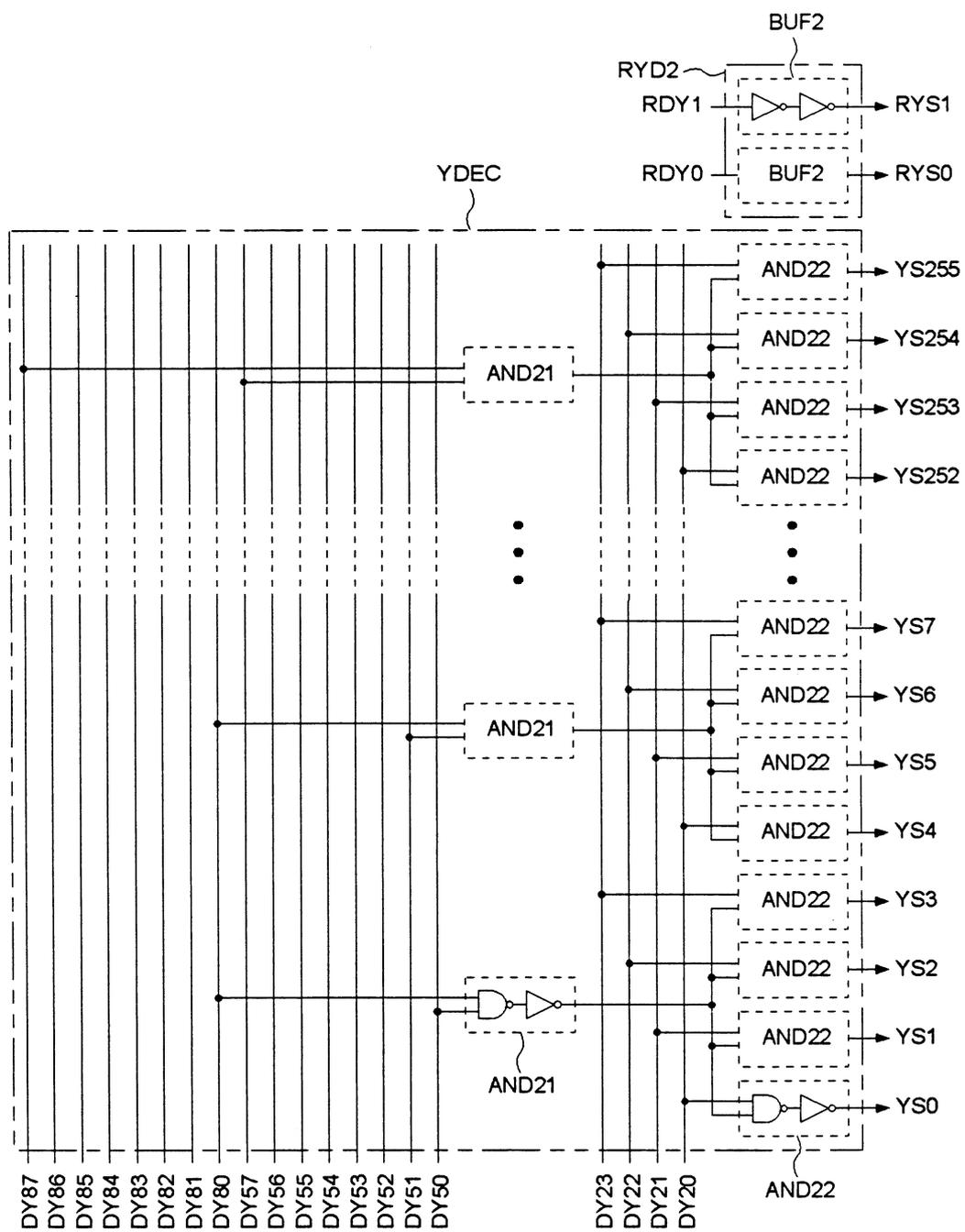
YPD



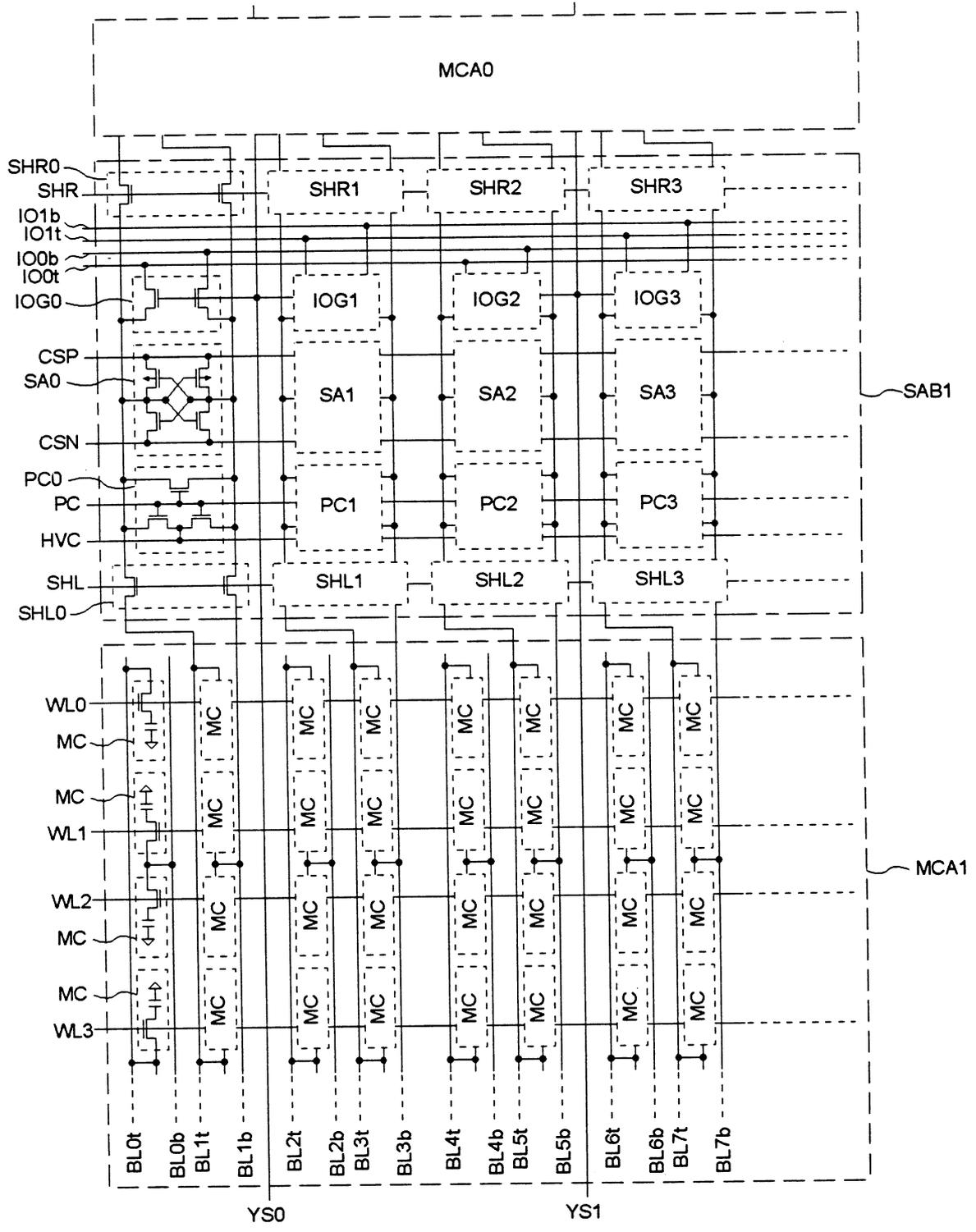
第 13 圖



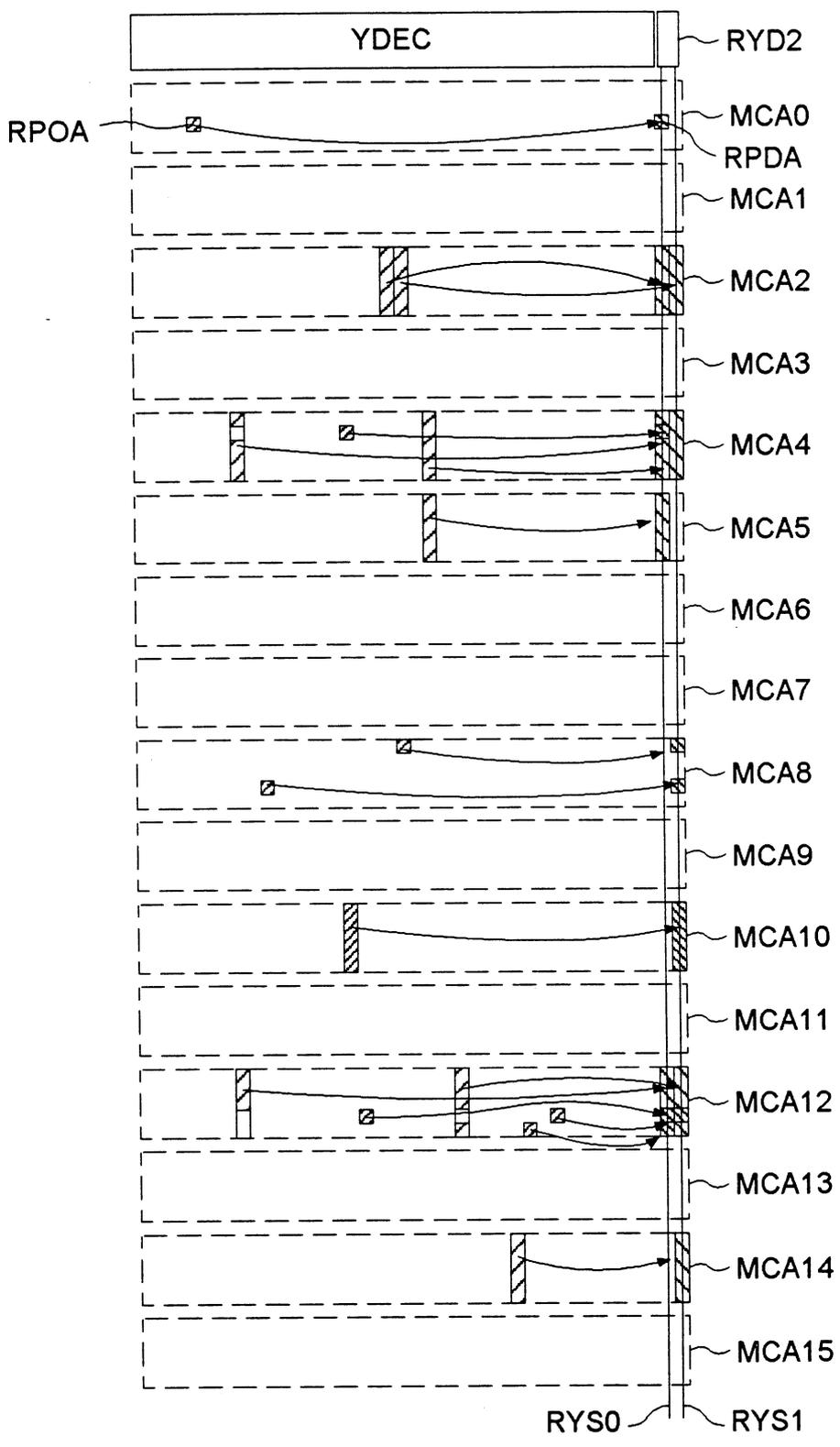
第 14 圖



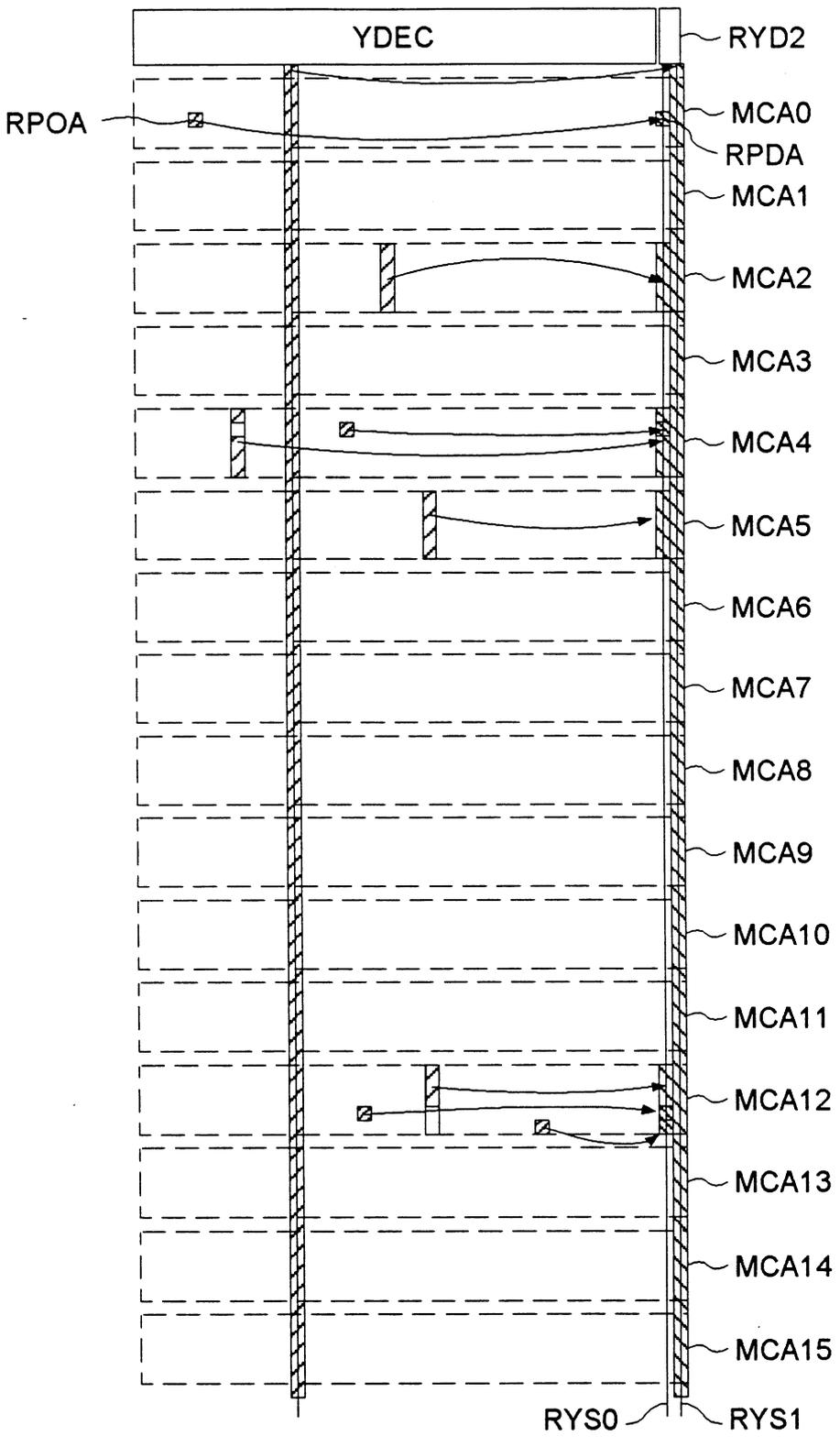
第 15 圖



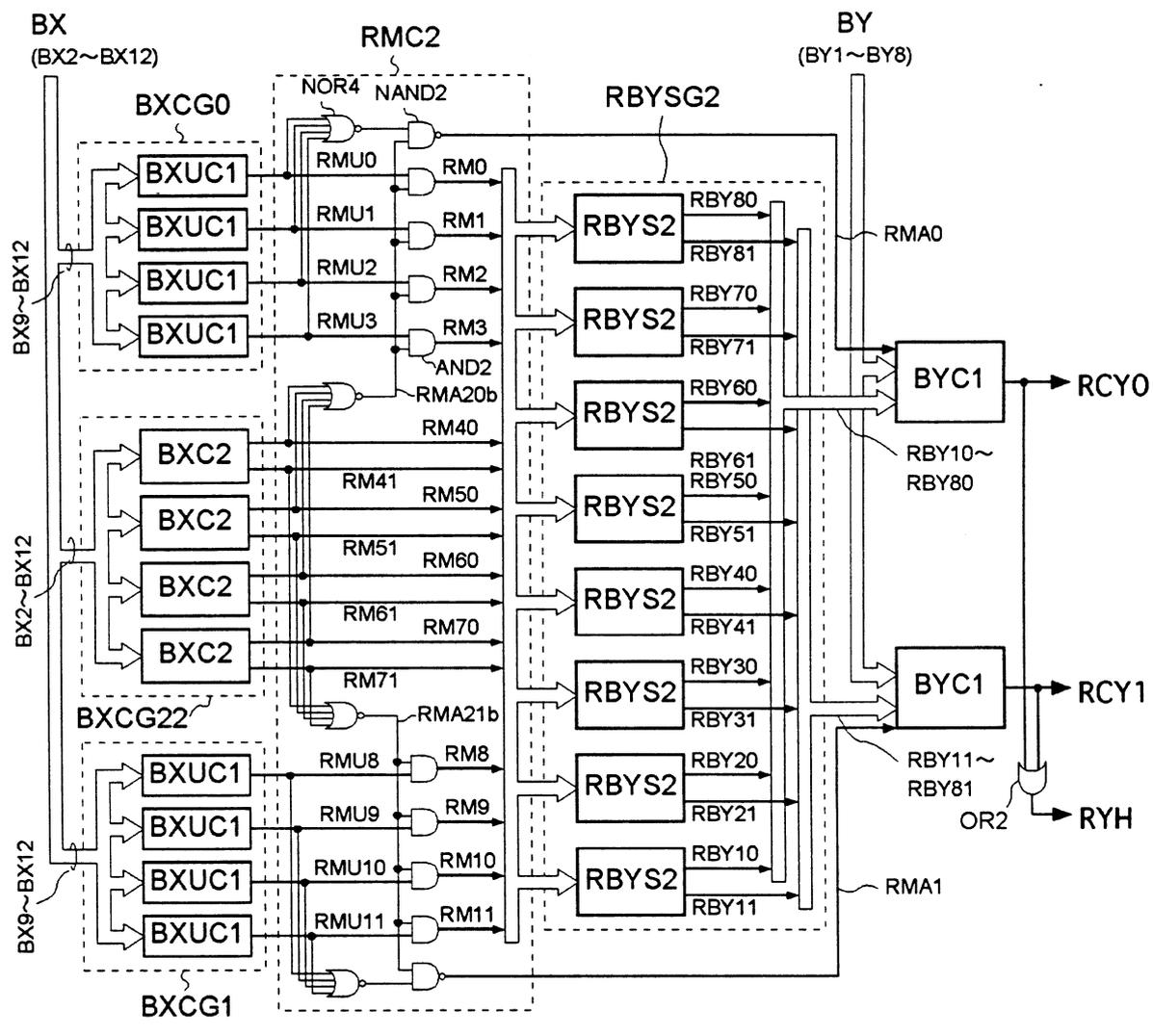
第 16 圖



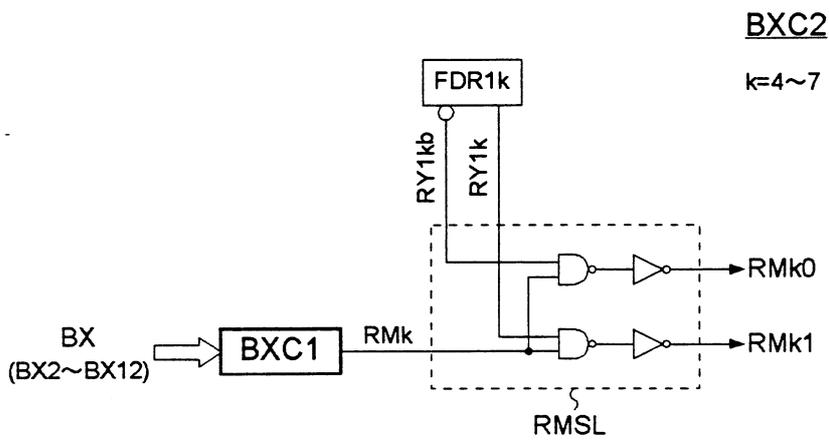
第 17 圖



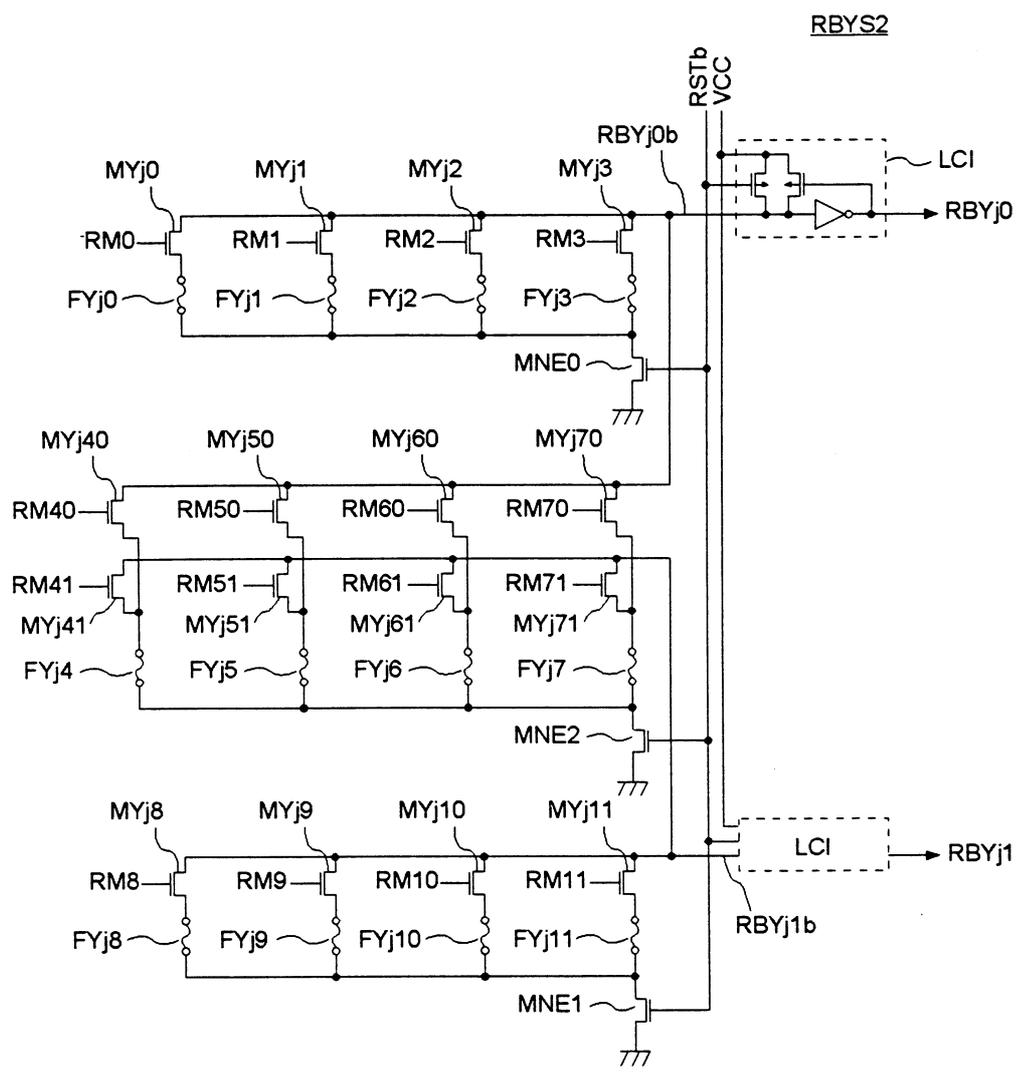
第 18 圖



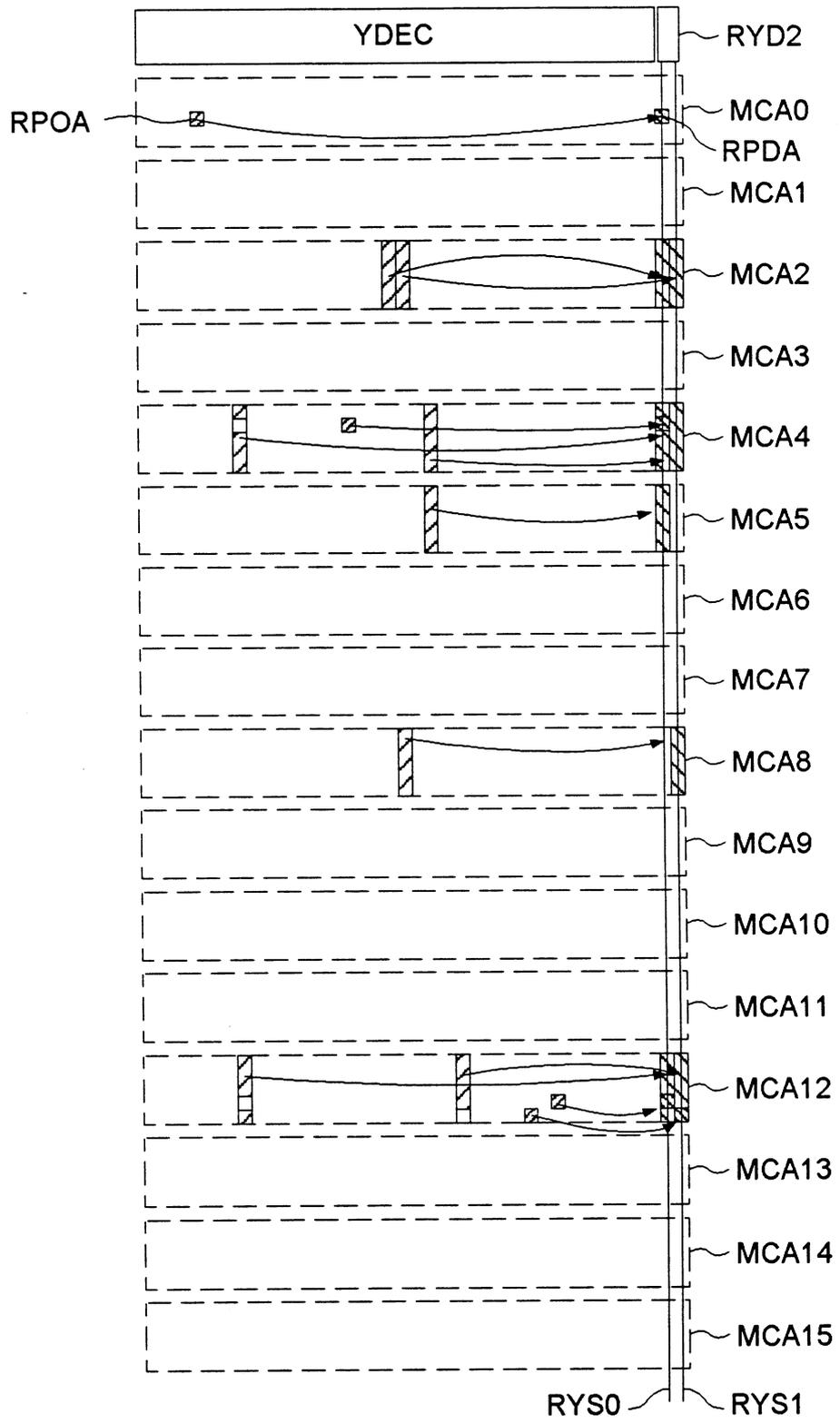
第 19 圖



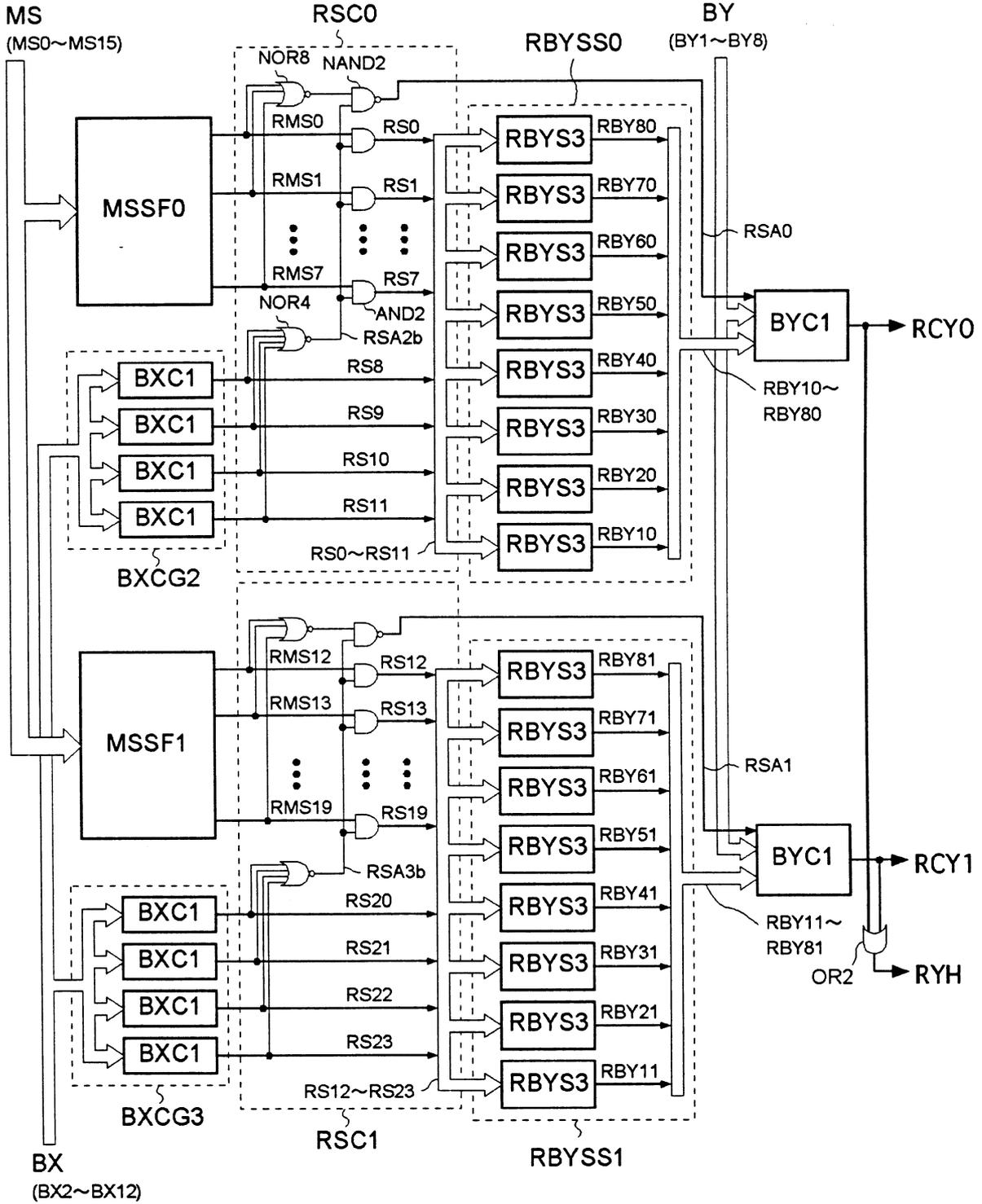
第 20 圖



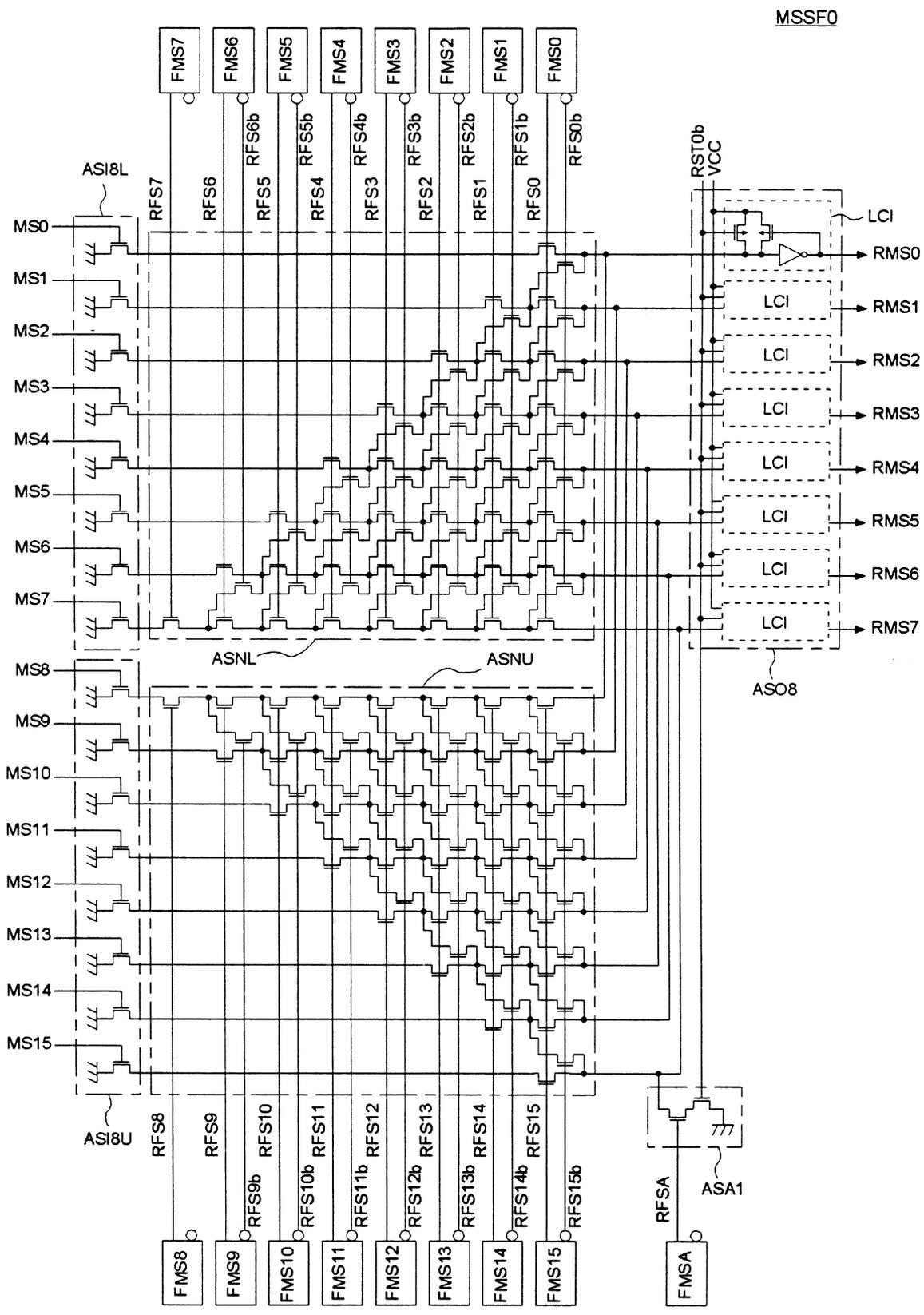
第 21 圖



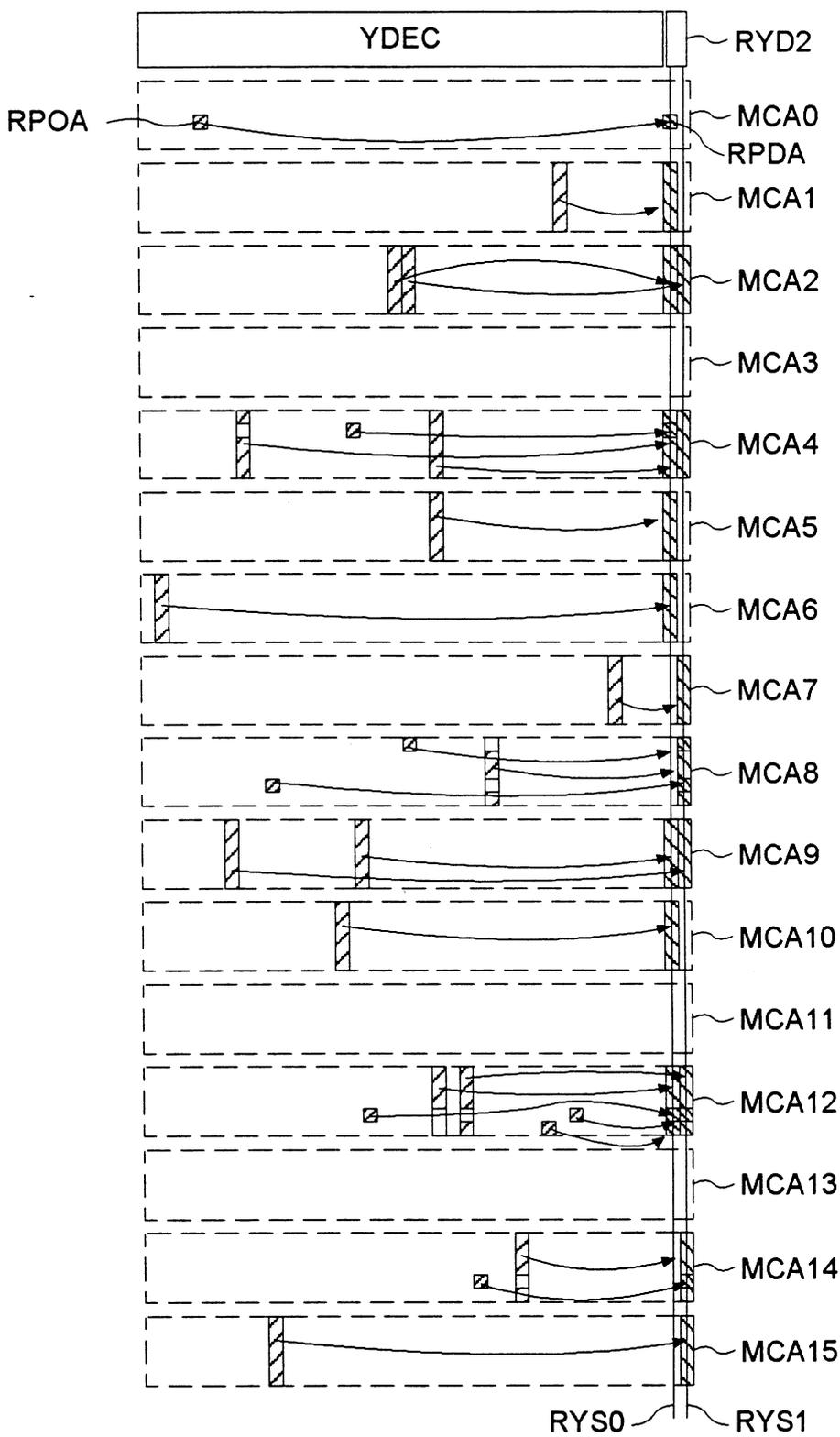
第 22 圖



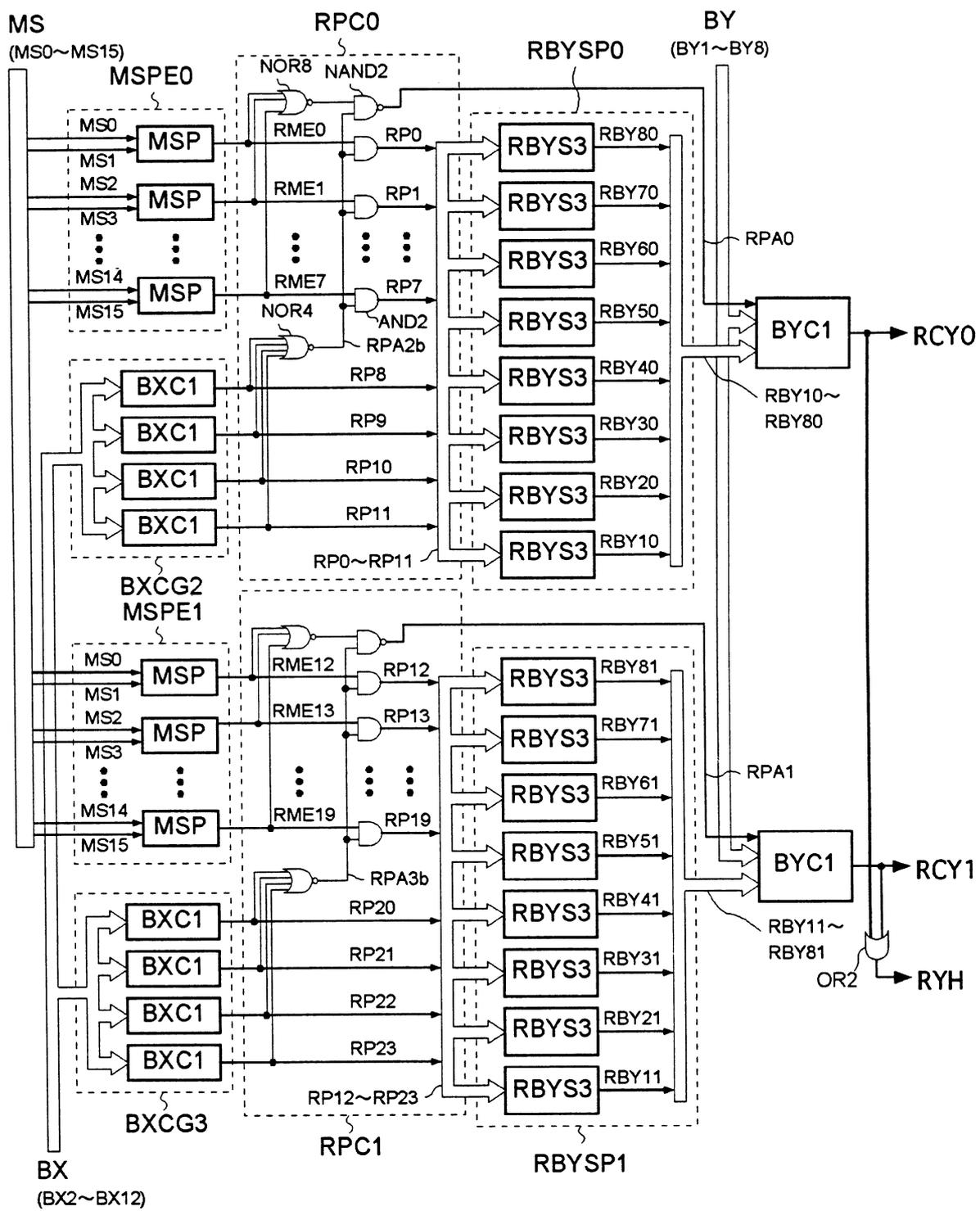
第 23 圖



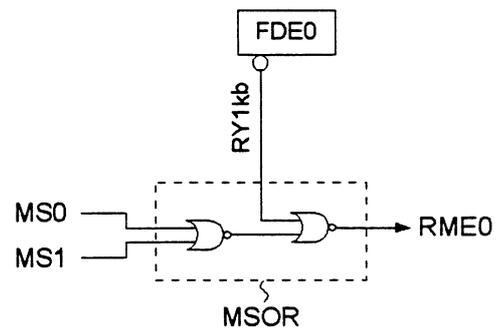
第 24 圖



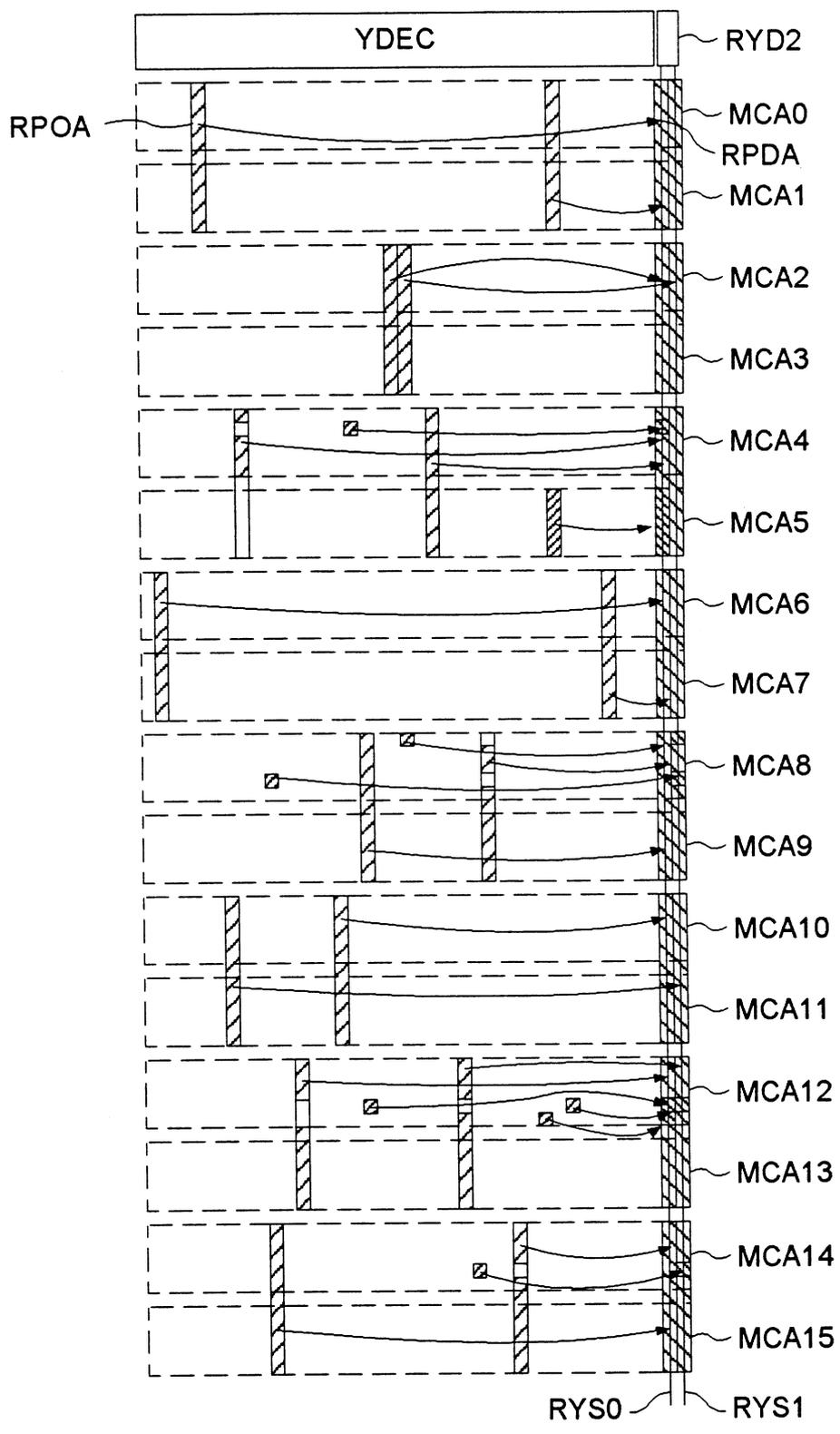
第 25 圖



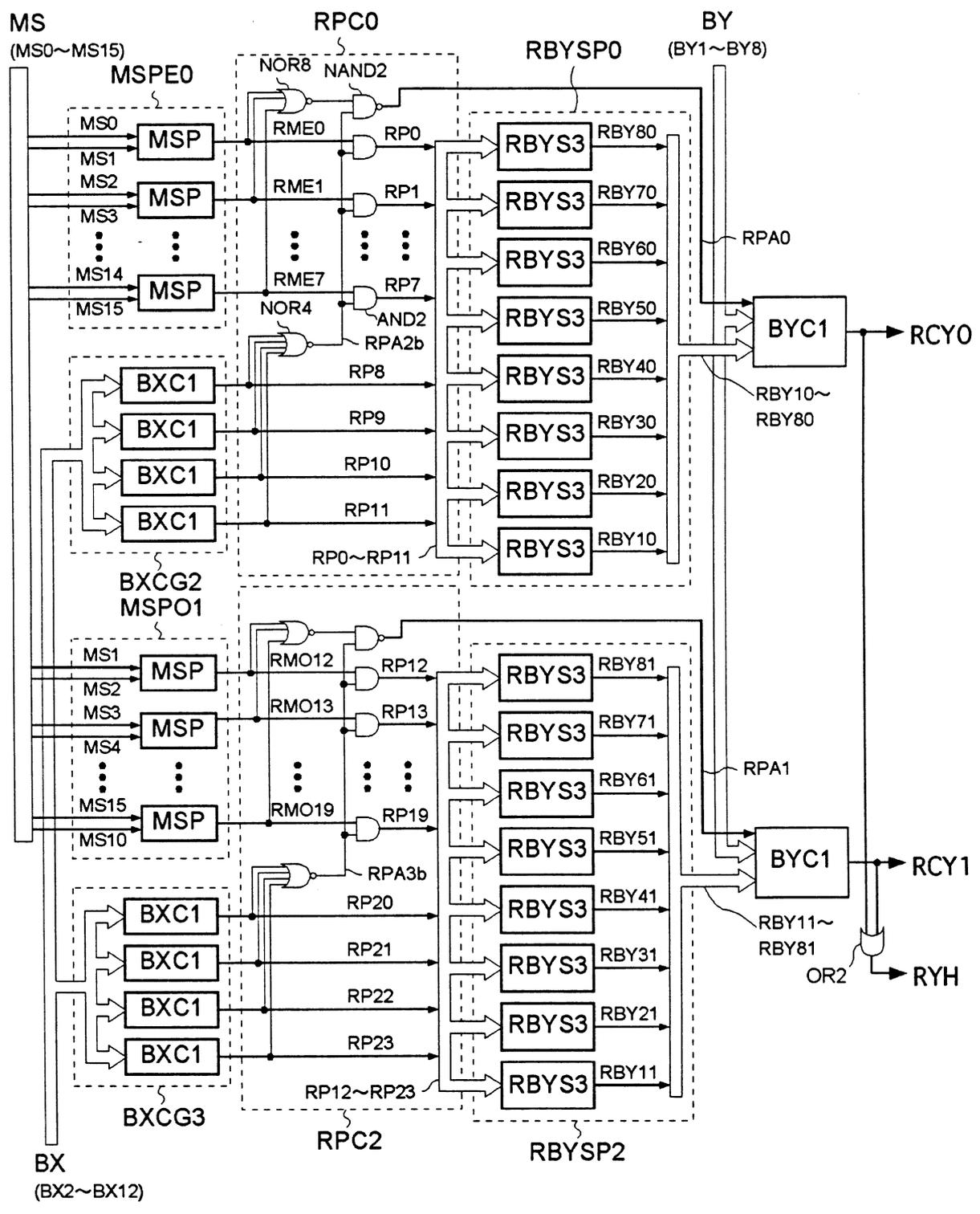
第 26 圖

MSP

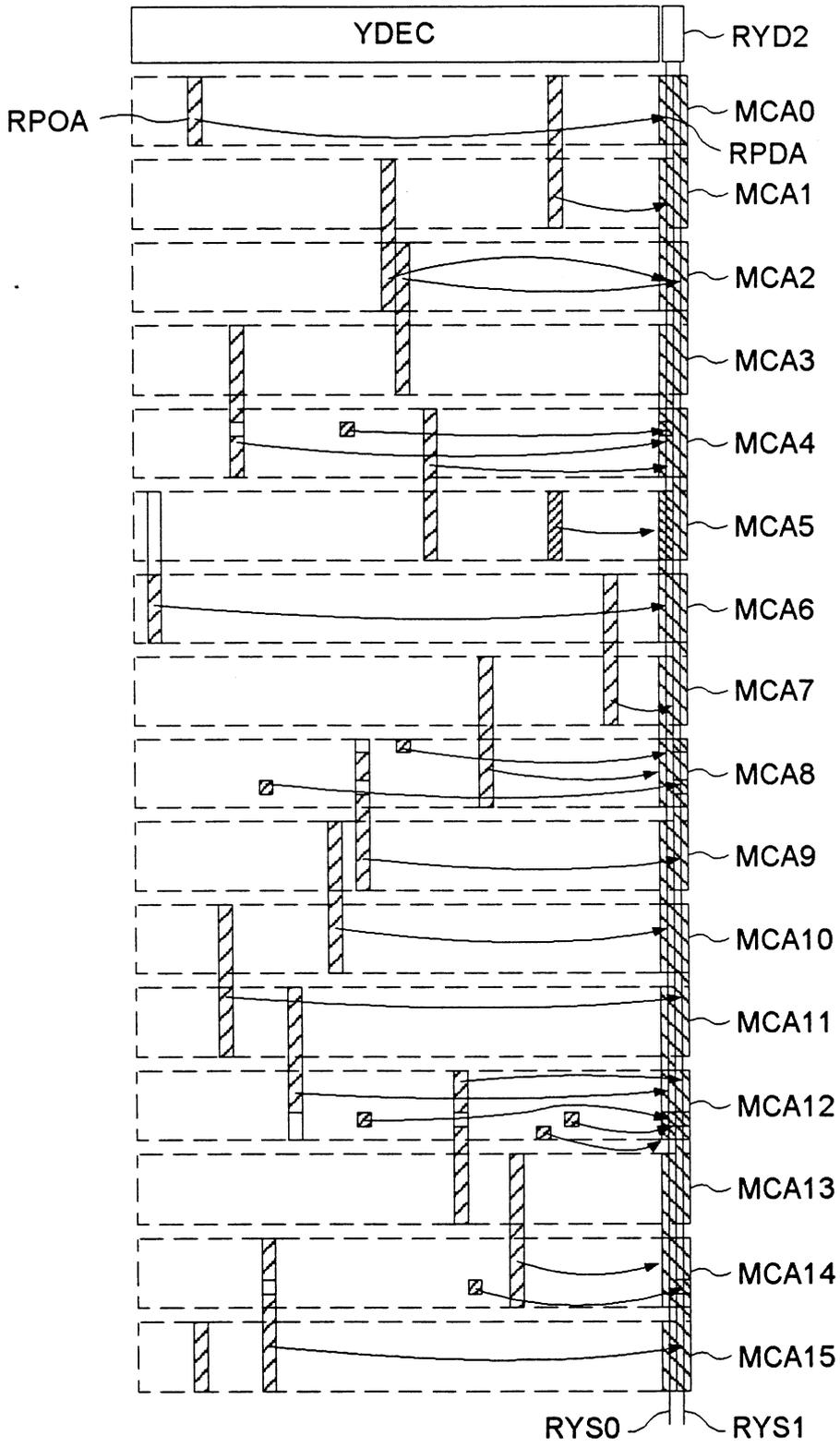
第 27 圖



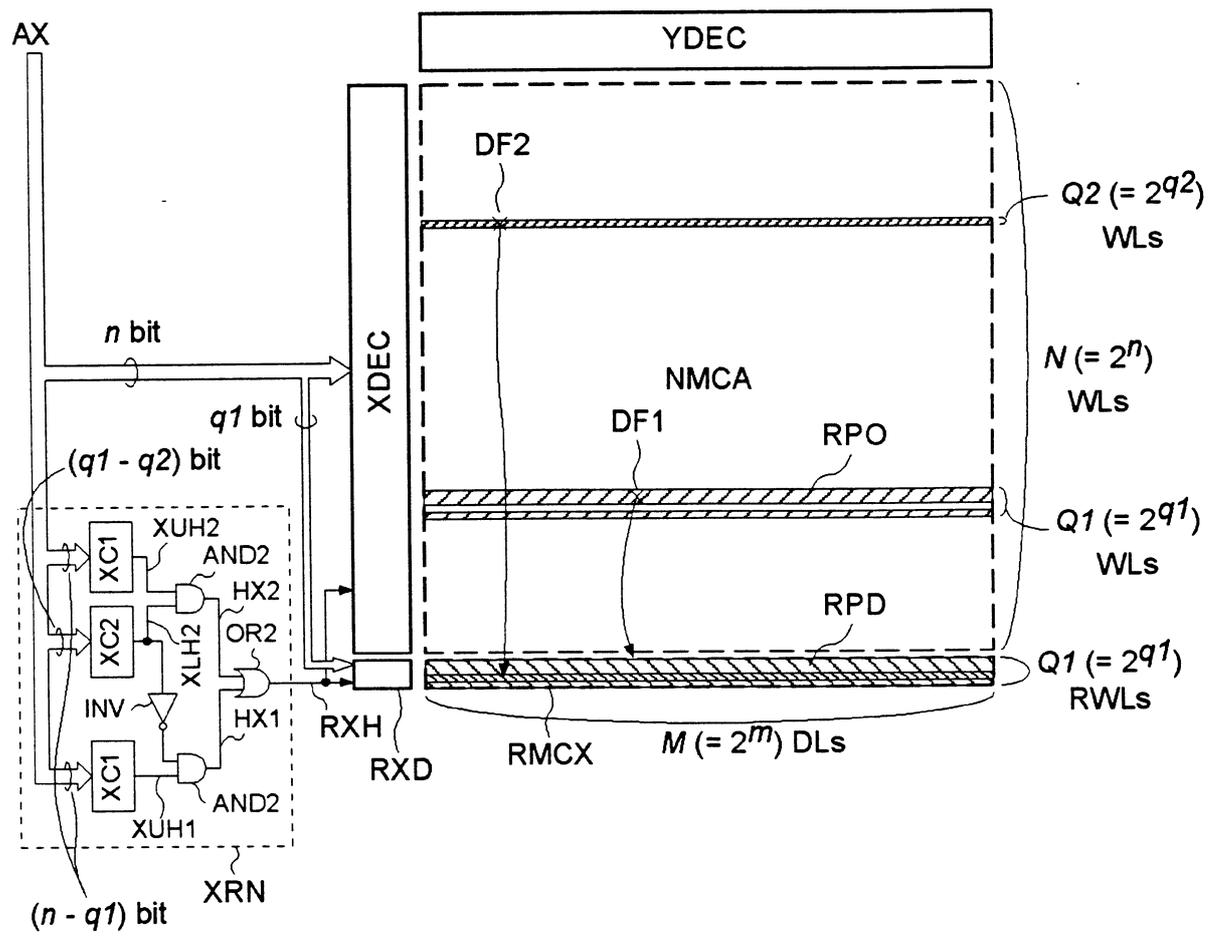
第 28 圖



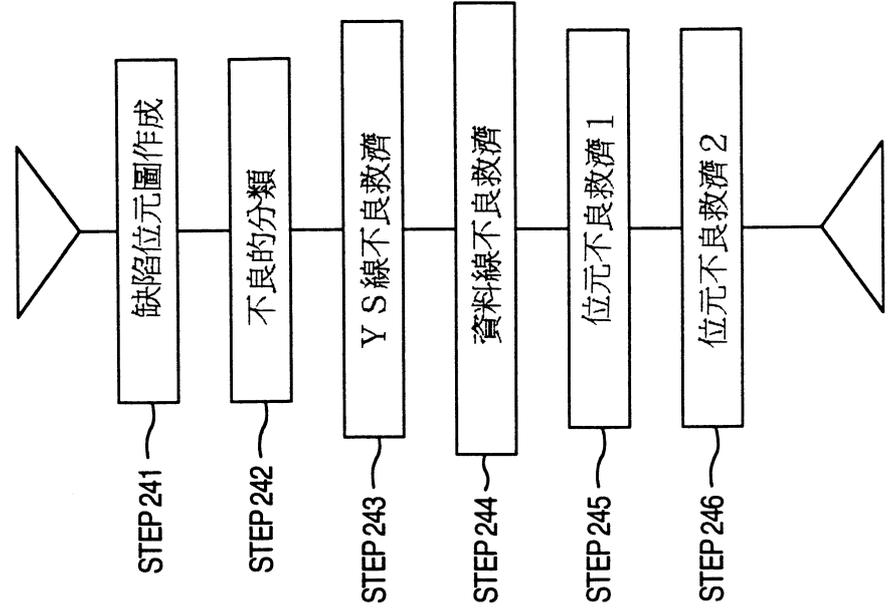
第 29 圖



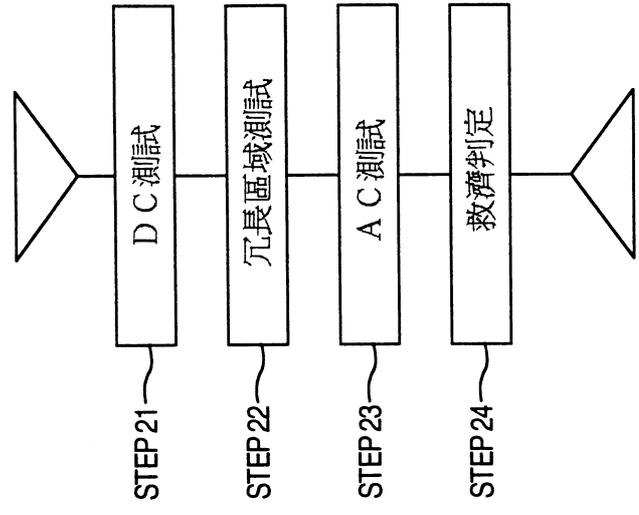
第 30 圖



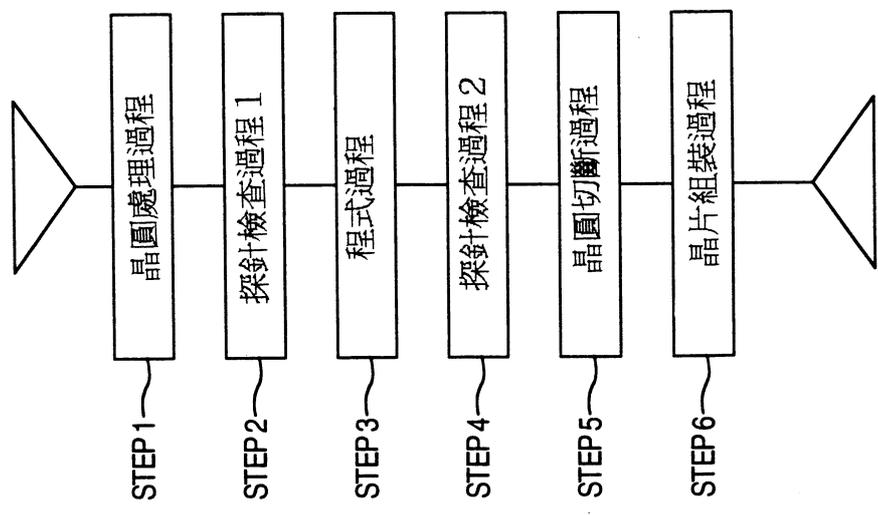
第 31 圖c



第 31 圖b



第 31 圖a



第 32 圖

