

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

to one-fold of the thickness Lg1 of the TiN layer 26a on a line Y-Y'. The thickness Lg2 of the TiN layer 28a on the line X-X' is smaller than two-fold of the thickness Lg1 of the TiN layer 28a on the line Y-Y', and is equal to or greater than one-fold of the same.

(57) 要約: ソース線 S L に繋がる N⁺層 2 1 上に、S i 柱 2 2 a ~ 2 2 d が立っている。S i 柱 2 2 a ~ 2 2 d の下部を囲んだ H f O₂ 層 2 5 a を囲み、且つ分離したプレート線 P L 1, P L 2 に繋がる T i N 層 2 6 a、2 6 b と、S i 柱 2 2 a ~ 2 2 d の上部を囲んだ H f O₂ 層 2 5 b を囲むワード線 W L 1, W L 2 に繋り、且つ分離した T i N 層 2 8 a、2 8 b と、がある。X-X' 線上の T i N 層 2 6 a の厚さ L g 2 が、Y-Y' 線上の T i N 層 2 6 a の厚さ L g 1 の 2 倍より小さく、且つ 1 倍と同じか、もしくは大きい。そして、X-X' 線上の T i N 層 2 8 a の厚さ L g 2 が、Y-Y' 線上の T i N 層 2 8 a の厚さ L g 1 の 2 倍より小さく、且つ 1 倍と同じか、もしくは大きい。

明 細 書

発明の名称：半導体素子を有するメモリ装置

技術分野

[0001] 本発明は、半導体素子を有するメモリ装置に関する。

背景技術

[0002] 近年、L S I (Large Scale Integration)技術開発において、半導体素子を有するメモリ装置の高集積化と高性能化が求められている。

[0003] 通常のプレナー型MOSトランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGTのチャンネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献1、非特許文献1を参照）。このため、SGTはプレナー型MOSトランジスタと比べ、半導体装置の高密度化が可能である。このSGTを選択トランジスタとして用いて、キャパシタを接続したDRAM (Dynamic Random Access Memory、例えば、非特許文献2を参照)、抵抗変化素子を接続したPCM (Phase Change Memory、例えば、非特許文献3を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献4を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるMRAM (Magnetoresistive Random Access Memory、例えば、非特許文献5を参照) などの高集積化を行うことができる。また、キャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセル（非特許文献6を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、MOSトランジスタのみで構成可能な、ダイナミック フラッシュ メモリを有する半導体装置に関する。

[0004] 図9に、前述したキャパシタを有しない、1個のMOSトランジスタで構成された、DRAMメモリセルの書込み動作を、図10に、動作上の問題点を、図11に、読出し動作を示す（非特許文献6～10を参照）。

[0005] 図9にDRAMメモリセルの書込み動作を示す。図9（a）は、“1”書込み状態を示している。ここで、メモリセルは、SOI基板101に形成さ

れ、ソース線SLが接続されるソースN⁺層103（以下、ドナー不純物を高濃度で含む半導体領域を「N⁺層」と称する）、ビット線BLが接続されるドレインN⁺層104、ワード線WLが接続されるゲート導電層105、MOSトランジスタ110aのフローティングボディ（Floating Body）102により構成され、キャパシタを有さず、MOSトランジスタ110aが1個でDRAMのメモリセルが構成されている。なお、フローティングボディ102直下には、SOI基板のSiO₂層101が接している。この1個のMOSトランジスタ110aで構成されたメモリセルの“1”書込みを行う際には、MOSトランジスタ110aを線形領域で動作させる。すなわち、ソースN⁺層103から延びる電子のチャネル107には、ピンチオフ点108があり、ビット線が接続しているドレインN⁺層104までには、到達していない。このようにドレインN⁺層104に接続されたビット線BLとゲート導電層105に接続されたワード線WLを共に高電圧にして、ゲート電圧をドレイン電圧の約1/2程度で、MOSトランジスタ110aを動作させると、ドレインN⁺層104近傍のピンチオフ点108において、電界強度が最大となる。この結果、ソースN⁺層103からドレインN⁺層104に向かって流れる加速された電子は、Siの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される（インパクトイオン化現象）。発生した大部分の電子（図示せず）は、ドレインN⁺層104に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜109を飛び越えて、ゲート導電層105に到達する。そして、同時に発生した正孔106は、フローティングボディ102を充電する。この場合、発生した正孔は、フローティングボディ102がP型Siのため、多数キャリアの増分として、寄与する。フローティングボディ102は、生成された正孔106で満たされ、フローティングボディ102の電圧がソースN⁺層103よりもV_b以上に高くなると、さらに生成された正孔は、ソースN⁺層103に放電する。ここで、V_bは、ソースN⁺層103とP層のフローティングボディ102との間のPN接合のビルトイン電圧であり、約0.7Vである。図9（b）には、生成された正孔1

06でフローティングボディ102が飽和充電された様子を示している。

[0006] 次に、図9(c)を用いて、メモリセル110の“0”書込み動作を説明する。共通な選択ワード線WLに対して、ランダムに“1”書込みのメモリセル110aと“0”書込みのメモリセル110bが存在する。図9(c)では、“1”書込み状態から“0”書込み状態に書き換わる様子を示している。“0”書込み時には、ビット線BLの電圧を負バイアスにして、ドレインN⁺層104とP層のフローティングボディ102との間のPN接合を順バイアスにする。この結果、フローティングボディ102に予め前サイクルで生成された正孔106は、ビット線BLに接続されたドレインN⁺層104に流れる。書込み動作が終了すると、生成された正孔106で満たされたメモリセル110a(図9(b))と、生成された正孔が吐き出されたメモリセル110b(図9(c))の2つのメモリセルの状態が得られる。正孔106で満たされたメモリセル110aのフローティングボディ102の電位は、生成された正孔がないフローティングボディ102よりも高くなる。したがって、メモリセル110aのしきい値電圧は、メモリセル110bのしきい値電圧よりも低くなる。その様子を図9(d)に示す。

[0007] 次に、この1個のMOSトランジスタで構成されたメモリセルの動作上の問題点を、図10を用いて説明する。図10(a)で示したように、フローティングボディ102の容量 C_{FB} は、ワード線の接続されたゲートとフローティングボディ102との間の容量 C_{WL} と、ソース線の接続されたソースN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{SL} と、ビット線の接続されたドレインN⁺層103とフローティングボディ102との間のPN接合の接合容量 C_{BL} との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (1)$$

で表される。したがって、書込み時にワード線電圧 V_{WL} が振幅すると、メモリセルの記憶ノード(接点)となるフローティングボディ102の電圧も、その影響を受ける。その様子を図10(b)に示している。書込み時にワード線電圧 V_{WL} が0Vから V_{ProgWL} に上昇すると、フローティングボディ102の電

圧 V_{FB} は、ワード線電圧が変化する前の初期状態の電圧 V_{FB1} から V_{FB2} へ、ワード線との容量結合によって上昇する。その電圧変化量 ΔV_{FB} は、

$$\begin{aligned}\Delta V_{FB} &= V_{FB2} - V_{FB1} \\ &= C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \times V_{ProgWL} \quad (2)\end{aligned}$$

で表される。

ここで、

$$\beta = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad (3)$$

で表され、 β をカップリング率と呼ぶ。このようなメモリセルにおいて、 C_{WL} の寄与率が大きく、例えば、 $C_{WL} : C_{BL} : C_{SL} = 8 : 1 : 1$ である。この場合、 $\beta = 0.8$ となる。ワード線が、例えば、書込み時の 5 V から、書込み終了後に 0 V になると、ワード線とフローティングボディ 102 との容量結合によって、フローティングボディ 102 が、 $5\text{ V} \times \beta = 4\text{ V}$ も振幅ノイズを受ける。このため、書込み時のフローティングボディ “1” 電位と “0” 電位との電位差マージンを十分に取れない問題点があった。

[0008] 図 11 に読出し動作を示す。図 11 (a) は、“1” 書込み状態を、図 11 (b) は、“0” 書込み状態を示している。しかし、実際には、“1” 書込みでフローティングボディ 102 に V_b が書き込まれていても、書込み終了でワード線が 0 V に戻ると、フローティングボディ 102 は、負バイアスに引き下げられる。“0” が書かれる際には、さらに深く負バイアスになってしまうため、書込みの際に “1” と “0” との電位差マージンを十分に大きく出来ない。この動作マージンが小さいことが、本 DRAM メモリセルの大きい問題であった。そして、この DRAM メモリセルを駆動するための周辺回路を同一基板上に、如何に形成するかが課題である。

先行技術文献

特許文献

[0009] 特許文献1：特開平 2－188966 号公報

特許文献2：特開平 3－171768 号公報

特許文献3：特許第 3957774 号公報

非特許文献

- [0010] 非特許文献1: Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)
- 非特許文献2: H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: "4F2 DRAM Cell with Vertical Pillar Transistor(VPT)," 2011 Proceeding of the European Solid-State Device Research Conference, (2011)
- 非特許文献3: H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: "Phase Change Memory," Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227 (2010)
- 非特許文献4: T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: "Low Power and high Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V," IEDM (2007)
- 非特許文献5: W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: "Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology," IEEE Transaction on Electron Devices, pp.1-9 (2015)
- 非特許文献6: M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: "Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T1C1T DRAM) Utilizing Electron," IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)
- 非特許文献7: J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: "A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration," Electron Device Letters, Vol. 35, No.2, pp.17

9-181 (2012)

非特許文献8 : T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: "Memory design using a one-transistor gain cell on SOI," IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9 : T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watana be, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K . Inoh, T. Hamamoto, A. Nitayama: "Floating Body RAM Technology and its Scalability to 32nm Node and Beyond," IEEE IEDM (2006).

非特許文献10 : E. Yoshida: "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE IEDM (2006).

非特許文献11 : E. Yoshida, and T. Tanaka: "A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory," IEEE Transactions on Electron Devices, Vol. 53, No. 4, pp. 692-697, Apr. 2006.

非特許文献12 : K.J. Yang, R.N. Gupta, S. Banna, F. Nemati, H.-J. Cho, M. Ershov, M. Tarabbia, D. Hayes, and S.T. Robins, " Optimization of Nanoscale Thyristors on SOI for High-Performance High-Density Memories", 2006 IEEE International SOI Conference Proceedings, pp.129-130 (2006)

発明の概要

発明が解決しようとする課題

[0011] SGTを用いたメモリ装置でキャパシタを無くした、1個のトランジス型のDRAM（ゲインセル）では、ワード線とフローティングのSGTのボディとの容量結合カップリングが大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接SGTボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書

き換えの問題を引き起こし、キャパシタを無くした1トランジス型のDRAM（ゲインセル）の実用化が困難となっていた。そして、上記問題を解決すると共に、高密度のメモリ装置を形成する必要がある。

課題を解決するための手段

[0012] 上記の課題を解決するために、本発明に係る柱状半導体素子を用いたメモリ装置は、

基板上に垂直方向に立ち、且つ平面視において第1の線上に中心点を有し、隣接して配置した第1の半導体柱と、第2の半導体柱と、前記第1の線に平行な第2の線上に中心点を有し、隣接して配置した第3の半導体柱と第4の半導体柱と、

前記第1乃至第4の半導体柱の底部に繋がった第1の不純物領域と、

垂直方向において、前記第1の不純物領域の上部にあり、前記第1乃至第4の半導体柱の下方をそれぞれ囲む第1のゲート絶縁層と、

前記第1のゲート絶縁層を囲み、且つ前記第1の半導体柱と前記第2の半導体柱とを囲んで繋がった第1のゲート導体層と、前記第3の半導体柱と前記第4の半導体柱とを囲んで繋がった第2のゲート導体層と、

前記第1のゲート絶縁層の上であって、前記第1乃至第4の半導体柱の側面を囲む第2のゲート絶縁層と、前記第2のゲート絶縁層を囲み、且つ垂直方向において、上面位置が前記第1乃至第4の半導体柱の頂部下方にあり、且つ前記第1のゲート導体層と、前記第2のゲート導体層と、垂直方向に離れ、且つ前記第1の半導体柱と前記第2の半導体柱とを囲んで繋がった第3のゲート導体層と、

前記第3の半導体柱と前記第4の半導体柱とを囲んで繋がった第4のゲート導体層と、

前記第1乃至第4の半導体柱のそれぞれの頂部に形成された第2の不純物領域と、

前記第1の半導体柱と、前記第3の半導体柱の頂部の前記第2の不純物領域のそれぞれに繋がった第1の配線導体層と、

前記第2の半導体柱と、前記第4の半導体柱の頂部の前記第2の不純物領域のそれぞれに繋がった第2の配線導体層と、を有し、

前記第1及び第2の半導体柱の前記第1のゲート導体層は互いに接触し、前記第2及び第4の半導体柱の前記第1のゲート導体層は互いに接触し、

平面視において、前記第1の半導体柱と、前記第2の半導体柱と、を囲む前記第1のゲート絶縁層の2つの外周線と、前記第1の線との交点の内で向かい合った2点の間の第1の長さが、前記第1のゲート導体層の他と接触していない部分の厚さである第2の長さの2倍より小さく、且つ前記第2の長さの1倍以上であり、

前記第1のゲート導体層と、前記第2のゲート導体層と、前記第3のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1乃至第4の半導体柱のいずれか、または全ての内部に、インパクトイオン化現象により、またはゲート誘起ドレインリーク電流により生成した正孔群を保持するデータ保持動作と、

前記第1のゲート導体層と、前記第2のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1乃至第4の半導体柱のいずれか、または全ての内部から前記正孔群を除去するデータ消去動作とを行う、

ことを特徴とする（第1発明）。

[0013] 上記の第1発明において、平面視において、前記第1の半導体柱と、前記第3の半導体柱と、を囲む前記第1のゲート絶縁層の2つの外周線と、前記第1の線と直交して、且つ前記第1の半導体柱と前記第3の半導体柱との中心点を通る第3の線と、の交点の内で向かい合った2点の間の第3の長さが、前記第2の長さの2倍より大きいか、又は2倍より小さく、且つ前記第2の長さの1倍以上であることを特徴とする（第2発明）。

[0014] 上記の第1発明において、平面視において、前記第2のゲート絶縁層に囲まれた部分の前記第1乃至第4の半導体柱の第1の外周線が、前記第1のゲート絶縁層で囲まれた前記第1乃至第4の半導体柱の第2の外周線より内側

にあり、

平面視において、前記第1の半導体柱と前記第2の半導体柱とを囲んだ前記第3のゲート導体層と、前記第3の半導体柱と前記第4の半導体柱とを囲んだ前記第4のゲート導体層との間の第4の長さが、前記第1の半導体柱と前記第3の半導体柱とを囲んだ前記第1のゲート導体層と前記第2のゲート導体層との間の第5の長さより大きい、

ことを特徴とする（第3発明）。

[0015] 上記の第1発明において、平面視において、前記第1のゲート導体層の外側を覆って単層または複数層の第1の導体層があることを特徴とする（第4発明）。

[0016] 上記の第1発明において、前記第1の不純物領域に繋がる配線はソース線であり、前記第2の不純物領域に繋がる配線はビット線であり、前記第1のゲート導体層に繋がる配線は第1の駆動制御線であり、前記第2のゲート導体層と前記第3のゲート導体層第層に繋がる配線はワード線であり、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行う、

ことを特徴とする（第5発明）。

[0017] 上記の第1発明において、前記第1のゲート導体層と、前記第1乃至第4の半導体柱のそれぞれとの間の第1のゲート容量が、前記第2のゲート導体層と、前記第1乃至第4の半導体柱のそれぞれとの間の第2のゲート容量よりも大きいことを特徴とする（第6発明）。

図面の簡単な説明

[0018] [図1]第1実施形態に係るダイナミック フラッシュメモリ装置の構造図である。

[図2]第1実施形態に係るダイナミック フラッシュメモリ装置の消去動作メカニズムを説明するための図である。

[図3]第1実施形態に係るダイナミック フラッシュメモリ装置の書き込み動作

メカニズムを説明するための図である。

[図4A]第1実施形態に係るダイナミック フラッシュメモリ装置の読出し動作メカニズムを説明するための図である。

[図4B]第1実施形態に係るダイナミック フラッシュメモリ装置の読出し動作メカニズムを説明するための図である。

[図5]第1実施形態に係るダイナミック フラッシュ メモリセルを説明するための図である。

[図6]第2実施形態に係るダイナミック フラッシュ メモリセルを説明するための図である。

[図7]第3実施形態に係るダイナミック フラッシュ メモリセルを説明するための図である。

[図8]第4実施形態に係るダイナミック フラッシュ メモリセルを説明するための図である。

[図9]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図10]従来例のキャパシタを有しない、DRAMメモリセルの動作上の問題点を説明するための図である。

[図11]従来例のキャパシタを有しない、DRAMメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0019] 以下、本発明に係る、半導体素子を用いたメモリ装置（以後、ダイナミック フラッシュ メモリと呼ぶ）の実施形態の構造、及び動作について、図面を参照しながら説明する。

[0020] （第1実施形態）

図1～図5を用いて、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルの構造と動作メカニズムを説明する。図1を用いて、1個のダイナミック フラッシュ メモリセルの構造を説明する。そして、図2を用いてデータ消去メカニズムを、図3を用いてデータ書き込みメカニズムを、図

4を用いてデータ書き込みメカニズムを説明する。図5を用いて、4個のダイナミック フラッシュ メモリセルを、同一基板上に形成した構造を説明する。

[0021] 図1に、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルの構造を示す。基板1（特許請求の範囲の「基板」の一例である）上に、下からP型又はi型（真性型）の導電性を有するシリコン柱2（特許請求の範囲の「第1の半導体柱」の一例である）（以下、シリコン柱を「Si柱」と称する。）と、Si柱2の底部に繋がるN⁺層3a（特許請求の範囲の「第1の不純物層」の一例である）と、Si柱2の頂部に繋がるN⁺層3b（特許請求の範囲の「第2の不純物層」の一例である）とが形成されている。N⁺層3aとN⁺層3bは、一方がソースとなる場合に、他方がドレインとなる。そして、Si柱2のN⁺層3aとN⁺層3bの間がチャンネル領域7となる。このSi柱2の下部を囲む第1のゲート絶縁層4a（特許請求の範囲の「第1のゲート絶縁層」の一例である）と、Si柱2の上部を囲む第2のゲート絶縁層4b（特許請求の範囲の「第2のゲート絶縁層」の一例である）が形成されている。この第1のゲート絶縁層4a、第2のゲート絶縁層4bは、このソース、ドレインとなるN⁺層3a、3bに、それぞれ接するか、または近接している。この第1のゲート絶縁層4aを囲む第1のゲート導体層5a（特許請求の範囲の「第1のゲート導体層」の一例である）と、第2のゲート絶縁層4bを囲む第2のゲート導体層5b（特許請求の範囲の「第2のゲート導体層」の一例である）がそれぞれ形成されている。そして、第1のゲート導体層5a、第2のゲート導体層5bは絶縁層6（特許請求の範囲の「第1の絶縁層」の一例である）により分離されている。そして、チャンネル領域7は、第1のゲート絶縁層4aで囲まれた第1のチャンネル領域7aと、第2のゲート絶縁層4bで囲まれた第2のチャンネル領域7bと、よりなる。これによりソース、ドレインとなるN⁺層3a、3b、チャンネル領域7、第1のゲート絶縁層4a、第2のゲート絶縁層4b、第1のゲート導体層5a、第2のゲート導体層5bからなるダイナミック フラッシュ メモリセル9が形成され

る。そして、 N^+ 層 3 a はソース線 S L（特許請求の範囲の「ソース線」の一例である）に、 N^+ 層 3 b はビット線 B L（特許請求の範囲の「ビット線」の一例である）に、第 1 のゲート導体層 5 a はプレート線 P L（特許請求の範囲の「第 1 の駆動制御線」の一例である）に、第 2 のゲート導体層 5 b はワード線 W L（特許請求の範囲の「ワード線」の一例である）に、それぞれ接続している。メモリ装置では、上述の複数のダイナミック フラッシュ メモリセルが基板 1 上に 2 次元状に配置されている。

[0022] なお、基板 1 は垂直方向に立った S i 柱 2 に繋がり、且つ水平方向の広がった上面を持つ母体材料層である。従って、垂直方向において、 N^+ 層 3 a の内、基板 1 表面より下方にある部分は基板 1 とする。この基板 1 内にある N^+ 層 3 a の部分は、水平方向に広がっていてもよい。また、基板 1 は S O I（Silicon On Insulator）、単層または複数層よりなる S i または他の半導体材料より形成してもよい。また、基板 1 は N 層、または P 層の単層、又は複数層よりなるウエル層であってもよい。

[0023] 図 2 を用いて、消去動作メカニズムを説明する。 N^+ 層 3 a、3 b 間のチャネル領域 7 は、電氣的に基板から分離され、フローティングボディとなっている。図 2（a）に消去動作前に、前のサイクルでインパクトイオン化により生成された正孔群 11 がチャネル領域 7 に蓄えられている状態を示す。そして、図 2（b）に示すように、消去動作時には、ソース線 S L の電圧を、負電圧 V_{ERA} にする。ここで、 V_{ERA} は、例えば、 -3 V である。その結果、チャネル領域 7 の初期電位の値に関係なく、ソース線 S L が接続されているソースとなる N^+ 層 3 a とチャネル領域 7 の P N 接合が順バイアスとなる。その結果、前のサイクルでインパクトイオン化により生成された、チャネル領域 7 に蓄えられていた、正孔群 11 が、ソース部の N^+ 層 3 a に吸い込まれ、チャネル領域 7 の電位 V_{FB} は、 $V_{FB} = V_{ERA} + V_b$ となる。ここで、 V_b は P N 接合のビルトイン電圧であり、約 0.7 V である。したがって、 $V_{ERA} = -3\text{ V}$ の場合、チャネル領域 7 の電位は、 -2.3 V になる。この値が、消去状態のチャネル領域 7 の電位状態となる。このため、フローティングボディのチャネ

ル領域 7 の電位が負の電圧になると、ダイナミック フラッシュ メモリセル 9 の N チャネル MOS トランジスタのしきい値電圧は、基板バイアス効果によって、高くなる。これにより、図 2 (c) に示すように、このワード線 WL が接続された第 2 のゲート導体層 5 b のしきい値電圧は高くなる。このチャネル領域 7 の消去状態は論理記憶データ “0” となる。なお、上記のビット線 BL、ソース線 SL、ワード線 WL、プレート線 PL に印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい。

[0024] 図 3 に、本発明の第 1 実施形態に係るダイナミック フラッシュ メモリセルの書込み動作を示す。図 3 (a) に示すように、ソース線 SL の接続された N⁺層 3 a に例えば 0 V を入力し、ビット線 BL の接続された N⁺層 3 b に例えば 3 V を入力し、プレート線 PL の接続された第 1 のゲート導体層 5 a に、例えば、2 V を入力し、ワード線 WL の接続された第 2 のゲート導体層 5 b に、例えば、5 V を入力する。その結果、図 3 (a) に示したように、プレート線 PL の接続された第 1 のゲート導体層 5 a の内側には、反転層 1 2 a が形成され、第 1 のゲート導体層 5 a を有する第 1 の N チャネル MOS トランジスタは線形領域で動作させる。この結果、プレート線 PL の接続された第 1 のゲート導体層 5 a の内側の反転層 1 2 a には、ピンチオフ点 1 3 が存在する。一方、ワード線 WL の接続された第 2 のゲート導体層 1 2 b を有する第 2 の N チャネル MOS トランジスタは飽和領域で動作させる。この結果、ワード線 WL の接続された第 2 のゲート導体層 5 b の内側には、ピンチオフ点は存在せずに全面に反転層 1 2 b が形成される。このワード線 WL の接続された第 2 のゲート導体層 5 b の内側に全面に形成された反転層 1 2 b は、第 2 のゲート導体層 5 b を有する第 2 の N チャネル MOS トランジスタの実質的なドレインとして働く。この結果、直列接続された第 1 のゲート導体層 5 a を有する第 1 の N チャネル MOS トランジスタと、第 2 のゲート導体層 5 b を有する第 2 の N チャネル MOS トランジスタとの間のチャネル領域 7 の境界領域（第 1 の境界領域）で電界は最大となり、この領域でインパ

クトイオン化現象が生じる。この領域は、ワード線WLの接続された第2のゲート導体層5bを有する第2のNチャネルMOSトランジスタから見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線SLの接続されたN⁺層3aからビット線の接続されたN⁺層3bに向かって電子が流れる。加速された電子が格子Si原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第1のゲート導体層5aと第2のゲート導体層5bに流れるが、大半はビット線BLの接続されたN⁺層3bに流れる。また、“1”書込みにおいて、ゲート誘起ドレインリーク（GIDL：Gate Induced Drain Leakage）電流を用いて電子・正孔対を発生させ（非特許文献11を参照）、生成された正孔群でフローティングボディFB内を満たしてもよい。なお、インパクトイオン化現象による電子・正孔対の生成は、N⁺層3aとチャネル領域7の境界、またはN⁺層3bとチャネル領域7との境界でも行うことができる。

[0025] そして、図3（b）に示すように、生成された正孔群11は、チャネル領域7の多数キャリアであり、チャネル領域7を正バイアスに充電する。ソース線SLの接続されたN⁺層3aは、0Vであるため、チャネル領域7はソース線SLの接続されたN⁺層3aとチャネル領域7との間のPN接合のビルトイン電圧V_b（約0.7V）まで充電される。チャネル領域7が正バイアスに充電されると、第1のNチャネルMOSトランジスタと第2のNチャネルMOSトランジスタのしきい値電圧は、基板バイアス効果によって、低くなる。これにより、図3（c）で示すように、ワード線WLの接続された第2のチャネル領域7bのNチャネルMOSトランジスタのしきい値電圧は、低くなる。このチャネル領域7の書込み状態を論理記憶データ“1”に割り当てる。

[0026] なお、書込み動作時に、第1の境界領域に替えて、第1の不純物層と第1のチャネル半導体層との第2の境界領域、または、第2の不純物層と第2のチャネル半導体層との第3の境界領域で、インパクトイオン化現象、または

GIDL電流で、電子・正孔対を発生させ、発生した正孔群11でチャンネル領域7を充電しても良い。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の動作条件であってもよい。

[0027] 図4A、図4Bを用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作と、これに関係するメモリセル構造を説明する。図4A(a)～図4A(c)を用いて、ダイナミックフラッシュメモリセルの読出し動作を説明する。図4A(a)に示すように、チャンネル領域7がビルトイン電圧 V_b (約0.7V)まで充電されると、NチャンネルMOSトランジスタのしきい値電圧が基板バイアス効果によって、低下する。この状態を論理記憶データ“1”に割り当てる。図4A(b)に示すように、書き込みを行う前に選択するメモリブロックは、予め消去状態“0”にある場合は、チャンネル領域7がフローティング電圧 V_{FB} は $V_{ERA} + V_b$ となっている。書き込み動作によってランダムに書き込み状態“1”が記憶される。この結果、ワード線WLに対して、論理“0”と“1”の論理記憶データが作成される。図4A(c)に示すように、このワード線WLに対する2つのしきい値電圧の高低差を利用して、センスアンプで読出しが行われる。

[0028] 図4B(a)～図4B(d)を用いて、本発明の第1実施形態に係るダイナミックフラッシュメモリセルの読出し動作時の、2つの第1のゲート導体層5aと第2のゲート導体層5bのゲート容量の大小関係と、これに関係する動作を説明する。ワード線WLの接続する第2のゲート導体層5bのゲート容量は、プレート線PLの接続する第1のゲート導体層5aのゲート容量よりも小さく設計することが望ましい。図4B(a)に示すように、プレート線PLの接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第2のゲート導体層5bの垂直方向の長さより長くして、ワード線WLの接続する第2のゲート導体層5bのゲート容量を、プレート線PLの接続する第1のゲート導体層5aのゲート容量よりも小さくする。図4(b)に図4(a)のダイナミックフラッシュメモリの1セルの等価

回路を示す。そして、図4（c）にダイナミック フラッシュ メモリの結合容量関係を示す。ここで、 C_{WL} は第2のゲート導体層5bの容量であり、 C_{PL} は第1のゲート導体層5aの容量であり、 C_{BL} はドレインとなる N^+ 層3bと第2のチャネル領域7bとの間のPN接合の容量であり、 C_{SL} はソースとなる N^+ 層3aと第1のチャネル領域7aとの間のPN接合の容量である。図4（d）に示すように、ワード線WLの電圧が振幅すると、その動作がチャネル領域7にノイズとして影響を与える。この時のチャネル領域7の電位変動 ΔV_{FB} は、

$$\Delta V_{FB} = C_{WL} / (C_{PL} + C_{WL} + C_{BL} + C_{SL}) \times V_{ReadWL} \quad (1)$$

となる。ここで、 V_{ReadWL} はワード線WLの読出し時の振幅電位である。式（1）から明らかなようにチャネル領域7の全体の容量 $C_{PL} + C_{WL} + C_{BL} + C_{SL}$ に比べて、 C_{WL} の寄与率を小さくすれば、 ΔV_{FB} は小さくなることが分かる。 $C_{BL} + C_{SL}$ はPN接合の容量であり、大きくするためには、例えば、Si柱2の直径を大きくする。しかしメモリセルの微細化に対しては望ましくない。これに対して、プレート線PLの接続する第1のゲート導体層5aの垂直方向の長さを、ワード線WLの接続する第1のゲート導体層5bの垂直方向の長さより更に長くすることによって、平面視におけるメモリセルの集積度を落すことなしに、 ΔV_{FB} を更に小さくできる。なお、上記のビット線BL、ソース線SL、ワード線WL、プレート線PLに印加する電圧条件は、読み出し動作を行うための一例であり、読み出し動作ができる他の動作条件であってもよい。

[0029] 図5は、本実施形態のダイナミック フラッシュ メモリセルを4個基板20上に形成したメモリ装置の構造図を示す。図5（a）は、図5（b）のX-X'線に沿った垂直断面図である。図5（b）は図5（a）のA-A'線に沿った水平断面図である。図5（c）は図5（a）のB-B'線に沿った水平断面図である。図5（d）は図5（a）のC-C'線に沿った水平断面図である。なお、実際のメモリ装置では、4個よりも多くのダイナミック フラッシュ メモリセルが基板20上に行列状に配置されている。

[0030] 図5に示すように、基板20上に N^+ 層21（特許請求の範囲の「第1の不

純物層」の一例である）がある。そして、N⁺層21上にSi柱22a（特許請求の範囲の「第1の半導体柱」の一例である）、22b（特許請求の範囲の「第2の半導体柱」の一例である）、22c（特許請求の範囲の「第3の半導体柱」の一例である）、22d（特許請求の範囲の「第4の半導体柱」の一例である）が立っている。そして、Si柱22a～22dの、それぞれの頂部にN⁺層29a、29b、29c（図示せず）、29d（図示せず）（特許請求の範囲の「第2の不純物層」の一例である）がある。そしてSi柱22a～22dの底部を囲み、且つN⁺層21上にSiO₂層24がある。そして、Si柱22a～22dの下方の側面を囲んでHfO₂層25a（特許請求の範囲の「第1のゲート絶縁層」の一例である）がある。そして、Si柱22a、22bの側面のHfO₂層25aを囲み且つX-X'線方向に繋がったTiN層26a（特許請求の範囲の「第1のゲート導体層」の一例である）がある。同じく、Si柱22c、22dの側面のHfO₂層25aを囲み且つX-X'線に平行な方向に繋がり、且つTiN層26aから分離しているTiN層26b（特許請求の範囲の「第2のゲート導体層」の一例である）がある。そして、Si柱22a～22dの上方の側面を囲み、且つHfO₂層25aに繋がったHfO₂層25b（特許請求の範囲の「第2のゲート絶縁層」の一例である）がある。そして、Si柱22a、22bの側面のHfO₂層25bを囲み且つX-X'線方向に繋がったTiN層28a（特許請求の範囲の「第3のゲート導体層」の一例である）がある。同じく、Si柱22c、22dの側面のHfO₂層25bを囲み且つX-X'線に平行な方向に繋がり、且つTiN層28aから分離したTiN層28b（特許請求の範囲の「第4のゲート導体層」の一例である）がある。そして、TiN層26a、26b、28a、28bを囲んでSiO₂層30がある。そして、N⁺層29a～29dを覆ってSiO₂層33がある。そして、N⁺層29a～29d上のSiO₂層33にコンタクトホール31a、31b、31c、31dがある。そして、コンタクトホール31a、31cを介して、N⁺層29a、29cに繋がり、X-X'線と直交した方向に延伸した金属配線層32aと、コンタクトホ

ール31b、31dを介して、N⁺層29b、29dに繋がり、X-X'線と直交した方向に延伸した金属配線層32bがある。

[0031] 図5において、N⁺層21は図1で説明したソース線SLに繋がり、TiN層26a、26bは図1で説明したプレート線PLであるプレート線PL1、PL2に繋がり、TiN層28a、28bは図1で説明したワード線WLであるワード線WL1、WL2に繋がり、金属配線層32a、32bは図1で説明したビット線BLであるBL1、BL2に繋がっている。

[0032] 図5(b)に示すSi柱22a~22dの各々が十分に離れて形成されている場合、TiN層26a、26bは、Si柱22a~22d側面に形成されたHfO₂層25aを囲み、平面視において長さLg2（特許請求の範囲の「第2の長さ」の一例である）で等幅に形成される。TiN層26a、26bの必要な膜厚は、MOS（Metal Oxide Semiconductor）トランジスタ動作上で求められる閾値電圧の設定と、求められる加工マージンの要求から、定められる。図5(b)に示すように、X-X'線と、Si柱22a、22bを囲み、向かい合うHfO₂層25aの外周線と交差する2点の間の距離Lg1（特許請求の範囲の「第1の長さ」の一例である）をLg2の2倍より短く、且つLg2と同じか、より大きくする。これにより、そして、X-X'線と直交するY-Y'線とSi柱22a、22cを囲み、向かい合うHfO₂層25aの外周線と交差する2点の間の距離Lg3（特許請求の範囲の「第3の長さ」の一例である）をLg2の2倍より大きくする。これにより、X-X'線方向にSi柱22a、22bの外周部で繋がったTiN層26aと、Si柱22c、22dの外周部で繋がったTiN層26bと、が互いに離れて形成される。この場合、X-X'線上にあるSi柱22a、22bの外周部のTiN層26aはSi柱22aとSi柱22bに形成した2つのダイナミックフラッシュメモリトランジスタに対して共通のゲート電極層となる。そして、図5(c)に示すワード線WLに繋がるTiN層28aとTiN層28bとの関係を、前述のTiN層26aと、TiN層26bと同じにすることにより、X-X'線方向にSi柱22a、22bの外周部で繋がっ

たTiN層28aと、Si柱22c、22dの外周部で繋がったTiN層28bと、が互いに離れて形成される。なお、TiN層26a、26bと、TiN層28a、28bにおいて、各々のLg1、Lg2、Lg3の関係が維持されていれば、それぞれの長さは異なってもよい。また、平面視において、長さLg2はSi柱22aと、22bと、22cと、22dのゲート導体層が互いに重なっていない領域の、TiN層26a、26bの厚さである。

[0033] なお、TiN層26a、26bは、例えばゲート導体層であるTiN層と保護導体層であるTa_xN層（特許請求の範囲の「第1の導体層」の一例である）の2層より構成させてもよい。この場合、MOSトランジスタの閾値電圧をTiN層のみで設定すると、Lg1はTiN層の厚さまで小さくできる。そして、この場合、Ta_xN層は、平面視において、TiN層側面を覆っているTa_xN層は、RIEエッチング、洗浄プロセスにおいてゲートTiN層を保護する保護膜となる。同様に、TiN層26a、26bは、ゲート導体層となる、単層または複数層よりなる他の導体単層より構成してもよい。また、TiN層26a、26bはゲート導体層としての役割を持つ層と、保護膜としての役割を持つ層より形成してもよい。同様に、TiN層28a、28bも、保護導体層を含めて、単層または複数層よりなる他の導体単層より構成してもよい。

[0034] 本実施形態は、下記の特徴を供する。

（特徴1）

図1～図4に示したように、本発明の第1実施形態に係るダイナミックフラッシュメモリセルのプレート線PLはダイナミックフラッシュメモリセルが書込み、読出し動作をする際に、ワード線WLの電圧が上下に振幅する。この際に、プレート線PLは、ワード線WLとチャネル領域7との間の容量結合比を低減させる役目を担う。この結果、ワード線WLの電圧が上下に振幅する際の、チャネル領域7の電圧変化の影響を著しく抑えることができる。これにより、論理“0”と“1”を示すワード線WLのSGTトランジスタのしきい値電圧差を大きくすることが出来る。これは、ダイナミックフ

ラッシュ メモリセルの動作マージンの拡大に繋がる。

[0035] (特徴 2)

図 5 で説明したように、 $X-X'$ 線上にある TiN 層 26 a の領域は、 Si 柱 22 a と Si 柱 22 b に形成した 2 つのダイナミック フラッシュ メモリセルのトランジスタの共通のゲート導体層とすることができる。これにより、 $X-X'$ 線上の TiN 層 26 a の厚さ $Lg1$ を $Lg2$ まで小さくすることができる。これは、ダイナミック フラッシュ メモリセルの $X-X'$ 線方向の寸法を小さくできることを示している。このことは、プレート線 $PL2$ に繋がる TiN 層 26 b、ワード線 $WL1$ 、 $WL2$ に繋がる TiN 層 28 a、28 b に対しても同様である。これにより、ダイナミック フラッシュ メモリの高集積化が図られる。また、同じセル長さであっても、 Si 柱 22 a ~ 22 d の直径を大きく出来るので、大きいフローティングボディ体積が確保でき、多くの正孔群を溜めることができる。これにより、動作マージンの拡大が図られる。

(特徴 3)

図 5 で説明したように、 $X-X'$ 線と直交する $Y-Y'$ 線と Si 柱 22 a、22 c を囲み、向かい合う HfO_2 層 25 a の外周線で交差する 2 点間距離 $Lg3$ を $Lg1$ の 2 倍より大きくした。これにより、 $X-X'$ 線方向に Si 柱 22 a、22 b の外周部で繋がった TiN 層 26 a と、 Si 柱 22 c、22 d の外周部で繋がった TiN 層 26 b と、が互いに離れて形成され、電氣的に分離したプレート線 $PL1$ 、 $PL2$ が形成される。これにより、プレート線 $PL1$ 、 $PL2$ を独立に駆動する動作モードをダイナミック フラッシュ メモリに適用することができる。同様にして、互いに独立したワード線 $WL1$ 、 $WL2$ に接続した、 TiN 層 28 a、28 b を離して形成することができる。

[0036] (第 2 実施形態)

図 6 は、第 2 実施形態の 4 個のダイナミック フラッシュ メモリセルを基板 20 上に形成したメモリ装置の構造図を示す。図 6 において、既述の実施

形態と同一又は類似の構成部分には同一の符号を付してある。図6 (a) は、図6 (b) のX-X' 線に沿った垂直断面図である。図6 (b) は図6 (a) のA-A' 線に沿った水平断面図である。図6 (c) は図6 (a) のB-B' 線に沿った水平断面図である。図6 (d) は図6 (a) のC-C' 線に沿った水平断面図である。なお、実際のメモリ装置では、4個よりも多くのダイナミック フラッシュ メモリセルが行列状に配置されている。

[0037] 図6に示すように、基板20上にN⁺層21がある。そして、N⁺層21上に第1のSi柱22aa、22ba、22ca、22daが立っている。そして、第1のSi柱22aa、22ba、22ca、22da上に、第2のSi柱22ab、22bb、22cb、22dbが立っている。平面視において、第2のSi柱22ab～22dbの外周線は、第1のSi柱22aa～22daの外周線より内側にある。第1のSi柱22aa～22daを囲むSiO₂層24、HfO₂層25a、TiN層26a、26bは、図5の対応する部分と同様に構成されている。第1のSi柱22aa、22baの側面のHfO₂層25aを囲み、且つX-X' 線方向で繋がったTiN層26aがある。同じく、第1のSi柱22ca、22daの側面のHfO₂層25aを囲み且つX-X' 線に平行な方向に繋がり、且つTiN層26aから分離したTiN層26bがある。そして、第2のSi柱22ab～22dbの、それぞれの頂部にN⁺層35a、35b、35c（図示せず）、35d（図示せず）がある。

[0038] そして、第1のSi柱22ab～22dbの側面を囲み、且つHfO₂層25aに繋がったHfO₂層25cがある。そして、第2のSi柱22ab、22bbの側面のHfO₂層25cを囲み且つX-X' 線方向に繋がったTiN層34aがある。同じく、第2のSi柱22cb、22dbの側面のHfO₂層25cを囲み且つX-X' 線に平行な方向に繋がり、且つTiN層34aと分離したTiN層34bがある。Y-Y' 線とTiN層26a、26bの外周線とが交わる、互いに向き合う2点の間の長さLG5（特許請求の範囲の「第5の長さ」の一例である）は、TiN層34a、34bの間の長さL

G4（特許請求の範囲の「第4の長さ」の一例である）より小さくなる。そして、TiN層26a、26b、34a、34bを囲んでSiO₂層30がある。そして、N⁺層35a～35dを覆ってSiO₂層33がある。そして、N⁺層35a～35d上のSiO₂層33にコンタクトホール37a、37b、37c、37dがある。そして、コンタクトホール37a、37cを介して、N⁺層35a、35cに繋がり、X-X'線と直交した方向に延伸した金属配線層32aと、コンタクトホール37b、37dを介して、N⁺層35b、35dとに繋がり、X-X'線と直交した方向に延伸した金属配線層32bがある。

[0039] 図6において、N⁺層21は図1で説明したソース線SLに繋がり、TiN層26a、26bは図1で説明したプレート線PLであるプレート線PL1、PL2に繋がり、TiN層34a、34bは図1で説明したワード線WLであるワード線WL1、WL2に繋がり、金属配線層32a、32bは図1で説明したビット線BLであるビット線BL1、BL2に繋がっている。

[0040] 図6(c)に示すように、第2のSi柱22ab、22bb、22cb、22dbの直径が、第1のSi柱22aa、22ba、22ca、22daの直径より小さくなっているため、ワード線WL1、WL2に繋がるTiN層34a、34bの間の距離Lg4は、図5(c)に示したTiN層28a、28bの間の距離(=Lg3-2Lg2)より大きくなる。

[0041] 本実施形態は、下記の特徴を供する。

(特徴1)

本実施形態では、第1のSi柱22aa～22daと、それらを囲むSiO₂層24、HfO₂層25a、TiN層26a、26bによる構造は、図5と同じである。これにより、X-X'線上にあるPL1線に繋がるTiN層26aは、第1のSi柱22aaと第1のSi柱22baに形成した2つのダイナミックフラッシュメモリセルのトランジスタの共通のゲート導体層とすることができる。これにより、X-X'線上のTiN層26aの厚さLg1をLg2まで小さくすることができる。同じく、X-X'線に平行な線上

にあるPL2線に繋がるTiN層26bは、第1のSi柱22caと第1のSi柱22daに形成した2つのダイナミック フラッシュ メモリセルのトランジスタの共通のゲート導体層となり、その厚さはLg2まで小さくすることができる。これにより、ダイナミック フラッシュ メモリセルのX-X'線方向の寸法を小さくでき、ダイナミック フラッシュ メモリの高集積化が図られる。

[0042] (特徴2)

本実施形態では、平面視における第2のSi柱22ab~22dbの外周線を、第1のSi柱22aa~22daの外周線より内側になるように形成した。これにより、ワード線WL1、WL2に繋がるTiN層34a、34bの間の距離Lg4は、Y-Y'線と交わるTiN層28a、28bの外周線の間の距離L5より大きくできる。これにより、ワード線WL1間容量(TiN層34a、34b間容量)を、図5で示したワード線WL1間容量(TiN層28a、28b間容量)より小さくできる。また、TiN層34a、34bの間の距離を大きくできることにより、TiN層34a、34b間に更にワード線WL1、WL2間容量を小さくするための、例えば空孔(エアギャップ)の形成が容易になる。これによりダイナミック フラッシュ メモリの動作マージンの拡大が図られる。

[0043] (第3実施形態)

図7は、第3実施形態の4個のダイナミック フラッシュ メモリセルを基板20上に形成したメモリ装置の構造図を示す。図7において、既述の実施形態と同一又は類似の構成部分には同一の符号を付してある。図7(a)は、図7(b)のX-X'線に沿った垂直断面図である。図7(b)は図7(a)のA-A'線に沿った水平断面図である。図7(c)は図7(a)のB-B'線に沿った水平断面図である。図7(d)は図7(a)のC-C'線に沿った水平断面図である。なお、実際のメモリ装置では、4個よりも多くのダイナミック フラッシュ メモリセルが行列状に配置されている。

[0044] 図7に示すように、基板20上にN⁺層21がある。そして、N⁺層21上に

、図6と同じ位置に立つ第1のSi柱22aa、22abと、図6の第1のSi柱22ca、22daが、Y-Y'線に沿って上方に平行移動した位置に立つ第1のSi柱Si柱22cA、22dAがある。そして、第1のSi柱22aa、22ab、22cA、22dAそれぞれの上に、順に第2のSi柱22ab、22bb、22cB、22dBがある。平面視において、第2のSi柱22ab~22dBの外周線は、第1のSi柱22aa~22dAの外周線より内側にある。第1のSi柱22aa~22dAの底部を囲んでSiO₂層24がある。そして、第1のSi柱22aa~22dAの下部の側面を囲んでHfO₂層25aがある。そして、HfO₂層25aを囲み、且つ第1のSi柱22aa~22dA間で繋がったプレート線PLに繋がるTiN層26Aがある。そして、第2のSi柱22ab~22dBの、それぞれの頂部にN⁺層35a、35b、35c（図示せず）、35d（図示せず）がある。そして、第2のSi柱22ab~22dBの側面を囲み、且つHfO₂層25aに繋がったHfO₂層25cがある。そして、第2のSi柱22ab、22bBの側面のHfO₂層25cを囲み且つX-X'線方向に繋がったTiN層34aがある。同じく、第2のSi柱22cB、22dBの側面のHfO₂層25cを囲み且つX-X'線と並行した線方向に繋がり、且つTiN層34aと分離したTiN層34Bがある。そして、TiN層26A、34a、34Bを囲んでSiO₂層30がある。そして、N⁺層35a~35dを覆ってSiO₂層33がある。そして、N⁺層35a~35d上のSiO₂層33にコンタクトホール37a、37b、37C、37Dがある。そして、コンタクトホール37a、37Cを介して、N⁺層35a、35cに繋がり、X-X'線と直交した方向に延伸した金属配線層32aと、コンタクトホール37b、37Dを介して、N⁺層35b、35dとに繋がり、X-X'線と直交した方向に延伸した金属配線層32bがある。

[0045] 図7において、プレート線PLと繋がるTiN層26Aは、第1のSi柱22aa~22dA間に繋がって形成される。TiN層34a、34bは図1で説明したワード線WLであるワード線WL1、WL2に繋がって、互い

に分離して形成される。そして、金属配線層 3 2 a、3 2 b は図 1 で説明したビット線 B L であるビット線 B L 1、B L 2 に繋がっている。

[0046] 図 7 において、平面視において、厚さ $L_g 2$ は、隣接する第 1 の S i 柱 2 2 a a ~ 2 2 d A のいずれとも接していない部分の T i N 層 2 6 A の厚さである。X-X' 線と、第 1 の S i 柱 2 2 a a、2 2 a b を囲み、向かい合う H f O₂ 層 2 5 a の外周線と交差する 2 点の間の距離 $L_g 1$ が $L_g 2$ の 2 倍より短く、且つ $L_g 2$ と同じか、大きい。同じく、Y-Y' 線と、第 1 の S i 柱 2 2 a a、2 2 c A を囲み、向かい合う H f O₂ 層 2 5 a の外周線で交差する 2 点の間の距離 $L_g 6$ が $L_g 2$ の 2 倍より短く、且つ $L_g 2$ と同じか、大きい。これにより、T i N 層 2 6 A は第 1 の S i 柱 2 2 a a ~ 2 2 d A 間で繋がって形成される。そして、平面視において、第 2 の S i 柱 2 2 a b ~ 2 2 d B の外周線を第 1 の S i 柱 2 2 a a ~ 2 2 d A より内側にするにより、互いに分離したワード線 W L 1、W L 2 に接続する T i N 層 3 4 a、3 4 B が形成される。

[0047] 本実施形態は、下記の特徴を供する。

本実施形態では、図 6 と比べて、X-X' 線方向だけでなく、Y-Y' 線においても、S i 柱 2 2 a a、2 2 c A 間、及び S i 柱 2 2 a b、2 2 d A 間の距離を短くできた。これにより、更にダイナミック フラッシュ メモリセルの高集積化が図られる。

[0048] (第 4 実施形態)

図 8 は、第 4 実施形態の 4 個のダイナミック フラッシュ メモリセルを基板 2 0 上に形成したメモリ装置の構造図を示す。図 8 において、既述の実施形態と同一又は類似の構成部分には同一の符号を付してある。図 8 (a) は、図 8 (b) の X-X' 線に沿った垂直断面図である。図 8 (b) は図 8 (a) の A-A' 線に沿った水平断面図である。図 8 (c) は図 8 (a) の B-B' 線に沿った水平断面図である。図 8 (d) は図 8 (a) の C-C' 線に沿った水平断面図である。なお、実際のメモリ装置では、4 個よりも多くのダイナミック フラッシュ メモリセルが行列状に配置されている。

[0049] 平面視において、図7においては、TiN層26Aの間にSiO₂層30があったのに対して、図8(b)に示すように、SiO₂層30に替えて、例えばタングステン(W)層40が形成される。W層40の上面位置はTiN層26aの上面位置と同じである、そして、TiN層34a、34B間にはSiO₂層30aが形成される。他は、第3実施形態と同じである。

[0050] 本実施形態は、下記の特徴を供する。

本実施形態では、第3実施形態と同じく、X-X'線方向だけでなく、Y-Y'線方向においても、第1のSi柱22aa、22cA間、及び第1のSi柱22ab、22dA間の距離を短くできる。更にTiN層26A間にW層40を設けることにより、ダイナミックフラッシュメモリセルの高集積化が図られると共に、プレート線PLの低抵抗化が図られる。

[0051] (その他の実施形態)

なお、第1実施形態の図1では、Si柱2を形成したが、これ以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。また、図6では第1のSi柱22aa～22adと第2のSi柱22ab～22dbとを同じ半導体材料で形成したが、異なる半導体材料層により形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0052] なお、図5におけるSi柱22a～22dの水平断面形状は、本実施形態で説明したLg1、Lg2、Lg3の関係が維持できるならば、円形状、楕円状、長方形状であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0053] また、図1における、N⁺層3a、3bは、ドナー不純物を含んだSi、または他の半導体材料層より形成されてもよい。また、異なる半導体材料層より形成されてもよい。また、それらの形成方法はエピタキシャル結晶成長法、または、他の方法でN⁺層を形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0054] また、図5では、プレート線PL1、PL2に繋がるゲート導体層として

T i N層26 a、26 bを用いた。これに対して、T i N層26 a、26 bに替えて、単層または複数の導体材料層を組み合わせ用いてもよい。同じく、ワード線WL1、WL2に繋がった、T i N層28 a、28 bを用いた。これに対して、T i N層28 a、28 bに替えて、単層または複数の導体材料層を組み合わせ用いてもよい。また、ゲートT i N層16、19 aの外側を、例えばWなどの配線金属層で繋げてよい。このことは、本発明に係るその他の実施形態においても同様である。

[0055] また、図6では、矩形状の垂直断面を有する第1のS i柱22 a a～22 d a、第2のS i柱22 a b～22 d bを用いて説明したが、これら垂直断面形状は台形状であってもよい。また、第1のS i柱22 a a～22 d a、第2のS i柱22 a b～22 d bの垂直断面のそれぞれが矩形状、台形状に異なってもよい。これらのことは、本発明に係るその他の実施形態においても同様である。

[0056] なお、図5で説明した、H f O₂層25 a、25 bは、ゲート絶縁層として機能するものであれば、単層、又は複数層よりなる他の絶縁層であってもよい。また、H f O₂層25 a、25 bのそれぞれは、材料、厚さなどの物理的値が異なる材料層より形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0057] また、図5における、S i柱22 a～22 dの底部のN⁺層21に接続して、ソース線SL抵抗を下げるために、例えばW層などの配線導体層を形成してもよい。また、このW層を複数のS i柱おきに形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0058] また、図1において、プレート線PLに接続された第1のゲート導体層5 aのゲート容量が、ワード線WLに接続された第2のゲート導体層5 bのゲート容量よりも大きくなるように、第1のゲート導体層5 aのゲート長を、第2のゲート導体層5 bのゲート長よりも長くすることにより、更に第1のゲート導体層5 aのゲート容量を、第2のゲート導体層5 bのゲート容量よりも、大きく出来る。また、その他にも、第1のゲート導体層5 aのゲート

長を、第2のゲート導体層5bのゲート長よりも長くする、または長くしない構造においても、それぞれのゲート絶縁層の膜厚を変えて、第1のゲート絶縁層4aの膜厚を、第2のゲート絶縁層4bの膜厚よりも薄くして、更に第1のゲート導体層5aのゲート容量を、第2のゲート導体層5bのゲート容量よりも、大きく出来る。また、それぞれのゲート絶縁層の材料の誘電率を変えて、第1のゲート絶縁層4aの誘電率を、第2のゲート絶縁層4bの誘電率よりも高くしてもよい。また、ゲート導体層5a、5bの長さ、ゲート絶縁層4a、4bの膜厚、誘電率のいずれかを組み合わせて、第1のゲート導体層5aのゲート容量が、第2のゲート導体層5bのゲート容量よりも、更に大きくしてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0059] また、図1において、N⁺層3a、3bの一方をP⁺層にして読み出し動作を、サイリスタ現象を用いた動作（例えば、非特許文献12を参照）、またはトンネル現象を用いた動作により行ってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0060] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0061] 本発明に係る、半導体素子を有するメモリ装置によれば、高密度で、かつ高性能のダイナミック フラッシュ メモリ素子を有するメモリ装置が得られる。

符号の説明

[0062] 1、20： 基板
2、22a、22b、22c、22d： Si柱

22 a a、22 b a、22 c a、22 d a、22 c A、22 d A : 第1
のSi柱

22 a b、22 b b、22 c b、22 d b : 第2のSi柱

3 a、3 b、21、29 a、29 b、29 c、29 d、35 a、35 b、
35 c、35 d : N⁺層

4 a : 第1のゲート絶縁層

4 b : 第2のゲート絶縁層

5 a : 第1のゲート導体層

5 b : 第2のゲート導体層

6 : 絶縁層

7 : チャネル領域

7 a : 第1のチャネル層

7 b : 第2のチャネル層

SL : ソース線

PL、PL1、PL2 : プレート線

WL、WL1、WL2 : ワード線

BL、BL1、BL2 : ビット線

11 : 正孔群

12 a、12 b : 反転層

25 a、25 b、25 c : HfO₂層

26 a、26 b、26 A、28 a、28 b、34 a、34 b、34 B :

TiN層

24、30、33 : SiO₂層

32 a、32 b : 金属配線層

31 a、31 b、32 c、32 d、37 a、37 b、37 c、37 d :

コンタクトホール

40 : W層

請求の範囲

[請求項1]

基板上に垂直方向に立ち、且つ平面視において第1の線上に中心点を有し、隣接して配置した第1の半導体柱と、第2の半導体柱と、前記第1の線に平行な第2の線上に中心点を有し、隣接して配置した第3の半導体柱と第4の半導体柱と、

前記第1乃至第4の半導体柱の底部に繋がった第1の不純物領域と、

垂直方向において、前記第1の不純物領域の上部にあり、前記第1乃至第4の半導体柱の下方をそれぞれ囲む第1のゲート絶縁層と、

前記第1のゲート絶縁層を囲み、且つ前記第1の半導体柱と前記第2の半導体柱とを囲んで繋がった第1のゲート導体層と、前記第3の半導体柱と前記第4の半導体柱とを囲んで繋がった第2のゲート導体層と、

前記第1のゲート絶縁層の上であって、前記第1乃至第4の半導体柱の側面を囲む第2のゲート絶縁層と、前記第2のゲート絶縁層を囲み、且つ垂直方向において、上面位置が前記第1乃至第4の半導体柱の頂部下方にあり、且つ前記第1のゲート導体層と、前記第2のゲート導体層と、垂直方向に離れ、且つ前記第1の半導体柱と前記第2の半導体柱とを囲んで繋がった第3のゲート導体層と、

前記第3の半導体柱と前記第4の半導体柱とを囲んで繋がった第4のゲート導体層と、

前記第1乃至第4の半導体柱のそれぞれの頂部に形成された第2の不純物領域と、

前記第1の半導体柱と、前記第3の半導体柱の頂部の前記第2の不純物領域のそれぞれに繋がった第1の配線導体層と、

前記第2の半導体柱と、前記第4の半導体柱の頂部の前記第2の不純物領域のそれぞれに繋がった第2の配線導体層と、を有し、

前記第1及び第2の半導体柱の前記第1のゲート導体層は互いに接

触し、前記第2及び第4の半導体柱の前記第1のゲート導体層は互いに接触し、

平面視において、前記第1の半導体柱と、前記第2の半導体柱と、を囲む前記第1のゲート絶縁層の2つの外周線と、前記第1の線との交点の内で向かい合った2点の間の第1の長さが、前記第1のゲート導体層の他と接触していない部分の厚さである第2の長さの2倍より小さく、且つ前記第2の長さの1倍以上であり、

前記第1のゲート導体層と、前記第2のゲート導体層と、前記第3のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1乃至第4の半導体柱のいずれか、または全ての内部に、インパクトイオン化現象により、またはゲート誘起ドレインリーク電流により生成した正孔群を保持するデータ保持動作と、

前記第1のゲート導体層と、前記第2のゲート導体層と、前記第1の不純物領域と、前記第2の不純物領域と、に印加する電圧を制御して、前記第1乃至4の半導体柱のいずれか、または全ての内部から前記正孔群を除去するデータ消去動作とを行う、

ことを特徴とする柱状半導体素子を用いたメモリ装置。

[請求項2]

平面視において、前記第1の半導体柱と、前記第3の半導体柱と、を囲む前記第1のゲート絶縁層の2つの外周線と、前記第1の線と直交して、且つ前記第1の半導体柱と前記第3の半導体柱との中心点を通る第3の線と、の交点の内で向かい合った2点の間の第3の長さが、前記第2の長さの2倍より大きいか、又は2倍より小さく、且つ前記第2の長さの1倍以上である、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置。

[請求項3]

平面視において、前記第2のゲート絶縁層に囲まれた部分の前記第1乃至第4の半導体柱の第1の外周線が、前記第1のゲート絶縁層で

囲まれた前記第1乃至第4の半導体柱の第2の外周線より内側にあり、

平面視において、前記第1の半導体柱と前記第2の半導体柱とを囲んだ前記第3のゲート導体層と、前記第3の半導体柱と前記第4の半導体柱とを囲んだ前記第4のゲート導体層との間の第4の長さが、前記第1の半導体柱と前記第3の半導体柱とを囲んだ前記第1のゲート導体層と前記第2のゲート導体層との間の第5の長さより大きい、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置。

[請求項4] 平面視において、前記第1のゲート導体層の外側を覆って単層または複数層の第1の導体層がある、

ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置。

[請求項5] 前記第1の不純物領域に繋がる配線はソース線であり、前記第2の不純物領域に繋がる配線はビット線であり、前記第1のゲート導体層に繋がる配線は第1の駆動制御線であり、前記第2のゲート導体層と前記第3のゲート導体層第層に繋がる配線はワード線であり、

前記ソース線と、前記ビット線と、前記第1の駆動制御線と、前記ワード線とに印加する電圧により、前記メモリ消去動作と、前記メモリ書き込み動作と、を行う、

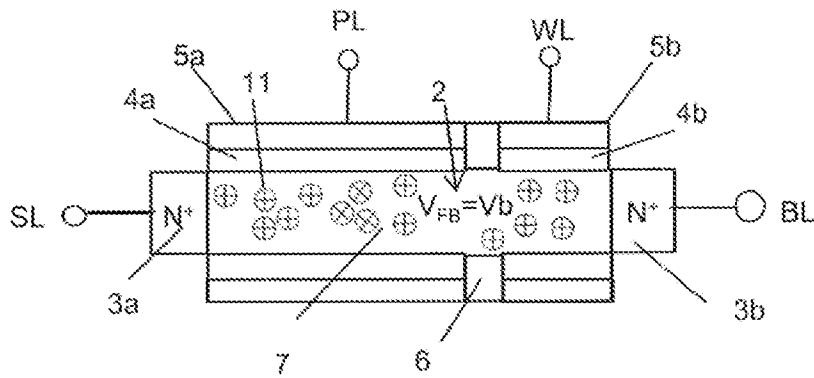
ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置。

[請求項6] 前記第1のゲート導体層と、前記第1乃至第4の半導体柱のそれぞれとの間の第1のゲート容量が、前記第2のゲート導体層と、前記第1乃至第4の半導体柱のそれぞれとの間の第2のゲート容量よりも大きい、

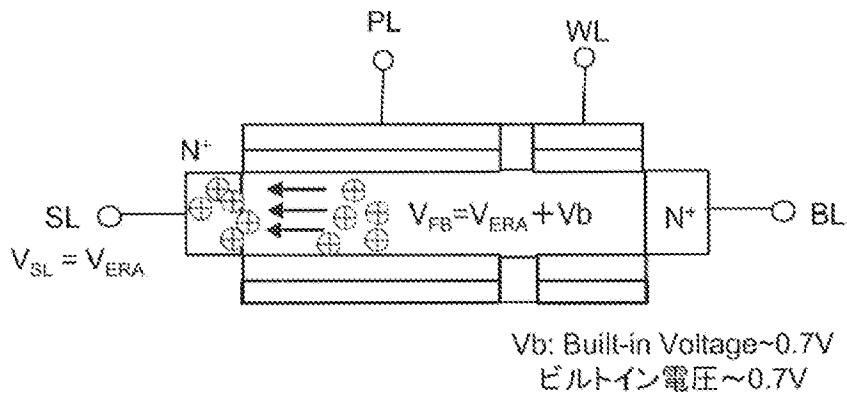
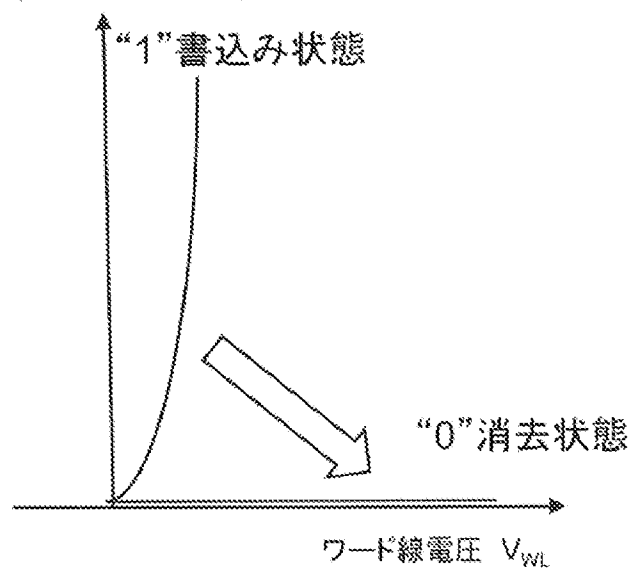
ことを特徴とする請求項1に記載の柱状半導体素子を用いたメモリ装置。

[図2]

(a) “1” 書込み状態

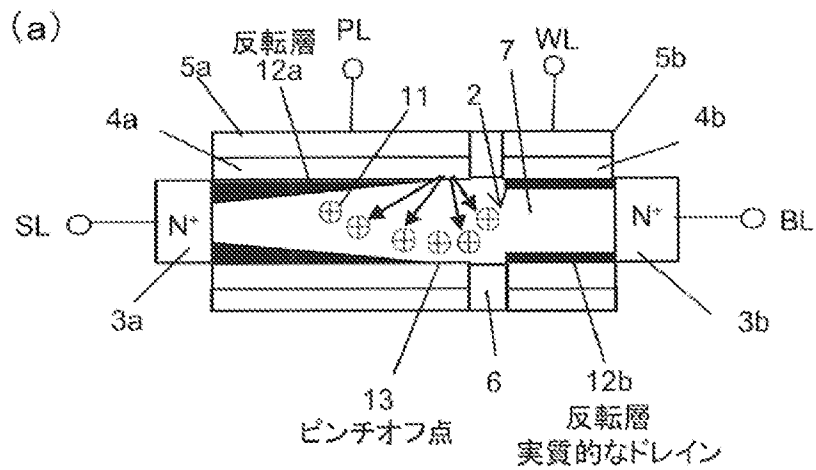


(b) “0” 消去動作

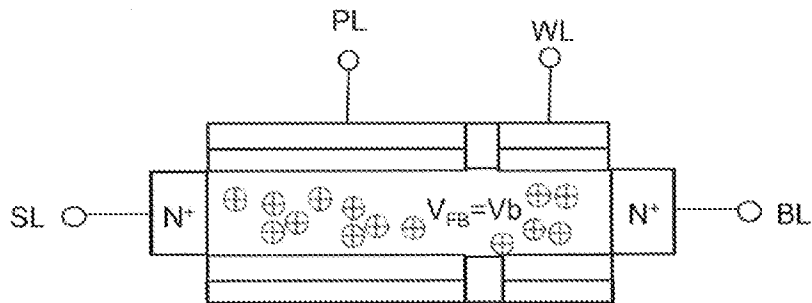
(c) セル電流
I_{cell} (BL to SL Current)

[図3]

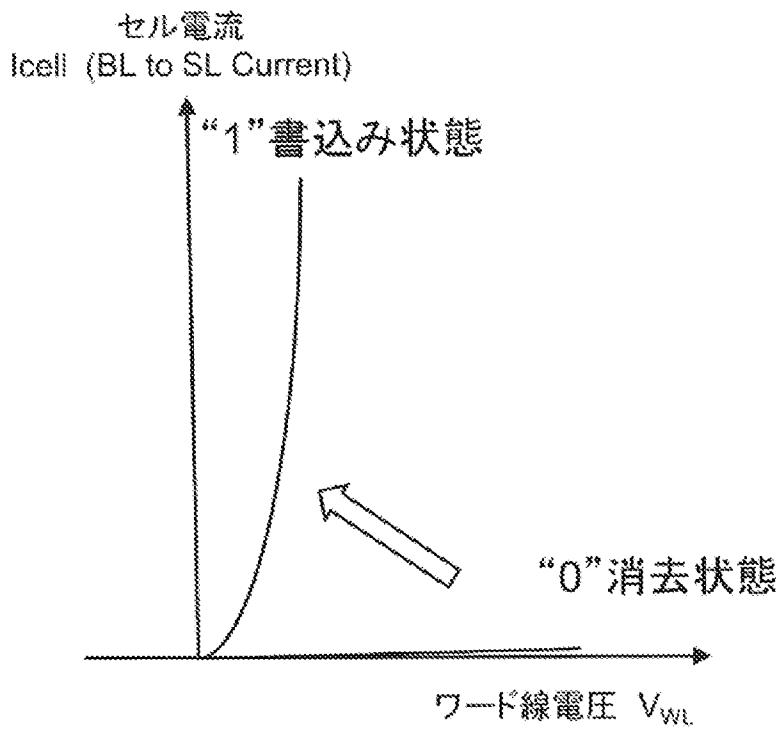
“1” 書込み動作
ソース側インパクトイオン化



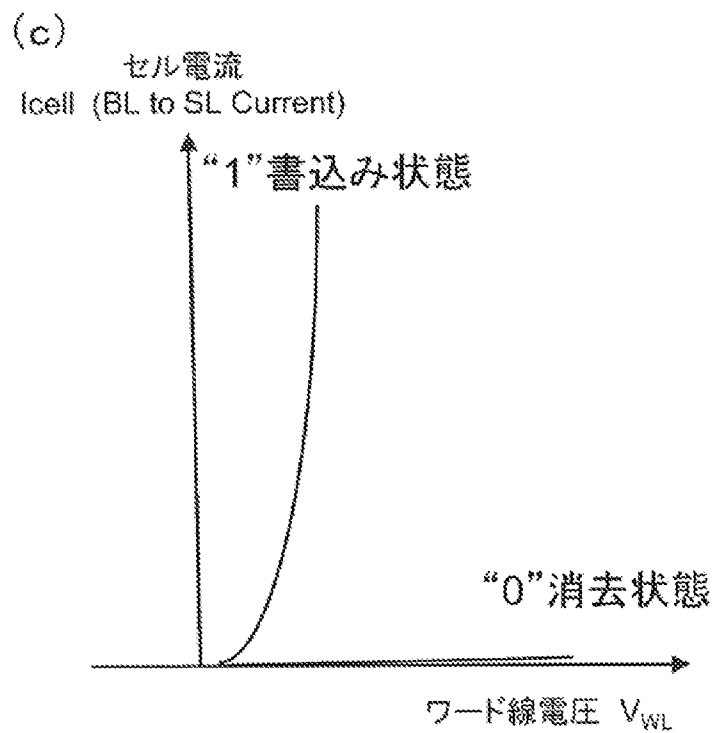
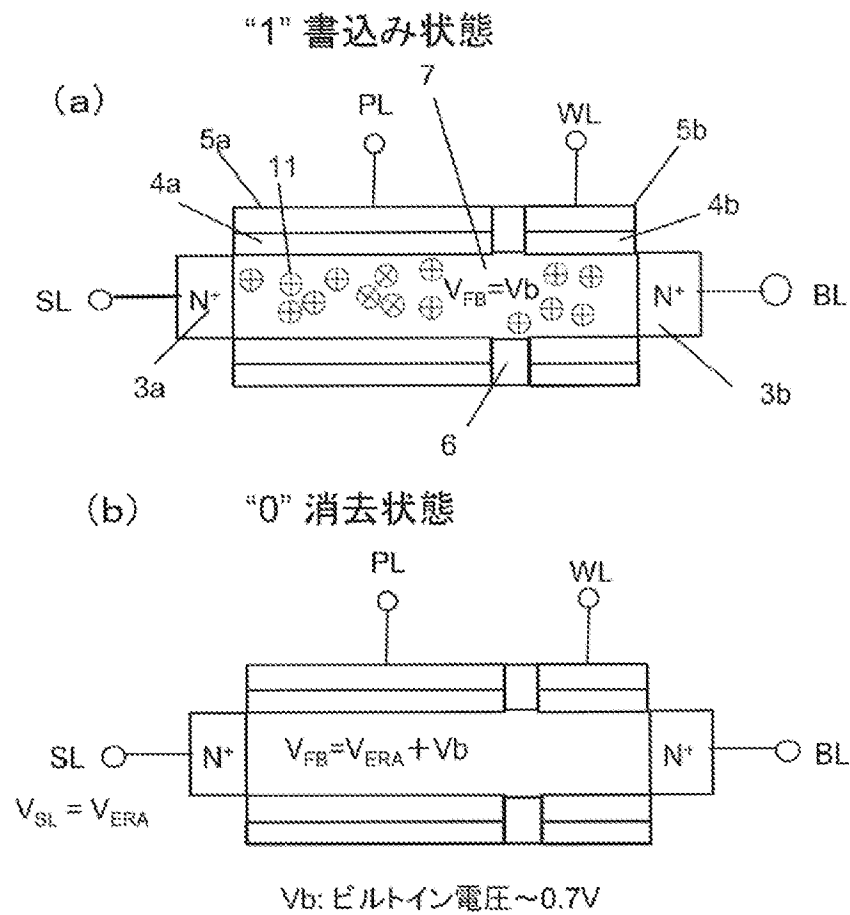
(b) “1” 書込み状態

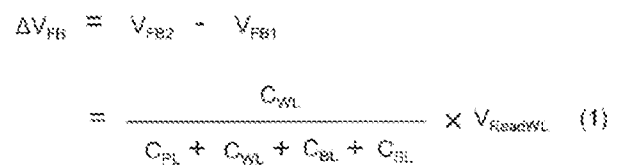


(c)

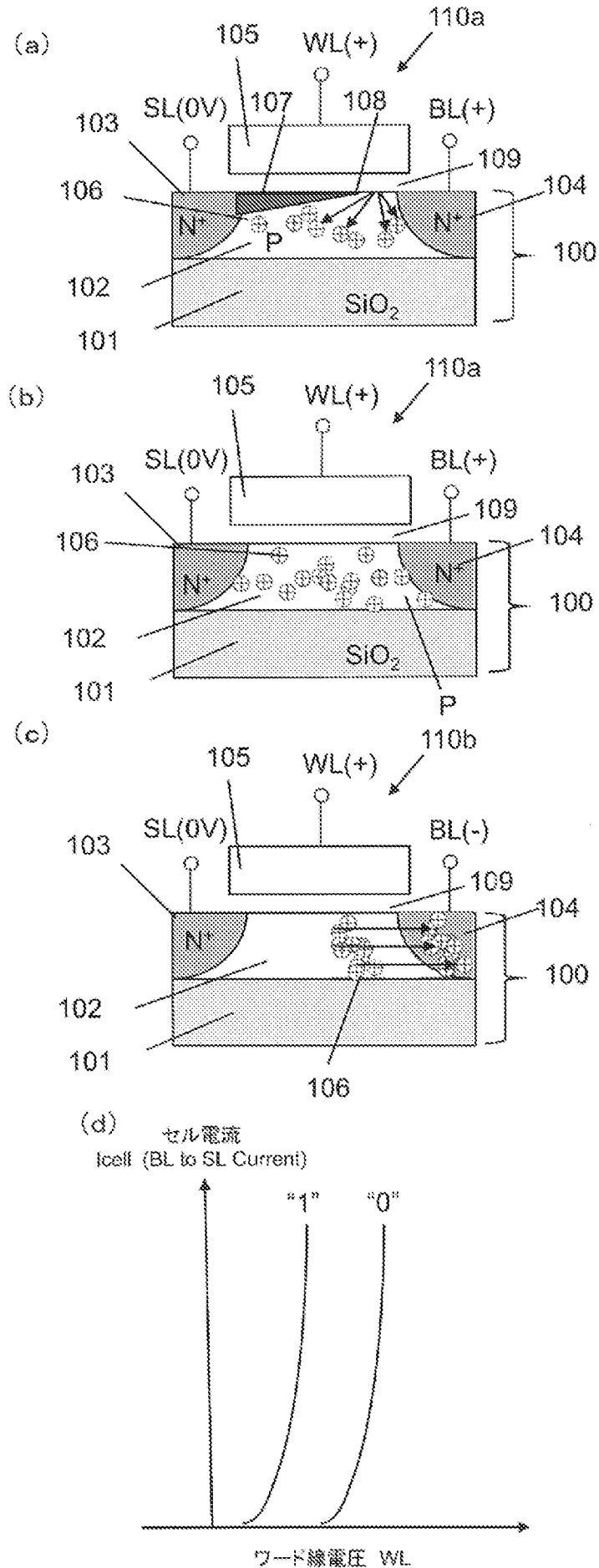


[図4A]



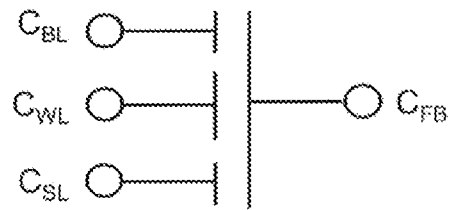


[図9]



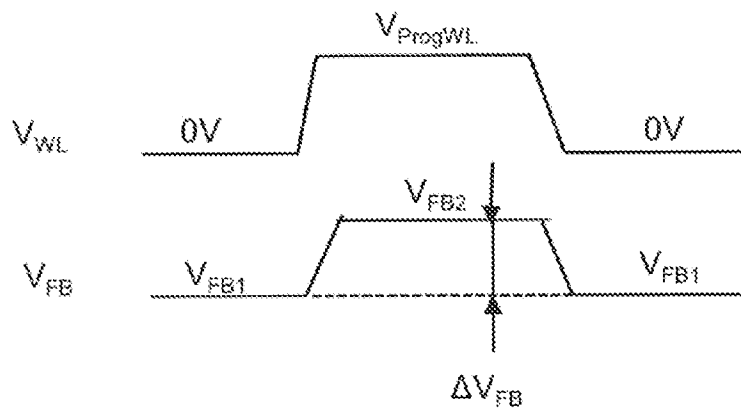
[図10]

(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad \text{式(1)}$$

(b)

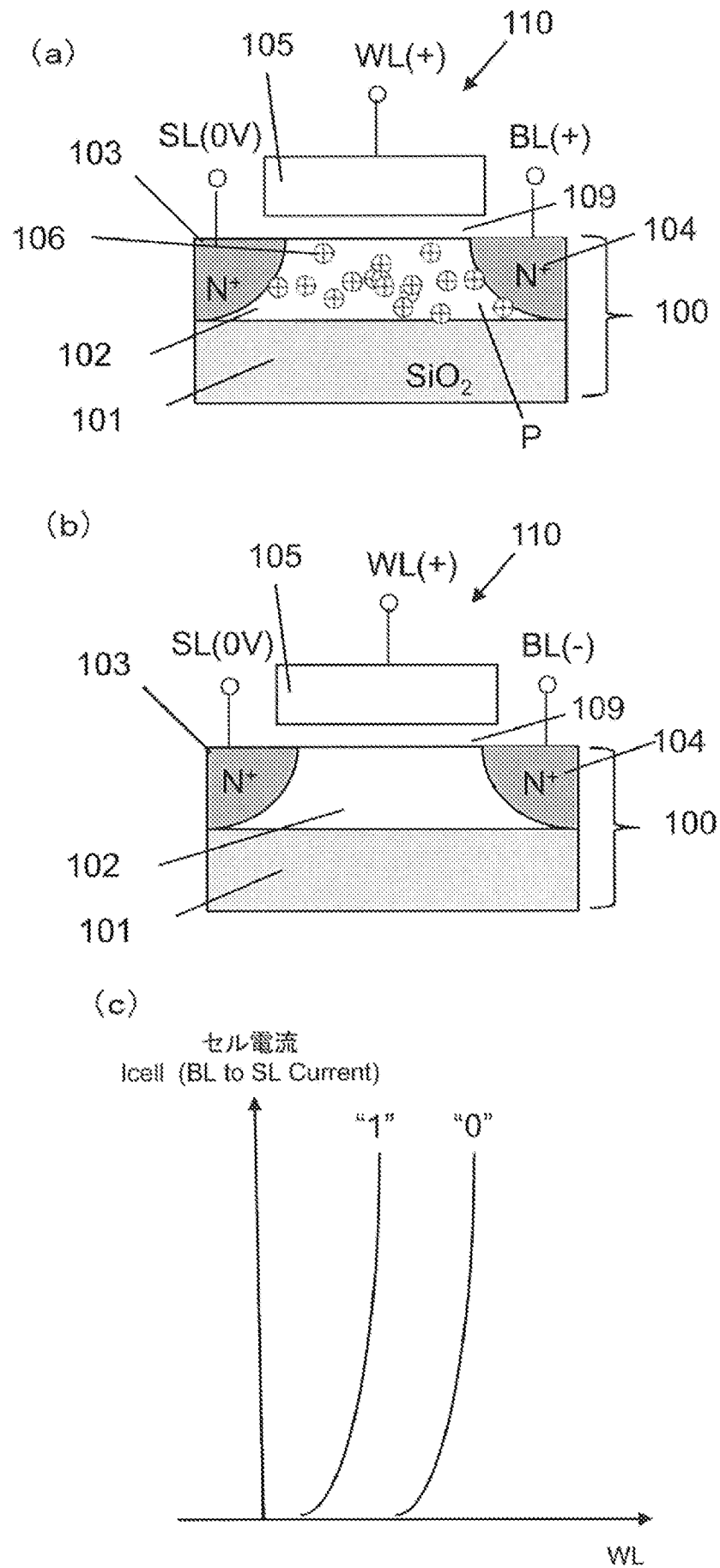


$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$

$$= \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \times V_{ProgWL} \quad \text{式(2)}$$

$$\beta = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad \text{式(3)}$$

[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/017504

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/404(2006.01)i; H01L 27/10(2006.01)i

FI: G11C11/404; H01L27/10 451

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/404; H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2010/0142294 A1 (CARMAN, Eric) 10 June 2010 (2010-06-10) paragraphs [0027]-[0065], fig. 1A-1G	1-5
A	paragraphs [0027]-[0065], fig. 1A-1G	6
Y	JP 2013-21274 A (TOSHIBA CORP) 31 January 2013 (2013-01-31) paragraphs [0005]-[0019], fig. 1	1-5
Y	US 2008/0251825 A1 (KYUNGPOOK NATIONAL UNIVERSITY) 16 October 2008 (2008-10-16) paragraphs [0033]-[0049], fig. 1-2	1-5
Y	JP 2009-177080 A (TOSHIBA CORP) 06 August 2009 (2009-08-06) paragraphs [0036]-[0042], fig. 6-7	1-5
A	JP 2015-233068 A (UNISANTIS ELECTRONICS SINGAPORE PTE LTD.) 24 December 2015 (2015-12-24) paragraphs [0007]-[0031], fig. 1	1-6

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 July 2021 (01.07.2021)

Date of mailing of the international search report
13 July 2021 (13.07.2021)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/017504

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2015/0236086 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 20 August 2015 (2015-08-20) paragraphs [0018]-[0024], fig. 1A-3	1-6

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/017504

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 2010/0142294 A1	10 Jun. 2010	(Family: none)	
JP 2013-21274 A	31 Jan. 2013	US 2013/0015500 A1	
		paragraphs [0026]-	
		[0039], fig. 1A-1D	
US 2008/0251825 A1	16 Oct. 2008	KR 10-0861236 B1	
JP 2009-177080 A	06 Aug. 2009	US 2009/0189222 A1	
		paragraphs [0066]-	
		[0072], fig. 6-7	
JP 2015-233068 A	24 Dec. 2015	(Family: none)	
US 2015/0236086 A1	20 Aug. 2015	CN 106531795 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G11C 11/404(2006.01)i; H01L 27/10(2006.01)i FI: G11C11/404; H01L27/10 451		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G11C11/404; H01L27/10		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2010/0142294 A1 (CARMAN, Eric) 10.06.2010 (2010 - 06 - 10) 段落[0027]-[0065], 図1A-1G	1-5
A	段落[0027]-[0065], 図1A-1G	6
Y	JP 2013-21274 A (株式会社東芝) 31.01.2013 (2013 - 01 - 31) 段落[0005]-[0019], 図1	1-5
Y	US 2008/0251825 A1 (KYUNGPOOK NATIONAL UNIVERSITY) 16.10.2008 (2008 - 10 - 16) 段落[0033]-[0049], 図1-2	1-5
Y	JP 2009-177080 A (株式会社東芝) 06.08.2009 (2009 - 08 - 06) 段落[0036]-[0042], 図6-7	1-5
A	JP 2015-233068 A (ユニサンティス エレクトロニクス シンガポール プライベート リミテッド) 24.12.2015 (2015 - 12 - 24) 段落[0007]-[0031], 図1	1-6
A	US 2015/0236086 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 20.08.2015 (2015 - 08 - 20) 段落[0018]-[0024], 図1A-3	1-6
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 01.07.2021		国際調査報告の発送日 13.07.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 堀田 和義 5N 8840 電話番号 03-3581-1101 内線 3586

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/017504

引用文献			公表日	パテントファミリー文献	公表日
US	2010/0142294	A1	10.06.2010	(ファミリーなし)	
JP	2013-21274	A	31.01.2013	US 2013/0015500 A1	
				段落[0026]-[0039], 図1A-1D	
US	2008/0251825	A1	16.10.2008	KR 10-0861236 B1	
JP	2009-177080	A	06.08.2009	US 2009/0189222 A1	
				段落[0066]-[0072], 図6-7	
JP	2015-233068	A	24.12.2015	(ファミリーなし)	
US	2015/0236086	A1	20.08.2015	CN 106531795 A	