

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7325314号

(P7325314)

(45)発行日 令和5年8月14日(2023.8.14)

(24)登録日 令和5年8月3日(2023.8.3)

(51)国際特許分類

F I

H 0 3 K 17/08 (2006.01)

H 0 3 K 17/08

C

H 0 2 M 1/00 (2007.01)

H 0 2 M 1/00

E

請求項の数 7 (全15頁)

(21)出願番号 特願2019-224421(P2019-224421)
(22)出願日 令和1年12月12日(2019.12.12)
(65)公開番号 特開2021-93676(P2021-93676A)
(43)公開日 令和3年6月17日(2021.6.17)
審査請求日 令和4年3月16日(2022.3.16)

(73)特許権者 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74)代理人 110001195
弁理士法人深見特許事務所
(72)発明者 羽生 洋
東京都千代田区丸の内二丁目7番3号
三菱電機株式会社内
(72)発明者 山本 晃央
東京都千代田区丸の内二丁目7番3号
三菱電機株式会社内
審査官 及川 尚人

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

半導体装置であって、
半導体スイッチング素子の正電極及び負電極の間に接続された検出回路を備え、
前記検出回路は、
前記正電極及び前記負電極の間に第1のノードを介して直列接続された、電流源、及び
、第1の電気抵抗値を有する第1の抵抗素子を含み、
前記電流源は、前記負電極に対する前記正電極が高くなるに従って、飽和した一定値に向
けて出力電流が増加する様に動作し、

前記半導体装置は、

第2のノードに入力された直流電圧と、前記第1のノードの電圧との比較結果を出力す
る電圧比較器を更に備え、

前記直流電圧及び前記第1の電気抵抗値は、前記正電極及び前記負電極の間の電極間電
圧が予め定められた判定電圧よりも高いときに、前記第1のノードの電圧が前記直流電圧
よりも高くなるように定められ、

前記検出回路及び前記電圧比較器は、同じ集積回路上に搭載される、半導体装置。

【請求項2】

前記検出回路は、

前記正電極及び前記第1のノードの間に前記電流源と直列に接続された第2の抵抗素子
を更に含み、

10

20

前記第 2 の抵抗素子は、第 2 の電気抵抗値を有し、

前記第 1 及び第 2 の電気抵抗値並びに前記直流電圧は、前記電極間電圧が前記判定電圧よりも高いときに、前記第 1 のノードの電圧が前記直流電圧よりも高くなるように定められる、請求項 1 記載の半導体装置。

【請求項 3】

前記電流源は、ダイオード接続された電界効果トランジスタを有する、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記電流源は、カレントミラー回路を構成する複数の電界効果トランジスタを有する、請求項 1 又は 2 に記載の半導体装置。

10

【請求項 5】

前記半導体スイッチング素子の制御電極を駆動する駆動回路を更に備え、

前記駆動回路は、前記検出回路及び前記電圧比較器と同一の前記集積回路上に搭載される、請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記半導体スイッチング素子のオンオフを制御するための第 1 の制御信号と、前記電圧比較器の出力信号とを受けて、前記駆動回路に対して第 2 の制御信号を出力する保護回路を更に備え、

前記第 2 の制御信号は、前記第 1 の制御信号が前記半導体スイッチング素子のオフを指示する第 1 のレベルからオンを指示する第 2 のレベルに変化しても、前記電極間電圧が前記判定電圧よりも低下しないときには、前記半導体スイッチング素子のオフを前記駆動回路に指示するように生成される、請求項 5 記載の半導体装置。

20

【請求項 7】

前記保護回路は、前記駆動回路と同一の前記集積回路上に搭載される、請求項 6 記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関する。

【背景技術】

30

【0002】

インバータ等において、2 個の半導体スイッチング素子（以下、単に「スイッチング素子」と称する）が、高電位ノード及び低電位ノードの間に中間電位ノードを介して接続される、所謂、アーム構成が用いられる。以下では、アーム構成において、高電位側に接続されたスイッチング素子をハイサイドのスイッチング素子とも称するとともに、低電位側に接続されたスイッチング素子をローサイドのスイッチング素子とも称する。

【0003】

特開 2019 - 4535 号公報（以下、特許文献 1）には、上記アーム構成において、ハイサイドのスイッチング素子の状態情報の検出回路を有する半導体装置が記載されている。特許文献 1 では、IGBT（Insulated Gate Bipolar Transistor）で構成されたハイサイド及びローサイドのスイッチング素子の駆動回路が搭載された半導体チップ（IC：Integrated Circuit）の外部に設けられた回路素子を含む、検出回路及び信号伝達回路によって、ハイサイドのスイッチング素子の状態情報をモニタする構成が示される。

40

【0004】

特許文献 1 では、検出回路は、ハイサイドのスイッチング素子の状態情報に応じた電圧を出力する。更に、信号伝達回路は、検出回路の出力に応じてオンオフする半導体チップ上に搭載された信号スイッチング素子と、半導体チップの外部で当該信号スイッチング素子に対して直列に接続されるダイオードとを含む。これにより、ローサイド及びハイサイドの間で求められる絶縁をダイオードによって確保した上で、検出回路の出力をモニタすることが可能となる。

50

【先行技術文献】

【特許文献】

【0005】

【文献】特開2019-4535号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1の構成では、ICの外部に接続されたダイオードによって、ハイサイド及びローサイドの間に求められる絶縁が確保されるため、ICの搭載素子と、IC外の素子とによって、スイッチング素子の状態情報がモニタされる。この結果、部品点数の増加、及び、回路規模の増大が懸念される。

10

【0007】

一方で、スイッチング素子では、過電流が生じると不飽和状態が発生して、オン状態であるのに、正電極及び負電極間の電圧が上昇する電圧異常が発生することが知られている。このため、スイッチング素子の継続的な過電流状態を回避するために、上記電圧異常の検出が有効であるが、この際には、特許文献1の様な回路構成の複雑化を避けて、簡易な回路構成による異常検出機能の実現が望まれる。

【0008】

本発明はこのような問題点を解決するためになされたものであって、本発明の目的は、絶縁を確保した上で、スイッチング素子のオン時における正電極及び負電極間の電圧異常検出が可能な半導体装置の簡易な構成を提供することである。

20

【課題を解決するための手段】

【0009】

本発明のある局面では、半導体装置であって、半導体スイッチング素子の正電極及び負電極の間に接続された検出回路と、電圧比較器とを備える。前記検出回路は、電流源、及び、第1の電気抵抗値を有する第1の抵抗素子を含む。電流源及び第1の抵抗素子は、正電極及び前記負電極の間に、第1のノードを介して直列接続される。電圧比較器は、第2のノードに入力された直流電圧と、第1のノードの電圧との比較結果を出力する。直流電圧及び前記第1の電気抵抗値は、前記正電極及び前記負電極の間の電極間電圧が予め定められた判定電圧よりも高いときに、前記第1のノードの電圧が前記直流電圧よりも高くなるように定められる。検出回路及び前記電圧比較器は、同じ集積回路上に搭載される。

30

【発明の効果】

【0010】

本発明によれば、電流源及び第1の抵抗素子によって検出回路を構成することにより、検出回路及び電圧比較器を同じ集積回路上に搭載できるので、検出回路内の電流源によって絶縁を確保した上で、半導体スイッチング素子のオン時における正電極及び負電極間の電圧異常を簡易な回路構成で検出可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0011】

【図1】実施の形態1に係る半導体装置の構成を説明する第1の回路図である。

40

【図2】実施の形態1に係る半導体装置の構成を説明する第2の回路図である。

【図3】図1に示された検出回路の電圧電流特性を示す概念図である。

【図4】実施の形態1に係る半導体装置の動作例を説明する第1の波形図である。

【図5】実施の形態1に係る半導体装置の動作例を説明する第2の波形図である。

【図6】実施の形態2に係る半導体装置の構成を説明する第1の回路図である。

【図7】実施の形態2に係る半導体装置の構成を説明する第2の回路図である。

【図8】実施の形態3に係る半導体装置の構成を説明する回路図である。

【図9】図8に示されたカレントミラー回路の構成例を説明する回路図である。

【図10】実施の形態4に係る半導体装置が備える保護回路の構成例を説明する回路図である。

50

【図 1 1】実施の形態 4 に係る半導体装置の動作例を説明する第 1 の波形図である。

【図 1 2】実施の形態 4 に係る半導体装置の動作例を説明する第 2 の波形図である。

【発明を実施するための形態】

【0012】

以下に、本発明の実施の形態について、図面を参照して詳細に説明する。なお、以下では、図中の同一又は相当部分には同一符号を付して、その説明は原則的に繰返さないものとする。

【0013】

実施の形態 1 .

図 1 及び図 2 は、実施の形態 1 に係る半導体装置の構成を説明する回路図である。

10

【0014】

図 1 を参照して、半導体装置 100 A は、スイッチング素子 10 a の駆動 IC の機能を有する。半導体装置 100 A によってオンオフされるスイッチング素子 10 a は、代表的には IGBT で構成されて、中間電位ノード 23 と、低電位 GND が供給される低電位ノード 22 との間に接続される。即ち、スイッチング素子 10 a は、ローサイドのスイッチング素子に相当する。

【0015】

図 2 を参照して、半導体装置 100 A は、スイッチング素子 10 b の駆動 IC の機能を有する。半導体装置 100 A によってオンオフされるスイッチング素子 10 b は、代表的には IGBT で構成されて、高電位 Vcc が供給される高電位ノード 21 と、図 1 と共通の中間電位ノード 23 との間に接続される。即ち、スイッチング素子 10 b は、ハイサイドのスイッチング素子に相当する。

20

【0016】

図 1 及び図 2 から理解されるように、ローサイドのスイッチング素子 10 a に対応して設けられる半導体装置 100 A (図 1) と、ハイサイドのスイッチング素子 10 b に対応して設けられる半導体装置 100 A (図 2) との構成は同様であるので、まず、ローサイドの半導体装置 100 A の構成について詳細に説明する。

【0017】

再び図 1 を参照して、半導体装置 100 A は、スイッチング素子 10 a の駆動回路 150 と、スイッチング素子 10 a のコレクタ - エミッタ間電圧 (Vce) の検出回路 110 と、電圧比較器 130 とを備える。Vce は、スイッチング素子の正電極及び負電極間の電圧に対応する。

30

【0018】

駆動回路 150 は、スイッチング素子 10 a の制御信号 SIN を受けて、ゲート信号 SOUT をスイッチング素子 10 a のゲート (制御電極) に出力する。例えば、2 値信号である制御信号 SIN のハイレベル (以下、「H レベル」と表記する) 期間には、ゲート信号 SOUT を H レベルに設定することにより、スイッチング素子 10 a がオンされる。ゲート信号 SOUT の H レベル電圧は、スイッチング素子 10 a の負電極 (エミッタ) に対して、スイッチング素子 10 a を構成する IGBT の閾値電圧よりも高くなるように設定される。

40

【0019】

一方で、制御信号 SIN のローレベル (以下、「L レベル」と表記する) 期間には、ゲート信号 SOUT を L レベルに設定することにより、スイッチング素子 10 a がオフされる。例えば、ゲート信号 SOUT の L レベル電圧は、スイッチング素子 10 a に負電極 (エミッタ)、即ち、低電位 GND と同等に設定される。

【0020】

検出回路 110 は、直列接続された、電流源 120 及び抵抗素子 121 を有する。抵抗素子 121 は、可変抵抗素子で構成することが好ましい。例えば、デジタルトリミングによって電気抵抗値 R1 が調整できるように、抵抗素子 121 を構成することができる。

【0021】

50

電流源 120 及び抵抗素子 121 は、中間電位ノード 23 及び低電位ノード 22 の間、即ち、スイッチング素子 10a の正電極（コレクタ）及び負電極（エミッタ）の間に、ノード N1 を介して直列接続される。

【0022】

電圧比較器 130 は、+ 側の入力端子の電圧 $V+$ と、- 側の入力端子の電圧 $V-$ との比較結果に応じて、検出信号 Sab を出力する。検出信号 Sab は、 $V+ > V-$ のとき H レベルに設定される一方で、 $V+ < V-$ のとき L レベルに設定される。

【0023】

電圧比較器 130 の + 側の入力端子は、検出回路 110 のノード N1 と接続される。即ち、電圧 $V+$ は、ノード N1 の電圧に相当する。一方で、電圧比較器 130 の - 側の入力端子と、低電位ノード 22（スイッチング素子 10a のエミッタ）との間には、直流電圧 Vt を出力する電圧源 135 が電氣的に接続される。電圧源 135 は、直流電圧 Vt を可変に調整できるように構成されることが好ましい。ノード N1 は「第 1 のノード」の一実施例に対応し、電圧比較器 130 の - 側の出力端子は「第 2 のノード」の一実施例に対応する。又、スイッチング素子の Vce は「電極間電圧」に対応し、検出回路 110 の抵抗素子 121 は「第 1 の抵抗素子」に対応する。

【0024】

電流源 120 は、例えば、半導体装置 100A を構成する IC 上に形成された高耐圧を有するトランジスタをダイオード接続することによって構成することができる。図 1 の構成例では、電流源 120 は、中間電位ノード 23（スイッチング素子 10a のコレクタ）とノード N1 との間に接続される。抵抗素子 121 は、ノード N1 及び低電位ノード（スイッチング素子 10a のエミッタ）との間に接続される。抵抗素子 121 についても、半導体装置 100A を構成する IC 上に形成される。

【0025】

電圧比較器 130 は、任意の回路構成を適用することが可能である。例えば、半導体装置 100A を構成する IC 上に形成された、トランジスタ及び抵抗素子等を用いて、電圧比較器 130 を構成することにより、電圧比較器 130 は、検出回路 110 と同様に、半導体装置 100A を構成する IC 上に搭載される。

【0026】

一方で、電圧源 135 は半導体装置 100A（IC）の外部に配置されてもよい。この場合には、電圧比較器 130 の - 側の入力端子と電氣的に接続された端子（図示せず）に対して、半導体装置 100A の外部から直流電圧 Vt が供給される。或いは、電圧源 135 として、半導体装置 100A 上のトランジスタ等を用いて、高電位 Vcc を降圧した一定電圧を生成する回路を構成することも可能である。

【0027】

上述の様に、オン状態のスイッチング素子（IGBT）が過電流状態に陥ると、オン状態であるにも関わらず Vce が十分に下がりきらない不飽和状態となることが知られている。本実施の形態に係る半導体装置では、検出回路 110 及び電圧比較器 130 は、スイッチング素子 10a（IGBT）の不飽和状態を検出するように構成される。具体的には、制御信号 SIN の H レベル期間において、 Vce が判定電圧 Vth よりも高いときに、電圧比較器 130 が検出信号 Sab を H レベルに設定すると、不飽和状態を検出することができる。判定電圧 Vth は、スイッチング素子 10a の特性に照らして、不飽和状態の発生時における Vce に対して、マージン分だけ低い電圧に設定される。一般的には、判定電圧 Vth は、10（V）未満のレベルである。

【0028】

図 3 には、検出回路 110 の電圧電流特性が示される。

【0029】

図 3 を参照して、電流源 120 の出力電流 Ia について、スイッチング素子 10a の Vce が低い領域では、 $Ia = 0$ である一方で、 Vce が高い領域では、飽和した一定値（ $Ia = I1$ ）を示す。上述した判定電圧 Vth を含む Vce 領域では、出力電流 Ia は、

10

20

30

40

50

電気抵抗値 R_1 (抵抗素子 121) の逆数に従った傾きに従い、 V_{ce} に比例して変化する。

【0030】

ここで、 $V_{ce} = V_{th}$ であるときの電流源 120 の電圧及び電流を V_{a1} 及び I_{a1} とすると、判定電圧 V_{th} と、電圧 V_{a1} 及び電流 I_{a1} との間には、下記の式 (1) に示す関係が成立する。

【0031】

$$V_{th} = V_{a1} + R_1 \times I_{a1} \quad \dots (1)$$

更に、直流電圧 V_t について、式 (1) での電流 I_{a1} を用いて、下記の式 (2) となるように調整すると、 $V_{ce} > V_{th}$ のときに、電圧比較器 130 の出力 (検出信号 S_{ab}) を H レベルとすることができる。

【0032】

$$V_t = R_1 \times I_{a1} \quad \dots (2)$$

式 (1)、(2) より、判定電圧 V_{th} について、下記の式 (3) が成立する。

【0033】

$$V_{th} = V_{a1} + V_t \quad \dots (3)$$

式 (3) から、判定電圧 V_{th} は、抵抗素子 121 の電気抵抗値 R_1 、及び、電圧源 135 からの直流電圧 V_t によって調整することができる。即ち、電圧異常の監視対象となるスイッチング素子 10a の特性に合わせて、判定電圧 V_{th} を調整することが可能である。

【0034】

図 4 及び図 5 には、実施の形態 1 に係る半導体装置の動作例が示される。図 4 には、スイッチング素子 10a の正常動作時の波形例が示される。

【0035】

図 4 を参照して、時刻 t_0 以前では、制御信号 S_{IN} が L レベルに設定されているため、ローサイドのスイッチング素子 10a はオフ状態である。このとき、通常はハイサイドのスイッチング素子 10b がオンしているため、 $V_{ce} = V_{cc}$ であるため、 $V_{ce} > V_{th}$ である。検出回路 110 では、図 3 で説明した様に、 $I_a = I_1$ である。又、電圧比較器 130 では、 $V_{ce} > V_{th}$ に対応して、 $V_+ > V_-$ となるので、スイッチング素子 10a のオフ時には、検出信号 S_{ab} は H レベルである。

【0036】

時刻 t_0 において、制御信号 S_{IN} が L レベルから H レベルに変化すると、スイッチング素子 10a がターンオンする。具体的には、駆動回路 150 が出力するゲート信号 S_{OUT} が H レベルに変化するのに応じて、スイッチング素子 10a のゲート電圧が上昇する。これにより、スイッチング素子 10a では、 V_{ce} が低下するとともにコレクタ - エミッタ間電流が流れ始める。

【0037】

スイッチング素子 10a の正常なオン状態では、不飽和状態が発生することなく、 V_{ce} はゼロ近傍の電圧まで低下して、正常なコレクタ - エミッタ間電流が発生する。即ち、 V_{ce} は判定電圧 V_{th} よりも低下する。

【0038】

このような V_{ce} の低下に応じて、検出回路 110 では、電流源 120 の出力電流 $I_a = 0$ となり、電圧比較器 130 では、 $V_+ < V_-$ となる。この結果、検出信号 S_{ab} は L レベルに変化する。

【0039】

時刻 t_1 において、制御信号 S_{IN} が H レベルから L レベルに変化すると、スイッチング素子 10a はターンオフする。これにより、 V_{ce} 、 I_a 、 V_+ 、及び、検出信号 S_{ab} は、時刻 t_0 以前の状態に戻る。このように、スイッチング素子 10a の正常なオン状態では、制御信号 S_{IN} が H レベルに変化すると、検出信号 S_{ab} が L レベルとなる。

【0040】

10

20

30

40

50

一方で、図 5 には、スイッチング素子 10a に不飽和状態が発生したときの動作例が示される。図 5 を参照して、図 4 と同様に、時刻 t_0 において、制御信号 SIN が L レベルから H レベルに変化することにより、スイッチング素子 10a がターンオンする。

【0041】

しかしながら、図 5 では、スイッチング素子 10a において、コレクタ - エミッタ電流が過大（過電流状態）であることによる不飽和状態が発生するため、 V_{ce} が図 4 のように低下しない異常が生じる。このような電圧異常により、 $V_{ce} > V_{th}$ であるため、図 3 の特性に従った出力電流 I_a に応じて、 $V_+ > V_-$ が維持される。この結果、図 4 とは異なり、制御信号 SIN が H レベルに変化しても、検出信号 Sab が H レベルに維持される。

10

【0042】

従って、実施の形態 1 に係る半導体装置 100A では、検出回路 110 及び電圧比較器 130 により発生される検出信号 Sab に基づき、スイッチング素子 10a のオン期間における不飽和状態の発生を検出することが可能である。

【0043】

又、検出回路 110 は、スイッチング素子 10a のオフ時において、高電位 V_{cc} が伝達された状態の中間電位ノード 23 と、低電位ノード 22 との間の絶縁を、電流源 120（例えば、ダイオード接続された高耐圧の電界効果トランジスタ）によって確保することができる。即ち、駆動回路 150 を含む半導体装置 100A を構成する IC 上に形成された素子（例えば、上記の高耐圧の電界効果トランジスタ）を用いて、特許文献 1 の様な IC の外付け素子を用いることなく、検出回路 110 の絶縁を確保することが可能となる。

20

【0044】

再び図 2 を参照して、半導体装置 100A は、図 1 と同様の回路構成により、ハイサイドのスイッチング素子 10b に適用することが可能である。図 2 の回路構成は、図 1 での中間電位ノード 23 を高電位ノード 21 とし、低電位ノード 22 を中間電位ノード 23 としたものに相当する。

【0045】

図 2 において、検出回路 110 は、高電位ノード 21 及び中間電位ノード 23 の間、即ち、スイッチング素子 10b のコレクタ及びエミッタ間に接続されることで、ハイサイドのスイッチング素子 10b の V_{ce} を検出することができる。即ち、電流源 120 の出力電流 I_a は、スイッチング素子 10b の V_{ce} に対して、図 3 と同様の特性を有する。

30

【0046】

電圧比較器 130 において、+ 側の入力端子は、図 1 と同様に検出回路 110 のノード N1 と接続される。一方で、電圧源 135 は、中間電位ノード 23 と、電圧比較器 130 の - 側の入力端子との間に電氣的に接続される。上述の様に、電圧源 135 は、半導体装置 100A の外部から直流電圧 V_t を入力することも可能である。

【0047】

図 2 に示された半導体装置 100A についても、スイッチング素子 10b のオンオフ制御のための制御信号 SIN の変化に対して、図 4 及び図 5 で説明したように動作する。即ち、半導体装置 100A は、ローサイドのスイッチング素子 10a 及びハイサイドのスイッチング素子 10b の両方に対して、同じ回路構成で適用することが可能である。

40

【0048】

実施の形態 2 .

実施の形態 2 では不飽和状態を検出するための判定電圧を容易に調整するための回路構成を説明する。

【0049】

図 6 は、実施の形態 2 に係る半導体装置の構成を説明する第 1 の回路図である。

【0050】

図 6 を参照して、実施の形態 2 に係る半導体装置 100B は、実施の形態 1 に係る半導体装置 100A と比較して、検出回路 110 の構成が異なる。具体的には、実施の形態 2

50

では、検出回路 110 は、図 1 の構成と比較して、中間電位ノード 23 及びノード N1 の間に、電流源 120 と直列接続される抵抗素子 122 を更に有する。抵抗素子 122 についても、トリミング等によって電気抵抗値 R2 を可変調整できることが好ましい。半導体装置 100B のその他の部分の構成は、半導体装置 100A と同様である。抵抗素子 122 は「第 2 の抵抗素子」に対応する。

【0051】

実施の形態 2 の検出回路 110 では、抵抗素子 122（電気抵抗値 R2）の追加により、上述の式（1）は、下記の式（4）に変形される。

【0052】

$$V_{th} = V_{a1} + (R_1 + R_2) \times I_{a1} \quad \dots (4)$$

10

又、実施の形態 2 においても、 $V_{ce} = V_{th}$ であるときの電流源 120 の電流 I_{a1} を用いて、式（2）に示した様に、 $V_t = R_1 \times I_{a1}$ とすると、判定電圧 V_{th} について、下記の式（5）が成立する。

【0053】

$$V_{th} = V_{a1} + V_t \cdot (R_1 + R_2) / R_1 \quad \dots (5)$$

実施の形態 2 では、式（5）で示された判定電圧 V_{th} に対して、 $V_{ce} > V_{th}$ のときには $S_{ab} = H$ レベルとなる一方で、 $V_{ce} = V_{th}$ のときには、 $S_{ab} = L$ レベルとなる。式（5）から理解されるように、実施の形態 2 では、電圧源 135 の直流電圧 V_t 、並びに、抵抗素子 121 及び 122 の電気抵抗値 R_1 及び R_2 によって、判定電圧 V_{th} を調整することが可能である。

20

【0054】

実施の形態 2 に係る半導体装置 100B の動作は、判定電圧 V_{th} の設定以外は、半導体装置 100A と同様である。このため、実施の形態 2 に係る半導体装置 100B では、実施の形態 1 に係る半導体装置 100A の効果に加えて、判定電圧 V_{th} の調整が容易となる。

【0055】

図 7 には、実施の形態 2 に係る半導体装置 100B をハイスイドのスイッチング素子 10b に適用したときの回路構成が示される。

【0056】

図 7 を参照して、実施の形態 2 に係る半導体装置 100B についても、図 6 と同様の回路構成により、ハイスイドのスイッチング素子 10b に適用することが可能である。図 7 の回路構成は、図 6 での中間電位ノード 23 を高電位ノード 21 とし、低電位ノード 22 を中間電位ノード 23 としたものに相当する。

30

【0057】

図 7 においては、ハイスイドのスイッチング素子 10b の V_{ce} と、判定電圧 V_{th} との比較によって、スイッチング素子 10b の不飽和状態を検出することが可能である。判定電圧 V_{th} は、図 6 と同様に、電圧源 135 の直流電圧 V_t 、並びに、抵抗素子 121 及び 122 の電気抵抗値 R_1 及び R_2 によって調整することができる。

【0058】

即ち、半導体装置 100B についても、ローサイドのスイッチング素子 10a 及びハイスイドのスイッチング素子 10b の両方に対して、同じ回路構成で適用することが可能である。尚、実施の形態 2 では、図 6 及び図 7 において、直列接続された電流源 120 及び抵抗素子 122 の接続順を入れ替えることも可能である。

40

【0059】

実施の形態 3 .

実施の形態 3 では、検出回路 110 の電流源 120 の好ましい構成例を説明する。

【0060】

図 8 は、実施の形態 3 に係る半導体装置の構成を説明する回路図である。

【0061】

図 8 を参照して、実施の形態 3 に係る半導体装置 100C は、実施の形態 2 に係る半導

50

体装置 100B の検出回路 110 に含まれる電流源 120 の構成例を示すものである。

【0062】

具体的には、実施の形態 3 では、検出回路 110 の電流源 120 は、カレントミラー回路 125 及び 126 を含む。図 8 のその他の構成は、実施の形態 2 (図 6) と同様であるので、詳細な説明は繰り返さない。即ち、半導体装置 100C における検出信号 S_{ab} は、実施の形態 2 に係る半導体装置 100B と同様に生成されるので、 $V_{ce} > V_{th}$ の発生、即ち、スイッチング素子 10a の不飽和状態の発生を、実施の形態 2 と同様に検出することができる。

【0063】

更に、実施の形態 3 によれば、カレントミラー回路を用いて電流源 120 を構成することによって出力電流 I_a が安定化するので、 $V_{ce} > V_{th}$ の検出精度を高めることが可能となる。又、以下で説明する、カレントミラー回路 125, 126 の構成素子 (トランジスタ及び抵抗素子) についても、電圧比較器 130 及び駆動回路 150 と同様に、半導体装置 100C を構成する IC 上に形成される。

【0064】

図 9 には、図 8 に示されたカレントミラー回路 125, 126 の好ましい構成例が示される。

【0065】

図 9 を参照して、電流源 120 は、カレントミラー回路 125 を構成するトランジスタ $T_1 \sim T_3$ と、カレントミラー回路 126 を構成するトランジスタ $T_4 \sim T_6$ と、抵抗素子 123 とを有する。

【0066】

カレントミラー回路 125 において、トランジスタ T_1 は、中間電位ノード 23 (スイッチング素子 10a のコレクタ) 及びノード N2 の間に接続され、トランジスタ T_2 は、中間電位ノード 23 及びノード N3 の間に接続される。トランジスタ T_3 は、ノード N2 及び抵抗素子 121 の間に接続される。トランジスタ T_1 及び T_2 のゲートは、ノード N2 と接続され、トランジスタ T_3 のゲートは、ノード N3 と接続される。

【0067】

カレントミラー回路 126 において、トランジスタ T_4 は、ノード N3 及びノード N4 の間に接続され、トランジスタ T_5 は、ノード N4 及び低電位ノード 22 の間に接続される。トランジスタ T_5 は、ノード N5 及び低電位ノード 22 (スイッチング素子 10a のエミッタ) の間に接続される。トランジスタ T_5 及び T_6 のゲートは、ノード N4 と接続される。トランジスタ T_4 のゲートは、抵抗素子 123 (電気抵抗値 R_3) を介して高電位ノード 21 と接続されたノード N5 と接続される。

【0068】

図 9 の構成例では、カレントミラー回路 125 及び 126 がウィルソン型のカレントミラー回路によって構成されることで、電流源 120 の出力電流 I_a の精度を向上することができる。この結果、判定電圧 V_{th} の設定精度が向上することで、 $V_{ce} > V_{th}$ 、即ち、スイッチング素子の不飽和状態の検出精度を向上することができる。

【0069】

図 9 の構成例では、トランジスタ T_3 及び T_4 を高耐圧トランジスタで構成することにより、検出回路 110 の絶縁を確保することが可能である。

【0070】

尚、図 7 に示された半導体装置 100B において、電流源 120 を図 8 及び図 9 で説明したように構成することも可能である。即ち、実施の形態 3 に係る半導体装置 100C についても、ローサイドのスイッチング素子 10a 及びハイサイドのスイッチング素子 10b の両方に対して、同じ回路構成で適用することが可能である。

【0071】

又、実施の形態 3 に係る半導体装置は、又、実施の形態 1 (図 1 及び図 2) の半導体装置 100A において、電流源 120 を図 8 及び図 9 で説明したカレントミラー回路で構成

10

20

30

40

50

とすることによって実現することも可能である。

【 0 0 7 2 】

実施の形態 4 .

実施の形態 4 では、実施の形態 1 ~ 3 で説明した、スイッチング素子の不飽和状態の検出に応じた保護回路の適用について説明する。

【 0 0 7 3 】

図 1 0 は、実施の形態 4 に係る半導体装置が備える保護回路 1 8 0 の構成例を説明する回路図である。実施の形態 4 に係る半導体装置は、実施の形態 1 ~ 3 に係る半導体装置 1 0 0 A ~ 1 0 0 C において、制御信号 S I N が保護回路 1 8 0 を経由して、駆動回路 1 5 0 へ入力される構成を有する。

10

【 0 0 7 4 】

図 1 0 を参照して、保護回路 1 8 0 は、遅延回路 1 8 1 と、N A N D ゲート 1 8 2 と、A N D ゲート 1 8 3 とを有する。

【 0 0 7 5 】

遅延回路 1 8 1 は、制御信号 S I N に遅延時間 T d を付与した遅延信号 S 1 を出力する。N A N D ゲート 1 8 2 は、電圧比較器 1 3 0 が出力する検出信号 S a b と、遅延信号 S 1 との N A N D 演算結果に従う、信号 S 2 を出力する。遅延回路 1 8 1 は、例えば、直列接続された複数個（偶数個）のインバータ（N O T ゲート）によって構成することができる。

【 0 0 7 6 】

20

A N D ゲート 1 8 3 は、遅延回路 1 8 1 を通過していない制御信号 S I N と、信号 S 2 との A N D 演算結果に従い、駆動回路 1 5 0 へ入力される制御信号 S 3 を生成する。駆動回路 1 5 0 は、制御信号 S 3 に従って、ゲート信号 S O U T を生成する。

【 0 0 7 7 】

次に、図 1 1 及び図 1 2 を用いて、実施の形態 4 に係る半導体装置の動作例を説明する。図 1 1 には、図 4 と同様に、正常動作時の波形例が示される。

【 0 0 7 8 】

図 1 1 を参照して、図 4 と同様に時刻 t 0 において、制御信号 S I N が L レベルから H レベルに変化すると、図 4 と同様に、V c e , I a , V +、及び、検出信号 S a b が変化する。上述のように、正常動作時には、V c e の低下に応じて、検出信号 S a b は、H レベルから L レベルへ変化する。

30

【 0 0 7 9 】

遅延信号 S 1 は、時刻 t 0 から遅延回路 1 8 1 によって付与された遅延時間 T d が経過した時刻 t x において、L レベルから H レベルに変化する。遅延時間 T d は、正常動作時において、ターンオンの開始（時刻 t 0）から検出信号 S a b が L レベルに変化するまでに要する回路動作時間よりも長くなるように予め定められる。

【 0 0 8 0 】

N A N D ゲート 1 8 2 が出力する信号 S 2 は、時刻 t 0 ~ t x の間、遅延信号 S 1 が L レベルに止まることにより、H レベルに維持される。更に、時刻 t x ~ t 1 では、検出信号 S a b が L レベルに設定されることにより、信号 S 2 は H レベルに維持される。

40

【 0 0 8 1 】

従って、正常動作時には、A N D ゲート 1 8 3 に入力される信号 S 2 は、常に H レベルに維持される。従って、駆動回路 1 5 0 へ入力される制御信号 S 3 は、制御信号 S I N と同様の波形を有することになる。この結果、スイッチング素子 1 0 a , 1 0 b は、実施の形態 4 に係る半導体装置の駆動回路 1 5 0 からのゲート信号 S O U T によって、制御信号 S I N に応じてオン及びオフされる。

【 0 0 8 2 】

一方で、図 1 2 には、図 5 と同様に、スイッチング素子 1 0 a に不飽和状態が発生したときの動作例が示される。

【 0 0 8 3 】

50

図 1 2 を参照して、図 5 及び図 1 1 と同様に、時刻 t_0 において、制御信号 S_{IN} が L レベルから H レベルに変化する。又、遅延信号 S_1 の波形は、図 1 1 (正常動作時) と同様である。このため、信号 S_2 は、遅延信号 S_1 が H レベルに変化する時刻 t_x までの間、L レベルに維持される。

【 0 0 8 4 】

従って、少なくとも時刻 t_x までの間、駆動回路 1 5 0 に入力される制御信号 S_3 は、制御信号 S_{IN} と同様であるので、図 1 1 と同様にスイッチング素子 1 0 a , 1 0 b がターンオンする。

【 0 0 8 5 】

スイッチング素子 1 0 a , 1 0 b での不飽和状態の発生時における、 V_{ce} 、 I_a 、 V_+ 、及び、検出信号 S_{ab} の挙動は、図 5 と同様である。即ち、検出信号 S_{ab} は、制御信号 S_{IN} の H レベル期間を通じて、H レベルに維持される。

10

【 0 0 8 6 】

この結果、時刻 t_x 以降では、NAND ゲート 1 8 2 から出力される信号 S_2 が L レベルに変化する。これに応じて、AND ゲート 1 8 3 から出力される制御信号 S_3 が L レベルに設定されるのに応じて、スイッチング素子 1 0 a , 1 0 b は、不飽和状態の検出に応じて、強制遮断 (オフ) される。これにより、スイッチング素子 1 0 a , 1 0 b を過電流から保護することができる。

【 0 0 8 7 】

このように、実施の形態 4 に係る半導体装置によれば、実施の形態 1 ~ 3 の半導体装置の効果に加えて、不飽和状態の検出に応じてスイッチング素子を自動的に遮断する保護機能を実現することができる。

20

【 0 0 8 8 】

尚、保護回路 1 8 0 は、半導体装置 1 0 0 A ~ 1 0 0 C を構成する IC 上に形成されたトランジスタを用いた論理回路、例えば、CMOS (Complementary Metal Oxide Semiconductor) 論理回路によって構成することが可能である。これにより、検出回路 1 1 0、電圧比較器 1 3 0、及び、駆動回路 1 5 0 と同一の集積回路上に、保護回路 1 8 0 を搭載することができる。或いは、保護回路 1 8 0 に相当する機能を半導体装置 (IC) の外部に設けて、制御信号 S_3 に相当する信号を、半導体装置の外部から駆動回路 1 5 0 へ入力することも可能である。

30

【 0 0 8 9 】

本実施の形態では、スイッチング素子 1 0 a , 1 0 b として IGBT を例示したが、アーム構成のハイサイド及びローサイドに用いられた、IGBT 以外のスイッチング素子に対しても実施の形態 1 ~ 4 に係る半導体装置を適用することにより、絶縁を確保した上で、オン時に正電極及び負電極の間に電圧が発生する異常を検知することが可能である。

【 0 0 9 0 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び範囲内でのすべての変更が含まれることが意図される。

【 符号の説明 】

40

【 0 0 9 1 】

1 0 a , 1 0 b スwitchング素子、2 1 高電位ノード、2 2 低電位ノード、2 3 中間電位ノード、1 0 0 A ~ 1 0 0 C 半導体装置、1 1 0 検出回路、1 2 0 電流源、1 2 1 ~ 1 2 3 抵抗素子、1 2 5 , 1 2 6 カレントミラー回路、1 3 0 電圧比較器、1 3 5 電圧源、1 5 0 駆動回路、1 8 0 保護回路、1 8 1 遅延回路、GND 低電位、IC 駆動、 I_a 出力電流 (電流源)、 I_{a1} 電流、 S_{IN} 制御信号、 S_{OUT} ゲート信号、 S_{ab} 検出信号、 T_d 遅延時間、 V_{cc} 高電位、 V_t 直流電圧、 V_{th} 判定電圧。

50

【 図面 】

【 図 1 】

図1

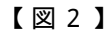
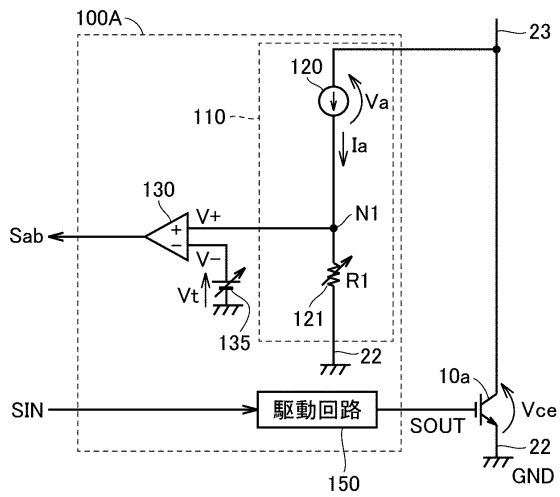
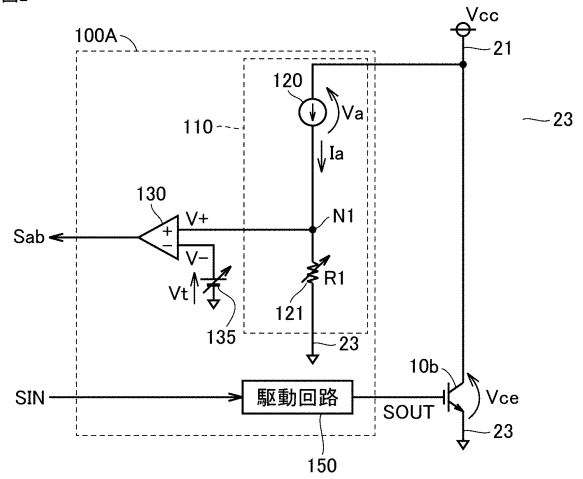


图2

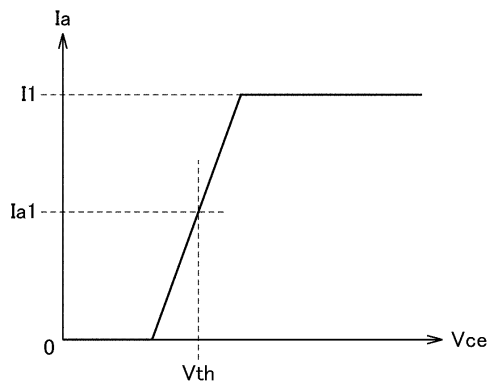


10

20

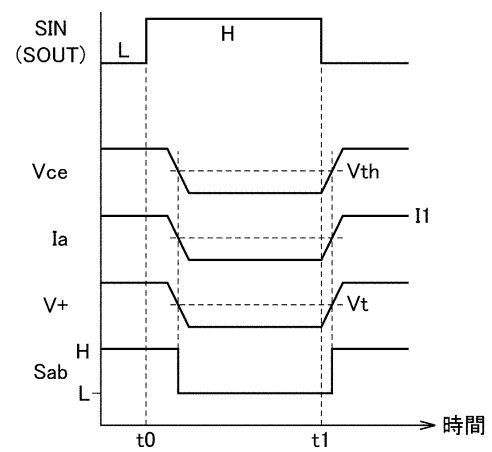
【 図 3 】

图3



【 図 4 】

图4



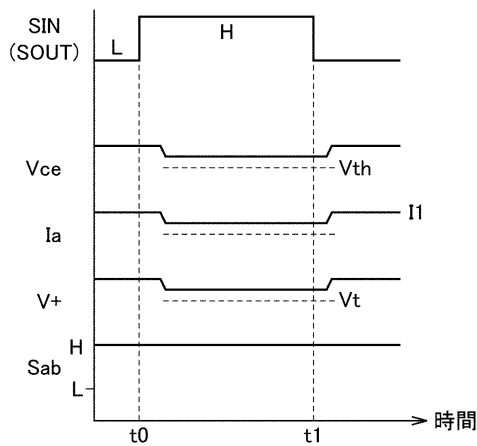
30

40

50

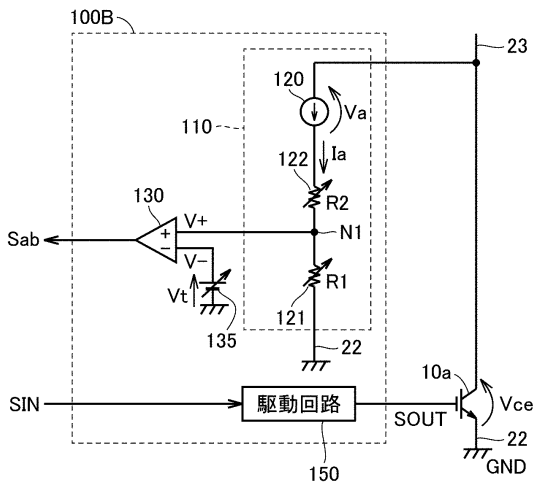
【図 5】

図5



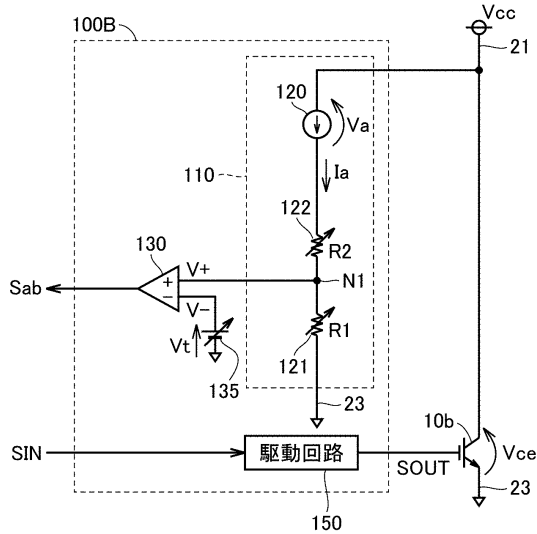
【図 6】

図6



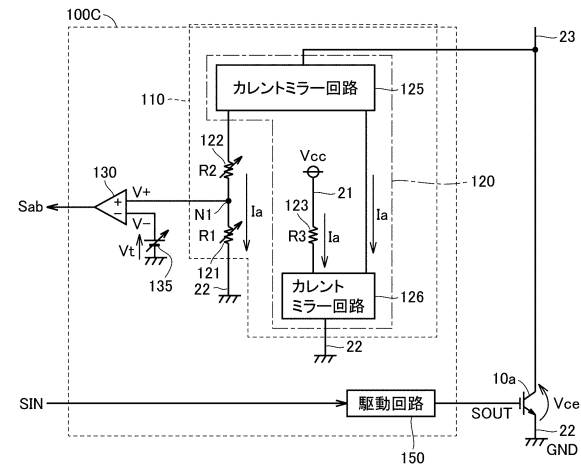
【図 7】

図7



【図 8】

図8



10

20

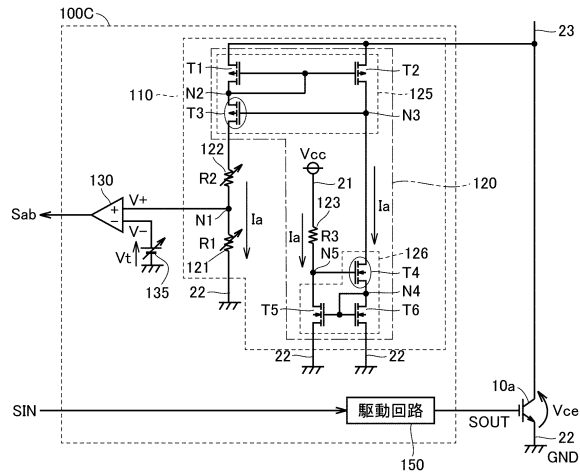
30

40

50

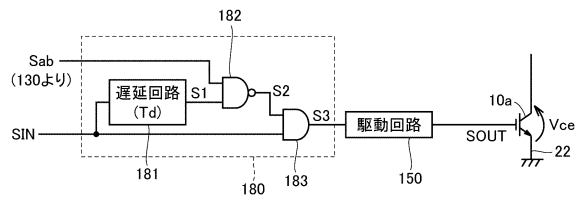
【 図 9 】

图9



【 図 1 0 】

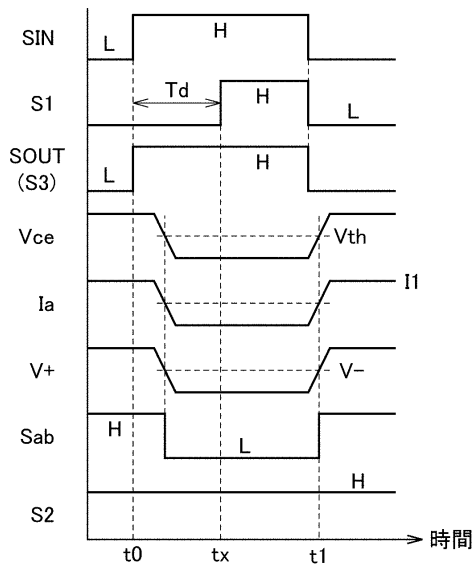
☒ 10



10

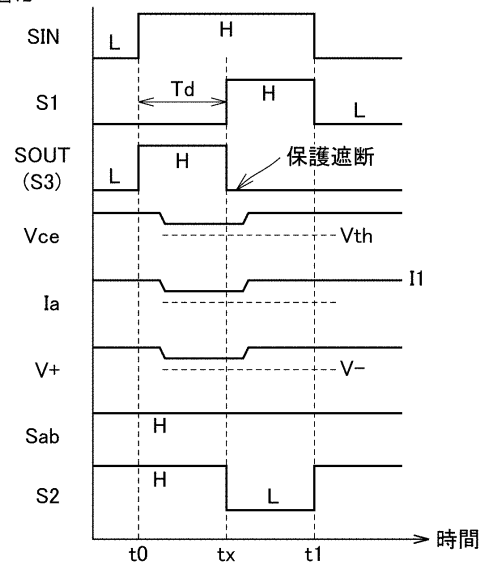
【 図 1 1 】

图11



【 図 1 2 】

图12



20

30

40

50

フロントページの続き

- (56)参考文献 特開平 0 3 - 1 0 5 2 6 2 (J P , A)
特開平 0 5 - 1 4 6 0 4 9 (J P , A)
特開 2 0 0 7 - 0 1 9 7 2 8 (J P , A)
特開 2 0 0 2 - 1 8 5 2 9 4 (J P , A)
特開 2 0 1 6 - 1 6 3 0 5 1 (J P , A)
特許第 3 2 4 2 6 7 2 (J P , B 2)
- (58)調査した分野 (Int.Cl. , D B 名)
H 0 3 K 1 7 / 0 0 - 1 7 / 7 0
H 0 2 M 1 / 0 0