(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[7]
H01L 21/31

(45) 공고일자 2000년09월15일
(11) 등록번호 10-0266426
(24) 등록일자 2000년06월24일

(21) 출원번호 10-1996-0005687
(65) 공개번호 특1996-0035882
(22) 출원일자 1996년03월05일
(43) 공개일자 1996년10월28일
(30) 우선권주장 95-048106 1995년03월08일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼 가나이 쓰도무
일본국 도쿄도 지요다구 간다 스루가다이 4-6
(72) 발명자 미우라 히데오
일본국 고시가야시 미나미꼬시가야 4-11-3-501
이께다 슈지
일본국 고가네이시 누꾸이끼따마찌3-30-8
스즈끼 노리오
일본국 히가시무라야마시 미스미쵸 2-3-11-405
하기와라 야스히데
일본국 후쮸시 니시후쵸 3-15-6 히다찌후쮸쇼 101
오따 히로유끼
일본국 쯔찌우라시 간다쯔쥬오 1-1-10-508
니시무라 아사오
일본국 고꾸분지시 혼쵸 4-13-12-405
(74) 대리인 백남기

심사관 : 신창우

(54) 반도체장치및그제조방법

요약

반도체장치 및 그 제조방법에 관한 것으로써, MOS트랜지스터 구조에 있어서 소자분리산화막 또는 게이트산화막상에 부분적으로 퇴적한 박막의 끝부에 있어서의 이 산화막의 손상을 회복시키기 위해, 손상을 받은 프로세스후에 산화막표면을 극력 노출시킨 상태에서 적어도 800℃이상, 바람직하게는 950℃이상, 1450℃이하, 가능하면 1200℃이하의 온도에서 5분이상, 가능하면 20분이상 질소 또는 수소 또는 아르곤등의 불활성가스 또는 이들의 혼합가스이고 또는 이들에 수%정도 (바람직하게는 5%이하보다 더욱 바람직하게는 2%이하) 산소가 포함된 혼합가스분위기에서 열처리를 실행한후, 트랜지스터를 형성하기 위해 필요한 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 2층째 배선의 형성등을 실행한다.

상기에 의해, MOS트랜지스터 구조에 있어서 소자분리산화막 또는 게이트산화막상에 부분적으로 퇴적한 박막의 끝부에 있어서의 이 산화막의 손상을 회복시킬 수 있게 된다.

대표도

도4

명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제조방법을 사용한 실시예1의 단면구조변화 모식도.

제2도는 종래의 선택산화법에 있어서의 단면구조변화 모식도.

제3도는 열산화후의 실리콘기판 잔류응력의 산화의존성을 도시한 그래프.

제4도는 본 발명의 제1의 실시예의 제조과정을 설명하는 흐름도.

제5도는 본 발명의 제조방법을 사용한 실시예2의 단면구조변화 모식도.

제6도는 본 발명의 실시예2의 제조과정을 설명하는 흐름도.

제7도는 본 발명의 제조방법을 사용한 실시예3의 단면구조변화 모식도.

제8도는 본 발명의 실시예3의 제조과정을 설명하는 흐름도.

제9도는 본 발명의 제조방법을 사용한 실시예4의 단면구조변화 모식도.

제10도는 본 발명의 실시예4의 제조과정을 설명하는 흐름도.

[발명의 상세한 설명]

본 발명은 반도체장치 및 그 제조방법에 관한 것으로써, 특히 고집적반도체장치에 있어서 열산화막을 형성하는데 적합한 반도체장치의 제조방법과 이것에 의해서 얻어지는 반도체장치에 관한 것이다.

실리콘을 기판으로 사용하는 반도체소자제조에 있어서는 절연막으로써 실리콘을 열산화해서 형성하는 실리콘산화막이 이용되고 있다. 이 열산화막의 형성과정에 있어서는 실리콘-실리콘결합을 파괴시키고 실리콘-산소결합이 형성되므로 실리콘과 산화막 계면근방에는 큰 왜곡(응력)이 발생한다.

산화규소의 분자체적은 실리콘의 그 2배이상이므로, 산화반응에 의해 형성된 산화막은 팽창하려고 하기 때문에 일반적으로 실리콘측에는 인장응력이, 산화막측에는 압축응력이 발생한다. 발생응력이 높아지면 단결정인 실리콘기판내에는 전위등의 결정결함이 발생한다. 이 결정결함의 존재는 반도체소자에 있어서는 누설전류발생등의 원인이 되므로 제품의 신뢰성을 현저하게 저하시킨다.

또, 실리콘기판내에 결정결함이 발생하지 않아도 산화막중에 발생하는 응력에 의해 산화막중의 원자간격에 왜곡이 발생해서 원자사이의 결합력이 저하하거나 극단적인 경우에는 원자결합이 파괴되는 등의 손상이 발생하는 경우도 있다. 이와 같은 손상이 발생하면 산화막의 절연특성이 저하하여 산화막의 전기적신뢰성, 더나아가서는 제품의 신뢰성이 저하한다.

일반적으로 발생하는 응력의 값은 형성하는 산화막두께가 두꺼워질수록 단조롭게 증가한다. 이 때문에 두꺼운 열산화막을 형성하는 경우에는 발생하는 응력의 완화가 중요한 과제로 된다. 이 응력완화방법으로써는 일본국 특허공개공보 평성3-11733호에 기재되어 있는 바와 같이, 열산화를 도중에 중단해서 왜곡제거의 열처리를 실행하고, 그후 재차 열산화를 계속하는 방법이 제안되고 있었다.

산화막중에 응력이 발생하는 메커니즘으로써는 주로 산화막형성과정에 있어서의 산화반응에 따른 실리콘/산화막 계면근방에 있어서의 산화막의 체적팽창에 기인한 응력과 산화막상에 퇴적한 박막에서 발생하는 응력이 있다.

산화반응에 기인한 응력완화는 종래기술에 있어서도 어느 정도 가능하였지만 산화막상에 퇴적한 박막에서 발생하는 응력에 관해서는 유효한 응력완화방법이 없었다. 이 산화막상에 퇴적한 박막에서 발생하는 응력이라는 것은 다음과 같은 메커니즘에서 발생한다.

우선, 산화막의 형성프로세스로써 실리콘기판표면에 인접한 예를 들면 트랜지스터사이를 전기적으로 절연분리하는 것을 목적으로 해서 수천옴스트롱정도의 두께로 부분적으로 소자분리용의 산화막을 형성하는 프로세스가 있다. 이 소자분리용 산화막을 형성하는 방법으로써 선택산화법이 널리 이용되고 있다(제2도참조). 이 선택산화법은 실리콘기판(1) (제2a도) 상에 예를 들면 패드산화막(2)라 불리우는 얇은 열산화막을 거쳐서 (제2b도) 질화규소막(3)을 퇴적하고 (제2c도), 소자분리용 산화막을 형성하고자 하는 영역의 상기 질화규소막(3)을 에칭제거해서 (제2d도) 전체를 산화하는 것에 의해 부분적으로 실리콘기판상에 두꺼운 산화막을 형성하는 방법이다 (제2e도).

이 선택산화법에 있어서 산화보호막으로써 사용되고 있는 질화규소막은 막퇴적시점에서 1000MPa 정도의 내부응력을 갖고 있는 경우가 많고, 이 응력이 산화막에도 작용한다. 또, 선택산화과정에 있어서는 산화종류인 산소나 H_2O가 실리콘기판내에서 3차원적으로 확산하므로 질화규소막끝근방에는 버즈비크라 불리우는 산화막 (5)가 성장한다.

산화막 성장시에는 산화막이 체적팽창하므로 질화규소막끝의 질화규소막은 들어올려져 막전체에 휘어짐변형이 발생한다. 이 휘어짐 변형에 기인해서 발생하는 반력이 질화규소막끝에 집중하므로 질화규소막끝의 산화막내에는 큰 응력이 발생한다. 따라서, 질화규소막이 존재한 상태에서는 반드시 이 응력집중이 발생하여 산화막에 손상을 준다.

산화막상에 퇴적한 박막이 산화막에 손상을 주는 다른 프로세스로써는 MOS형 (Metal-oxide-semiconductor형)트랜지스터의 게이트산화막상에 게이트전극으로써 박막을 퇴적하는 프로세스가 있다. 게이트전극으로써는 다결정실리콘박막이나 고융점 금속재료 또는 실리사이드합금박막등이 단층 또는 적층구조로 사용된다.

이와 같은 게이트전극재료는 여전히 수백~천MPa를 넘는 내부응력을 갖고 퇴적되는 경우가 많다. 이 때문에, 게이트전극을 가공하면 이 내부응력에 기인해서 게이트전극끝 근방의 산화막중에는 응력집중이 발생하여 산화막은 손상을 받게 된다.

본 발명의 목적은 산화막상에 부분적으로 퇴적한 박막의 끝부에 있어서의 산화막은 손상을 회복시키는 반도체장치의 제조방법과 이것에 의해서 얻어지는 반도체장치를 제공하는 것이다.

본 발명은 실리콘기판상에 열산화막을 형성한후, 산화막 또는 실리콘기판표면이 노출된(다른 막에 의해 피복되어 있지 않은) 상태에서 적어도 800℃이상의 온도에 있어서 열처리를 실시한후 트랜지스터를 형성하기 위해 필요한 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째의 배선형성을 실행하는 것을 특징으로 하는 반도체장치의 제조방법을 제공한다.

본 발명의 또 실리콘기판표면에 반도체소자사이를 전기적으로 절연분리하기 위한 부분적으로 두꺼운 산화막을 형성하는 선택산화종료후에 산화막이외의 박막을 제거하고 산화막 또는 실리콘기판을 노출시킨 상태에서 적어도 950℃이상의 온도에 있어서 가열처리를 실행하고, 그후 트랜지스터를 형성하기 위해 필요한 게이트산화막의 형성, 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째의 배선형

성을 실행하는 것을 특징으로 하는 반도체장치의 제조방법을 제공한다.

본 발명은 또 상기의 여러 방법에 의해 제조되는 반도체장치를 제공한다.

산화막중의 손상을 회복시키기 위해서는 손상을 받은 프로세스후에 산화막표면을 다른 막에 의해 피복되지 않고 극력 노출시킨 상태에서 적어도 800℃이상의 온도에서 바람직하게는 5분이상, 가능하면 20분이상 열처리를 실행하는 것이 유효하다. 또, 열처리온도의 상한은 실리콘기판의 융점인 약 1410℃이하, 바람직하게는 1250℃이하, 보다 구체적으로는 1200℃정도가 바람직하다.

선택산화법으로 소자분리용 산화막을 형성하는 프로세스에 있어서는 선택산화종료후에 산화보호막으로써 사용되는 예를 들면 질화규소막이나 다결정실리콘박막을 전부 제거하고 산화막 또는 실리콘기판표면이 노출된 상태에서 800℃이상, 보다 바람직하게는 950℃이상의 온도에서, 바람직하게는 1410℃이하, 더욱 바람직하게는 1200℃이하의 온도에서 적어도 5분이상, 가능하면 30분이상 열처리를 실행한다. 이 소자분리 산화막형성후의 열처리후에 MOS형 트랜지스터의 게이트산화막을 형성한후에도 산화막표면이 노출된 상태에서 800℃이상의 온도에서 적어도 5분이상, 가능하면 30분이상 열처리를 실행한다. 또, 게이트산화막상에 게이트전극을 형성(패터닝) 한후에도 게이트전극 및 산화막이 노출된 상태에서 800℃이상의 온도에서 적어도 5분이상, 가능하면 20분이상 열처리를 실행한다.

따라서, 본 발명에 의한 반도체장치의 제조방법은 다음의 어느것인가의 형태를 특징으로 하고, 본 발명에 의한 반도체장치는 이들중의 어느것인가의 제조방법에 의해서 제조되는 것을 특징으로 하게 된다.

(1) 실리콘기판상에 열산화막을 형성한후, 산화막 또는 실리콘기판표면이 노출된 상태에서 적어도 800℃이상의 온도에 있어서 5분이상 열처리를 실시한후 트랜지스터를 형성하기 위해 필요한 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째 배선의 형성등을 실행하는 것을 특징으로 하는 반도체장치의 제조방법.

(2) 실리콘기판표면에 반도체소자사이를 전기적으로 절연분리하기 위한 부분적으로 두꺼운 산화막을 형성하는 선택산화종료후에 산화막 이외의 박막을 제거하고 산화막 또는 실리콘기판을 노출시킨 상태에서 적어도 950℃이상, 1410℃이하, 가능하면 1200℃이하의 온도에 있어서 5분이상, 바람직하게는 20분이상 열처리를 실행하고, 그후 트랜지스터를 형성하기 위해 필요한 게이트산화막의 형성, 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째 배선의 형성등을 실행하는 것을 특징으로 하는 반도체장치의 제조방법.

(3) 실리콘기판표면에 반도체소자사이를 전기적으로 절연분리하기 위한 부분적으로 두꺼운 산화막을 형성한후 MOS형 트랜지스터의 게이트산화막을 형성하고, 상기 게이트산화종료 직후 또는 게이트전극 형성후에 적어도 800℃이상, 1410℃이하, 가능하면 1200℃이하의 온도에 있어서 5분이상, 바람직하게는 20분이상 열처리를 실행하고, 그후 트랜지스를 형성하기 위해 필요한 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째 배선의 형성등을 실행하는 것을 특징으로 하는 반도체장치의 제조방법.

(4) 실리콘기판상에 열산화막을 형성한후, 산화막 또는 실리콘기판표면이 노출된 상태에서 적어도 800℃이상, 1410℃이하, 가능하면 1200℃이하의 온도에 있어서 5분이상, 바람직하게는 20분이상 열처리를 실시한후 트랜지스터를 형성하기 위해 필요한 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째 배선의 형성등을 실행하는 것에 의해 얻어진 반도체장치.

(5) 실리콘기판표면에 반도체소자사이를 전기적으로 절연분리하기 위한 부분적으로 두꺼운 산화막을 형성하는 선택산화종료후에 산화막이외의 박막을 제거하고 산화막 또는 실리콘기판을 노출시킨 상태에서 적어도 950℃이상, 1410℃이하, 가능하면 1200℃이하의 온도에 있어서 5분이상, 바람직하게는 20분이상 열처리를 실행하고, 그후 트랜지스터를 형성하기 위해 필요한 게이트산화막의 형성, 불순물의 도입, 전극, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째 배선의 형성등을 실행한 것에 의해 얻어진 반도체장치.

(6) 실리콘기판표면에 반도체소자사이를 전기적으로 절연분리하기 위한 부분적으로 두꺼운 산화막을 형성한후 MOS형 트랜지스터의 게이트산화막을 형성하고, 상기 게이트산화종료 직후 또는 게이트전극 형성후에 적어도 800℃이상, 1410℃이하, 가능하면 1200℃이하의 온도에 있어서 5분이상, 바람직하게는 20분이상 열처리를 실행하고, 그후 트랜지스터를 형성하기 위해 필요한 불순물의 도입, 배선의 형성, 절연막의 형성, 필요에 따라서 2층째 배선의 형성등을 실행한 것에 의해 얻어진 반도체장치.

(7) 반도체장치가 플래시메모리, DRAM, SRAM등의 메모리장치 또는 연산장치인 것을 특징으로 하는 상기 (4), (5), (6)항 기재의 반도체장치.

(8) 열산화가 적어도 수소와 산소의 혼합가스 (산소와 수소의 혼합비율은 산소를 1로 가정한 경우에 수소는 2미만, 바람직하게는 1.5~1.8정도) 또는 H_2 0분위기에서 실행되는 것을 특징으로 하는 상기 (1), (2), (3)항 기재의 반도체장치의 제조방법.

(9) 열산화가 적어도 수소와 산소의 혼합가스(산소와 수소의 혼합비율은 산소률 1로 가정한 경우에 수소는 2미만, 바람직하게는 1.5~1.8정도) 또는 H_2 0분위기에서 실행되는 것을 특징으로 하는 상기 (4), (5), (6), (7)항 기재의 반도체장치.

(10) 열처리의 분위기가 질소 또는 수소 또는 아르곤등의 불활성가스 또는 이들의 혼합가스이고 또는 이들에 수%정도 (바람직하게는 5%이하, 보다 바람직하게는 2%이하) 산소가 포함된 혼합가스인 것을 특징으로 하는 상기 (1), (2), (3), (8)항 기재의 반도체장치의 제조방법.

(11) 열처리의 분위기가 질소 또는 수소 또는 아르곤등의 불활성가스 또는 이들의 혼합가스이고 또는 이들에 수%정도 (바람직하게는 5%이하, 보다 바람직하게는 2%이하) 산소가 포함된 혼합가스인 것을 특징으로 하는 상기 (4), (5), (6), (7), (9)항 기재의 반도체장치.

실리콘기판상에 열산화법으로 산화막을 형성하는 경우에 산화막중에 발생하는 응력 또는 실리콘기판표면(산화막과의 계면)에 발생하는 응력은 산화온도에 의해서 변화한다. 이것은 열산화막의 점탄성거동에 따

른 응력완화기구가 존재하기 때문이다.

이 열산화과정에서 실리콘기판에 발생하는 응력을 현미라만법을 사용해서 측정한 예를 제3도에 도시한다. 도면의 가로축은 산화온도이고, 세로축은 실리콘기판표면 (산화막과의 계면)에 실온에서 잔류하고 있는 기판표면과 평행방향의 수직응력이다. 도면중에는 산화분위기로써 수소와 산소의 혼합분위기 (1/1.5~1/1.8)를 사용한 경우와 건조산소를 사용한 경우의 측정결과를 정리해서 도시하고 있다. 또, 산화는 실리콘단결정((100)면웨이퍼)을 사용하고, 실리콘표면에 균일하게 막두께 50nm으로 일정하게 산화막을 형성하고 있다.

실리콘기판 잔류응력은 산화온도가 상승함에 따라 단조롭게 감소하는 것을 알 수 있다. 특히, 산화분위기로써 산소와 수소의 혼합가스를 사용한 경우에 응력완화가 현저하게 나타나고, 950℃이상에서는 거의 0까지 감소한다. 이와 같은 응력완화거동은 산화반응의 진행과정에 한정되지 않고 산화반응이 종료한 후에 열처리를 실행해도 발생한다.

즉, 예를 들면 산화분위기로써 산소와 수소의 혼합가스를 사용한 경우에 850℃에서 산화막을 형성한후에 950℃에서 30분 열처리를 추가해도 산화막응력을 거의 0까지 감소한다. 열처리과정에 있어서의 응력완화는 5분 정도라도 효과가 나타나지만 충분한 응력완화를 실행시키기 위해서는 가능하면 20분이상 열처리를 실행하는 것이 바람직하다.

또, 제3도는 산화막두께를 50nm으로 한 경우의 측정결과이지만, 산화막두께가 100nm정도이상으로 되면 950℃이상에서 산화해도 산화종료시점에 있어서 실리콘기판 잔류응력은 반드시 0까지 감소하는 것은 아니다. 이것은 응력의 완화에 시간을 필요로 하기 때문이다. 따라서, 열산화법에 의해서 산화막을 형성한후에 이상과 같은 열처리를 실시하는 것은 산화막중의 응력완화에 유효하다. 또, 산소와 수소의 혼합비율은 산소를 1로 가정한 경우에 수소는 2미만, 바람직하게는 1.5~1.8 정도가 유효하다.

또, 선택산화법과 같이 질화규소막등의 산화보호 (방지)막을 사용해서 산화를 실행하는 경우에는 이미 기술한 바와 같이 산화보호 (방지) 막 끝부의 산화막중에 응력집중이 발생하므로 산화종료후에 응력의 발생원인으로 되고 있는 박막(이 경우는 질화규소막)을 제거하고 산화막표면 또는 실리콘기판표면의 전면이 노출된 상태에서 열처리를 추가하면 상기 박막의 존재에 기인해서 발생한 응력도 산화유기응력과 함께 완화시킬 수 있다.

또, MOS형 트랜지스터의 게이트산화막은 850℃전후에서 형성되는 경우가 많고, 막형성후에는 산화막중에 큰 응력이 잔류하고 있는 경우가 많기 때문에 이와 같은 열처리의 추가는 응력완화에 매우 유효하다.

또, 이 게이트산화막상에 게이트전극을 퇴적 (+에칭등의 가공) 한 경우에도 게이트전극끝의 산화막에는 응력집중이 발생하고 있으므로 게이트전극에칭가공완료후에 이와 같은 열처리를 추가하면 산화막중에 발생한 응력을 완화시키는 것이 가능하다. 상기의 열산화막 또는 산화막 또는 게이트산화막등을 가열처리해서 응력완화할때, 바람직하게는 불활성가스 (예를 들면 질소, 수소, 아르곤, 헬륨등)의 존재하에서 실행한다. 산소의 존재는 없는 쪽이 바람직하지만 5%(체적에서)이하, 바람직하게는 2%(체적에서)이하 존재하고 있어도 좋다.

상기와 같이 응력완화를 위한 가열처리를 실행한후, 예를 들면 상기 (1)의 방법에 있어서는 통상의 방법에 의해 트랜지스터를 형성하기 위해 필요한 불순물의 도입, 전극(여러개), 배선의 형성, 절연막의 형성, 2층째 배선의 형성등을 실행하면 목적으로 하는 반도체장치를 제조할 수 있다.

또, 상기 (2)의 방법에 있어서는 응력완화를 위한 가열처리를 실행한후 통상의 방법에 의해 트랜지스터를 형성하기 위해 필요한 게이트산화막의 형성, 불순물의 도입, 전극(여러개), 배선의 형성, 절연막의 형성, 2층째 배선의 형성등을 실행하면 목적으로 하는 반도체장치를 제조할 수 있다.

또, 상기 (3)의 방법에 있어서도 응력완화를 위한 가열처리를 실행한후, 통상의 방법에 의해 트랜지스터를 형성하기 위해 필요한 불순물의 도입, 전극(여러개), 배선의 형성, 절연막의 형성, 2층째 배선의 형성등을 실행하면 목적으로 하는 반도체장치를 제조할 수 있다.

이하, 실시예에 의해 본 발명을 구체적으로 설명한다.

[실시예 1]

실시예1을 제1도, 제3도, 제4도를 사용해서 설명한다. 제1도는 본 발명의 반도체장치의 제조방법을 사용한 소자분리용 산화막의 형성공정에 있어서의 실리콘기판 단면변화를 도시한 모식도, 제3도는 산화에 따라서 실리콘기판표면(산화막과의 계면) 근방에 발생하는 응력의 산화온도의존성을 도시한 도면, 제4도는 본 실시예의 제조방법을 도시한 흐름도이다.

우선, 제4도의 흐름도에 따라 제1도를 사용해서 본 실시예를 설명한다. 본 실시예는 본 발명을 반도체장치의 제조프로세스에 있어서의 두꺼운 소자분리산화막을 형성하기 위한 선택산화프로세스에 적용한 것이다.

실리콘기판(1) (제1a도)상에 열산화법을 사용해서 막두께 10nm정도의 얇은 패드산화막(2)을 형성한다(제1b도). 이 위에 산화보호(방지)막으로써 질화규소막 (3)을 퇴적한다(제1c도). 소자분리산화막을 형성하고자 하는 영역의 상기 질화규소막(3)을 에칭제거해서 개구부를 형성하고, 열산화(제4도의 106)를 실행하고, 두께 300~700nm정도인 막두께의 소자분리산화막(4)를 형성한다(제1e도). 그후, 상기 질화규소막(3)을 전부제거하고, 산화막(2) 또는 (3) 또는 실리콘기판(1)이 표면에 노출된 상태에서 800℃이상의 온도에서 적어도 5분이상, 바람직하게는 20분이상 열처리(제4도의 108)를 실행한다.

또, 열처리의 분위기는 질소 또는 수소 또는 아르곤등의 불활성가스 또는 이들의 혼합가스인 것이 바람직하지만 5%이하, 바람직하게는 2%정도이하의 산소가 포함되어도 지장은 없다. 또, 열처리온도는 가능하면 950℃이상, 1410℃이하, 바람직하게는 1200℃이하이면 한층 바람직하다.

본 열처리에 의한 응력완화의 효과를 제3도를 사용해서 설명한다. 제3도의 가로축은 산화온도, 세로축은 산화후의 실리콘기판 잔류응력이다. 또, 산화는 실리콘단결정((100)면웨이퍼)를 사용하고 실리콘표면에

균일하게 막두께 500㎚의 일정한 산화막을 형성하고 있다.

실리콘기판 잔류응력은 산화온도가 상승함에 따라 단조롭게 감소하는 것을 알 수 있다. 특히, 산화분위기로써 산소와 수소의 혼합가스를 사용한 경우에 응력완화가 현저하게 나타나고, 950℃이상에서는 거의 0으로까지 감소한다. 산소와 수소의 혼합비율은 체적에서 1/2이만, 바람직하게는 1/1.5~1/1.8정도가 유효하다. 이와 같은 응력완화거동은 산화반응의 진행과정에 한정되지 않고 산화반응이 종료한후에 열처리를 실행해도 발생산다.

즉, 예를 들면 산화분위기로써 산소와 수소의 혼합가스를 사용한 경우, 850℃에서 산화막을 형성한후에 950℃에서 30분 열처리를 추가해도 산화막응력은 거의 0까지 감소한다. 열처리과정에 있어서의 응력완화는 5분정도에서도 효과가 나타나지만 충분한 응력완화를 실행시키기 위해서는 가능하면 20분이상 열처리를 실행하는 것이 바람직하다.

또, 제3도는 산화막두께를 50㎚으로 한 경우의 측정결과이지만, 산화막두께가 100㎚정도이상으로 되면 950℃이상에서 산화해도 산화종료시점에 있어서 실리콘기판 잔류응력은 반드시 0까지 감소하는 것은 아니다. 이것은 응력의 완화에 시간을 필요로 하기 때문이다. 따라서, 열산화법에 의해서 산화막을 형성한후에 이상과 같은 열처리 또는 특히 1000℃이상의 열처리(예를 들면 1200℃)를 실시하는 것은 산화막중의 응력완화에 유효하다.

특히, 선택산화법에 있어서는 질화규소막 끝부근방의 산화막중에 응력집중이 발생하고 있으므로 질화규소막을 제거한후에 이와 같은 열처리를 실시하는 것에 의해 질화규소막의 존재에 기인해서 발생하고 있는 응력도 완화할 수 있다.

본 실시예에 있어서는 산화보호(방지)막으로써 질화규소막만을 사용했지만 본 산화보호(방지)막을 다결정실리콘 박막상에 질화규소막을 퇴적한 적층구조막이라도 지장은 없다. 또, 산화보호(방지)막은 반드시 패드산화막(2)상에 형성할 필요는 없고 실리콘기판(1)상에 직접 퇴적해도 지장은 없다. 산화보호(방지)막의 일부를 에칭제거해서 개구부를 형성하는 (제4도의 105 또는 제1d도) 경우에는 패드산화막(2)도 제거되어 실리콘기판(1)이 노출되어도 관계없고, 적극적으로 실리콘기판 (1)을 표면에서 10㎚정도 이상 에칭하고 단차를 형성해서 실리콘기판(1)을 노출시켜도 지장은 없다.

이상 본 실시예에 있어서는 선택산화법에 있어서 산화유기응력 또는 산화보호(방지)막의 존재에 기인해서 산화막중에 발생하는 응력을 완화할 수 있어 산화막의 구조 및 전기적신뢰성을 향상할 수 있는 효과가 있다.

[실시예 2]

실시예2를 제5도, 제6도를 사용해서 설명한다. 제5도는 본 발명의 반도체장치의 제조방법을 사용한 MOS형 트랜지스터용의 게이트산화막의 형성공정에 있어서의 실리콘기판 단면변화를 도시한 모식도, 제6도는 본 실시예의 제조방법을 도시한 흐름도이다.

우선, 제6도의 흐름도에 따라 제5도를 사용해서 본 실시예를 설명한다. 본 실시예에서는 제5a도에 도시한 바와 같이 소자분리용 산화막(4)가 이미 형성되고, 게이트산화막을 형성하는 실리콘기판(1)표면이 노출되어 있는 상태를 초기상태(제6도의 202)로 하고 있다. 본 소자분리산화막은 실시예1에서 기술한 제조방법을 사용해서 형성한 것이 바람직하지만 반드시 이 방법에 한정되는 것은 아니다.

게이트산화막(6)은 통상의 열산화법을 사용해서 예를 들면 850℃에서 실리콘기판(1) 표면에 형성한다(제5도b). 이 게이트산화종료후 산화막(4) 또는 (6)의 표면이 노출된 상태에서 적어도 800℃이상, 바람직하게는 950℃, 1410℃이하, 바람직하게는 1200℃이하에서 적어도 5분 이상, 바람직하게는 20분이상 열처리를 실행한다. 열처리의 분위기는 질소 또는 수소 또는 아르곤등의 불활성가스 또는 이들의 혼합가스인 것이 바람직하지만, 5%이하, 바람직하게는 2%이하 정도 산소가 포함되어도 지장은 없다. 본 열처리에 의해, 게이트산화막 형성과정에 있어서 산화막중에 발생하는 산화유기응력을 완화할 수 있다.

본 실시예에 있어서는 게이트산화프로세스에 있어서 산화유기응력에 기인해서 산화막중에 발생하는 응력을 완화할 수 있어 산화막의 구조 및 전기적 신뢰성을 향상할 수 있다는 효과가 있다.

[실시예 3]

실시예3을 제7도, 제8도를 사용해서 설명한다. 제7도는 본 발명의 반도체장치의 제조방법을 사용한 MOS형 트랜지스터의 형성 공정에 있어서의 실리콘기판 단면변화를 도시한 모식도, 제8도는 본 실시예의 제조방법을 도시한 흐름도이다. 이하, 제8도의 흐름도에 따라 제7도를 사용해서 본 실시예를 설명한다. 본 실시예에서는 MOS형 트랜지스터의 게이트산화막(6)까지는 형성되어 있는 (제7a도, 제8도으 302) 것을 초기조건으로 하고 있다.

본 실시예에 있어서의 소자분리산화막(4) 및 게이트산화막(6)의 형성은 본 발명의 실시예1 및 실시예2를 사용해서 형성하고 있는 것이 바람직하지만, 반드시 이들에 한정되는 것은 아니다.

게이트전극(7)로써 예를 들면 다결정실리콘박막을 형성하고, 에칭가공에 의해 전극형상으로 가공한다(제7b도). 이 경우, 게이트전극(7) 끝근방의 게이트산화막(6) 중에는 응력집중이 발생하므로 산화막이 받은 손상을 회복시키는 것을 목적으로 해서 적어도 800℃이상, 바람직하게는 950℃이상, 1410℃이하, 바람직하게는 1200℃이하의 온도에서 적어도 5분이상, 바람직하게는 20분이상 열처리한다(제8도의 304). 열처리의 분위기는 질소 또는 수소 또는 아르곤등의 불활성가스 또는 이들의 혼합가스인 것이 바람직하지만, 5%이하, 바람직하게는 2%이하 정도 산소가 포함되어 있어도 지장은 없다.

또, 게이트전극재료는 다결정실리콘박막에 한정되는 것은 아니고, 고융점금속재료 또는 고융점금속 내지는 티탄, 코발트, 니켈등 금속과의 실리사이드합금 또는 이상의 박막의 적층구조라도 지장은 없다.

그후, 트랜지스터를 형성하기 위해 필요한 불순물의 도입(306), 1층째의 배선(12)의 형성(307), 층간절연막(13)의 형성(308), 2층째의 배선(14)의 형성(309), 절연막(15)의 형성(310)등이 실행되어 MOS형 트랜지스터가 완성(311)된다. 본 수순으로 형성한 트랜지스터단면구조예를 제7c도에 도시한다. 또, 트랜지스터

의 형성의 수순은 본 흐름도에 도시한 수순에 한정되는 것은 아니고 배선층수도 2층에 한정되는 것은 아니다. 또, 본 MOS형 트랜지스터는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory)등의 메모리회로 또는 연산회로에 사용해도 관계없다.

본 실시예에 있어서는 MOS형 트랜지스터의 형성프로세스에 있어서 게이트전극막의 내부응력에 기인해서 게이트산화막중에 발생하는 응력을 환화할 수 있어 산화막 및 트랜지스터의 전기적 신뢰성을 향상할 수 있는 효과가 있다.

[실시예 4]

실시예4를 제9도, 제10도를 사용해서 설명한다. 제9도는 본 발명의 반도체장치의 제조방법을 사용한 플래시메모리구조의 형성공정에 있어서의 실리콘기판 단면변화를 도시한 모식도, 제10도는 본 실시예의 제조방법을 도시한 흐름도이다.

우선, 제10도의 흐름도에 따라 제9도를 사용해서 본 실시예를 설명한다. 본 실시예에서는 실리콘기판(1) 상에 소자분리산화막(4) 및 터널산화막(8)이 형성되어 있는 상태를 초기상태(제9a도, 제10도의 402)로 한다. 본 소자분리막(4) 및 터널산화막은 본 발명의 실시예1 및 실시예2에서 기술한 제조방법으로 형성하는 것이 바람직하지만 반드시 이것에 한정되는 것은 아니다.

터널산화막(8) 상에는 부유전극용의 박막을 퇴적하고, 에칭에 의해 부유전극 (9)로써 가공한다(제9b도). 이 부유전극(9)의 재질은 다결정실리콘 또는 고융점 금속재료 또는 고융점 금속 내지는 티탄, 코발트, 니켈등 금속과의 실리사이드합금 또는 이상의 박막의 적층구조라도 지장은 없다. 이 부유전극형성후에 실시예3에서 기술한 전극막에 기인한 응력완화를 목적으로 한 열처리를 실행해도 관계없다.

다음에 상기 부유전극(9) 상에 산화규소막 또는 질화규소막 또는 이들의 적층구조를 이루어지는 절연막(10)을 형성한다. 이 절연막형성시의 응력완화의 열처리(제10도의 405)를 다음에 실행해도 지장은 없다. 이 열처리는 반드시 실행할 필요는 없다. 다음에 절연막(10) 상에 제어전극(11)을 형성한다(제9d도).

이 제어전극(11)의 재질은 다결정실리콘 또는 고융점금속재료 또는 고유점금속 내지는 티탄, 코발트, 니켈등 금속과의 실리사이드합금 또는 이상의 박막의 적층구조라도 지장은 없다.

이 전극형성후에 적어도 800℃이상, 바람직하게는 950℃이상, 1410℃이하, 바람직하게는 1200℃이하의 온도에서 적어도 5분이상, 바람직하게는 20분이상 가열처리한다(제10도의 407).

열처리의 분위기는 질소 또는 수소 또는 아르곤등의 불활성가스 또는 이들의 혼합가스인 것이 바람직하지만 5%이하, 바람직하게는 2%이하 정도의 산소가 포함되어도 상관없다. 이 열처리에 의해, 제어전극(11)의 형성에 의한 절연막(10)중의 응력 또는 절연막형성과정의 응력 또는 부유전극형성에 따라 터널산화막중에 발생하는 응력등이 완화된다.

그후, 플래시메모리구조를 형성하기 위해 필요한 불순물의 도입(408), 1층째를 배선(12)의 형성(409), 층간절연막(13)의 형성(410), 2층째의 배선(14)의 형성 (411), 절연막(15)의 형성(412)등이 실행되어 플래시메모리구조가 완성(413)된다. 본 수순으로 형성한 트랜지스터 단면구조예를 제9e도에 도시한다. 또, 트랜지스터형성의 수순은 본 흐름도에 도시한 수순에 한정되는 것은 아니고, 배선층수도 2층에 한정되는 것은 아니며, 또 플래시메모리를 구성하는 전극구조등도 본 실시예에 한정되는 것은 아니다.

본 실시예에 있어서는 플래시메모리구조 형성프로세스에 있어서 제어 또는 부유전극막의 내부응력에 기인해서 터널산화막 또는 부유전극과 제어전극사이의 절연막중에 발생하는 응력을 완화할 수 있어 산화막 또는 절연막 및 플래시메모리의 전기적 신뢰성을 향상할 수 있는 효과가 있다.

본 발명에 있어서는 반도체장치의 열산화막 형성프로세스 또는 산화막 또는 산화막과 질화막의 적층구조로 이루어지는 절연막상에 부분적으로 퇴적한 박막의 끝부에 있어서의 응력집중에 기인한 산화막의 손상을 회복시킬 수 있으므로, 산화막 또는 절연막의 구조 및 전기적 신뢰성을 향상할 수 있는 효과가 있다. 또, MOS형 트랜지스터 또는 플래시메모리등 반도체메모리제품의 신뢰성을 향상할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

실리콘기판의 하나의 주면에 산화방지막을 형성하고나서 상기 실리콘기판의 소자분리막 형성영역에 대응하는 위치에 형성된 상기 산화방지막을 제거하고, 그 후 상기 실리콘기판을 열산화해서 상기 실리콘기판에 상기 소자분리막을 형성하는 제1 공정; 상기 제1 공정 종료후, 상기 소자분리막 형성영역에 대응하는 위치 이외에 형성된 상기 산화방지막도 제거하고, 상기 실리콘 기판을 노출시킨 상태에서 상기 실리콘기판을 800℃이상 1410℃이하의 온도로 열처리하는 제2 공정 및; 상기 제2 공정 종료후, 상기 실리콘기판의 하나의 주면측에 MOS형 트랜지스터의 게이트산화막을 제3 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

실리콘기판의 하나의 주면에 패드산화막을 형성하고, 또 그 위에 산화방지막을 형성하고나서 상기 실리콘기판의 소자분리막 형성영역에 대응하는 위치에 형성된 상기 산화방지막을 제거하고, 그 후 상기 실리콘기판을 열산화해서 상기 실리콘기판에 상기 소자분리막을 형성하는 제1 공정; 상기 제1 공정 종료후, 상기 소자분리막 형성영역에 대응하는 위치 이외에 형성된 상기 산화방지막도 제거하고, 상기 패드산화막을 노출시킨 상태에서 상기 실리콘기판을 800℃이상 1410℃이하의 온도로 열처리하는 제2 공정 및; 상기 제2 공정 종료후, 상기 실리콘기판의 하나의 주면측에 MOS형 트랜지스터의 게이트산화막을 형성하는 제3 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제1항에 있어서, 상기 산화방지막은 질화규소막인 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

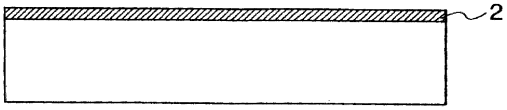
제2항에 있어서, 상기 패드산화막은 산화규소막이고, 상기 산화방지막은 질화규소막인 것을 특징으로 하는 반도체장치의 제조방법.

도면

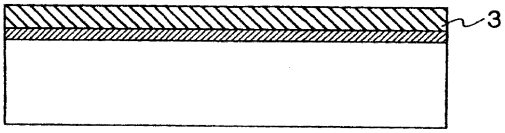
도면1a



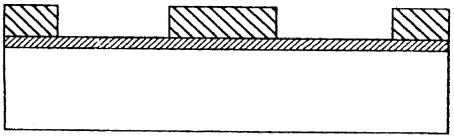
도면1b



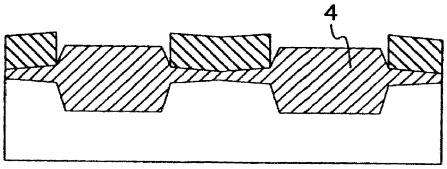
도면1c



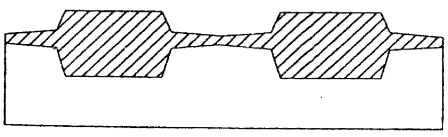
도면1d



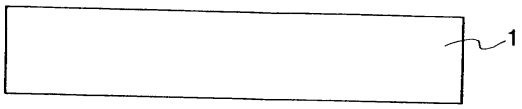
도면1e



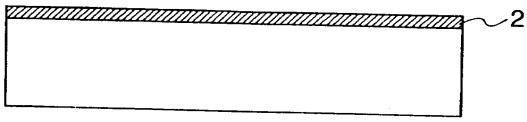
도면1f



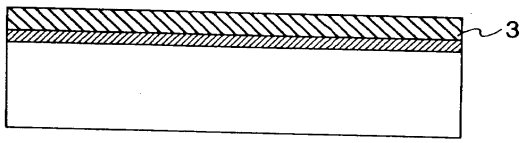
도면2a



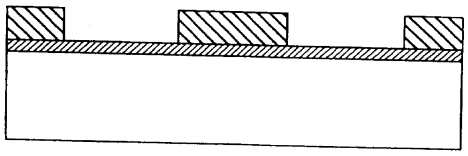
도면2b



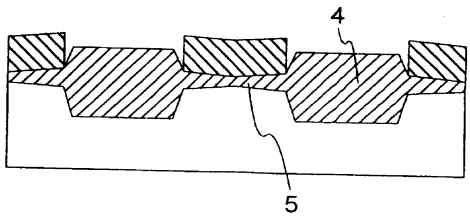
도면2c



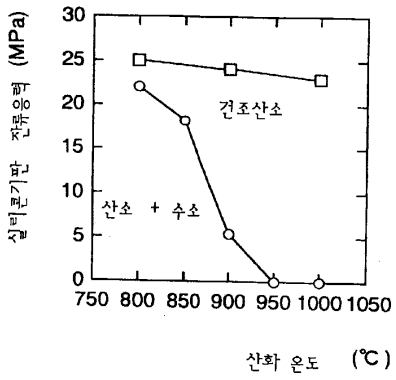
도면2d



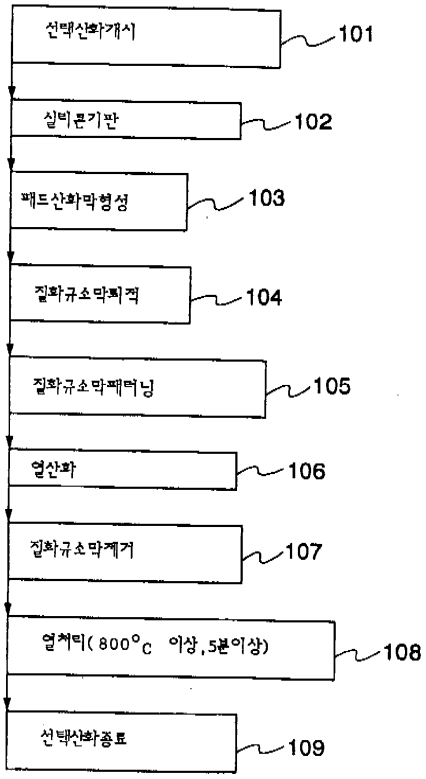
도면2e



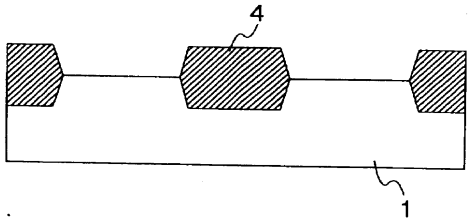
도면3



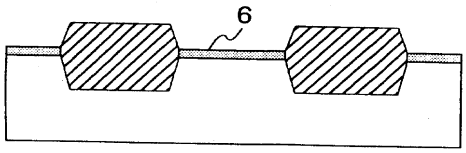
도면4



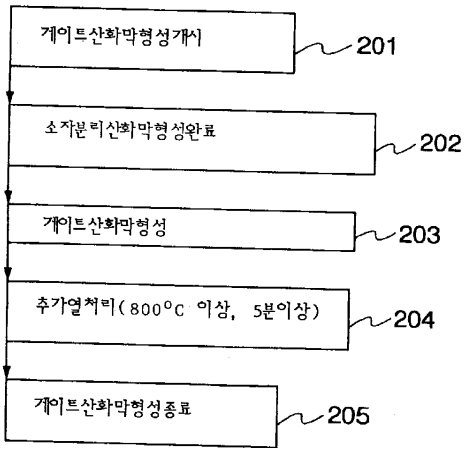
도면5a



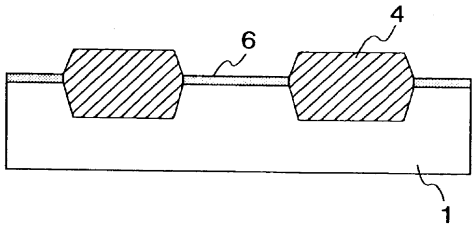
도면5b



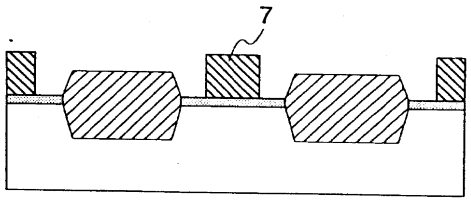
도면6



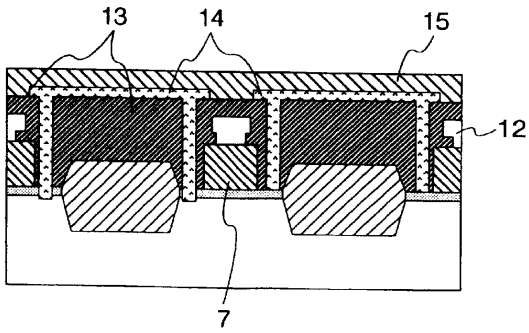
도면7a



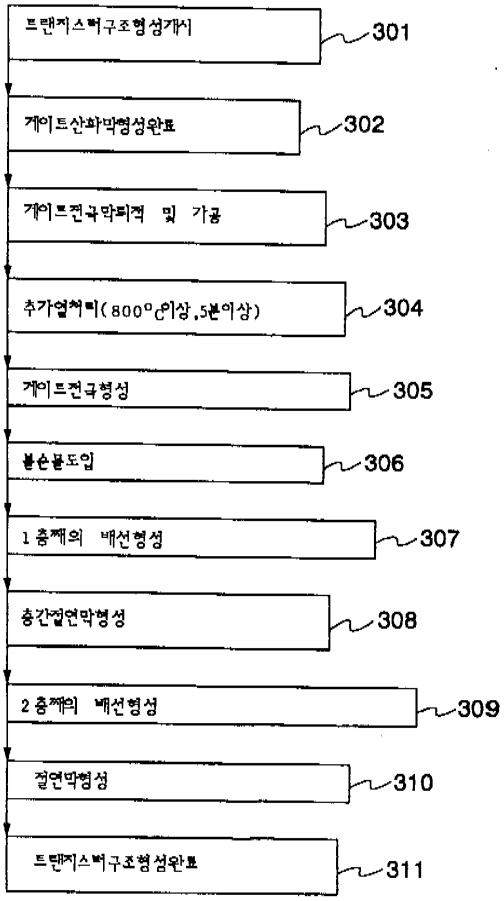
도면7b



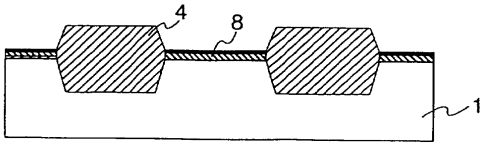
도면7c



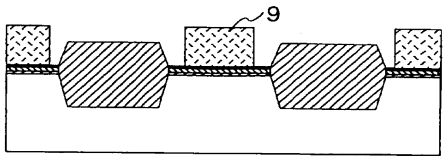
도면8



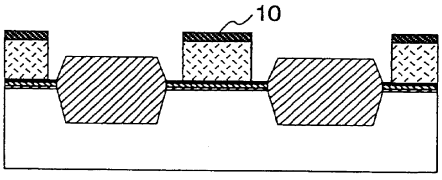
도면9a



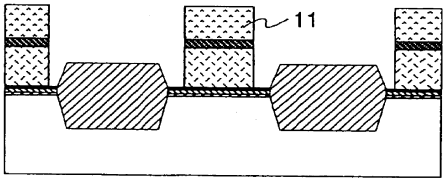
도면9b



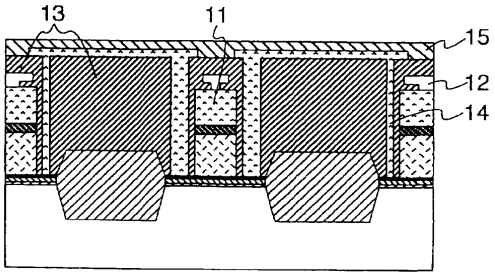
도면9c



도면9d



도면9e



도면10

