

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 1 月 25 日 (25.01.2007)

PCT

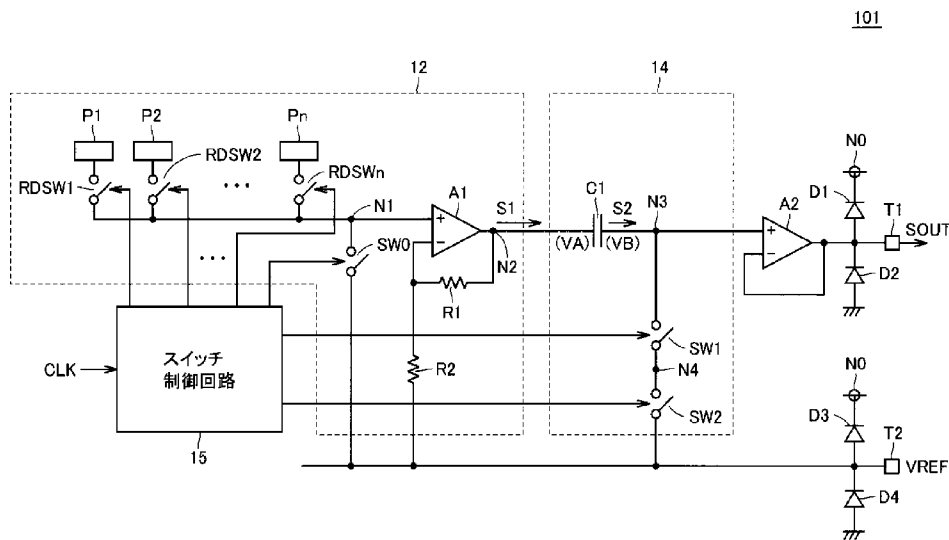
(10) 国際公開番号
WO 2007/010854 A1

- (51) 国際特許分類:
H04N 1/028 (2006.01)
- (21) 国際出願番号: PCT/JP2006/314062
- (22) 国際出願日: 2006 年 7 月 14 日 (14.07.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-213303 2005 年 7 月 22 日 (22.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山田 宣幸 (YAMADA, Nobuyuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 深見 久郎, 外 (FUKAMI, Hisao et al.); 〒5300005 大阪府大阪市北区中之島二丁目 2 番 7 号 中之島セントラルタワー 2 2 階 深見特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, MODULE AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体装置、モジュールおよび電子機器



15.. SWITCH CONTROL CIRCUIT

(57) Abstract: A withstand voltage between a potential of a terminal (T2) and a grounding potential (or power supply potential) is improved by increasing a gate width of a MOS transistor included in a switch (SW2). Thus, even when surge is applied to the terminal (T2), other switch (SW1) and the like are protected. Furthermore, since the gate width of the MOS transistor included in the switch (SW2) is increased, the sizes of other switch (SW1) are not required to be increased, and potential fluctuation at a node (N3) can be suppressed when the switch (SW1) is changed from a conduction state to a non-conduction state. Therefore, a semiconductor device wherein an electrostatic withstand voltage is improved without affecting a process performed based on an input potential received from external, a module provided with a plurality of such semiconductor devices, and an electronic device provided with such module can be provided.

(57) 要約: スイッチ (SW2) に含まれる MOS トランジスタのゲート幅を大きくすることにより端子 (T2) の電位と接地電位 (あるいは電源電位) との間の耐圧が向上する。これにより端子 (T2) にサージが印加された場合にも他のスイッチ (SW1) 等が保

[続葉有]



WO 2007/010854 A1



MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

護される。また、スイッチ（SW2）に含まれるMOSトランジスタのゲート幅を大きくすることにより、他のスイッチ（SW1）のサイズを大きくしなくてもよいので、他のスイッチ（SW1）が導通状態から非導通状態に変化したときのノード（N3）での電位の変動を抑えることができる。よって、外部から受ける入力電位に基づいて行なう処理に影響を与えることなく静電耐圧を向上させる半導体装置、そのような半導体装置を複数備えるモジュール、およびそのようなモジュールを備える電子機器を提供することが可能になる。

明 細 書

半導体装置、モジュールおよび電子機器

技術分野

[0001] 本発明は、半導体装置、半導体装置を複数備えるモジュール、およびそのようなモジュールを備える電子機器に関する。より特定的には、本発明は原稿読み取りや画像入力等に用いられるイメージセンサIC (Integrated Circuit)、複数のイメージセンサICを備えるイメージセンサ装置、およびこのイメージセンサ装置を備える電子機器に関する。

背景技術

[0002] 従来、イメージセンサICを線路上に複数個配置して原稿に記載された文字や画像などの情報を直接読み取るイメージセンサ装置がファクシミリやコピー機、スキャナ等の電子機器(以下、「画像入力機器」と称する)に広く用いられる。

[0003] 図9は、イメージセンサICの基本的な構成を示す概略図である。図9を参照して、イメージセンサIC111は受けた光を電気信号に変換する光電変換部112と、クランプ回路114とを備える。電位VREFは定電位であり、端子T102を介して外部から入力される。

[0004] 光電変換部112では、複数個の画素(図示せず)が直線上に配列される。各画素は受けた光の強度に応じて電気信号を生成する。各画素からの電気信号は光電変換部112の内部の増幅回路(図示せず)で増幅される。光電変換部112から出力される信号にはこの増幅回路の出力オフセット電圧が重畳されることにより、信号の基準となる電位が電位VREFからずれる。オフセット電圧はたとえば数10～数100mV程度になる。

[0005] クランプ回路114はノードNAの電位を電位VREFに設定するためのスイッチSW101と、光電変換部112の出力端子とノードNAとの間に接続されるコンデンサC100とを含む。スイッチSW101は、たとえばNチャネルMOSトランジスタやトランスミッションゲート等により構成される。

[0006] クランプ回路114では、まずスイッチSW101が導通することにより、ノードNAの電

位が電位VREFになる。次にスイッチSW101が非導通状態になり、その後にコンデンサC100を介して光電変換部112から信号が送られる。光電変換部112から送られる信号に応じ、ノードNAにおける電位は電位VREFを基準に変化する。このように、コンデンサC100は光電変換部112から出力される信号の直流成分を遮断する役割を果たす。

[0007] 複数のイメージセンサICの各々から出力される信号の基準電位レベルが揃っていないと、制御部(図示せず)で設定する信号のダイナミックレンジが小さくなってしまふ。この場合、元の画像の階調を再現できなくなり、再現後の画像の解像度が低下するという問題が生じる。各ICに含まれるクランプ回路が信号の基準電位を電位VREFに固定することによって、このような問題を解決できる。

[0008] なお、クランプ回路114と端子T101との間には差動増幅回路A102が設けられる。差動増幅回路A102の非反転入力端子がノードNAに接続され、反転入力端子および出力端子が端子T101に接続されることで差動増幅回路A102はインピーダンス変換を行なう。また、ダイオードD101, D102は出力保護回路として機能し、ダイオードD103, D104は入力保護回路として機能する。

[0009] 従来、イメージセンサIC111を改良した様々なイメージセンサICが提案されている。たとえば特開2002-101264号公報(特許文献1)では、基準電位入力端子と信号出力端子との間に抵抗を設けることによって、クランプ容量の両端の電位差変動を抑えるイメージセンサIC(イメージセンサチップ)が開示される。

[0010] 図10は、特開2002-101264号公報(特許文献1)に開示されるイメージセンサICの構成を概略的に示す図である。図10を参照して、イメージセンサIC111Aは端子T102とクランプ回路114との間に接続される抵抗R100をさらに備える点で図9に示すイメージセンサIC111と異なるが、他の部分の構成は同様であるので以後の説明は繰り返さない。

[0011] イメージセンサIC111AではコンデンサC100と抵抗R100とによってハイパスフィルタが構成される。仮に光電変換部112とクランプ回路114との間にランダムノイズが生じたとしても、このハイパスフィルタがノイズを除去することにより、コンデンサC100の両端の電位差変動が抑えられる。よって、イメージセンサICごとにクランプレベル

の変動を抑えることができ、高品質な画像信号を得ることが可能になる。

特許文献1:特開2002-101264号公報

発明の開示

発明が解決しようとする課題

- [0012] 多くの画像入力機器においてイメージセンサ装置は可動であり、固定された回路基板とフレキシブルケーブルにより接続される。フレキシブルケーブルはアンテナ作用を有し、仮に画像入力機器の内部でノイズが生じると、そのノイズを受信する可能性がある。
- [0013] 半導体装置において端子に接続される回路は、端子を介して外部と直接接続されるため、ノイズの影響を受けやすい。ノイズの中でもトランジスタを破壊するレベルのものは、サージと呼ばれる。このサージにより、MOSTランジスタのゲート絶縁膜の破壊などが生じる。したがって、MOSTランジスタにはサージに対する必要な程度の耐圧(静電耐圧)が要求される。
- [0014] 画像入力機器の動作が高速化されるにつれ、画像入力機器内部の電子部品からノイズが生じる可能性が高くなり、フレキシブルケーブルがノイズを受信する可能性が高くなっている。イメージセンサIC111の場合、端子T101, T102はこのフレキシブルケーブルに接続される。各端子にサージ保護のためのダイオードD101~D104が設けられていても、端子に接続される金属配線を介し、内部回路にサージの影響が及ぶ可能性がある。
- [0015] 特に入力端子である端子T102から入力されるサージの影響が大きいので、イメージセンサIC111ではスイッチSW101をサージから保護する必要がある。スイッチSW101のサイズを大きくすることによりスイッチSW101の静電耐圧を高くできる。具体的にはスイッチSW101を構成するMOSTランジスタのゲート幅を大きくすればよい。
- [0016] しかしながらスイッチSW101のサイズが大きくなると、スイッチSW101に入力される制御電位に応じて出力側(ノードNA側)の電位が変化する。ノードNAの電位の変動幅を以後「フィードスルー」(feed through)と称する。以下、スイッチSW101のサイズとフィードスルーとの関係について説明する。
- [0017] 図11は、図9に示すスイッチSW101の構成を示す図である。図11を参照して、ス

スイッチSW101はNチャネルMOSTランジスタ121およびPチャネルMOSTランジスタ122を含む。ノードNAにはNチャネルMOSTランジスタ121の一方端と、PチャネルMOSTランジスタ122の一方端とが共通に接続される。端子T102にはNチャネルMOSTランジスタ121の他方端と、PチャネルMOSTランジスタ122の他方端とが共通に接続される。

- [0018] スイッチSW101の導通時、NチャネルMOSTランジスタ121のゲート電位は、たとえば3.3Vに設定され、PチャネルMOSTランジスタ122のゲート電位は0Vに設定される。一方、スイッチSW101の非導通時には、NチャネルMOSTランジスタ121のゲート電位は0Vに設定され、PチャネルMOSTランジスタ122のゲート電位は3.3Vに設定される。
- [0019] NチャネルMOSTランジスタ121のノードNA側の一方端(ドレインまたはソース)とゲートとの間には寄生容量C101が存在する。また、PチャネルMOSTランジスタ122のノードNA側の一方端とゲートとの間には寄生容量C102が存在する。寄生容量C101, C102はMOSTランジスタのゲート電極と、ゲート酸化膜を介したゲート電極の下まで拡散するドレイン領域(またはソース領域)との間に生じる容量であり、一般的に「オーバーラップ容量」と称される。
- [0020] オーバーラップ容量はMOSTランジスタのゲート幅が大きいほど大きくなる。寄生容量C101, C102が大きいほど、スイッチSW101が導通状態から非導通状態に切り換った際にノードNAの電位が電位VREFから変化しやすくなる。つまりフィードスルーが大きくなる。なお、ノードNAの電位がどちらの方向に変動するかは寄生容量C101, C102に依存する。
- [0021] 以上のようにイメージセンサIC111では静電耐圧を上げるためにスイッチSW101のサイズを大きくすると、フィードスルーが大きくなる。
- [0022] 図10のイメージセンサIC111Aの場合、抵抗R100の抵抗値をある程度大きな値(たとえば数k Ω 程度)に設定することで静電耐圧を高くできる。この場合、スイッチSW101のサイズを大きくしなくてもよいのでフィードスルーの発生を抑えることができる。
- [0023] しかしスイッチSW101が導通すると、ノードNAの電位は(抵抗R100の抵抗値とスイッチSW101の抵抗値との和) $\times$ (コンデンサC100の容量値)により定まる時定数

に従って変化する。抵抗R100の抵抗値が大きい程、ノードNAの電位が電位VREFに達するまでの時間が長くなる。よって光電変換部112から信号を出力するタイミングを遅らせなければならない。

[0024] 以上のようにイメージセンサIC111Aでは、静電耐圧を高くするほど動作速度が低下する可能性がある。

[0025] このように、外部から受ける入力電位に基づいて処理を行なう従来の半導体装置の場合、動作に影響が生じることなく静電耐圧を向上させることが難しい。

[0026] 本発明の目的は、外部から受ける入力電位に基づいて行なう処理に影響を与えることなく静電耐圧を向上させる半導体装置、そのような半導体装置を複数備えるモジュール、およびそのようなモジュールを備える電子機器を提供することである。

課題を解決するための手段

[0027] 本発明は要約すれば、半導体装置であって、入力電位を受ける入力端子と、第1の信号を受けてシフトさせ、入力電位を基準とする第2の信号を出力する変換回路とを備える。変換回路は、第1の信号が入力される第1のノードと第2の信号を出力する第2のノードとの間に接続されるコンデンサと、第2のノードと中間ノードとの間に設けられる第1のスイッチと、中間ノードと入力端子との間に設けられ、第1のスイッチとともに導通する第2のスイッチとを含む。

[0028] 好ましくは、変換回路は、第2の信号の基準を入力電位に固定する。

好ましくは、半導体装置は、入射した光を電気信号に変換し、第1の信号を出力する光電変換部をさらに備える。

[0029] 好ましくは、第1のスイッチは、他端部と中間ノードとの間に接続される第1のMOSTランジスタを有し、第2のスイッチは、入力端子と中間ノードとの間に接続され、バックゲートに定電位が与えられる第2のMOSTランジスタを有し、第2のMOSTランジスタのゲート幅は、第1のMOSTランジスタのゲート幅よりも大きい。

[0030] より好ましくは、半導体装置は、第1および第2のMOSTランジスタを制御する制御回路をさらに備える。制御回路は、第1のMOSTランジスタを非導通状態に設定した後第2のMOSTランジスタを非導通状態に設定する。

[0031] さらに好ましくは、制御回路は、第2のMOSTランジスタを導通状態に設定した後に

第1のMOSTランジスタを導通状態に設定する。

- [0032] 本発明の他の局面に従うと、モジュールであって、複数の半導体装置を備える。複数の半導体装置の各々は、入力電位を受ける入力端子と、第1の信号を受けてシフトさせ、入力電位を基準とする第2の信号を出力する変換回路とを含む。変換回路は、第1の信号が入力される第1のノードと第2の信号を出力する第2のノードとの間に接続されるコンデンサと、第2のノードと中間ノードとの間に設けられる第1のスイッチと、中間ノードと入力端子との間に設けられ、第1のスイッチとともに導通する第2のスイッチとを有する。
- [0033] 好ましくは、変換回路は、第2の信号の基準を入力電位に固定する。
- 好ましくは、複数の半導体装置の各々は、入射した光を電気信号に変換し、第1の信号を出力する光電変換部をさらに含む。
- [0034] 好ましくは、第1のスイッチは、他端部と中間ノードとの間に接続される第1のMOSTランジスタを有し、第2のスイッチは、入力端子と中間ノードとの間に接続され、バックゲートに定電位が与えられる第2のMOSTランジスタを有し、第2のMOSTランジスタのゲート幅は、第1のMOSTランジスタのゲート幅よりも大きい。
- [0035] より好ましくは、複数の半導体装置の各々は、第1および第2のMOSTランジスタを制御する制御回路をさらに含む。制御回路は、第1のMOSTランジスタを非導通状態に設定した後第2のMOSTランジスタを非導通状態に設定する。
- [0036] さらに好ましくは、制御回路は、第2のMOSTランジスタを導通状態に設定した後第1のMOSTランジスタを導通状態に設定する。
- [0037] 本発明のさらに他の局面に従うと、電子機器であって、複数の半導体装置を含むモジュールを備える。複数の半導体装置の各々は、入力電位を受ける入力端子と、第1の信号を受けてシフトさせ、入力電位を基準とする第2の信号を出力する変換回路とを有する。変換回路は、第1の信号が入力される第1のノードと第2の信号を出力する第2のノードとの間に接続されるコンデンサと、第2のノードと中間ノードとの間に設けられる第1のスイッチと、中間ノードと入力端子との間に設けられ、第1のスイッチとともに導通する第2のスイッチとを有する。
- [0038] 好ましくは、変換回路は、第2の信号の基準を入力電位に固定する。

好ましくは、複数の半導体装置の各々は、入射した光を電気信号に変換し、第1の信号を出力する光電変換部をさらに有する。

[0039] 好ましくは、第1のスイッチは、他端部と中間ノードとの間に接続される第1のMOSTランジスタを有し、第2のスイッチは、入力端子と中間ノードとの間に接続され、バックゲートに定電位が与えられる第2のMOSTランジスタを有し、第2のMOSTランジスタのゲート幅は、第1のMOSTランジスタのゲート幅よりも大きい。

[0040] より好ましくは、複数の半導体装置の各々は、第1および第2のMOSTランジスタを制御する制御回路をさらに有する。制御回路は、第1のMOSTランジスタを非導通状態に設定した後に第2のMOSTランジスタを非導通状態に設定する。

[0041] さらに好ましくは、制御回路は、第2のMOSTランジスタを導通状態に設定した後に第1のMOSTランジスタを導通状態に設定する。

発明の効果

[0042] 本発明の半導体装置によれば、信号の基準が外部から入力される入力電位になるように信号をシフトさせる変換回路と、その入力電位が与えられる入力端子との間に接続されるスイッチを備えることにより、変換回路の動作に影響を与えることなく静電耐圧を向上することができる。

[0043] また、本発明のモジュールおよび電子機器によれば、上述の半導体装置を複数備えることにより、安定した動作を実現することができる。

図面の簡単な説明

[0044] [図1]本発明の電子機器の一例を示す図である。

[図2]図1のイメージセンサヘッド1の構成例を示す図である。

[図3]図2のイメージセンサIC101の構成例を示す図である。

[図4]図3のスイッチSW1の構成例を示す図である。

[図5]図3のスイッチSW2の構成例を示す図である。

[図6]図5のNチャネルMOSTランジスタ32の断面を模式的に示す図である。

[図7]図5のPチャネルMOSTランジスタ31の断面を模式的に示す図である。

[図8]図2のイメージセンサIC101の動作を説明するタイミングチャートである。

[図9]イメージセンサICの基本的な構成を示す概略図である。

[図10]特開2002-101264号公報(特許文献1)に開示されるイメージセンサICの構成を概略的に示す図である。

[図11]図9に示すスイッチSW101の構成を示す図である。

符号の説明

- [0045] 1 イメージセンサヘッド、2 フレキシブルケーブル、3 制御部、4 ガラス、11 回路基板、12, 112 光電変換部、14, 114 クランプ回路、15 スイッチ制御回路、21, 24, 32, 121 NチャネルMOSトランジスタ、22, 25, 31, 122 PチャネルMOSトランジスタ、23, 33 インバータ、41 半導体基板、42~44, 51 拡散層、45 ゲート酸化膜、46 ゲート電極、47 シリサイド、100 スキャナ、101~10m, 111, 111A イメージセンサIC、A1, A2, A102 差動増幅回路、C1, C100 コンデンサ、C101, C102 寄生容量、D1~D4, D101~D104 ダイオード、N0~N4, N11, N12, N21, N22, NA ノード、P1~Pn 画素、T1, T2, T101, T102 端子、R1, R2, R100 抵抗、RDSW1~RDSWn, SW0~SW2, SW101 スイッチ。

発明を実施するための最良の形態

- [0046] 以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。
- [0047] 図1は、本発明の電子機器の一例を示す図である。図1を参照して、本発明の電子機器の一例としてスキャナ100が示される。スキャナ100はイメージセンサヘッド1と、イメージセンサヘッド1に接続されるフレキシブルケーブル2と、フレキシブルケーブル2を介してイメージセンサヘッド1に接続される制御部3と、文字や画像などの情報が描かれた原稿を置くガラス4とを備える。
- [0048] イメージセンサヘッド1は本発明のモジュールに相当する。イメージセンサヘッド1は可動であり、ガラス4を介して原稿から文字や画像を読み取り、制御部3に画像信号を送る。制御部3は画像信号に応じて画像を再現する。
- [0049] スキャナ100はフラットベッドタイプのスキャナであるが、シートフィードスキャナであってもよい。シートフィードスキャナとはイメージセンサヘッドを固定し、一定速度で回転するローラーで原稿を送りながら、原稿上のイメージを読み取るスキャナである。また、本発明の電子機器は、スキャナに限定されず、たとえばファクシミリやコピー機等

であってもよい。

- [0050] 図2は、図1のイメージセンサヘッド1の構成例を示す図である。図2を参照して、イメージセンサヘッド1は1次元に配置された m 個(m は自然数)のイメージセンサIC101~10 m を含む。イメージセンサIC101~10 m の各々は本発明の半導体装置に相当する。イメージセンサIC101~10 m は回路基板11に設けられた配線(図示せず)を介してフレキシブルケーブル2に接続され、電源電位や基準電位等が与えられる。
- [0051] フレキシブルケーブル2を介してイメージセンサIC101~10 m に基準電位等を与える理由は以下のとおりである。まず、ノイズの影響を防ぐために回路基板11に電源回路や基準電位発生回路等を設けた場合には、回路基板11が大きくなるとともに重くなる。よって、回路基板11を動かそうとすれば消費電力が大きくなる。
- [0052] また、別の理由として、イメージセンサIC101~10 m の各々に基準電位発生回路を内蔵させた場合には、特性のばらつきに起因して各ICから出力される信号の基準レベルが異なることが考えられるためである。
- [0053] イメージセンサIC101~10 m は基準電位(入力電位)を受ける端子に印加されるサージから内部回路を保護する構成を有するため、フレキシブルケーブル2によるノイズの影響を受けにくくなる。よって、イメージセンサヘッド1およびスキャナ100の動作を安定させることができる。
- [0054] 図3は、図2のイメージセンサIC101の構成例を示す図である。図3を参照して、イメージセンサIC101は、光電変換部12、クランプ回路14、および端子T1、T2を備える。
- [0055] 光電変換部12は入射した光を電気信号に変換し、信号S1を出力する。光電変換部12は、 n 個(n は自然数)の画素P1~P n 、および、画素P1~P n のそれぞれに対して設けられるスイッチRDSW1~RDSW n を含む。スイッチRDSW1~RDSW n を順次動作させることにより、画素P1~P n から電気信号が順次出力される。
- [0056] 光電変換部12は、さらに、スイッチSW0、差動増幅回路A1、および抵抗R1、R2を含む。スイッチSW0はノードN1と端子T2との間に接続される。端子T2は電位VREF(入力電位)を受ける。なお電位VREFは一定の電位である。
- [0057] 差動増幅回路A1の非反転入力端子はノードN1に接続され、反転入力端子は抵

抵抗R1の一方端に接続される。抵抗R1の他方端はノードN2に接続される。抵抗R2は差動増幅回路A1の反転入力端子と端子T2との間に接続される。

[0058] 画素から信号が出力される前にスイッチSW0が導通し、ノードN1の電位は電位VREFに設定される。差動増幅回路A1は画素から出力される信号を増幅し、ノードN2に信号S1を出力する。ただし、差動増幅回路A1から出力オフセット電圧が発生するので信号S1の基準電位は電位VREFからずれている。

[0059] クランプ回路14は本発明における「変換回路」に相当する。クランプ回路14は信号S1をシフトさせ、電位VREFを基準とする信号S2を出力する。なお、クランプ回路14は信号S2の基準を電位VREFに固定する。

[0060] クランプ回路14は、コンデンサC1およびスイッチSW1, SW2を含む。コンデンサC1はノードN2に一方端が接続され、信号S2を出力するノードN3に他方端が接続される。スイッチSW1はノードN3とノードN4(中間ノード)との間に接続される。スイッチSW2はノードN4と端子T2との間に接続される。

[0061] スイッチSW1, SW2の各々は、たとえばトランスマッションゲートにより構成される。なお、スイッチSW1, SW2の各々は、NチャネルMOSTランジスタやPチャネルMOSTランジスタにより構成されてもよい。あるいはスイッチSW1, SW2の各々は、バイポーラトランジスタにより構成されてもよい。

[0062] スイッチSW2に含まれるMOSTランジスタのゲート幅を大きくすることにより端子T2の電位と接地電位(あるいは電源電位)との間の耐圧が向上する。これにより端子T2にサージが印加された場合にもスイッチSW1等が保護される。また、スイッチSW2に含まれるMOSTランジスタのゲート幅を大きくすることにより、スイッチSW1のサイズを大きくしなくてもよいので、スイッチSW1が導通状態から非導通状態に変化したときのノードN3での電位の変動を抑えることができる。

[0063] さらに、コンデンサC1の容量値およびスイッチSW1, SW2の抵抗値により定まる時定数が小さくなり、信号S1の出力を開始するタイミングを遅らせなくてもよくなるので、高速動作への対応が可能になる。

[0064] なお、スイッチSW2の導通時の抵抗、すなわちMOSTランジスタのオン抵抗は通常のサージ保護抵抗の抵抗値(数kΩ)よりも低く設定される(たとえば数Ω程度)。

- [0065] イメージセンサIC101は、さらに、スイッチSW0～SW2, RDSW1～RDSWnを制御するスイッチ制御回路15を備える。スイッチ制御回路15は外部から入力されるクロック信号CLKに応じ各スイッチの導通および非導通のタイミングを制御する。
- [0066] スイッチSW2はスイッチSW1とともに導通する。スイッチSW1, SW2がともに導通するとノードN3の電位は電位VREFに変化する。次にスイッチSW1, SW2がともに非導通状態になりノードN3の電位が電位VREFに保たれた状態で差動増幅回路A1から信号S1が送られる。
- [0067] コンデンサC1は出力される信号の直流成分を遮断する役割を果たす。よって信号S1に応じ、信号S2の電位は電位VREFを基準として変化する。
- [0068] イメージセンサIC101は、さらに、インピーダンス変換回路として機能する差動増幅回路A2を備える。差動増幅回路A2の非反転入力端子は信号S2を受け、反転入力端子および出力端子が端子T1に接続される。端子T1から外部に信号SOUTが出力される。
- [0069] イメージセンサIC101は、さらに、保護素子として機能するダイオードD1～D4を備える。ダイオードD1はノードN0(電源ノード)と端子T1との間に接続される。ダイオードD2は端子T1と接地ノードとの間に接続される。ダイオードD3はノードN0と端子T2との間に接続される。ダイオードD4は端子T2と接地ノードとの間に接続される。
- [0070] なお、イメージセンサIC102～10mの各々の構成はイメージセンサIC101の構成と同様であるので以後の説明は繰り返さない。
- [0071] 図4は、図3のスイッチSW1の構成例を示す図である。図4を参照して、スイッチSW1はNチャネルMOSTランジスタ21とPチャネルMOSTランジスタ22とインバータ23とを含む。NチャネルMOSTランジスタ21およびPチャネルMOSTランジスタ22はノードN3とノードN4との間に並列に接続される。NチャネルMOSTランジスタ21のゲートはノードN11に接続され、PチャネルMOSTランジスタ22のゲートはノードN12に接続される。インバータ23はノードN11に入力端子が接続され、ノードN12に出力端子が接続される。
- [0072] スイッチSW1は、さらに、NチャネルMOSTランジスタ24とPチャネルMOSTランジスタ25とを含む。NチャネルMOSTランジスタ21とPチャネルMOSTランジスタ22と

の各々のゲート幅を小さくすることでフィードスルーの発生を抑えることができるが、さらにフィードスルーを抑えるため、NチャネルMOSTランジスタ24とPチャネルMOSTランジスタ25とが補助的に設けられる。

[0073] NチャネルMOSTランジスタ24の一方端はノードN3に接続され、他方端は開放され、ゲートはノードN12に接続される。NチャネルMOSTランジスタ24のサイズはNチャネルMOSTランジスタ21と同じである。

[0074] PチャネルMOSTランジスタ25の一方端はノードN3に接続され、他方端は開放され、ゲートはノードN11に接続される。PチャネルMOSTランジスタ25のサイズはPチャネルMOSTランジスタ22と同じである。

[0075] 以下、NチャネルMOSTランジスタ21, 24を例にフィードスルーを抑える作用について説明するが、PチャネルMOSTランジスタ22, 25についても同様の作用が生じる。

[0076] ノードN11の電位がたとえば3.3Vから0Vに変化すると、NチャネルMOSTランジスタ21の寄生容量(ノードN11とノードN3との間の容量)はノードN3の電位を電位VREFよりも低下させようとする。しかし、NチャネルMOSTランジスタ24のゲートの電位が0Vから3.3Vに変化するので、NチャネルMOSTランジスタ24の寄生容量(ノードN12とノードN3との間の容量)はノードN3の電位を電位VREFよりも上昇させようとする。各NチャネルMOSTランジスタの容量値が等しいため、これらの電位変化が相殺されることでノードN3での電位は電位VREFに保たれる。

[0077] 図5は、図3のスイッチSW2の構成例を示す図である。図5を参照して、スイッチSW2は、PチャネルMOSTランジスタ31とNチャネルMOSTランジスタ32とインバータ33とを含む。

[0078] PチャネルMOSTランジスタ31はノードN4と端子T2との間に接続される。PチャネルMOSTランジスタ31のゲートはノードN21に接続され、バックゲートは電源電位(定電位)を与えるノードN0に接続される。

[0079] NチャネルMOSTランジスタ32はノードN4と端子T2との間に接続される。NチャネルMOSTランジスタ32のゲートはノードN22に接続され、バックゲートは接地電位(定電位)を与える接地ノードに接続される。

- [0080] インバータ33の入力端子はノードN21に接続され、インバータ33の出力端子はノードN22に接続される。
- [0081] PチャネルMOSTランジスタ31のゲート幅はPチャネルMOSTランジスタ22のゲート幅よりも大きい。また、NチャネルMOSTランジスタ32のゲート幅はNチャネルMOSTランジスタ21のゲート幅よりも大きい。たとえばPチャネルMOSTランジスタ31, 22のゲート幅はそれぞれ約 $170\mu\text{m}$ 、約 $9\mu\text{m}$ である。また、NチャネルMOSTランジスタ32, 21のゲート幅はそれぞれ約 $53\mu\text{m}$ 、約 $2.5\mu\text{m}$ である。このように、スイッチSW2に含まれるMOSTランジスタのゲート幅を大きくすることによって静電耐圧を向上することができる。
- [0082] 図6は、図5のNチャネルMOSTランジスタ32の断面を模式的に示す図である。図6を参照して、NチャネルMOSTランジスタ32はP型の半導体基板41に形成される。半導体基板41にはN型の拡散層42～44が形成される。半導体基板41は接地電位に設定され、NチャネルMOSTランジスタ32のバックゲートとなる。また、拡散層42は他の拡散層よりも広く形成される。
- [0083] 拡散層42と拡散層43との間、および拡散層43と拡散層44との間はチャンネル領域である。各チャンネル領域上にゲート酸化膜45が形成され、ゲート酸化膜45上にはスイッチ制御回路15に接続されるゲート電極46が形成される。
- [0084] 拡散層42～44の上部にはシリサイド47が形成される。拡散層42上のシリサイド47はゲート電極から離れた位置に設けられ、金属配線を介して端子T2に接続される。拡散層44上のシリサイド47はノードN4に接続される。なお、拡散層43上のシリサイド47はフローティング状態になっている。
- [0085] 端子T2にサージが印加された場合、拡散層42が抵抗の役割を果たしているのでゲート酸化膜45の破壊を防ぐことができる。また、拡散層42と半導体基板41とはダイオードを構成する。接地電位に対する端子T2の電圧がある過電圧レベル(たとえば $200\sim 400\text{V}$)を超えると、端子T2から拡散層42と半導体基板41とを通り、接地ノードに向けてサージ電流が流れる。ゲート電極46の幅を大きくすることにより、ダイオードに流れるサージ電流を大きくすることができる。
- [0086] 図7は、図5のPチャネルMOSTランジスタ31の断面を模式的に示す図である。図7

を参照して、PチャネルMOSトランジスタ31は、半導体基板41にN型の拡散層51が形成され、拡散層51内にP型の拡散層42～44が形成される点で図6のNチャネルMOSトランジスタ32と異なるが他の点は同様であるので以後の説明は繰り返さない。拡散層51はPチャネルMOSトランジスタ31のバックゲートとなり、ノードN0から電源電位が与えられる。拡散層51と拡散層42とはダイオードを構成する。端子T2に正方向のサージが印加された場合、端子T2から拡散層42および拡散層51を通り、ノードN0に向けてサージ電流が流れる。

[0087] 図8は、図2のイメージセンサIC101の動作を説明するタイミングチャートである。図8を参照して、まず時刻t1においてクロック信号CLKの立ち上がりに応じ、スイッチSW0およびスイッチSW2がともに導通状態(ON状態)に変化する。よってノードN1、N4の電位が電位VREFに変化する。図8において電位VREFは1Vである。

[0088] 電位VA、VBは図3の信号S1、S2の電位をそれぞれ示す。電位VAは時刻t1以前は不定であるが、時刻t1において1.05Vに変化する。電位VAと電位VREFとの電位差(0.05V)は差動増幅回路A1から生じる出力オフセット電圧である。

[0089] 時刻t2におけるクロック信号の立ち上がりに応じ、スイッチSW1が導通状態に変化する。ノードN3の電位は時刻t2以前は不定であるが、時刻t2において電位VREF(1V)に変化する。

[0090] このようにスイッチ制御回路15はスイッチSW2(PチャネルMOSトランジスタ31、NチャネルMOSトランジスタ32)を導通状態に設定した後にスイッチSW1(PチャネルMOSトランジスタ22、NチャネルMOSトランジスタ21)を導通状態に設定する。これによりノードN4の電位が電位VREFに達した状態でスイッチSW1が導通状態に設定されるので、ノードN3の電位が電位VREFに達する時間を短くすることができる。

[0091] 続いて時刻t3におけるクロック信号CLKの立ち上がりに応じ、スイッチSW1が非導通状態(OFF状態)に変化する。ただし電位VBは1Vのまま変化しない。さらに時刻t4におけるクロック信号CLKの立ち上がりに応じ、スイッチSW0、SW2がともに非導通状態に変化する。

[0092] このようにスイッチ制御回路15はスイッチSW1を非導通状態に切替えた後にスイッチSW2を非導通状態に切替える。これによって、スイッチSW2が非導通状態に変化

しても電位VBはスイッチSW2の影響を受けなくなる。

- [0093] さらに時刻t5におけるクロック信号CLKの立ち上がりに応じてスイッチRDSW1が導通状態に変化すると、画素P1から出力された信号が差動増幅回路A1により増幅される。電位VAは1.05Vを基準として変化するのに対し、電位VBは1.0Vを基準として変化する。続いて時刻t6におけるクロック信号CLKの立ち上がりに応じてスイッチRDSW2が導通状態に変化すると、時刻t5～時刻t6の期間と同様に電位VA、VBが変化する。電位VBは1.0Vすなわち電位VREFを基準に変化する。このようにクランプ回路14は信号S1をシフトさせ、電位VREFを基準とする信号S2を出力する。また、クランプ回路14は信号S2の基準を電位VREFに固定する。
- [0094] 以上のように本発明の実施の形態によれば、外部から受ける入力電位に基づいて処理を行なう半導体装置において、入力電位を受ける入力端子と第1のスイッチとの間に第2のスイッチを設け、第2のスイッチのサイズを大きくすることによって、第2のスイッチがサージを吸収するので静電耐圧を向上させることができる。
- [0095] また、本発明の実施の形態によれば、第2のスイッチの抵抗値をサージ吸収用の抵抗よりも低くすることによって、クランプ動作への影響を防ぐことができる。
- [0096] また、本発明の実施の形態によれば、第2のスイッチに用いられるMOSTランジスタのゲート幅を第1のスイッチに用いられるMOSTランジスタのゲート幅よりも大きくすることによってフィードスルーの発生を抑えることができる。
- [0097] また、本発明の実施の形態によれば、画像入力装置に用いられるイメージセンサヘッドが上述の半導体装置を複数備えることにより、画像入力装置の内部でノイズが発生しても安定した動作を行なうことが可能になる。
- [0098] なお、本実施の形態では半導体装置の一例としてイメージセンサICを示したが、本発明の半導体装置は、信号をシフトさせ、外部から受ける入力電位を基準とする信号を出力する回路を備える半導体装置に広く適用が可能である。
- [0099] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

請求の範囲

- [1] 入力電位を受ける入力端子と、
第1の信号を受けてシフトさせ、前記入力電位を基準とする第2の信号を出力する
変換回路とを備え、
前記変換回路は、
前記第1の信号が入力される第1のノードと前記第2の信号を出力する第2のノード
との間に接続されるコンデンサと、
前記第2のノードと中間ノードとの間に設けられる第1のスイッチと、
前記中間ノードと前記入力端子との間に設けられ、前記第1のスイッチとともに導通
する第2のスイッチとを含む、半導体装置。
- [2] 前記変換回路は、前記第2の信号の基準を前記入力電位に固定する、請求項1に
記載の半導体装置。
- [3] 入射した光を電気信号に変換し、前記第1の信号を出力する光電変換部をさらに
備える、請求項1に記載の半導体装置。
- [4] 前記第1のスイッチは、
前記他端部と前記中間ノードとの間に接続される第1のMOSTランジスタを有し、
前記第2のスイッチは、
前記入力端子と前記中間ノードとの間に接続され、バックゲートに定電位が与えら
れる第2のMOSTランジスタを有し、
前記第2のMOSTランジスタのゲート幅は、前記第1のMOSTランジスタのゲート幅
よりも大きい、請求項1に記載の半導体装置。
- [5] 前記半導体装置は、
前記第1および第2のMOSTランジスタを制御する制御回路をさらに備え、
前記制御回路は、前記第1のMOSTランジスタを非導通状態に設定した後に前記
第2のMOSTランジスタを非導通状態に設定する、請求項4に記載の半導体装置。
- [6] 前記制御回路は、前記第2のMOSTランジスタを導通状態に設定した後に前記第
1のMOSTランジスタを導通状態に設定する、請求項5に記載の半導体装置。
- [7] 複数の半導体装置を備え、

前記複数の半導体装置の各々は、
入力電位を受ける入力端子と、
第1の信号を受けてシフトさせ、前記入力電位を基準とする第2の信号を出力する
変換回路とを含み、
前記変換回路は、
前記第1の信号が入力される第1のノードと前記第2の信号を出力する第2のノード
との間に接続されるコンデンサと、
前記第2のノードと中間ノードとの間に設けられる第1のスイッチと、
前記中間ノードと前記入力端子との間に設けられ、前記第1のスイッチとともに導通
する第2のスイッチとを有する、モジュール。

[8] 前記変換回路は、前記第2の信号の基準を前記入力電位に固定する、請求項7に
記載のモジュール。

[9] 前記複数の半導体装置の各々は、
入射した光を電気信号に変換し、前記第1の信号を出力する光電変換部をさらに
含む、請求項7に記載のモジュール。

[10] 前記第1のスイッチは、
前記他端部と前記中間ノードとの間に接続される第1のMOSTランジスタを有し、
前記第2のスイッチは、
前記入力端子と前記中間ノードとの間に接続され、バックゲートに定電位が与えら
れる第2のMOSTランジスタを有し、
前記第2のMOSTランジスタのゲート幅は、前記第1のMOSTランジスタのゲート幅
よりも大きい、請求項7に記載のモジュール。

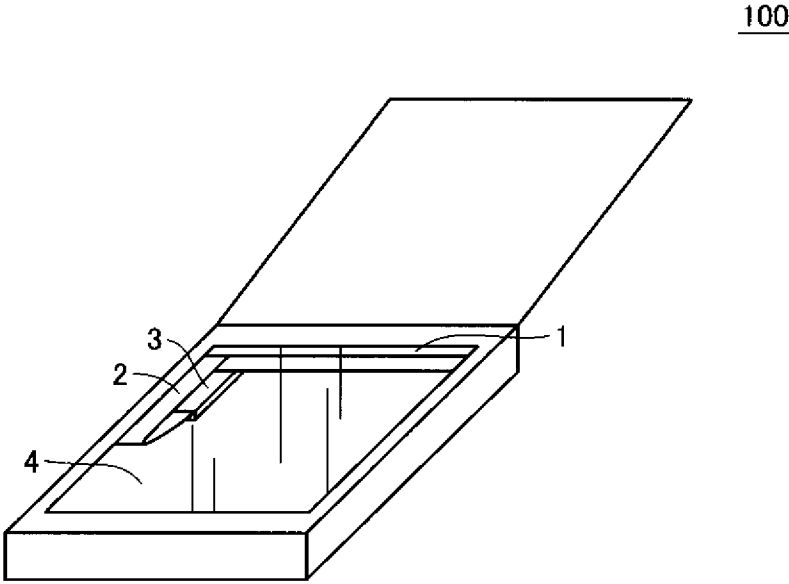
[11] 前記複数の半導体装置の各々は、
前記第1および第2のMOSTランジスタを制御する制御回路をさらに含み、
前記制御回路は、前記第1のMOSTランジスタを非導通状態に設定した後に前記
第2のMOSTランジスタを非導通状態に設定する、請求項10に記載のモジュール。

[12] 前記制御回路は、前記第2のMOSTランジスタを導通状態に設定した後に前記第
1のMOSTランジスタを導通状態に設定する、請求項11に記載のモジュール。

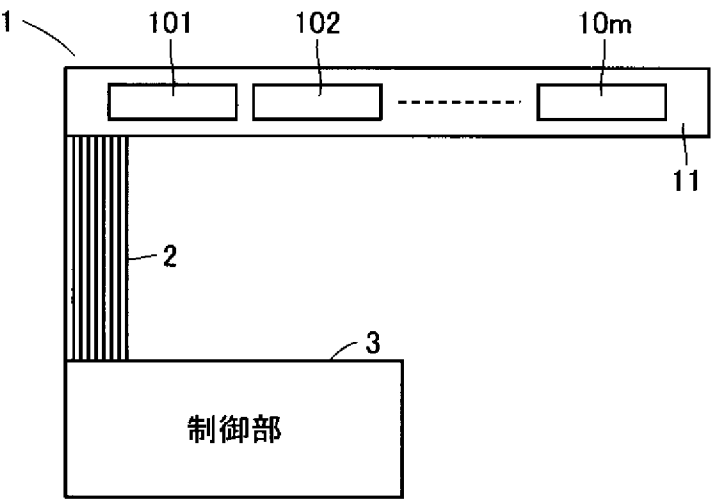
- [13] 電子機器であって、
複数の半導体装置を含むモジュールを備え、
前記複数の半導体装置の各々は、
入力電位を受ける入力端子と、
第1の信号を受けてシフトさせ、前記入力電位を基準とする第2の信号を出力する
変換回路とを有し、
前記変換回路は、
前記第1の信号が入力される第1のノードと前記第2の信号を出力する第2のノード
との間に接続されるコンデンサと、
前記第2のノードと中間ノードとの間に設けられる第1のスイッチと、
前記中間ノードと前記入力端子との間に設けられ、前記第1のスイッチとともに導通
する第2のスイッチとを有する、電子機器。
- [14] 前記変換回路は、前記第2の信号の基準を前記入力電位に固定する、請求項13
に記載の電子機器。
- [15] 前記複数の半導体装置の各々は、
入射した光を電気信号に変換し、前記第1の信号を出力する光電変換部をさらに
有する、請求項13に記載の電子機器。
- [16] 前記第1のスイッチは、
前記他端部と前記中間ノードとの間に接続される第1のMOSTランジスタを有し、
前記第2のスイッチは、
前記入力端子と前記中間ノードとの間に接続され、バックゲートに定電位が与えら
れる第2のMOSTランジスタを有し、
前記第2のMOSTランジスタのゲート幅は、前記第1のMOSTランジスタのゲート幅
よりも大きい、請求項13に記載の電子機器。
- [17] 前記複数の半導体装置の各々は、
前記第1および第2のMOSTランジスタを制御する制御回路をさらに有し、
前記制御回路は、前記第1のMOSTランジスタを非導通状態に設定した後、前記
第2のMOSTランジスタを非導通状態に設定する、請求項16に記載の電子機器。

- [18] 前記制御回路は、前記第2のMOSTランジスタを導通状態に設定した後に前記第1のMOSTランジスタを導通状態に設定する、請求項17に記載の電子機器。

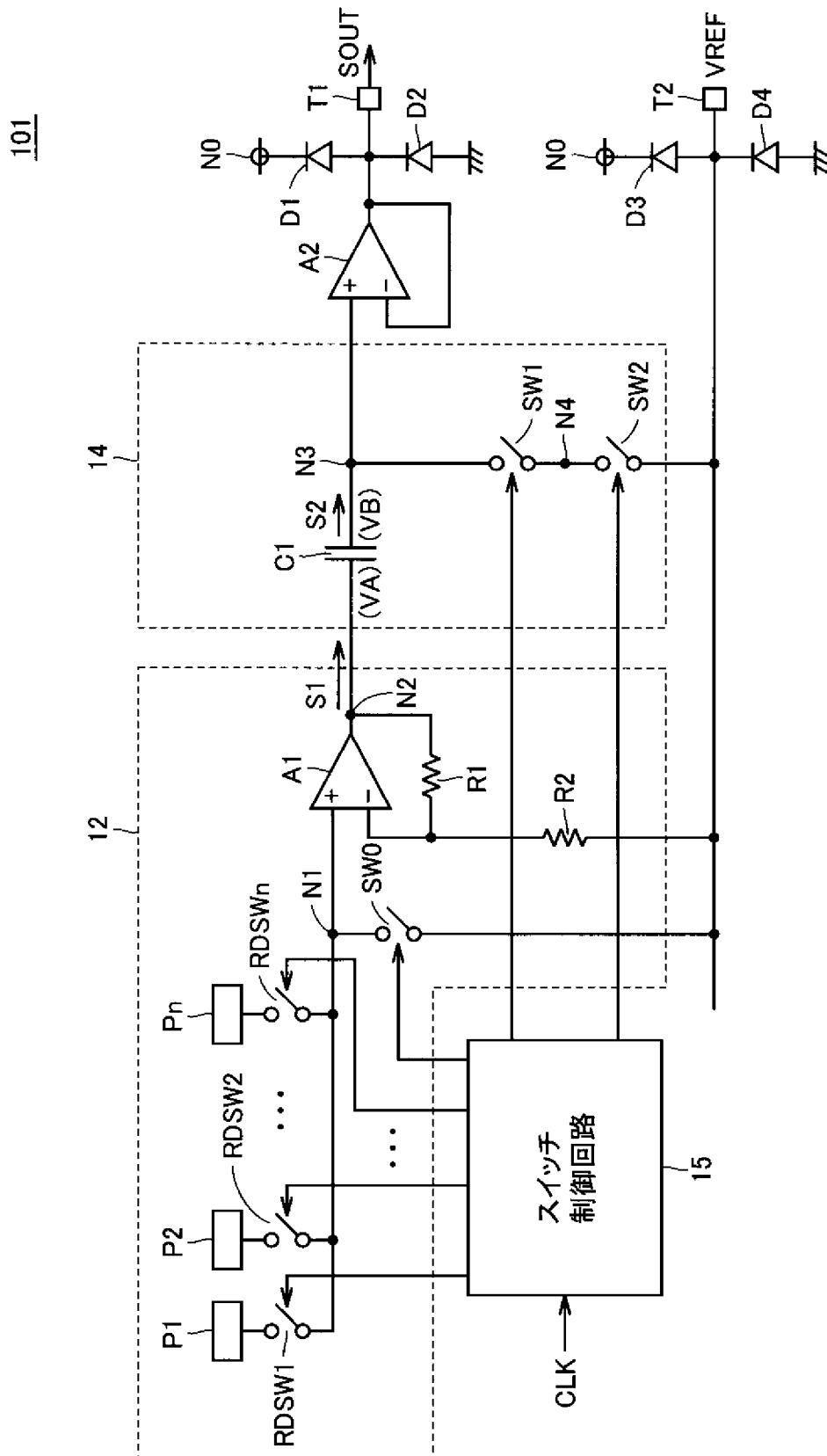
[図1]



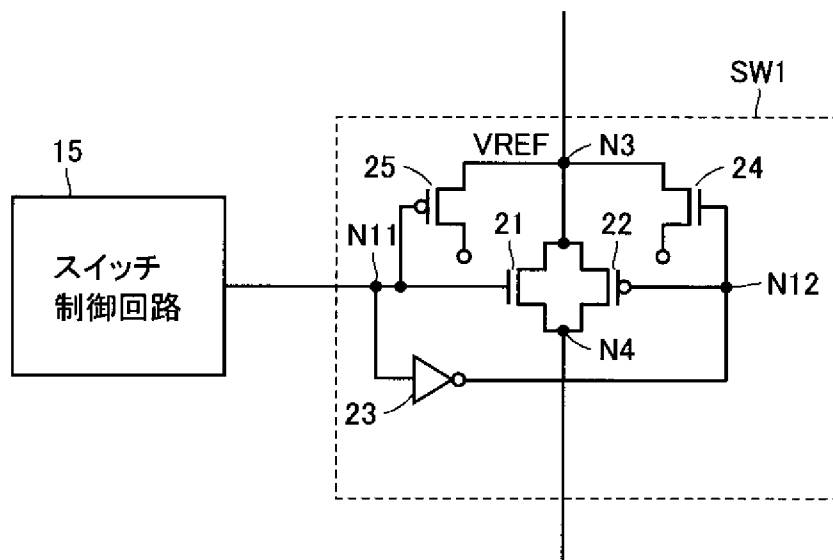
[図2]



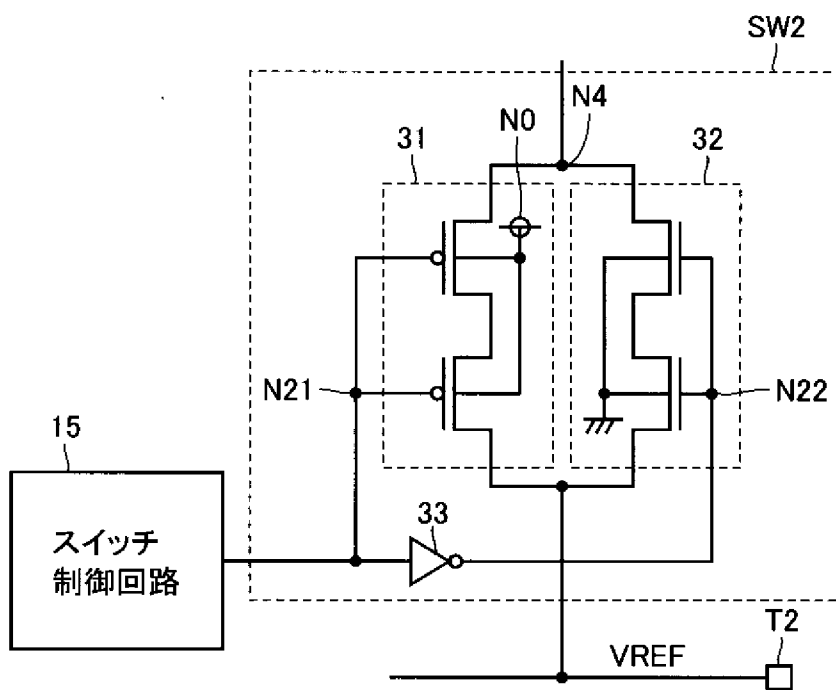
[図3]



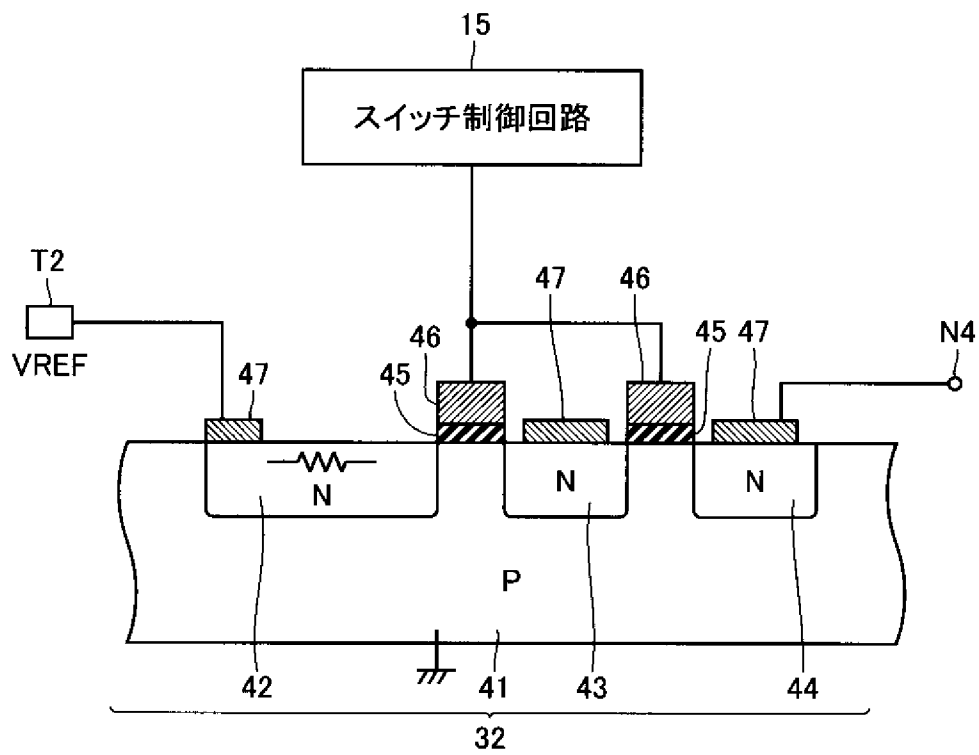
[図4]



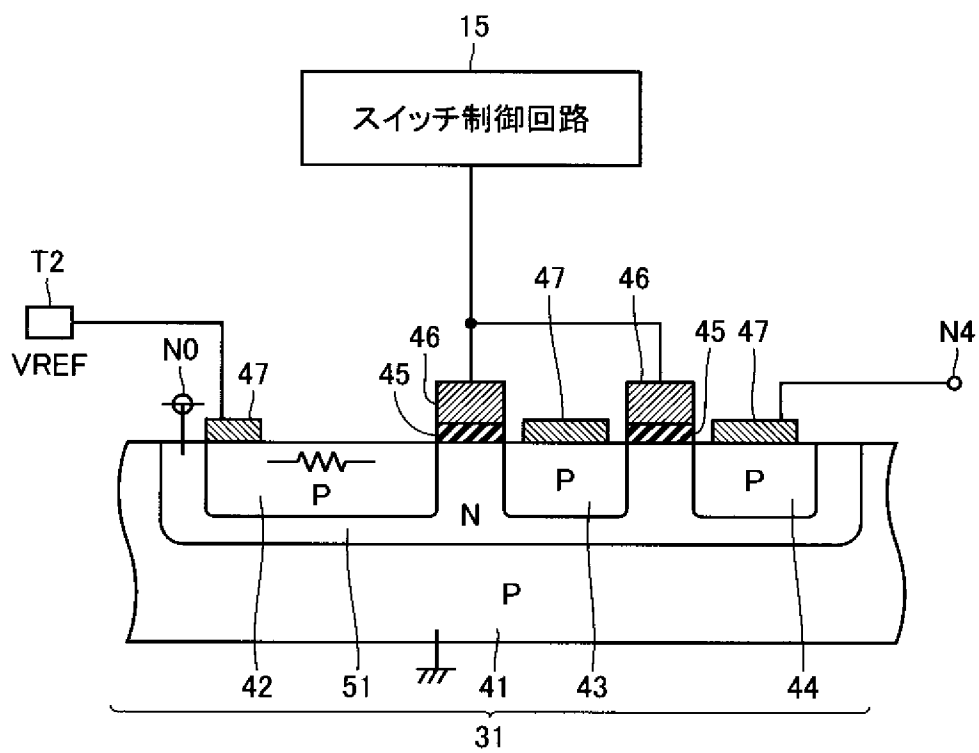
[図5]



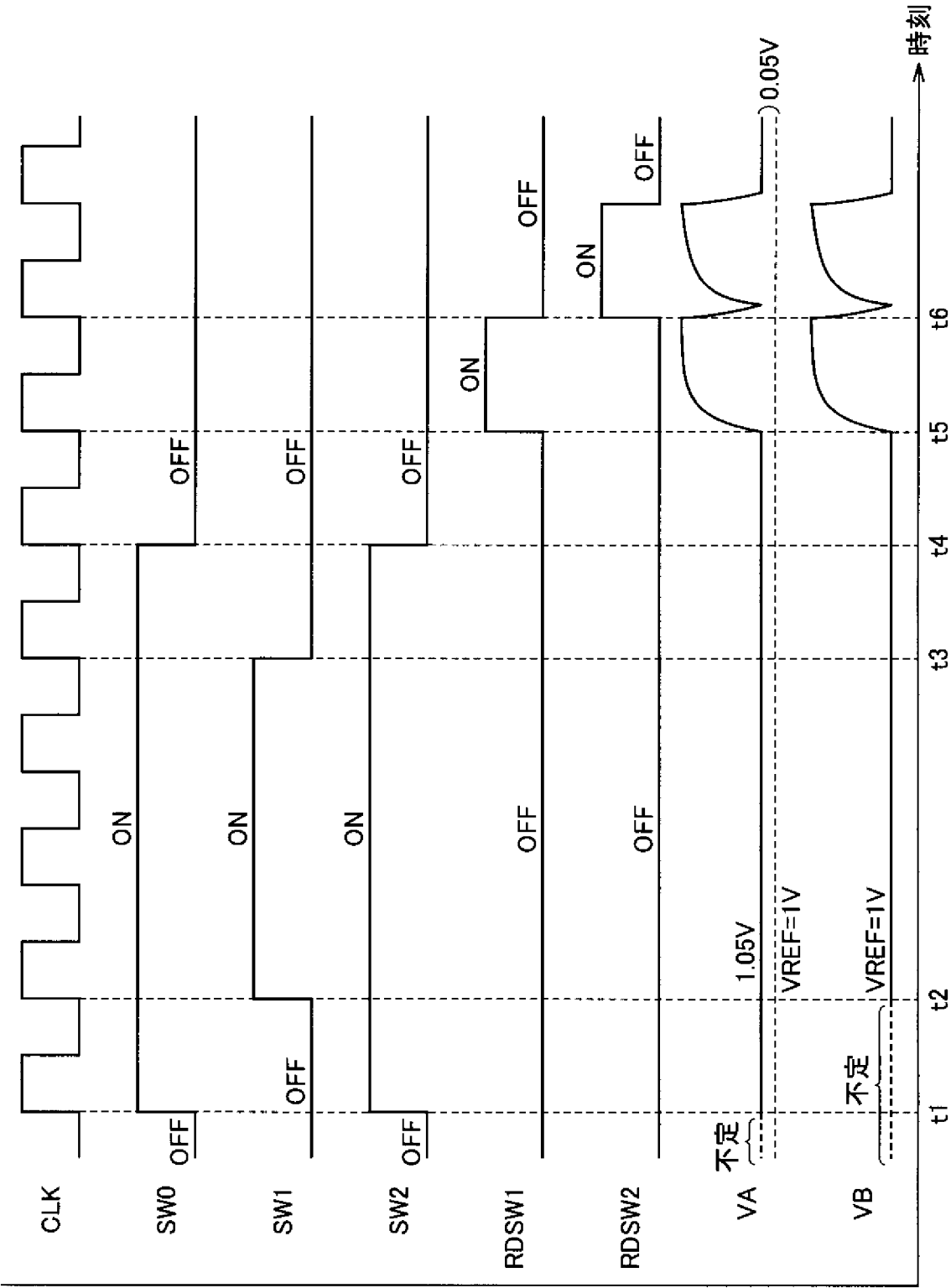
[図6]



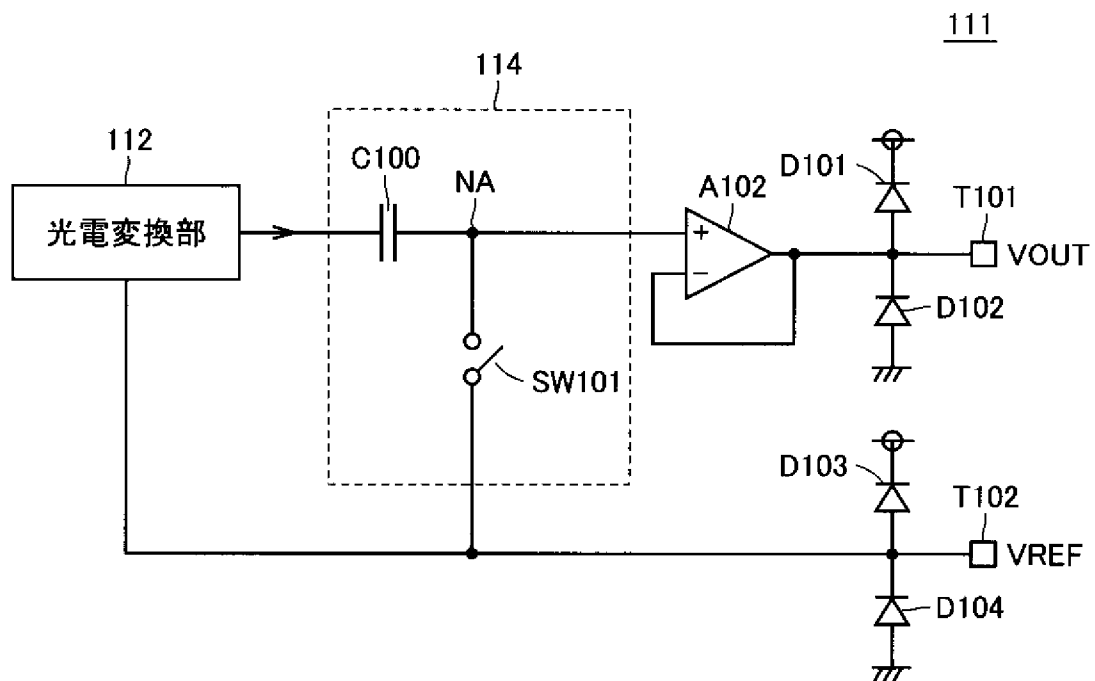
[図7]



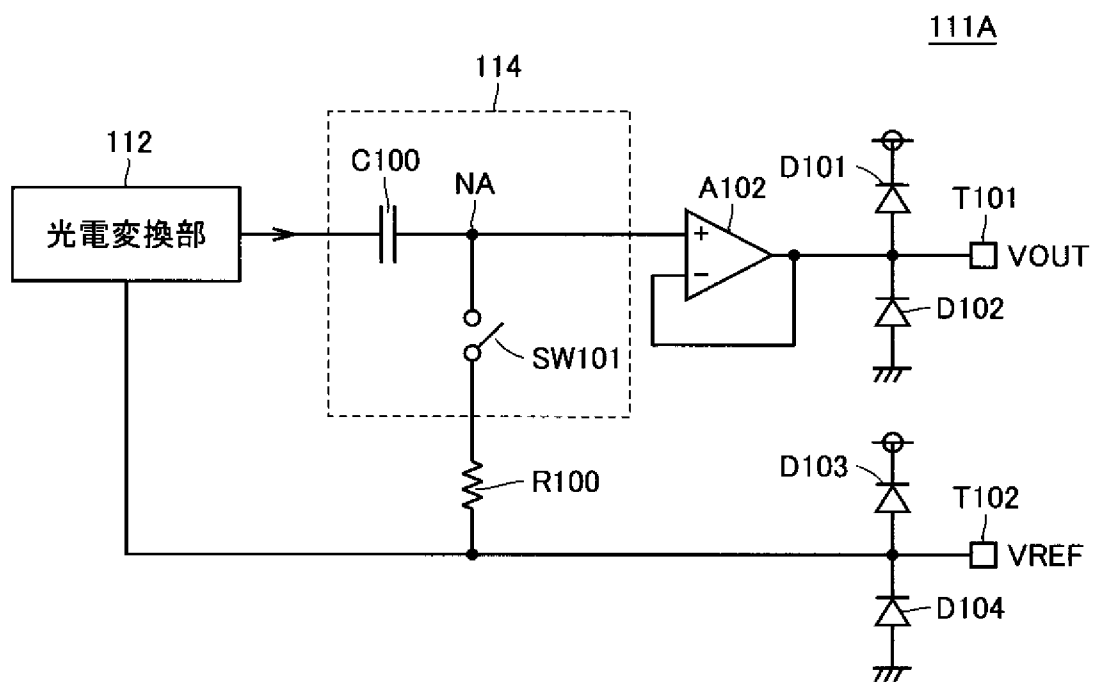
[図8]



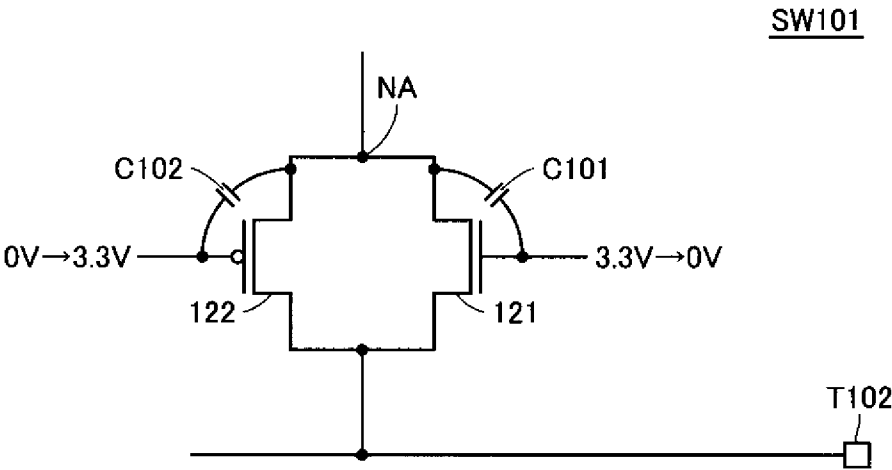
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314062

A. CLASSIFICATION OF SUBJECT MATTER

H04N1/028 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N1/028

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006

Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-12752 A (Seiko Instruments Inc.), 13 January, 2005 (13.01.05), Par. No. [0029]; Fig. 6 & US 2004/0195491 A1	1-4, 7-10 13-16
Y		5, 6, 11, 12 17, 18
Y	JP 5-210976 A (Hitachi, Ltd.), 20 August, 1993 (20.08.93), Par. Nos. [0021] to [0025]; Figs. 5 to 6 & US 5274601 A & KR 254134 B	5, 6, 11, 12 17, 18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 September, 2006 (26.09.06)

Date of mailing of the international search report
03 October, 2006 (03.10.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H04N1/028(2006. 01) i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H04N1/028			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2－1 9 9 6年 日本国公開実用新案公報 1 9 7 1－2 0 0 6年 日本国実用新案登録公報 1 9 9 6－2 0 0 6年 日本国登録実用新案公報 1 9 9 4－2 0 0 6年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求の範囲の番号
X	JP 2005-12752 A（セイコーインスツル株式会社）2005. 01. 13, 段落【0029】、第6図 & US 2004/0195491 A1		1-4, 7-10 13-16
Y			5, 6, 11, 12 17, 18
Y	JP 5-210976 A（株式会社日立製作所）1993. 08. 20, 段落【0021】－【0025】、第5-6図 & US 5274601 A & KR 254134 B		5, 6, 11, 12 17, 18
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 6 . 0 9 . 2 0 0 6		国際調査報告の発送日 0 3 . 1 0 . 2 0 0 6	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号1 0 0－8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 渡辺 努 電話番号 0 3－3 5 8 1－1 1 0 1 内線 3 5 7 1	5 V 8 9 4 8