

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5675170号  
(P5675170)

(45) 発行日 平成27年2月25日(2015.2.25)

(24) 登録日 平成27年1月9日(2015.1.9)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	627B
HO1L 29/786	(2006.01)	HO1L 29/78	618B
GO9F 9/30	(2006.01)	HO1L 29/78	619A
GO2F 1/1368	(2006.01)	HO1L 29/78	617T
HO1L 51/50	(2006.01)	HO1L 29/78	618Z

請求項の数 1 (全 53 頁) 最終頁に続く

(21) 出願番号

特願2010-117995 (P2010-117995)

(22) 出願日

平成22年5月24日(2010.5.24)

(65) 公開番号

特開2011-9719 (P2011-9719A)

(43) 公開日

平成23年1月13日(2011.1.13)

審査請求日

平成25年5月21日(2013.5.21)

(31) 優先権主張番号

特願2009-131616 (P2009-131616)

(32) 優先日

平成21年5月29日(2009.5.29)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 秋元 健吾

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 岩本 勉

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

## (57) 【特許請求の範囲】

## 【請求項 1】

絶縁表面を有する基板の上方にゲート電極を形成し、  
前記ゲート電極の上方に、窒素を3原子%以上30原子%以下含む第1の酸化窒化珪素膜を形成し、

前記第1の酸化窒化珪素膜の上方に、酸素を50%以上100%以下含む雰囲気中で酸化物半導体層を形成し、

前記酸化物半導体層の上方に、窒素を3原子%以上30原子%以下含む第2の酸化窒化珪素膜を形成し、

前記第2の酸化窒化珪素膜を選択的にエッチングして保護膜を形成し、

前記保護膜をマスクとして前記酸化物半導体層を選択的にエッチングして島状の半導体層を形成し、

前記保護膜を選択的にエッチングして開口を形成し、

前記保護膜の上方に、前記島状の半導体層と電気的に接続する導電層を形成することを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明はチャネル形成領域に酸化物半導体膜を用いた薄膜トランジスタ(以下、TFTという)で構成された回路を有する半導体装置及びその作製方法に関する。例えば、液晶表

示パネルに代表される電気光学装置や有機発光素子を有する発光表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器は全て半導体装置である。

【背景技術】

【0003】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイ等で必要とされる透光性を有する電極材料として用いられている。

10

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えは、酸化タンクステン、酸化錫、酸化インジウム、酸化亜鉛等があり、このような半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献1乃至4、非特許文献1）。

【0005】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えは、ホモロガス相を有する  $InGaO_3(ZnO)_m$  (m:自然数) は、In、Ga及びZnを有する多元系酸化物半導体として知られている（非特許文献2乃至4）。

20

【0006】

そして、上記のような In - Ga - Zn 系酸化物で構成される酸化物半導体を薄膜トランジスタのチャネル層として適用可能であることが確認されている（特許文献5、非特許文献5及び6）。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

30

【特許文献5】特開2004-103957号公報

【非特許文献】

【0008】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cilleissen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the  $In_2O_3$ - $Ga_2ZnO_4$ - $ZnO$  System at 1350」、J. Solid State Chem.、1991、Vol. 93, p. 298-315

40

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds,  $In_2O_3(ZnO)_m$  (m = 3, 4, and 5),  $InGaO_3(ZnO)_3$ , and  $Ga_2O_3(ZnO)_m$  (m = 7, 8, 9, and 16) in the  $In_2O_3$ - $ZnGa_2O_4$ - $ZnO$  System」、J. Solid State Chem.、1995、Vol. 116, p. 170-178

50

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO<sub>3</sub>(ZnO)<sub>m</sub>(m:自然数)とその同型化合物の合成及び結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269-1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488-492

【発明の概要】

【発明が解決しようとする課題】

【0009】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタは、アモルファスシリコンを用いた薄膜トランジスタよりも高い電界効果移動度が得られている。

【0010】

このような酸化物半導体を用いてガラス基板、プラスチック基板等に薄膜トランジスタを形成し、液晶ディスプレイ、エレクトロルミネセンスディスプレイまたは電子ペーパー等の表示装置への応用が期待されている。

【0011】

アクティブマトリクス型の表示装置においては、回路を構成する薄膜トランジスタの電気特性が重要であり、この電気特性が表示装置の性能を左右する。特に、薄膜トランジスタの電気特性のうち、しきい値電圧(V<sub>th</sub>)が重要である。電界効果移動度が高い方が良いことは無論であるが、電界効果移動度が高くともしきい値電圧値が高い、或いはしきい値電圧値がマイナスであると、回路として制御することが困難である。しきい値電圧値が高く、しきい値電圧の絶対値が大きい薄膜トランジスタの場合には、駆動電圧が低い状態ではTFTとしてのスイッチング機能を果たすことができず、負荷となる恐れがある。また、しきい値電圧値がマイナスであると、ゲート電圧が0Vでもソース電極とドレイン電極の間に電流が流れる、所謂ノーマリーオンとなりやすい。

【0012】

nチャネル型の薄膜トランジスタの場合、ゲート電圧に正の電圧を印加してはじめてチャネルが形成されて、ドレイン電流が流れ出すトランジスタが望ましい。駆動電圧を高くしないとチャネルが形成されないトランジスタや、負の電圧状態でもチャネルが形成されてドレイン電流が流れるトランジスタは、回路に用いる薄膜トランジスタとしては不向きである。

【0013】

酸化物半導体膜を用いる薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成される構造を提供することを課題の一つとする。

【0014】

また、酸化物半導体膜を用いる薄膜トランジスタの電気特性のバラツキを低減することも課題の一つとする。特に、液晶表示装置においては、個々の素子間でのバラツキが大きい場合、そのTFT特性のバラツキに起因する表示むらが発生する恐れがある。

【0015】

また、発光素子を有する表示装置においても、画素電極に一定の電流が流れるように配置されたTFT(駆動回路または画素に配置される発光素子に電流を供給するTFT)のオン電流(I<sub>on</sub>)のバラツキが大きい場合、表示画面において輝度のバラツキが生じる恐

10

20

30

40

50

れがある。

【0016】

酸化物半導体を用い、信頼性の高い半導体装置を提供することを課題の一とする。

【0017】

本明細書で開示する発明の一態様は、上記課題の少なくとも一つを解決する。

【課題を解決するための手段】

【0018】

酸化物半導体層の特性を向上させ、特性のバラツキを少なくするためには、酸化物半導体層中の水素濃度の低減が重要である。

【0019】

10

そこで、含有水素を徹底的に低減させた酸化物半導体を用いることによって、薄膜トランジスタの電気特性を向上させるとともに、特性のバラツキが少なく、信頼性の高い薄膜トランジスタを実現する。

【0020】

酸化物半導体にチャネル形成領域を設ける薄膜トランジスタの特性は、酸化物半導体層の界面、即ち、酸化物半導体層とゲート絶縁膜の界面、酸化物半導体層と保護絶縁膜の界面、または酸化物半導体層と電極との界面の影響を受けるが、酸化物半導体層自体の特性にも大きく影響を受ける。

【0021】

20

これらの界面を清浄な状態で形成するため、大気に触れることなくゲート絶縁膜と、酸化物半導体層と、チャネル保護膜を連続成膜で行う。好ましくは、減圧下でこれら三層を連続成膜することで良好な界面を有する酸化物半導体層を実現でき、TFTのオフ時のリーク電流が低く、且つ、電流駆動能力の高い薄膜トランジスタを実現することができる。特に酸化物半導体層の成膜を、酸素を流量比で50%以上100%以下好ましくは70%以上100%以下含んだ雰囲気中でスパッタ法にて行うことで、酸化物半導体層中の水素混入を防ぐことができる。

【0022】

なお、酸化物半導体膜としては、1族元素（例えば、リチウム（Li）、ナトリウム（Na）、カリウム（K）、ルビジウム（Rb）、セシウム（Cs））、13族元素（例えば、ボロン（B）、ガリウム（Ga）、インジウム（In）、タリウム（Tl））、14族元素（例えば、炭素（C）、シリコン（Si）、ゲルマニウム（Ge）、スズ（Sn）、鉛（Pb））、15族元素（例えば、窒素（N）、リン（P）、ヒ素（As）、アンチモン（Sb）、ビスマス（Bi））または17族元素（例えば、フッ素（F）、塩素（Cl）、臭素（Br）、ヨウ素（I））等の不純物元素のうち一種、または複数種が添加された酸化亜鉛（ZnO）の非晶質（アモルファス）状態、多結晶状態または非晶質状態と多結晶状態が混在する微結晶（マイクロクリスタルとも呼ばれる。）状態の酸化物半導体を用いることができる。または、何も不純物元素が添加されていない酸化亜鉛の非晶質状態、多結晶状態または非晶質状態と多結晶状態が混在する微結晶状態の酸化物半導体を用いることができる。

30

【0023】

40

具体的な一例としては、酸化マグネシウム亜鉛（Mg<sub>x</sub>Zn<sub>(1-x)</sub>O）または酸化カドミウム亜鉛（Cd<sub>x</sub>Zn<sub>(1-x)</sub>O）、酸化カドミウム（CdO）などの酸化物半導体、もしくは、InGaO<sub>3</sub>（ZnO）<sub>5</sub>に代表されるIn-Ga-Zn-O系の酸化物半導体（a-IGZO）、In-Sn-Zn-O系の酸化物半導体、Ga-Sn-Zn-O系の酸化物半導体、In-Sn-O系の酸化物半導体、または、Ga-Zn-O系の酸化物半導体のうちいずれかを用いることができる。なお、In-Ga-Zn-O系の酸化物半導体は、エネルギーギャップ（Eg）が広い材料であるため、酸化物半導体膜の上下に2つのゲート電極を設けてもオフ電流の増大を抑えることができ、好適である。

【0024】

50

また酸化物半導体膜として、 $\text{SiO}_x$ を含む酸化物半導体ターゲットを用いてスパッタ法により得られる酸化シリコンを含む酸化物半導体膜を用いてもよく、代表的には $\text{SiO}_2$ を0.1重量%以上20重量%以下、好ましくは1重量%以上6重量%以下含む酸化物半導体ターゲットを用いて成膜を行い、酸化物半導体膜に結晶化を阻害する $\text{SiO}_x$ ( $X > 0$ )を含ませることで、薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成される薄膜トランジスタを実現することができる。

【0025】

酸化物半導体層は、パルスレーザー蒸着法(PLD法)及び電子ビーム蒸着法等の気相法を用いて形成することができるが、水素低減の観点から、酸素のみの雰囲気中で行うスパッタ法が適している。一般に、スパッタ法ではArやKr等の希ガスを含む雰囲気中で行われることが多いが、これらの希ガス元素は酸素に比較して質量が大きいため、スパッタ時に成膜チャンバー内壁や治具に付着していた水分やハイドロカーボン等の水素を含んだガスの脱離を促進するおそれがある。

【0026】

スパッタ中の雰囲気を酸素のみとすることにより、成膜チャンバー内壁や治具に付着しているガスの脱離を防ぐことができる。ただし、成膜速度を早めるために、成膜チャンバー内壁等からのガスの脱離に影響の無い範囲で、酸素と希ガスを混ぜて使用してもよい。具体的には酸素を流量比で50%以上100%以下好ましくは70%以上100%以下とした雰囲気中で行ってもよい。

【0027】

本明細書で開示する発明の一態様は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極上に第1の絶縁膜と、第1の絶縁膜上に酸素を流量比で50%以上100%以下好ましくは70%以上100%以下含んだ雰囲気中でスパッタ法にて成膜された酸化物半導体層と、酸化物半導体層上に第2の絶縁膜とを大気に触れることなく積層し、第2の絶縁膜を選択的にエッチングしてゲート電極と重なる位置に保護膜を形成し、酸化物半導体層及び保護膜上に導電膜を形成し、導電膜と酸化物半導体層を選択的にエッチングする半導体装置の作製方法である。

【0028】

また、本明細書で開示する発明の一態様は、絶縁表面を有する基板上にゲート電極を形成し、ゲート電極上に第1の絶縁膜を形成し、第1の絶縁膜上に導電膜を形成し、導電膜を選択的にエッチングしてソース電極またはドレイン電極を形成し、第1の絶縁膜と、ソース電極またはドレイン電極の上に、酸素を流量比で50%以上100%以下好ましくは70%以上100%以下含んだ雰囲気中でスパッタ法にて成膜された酸化物半導体層と、酸化物半導体層上に第2の絶縁膜とを大気に触れることなく積層し、第2の絶縁膜と酸化物半導体層を選択的にエッチングして保護膜と島状の半導体層を形成し、保護膜と島状の半導体層を覆って第3の絶縁膜を形成する半導体装置の作製方法である。

【0029】

本発明は、上記課題の少なくとも一つを解決する。

【0030】

上記作製工程において、第1の絶縁膜と第2の絶縁膜に酸化窒化珪素膜を用いることも特徴の一つである。酸化物半導体層を酸化窒化珪素膜ではさむ構造とすることで、酸化物半導体層への水素や水分等の侵入または拡散を防ぐことができる。酸化窒化珪素膜の成膜は、例えば、酸素と窒素を含んだ雰囲気中で、スパッタターゲットに珪素もしくは酸化珪素等を用いたスパッタ法で行ってもよいし、高密度プラズマCVD等の、いわゆるCVD法で成膜することもできる。CVD法で成膜する場合は、反応ガスとして例えばシラン、一酸化二窒素、窒素を適宜混合させて用いればよい。

【0031】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法と、DCスパッタ法があり、さらにパルス的にバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合

10

20

30

40

50

に用いられる。

【0032】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0033】

また、チャンバー内部に磁石機構を備えたマグネットロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるE C Rスパッタ法を用いるスパッタ装置もある。

【0034】

第1の絶縁膜または第2の絶縁膜に、酸化珪素膜または窒化珪素膜等の絶縁膜を用いてもよいが、窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を使用することで、酸化物半導体層への水素や水分等の侵入または拡散を防ぐことができる。絶縁膜の成膜は、薄膜トランジスタにヒステリシスやチャージアップを起こさない条件で行うことが好ましい。

【0035】

また、スパッタ法による酸化物半導体の成膜では、少なくともIn、Ga、及びZnを含む酸化物半導体ターゲットを用いるが、ターゲット中の含有水素濃度を極力下げておく必要がある。一般的な酸化物半導体のターゲット中には、S I M S分析による分析で $10^{-2}$ 以上 $10^{-1}$ atoms/cm<sup>3</sup>以下の水素が含まれるが、これを $10^{-9}$ atoms/cm<sup>3</sup>以下とすることが望ましい。

【0036】

ターゲットは、一般にターゲット材料をバッキングプレートと呼ばれる金属板に貼り合わせて構成されている。酸化物半導体のターゲット材料は、例えば、In(インジウム)、Ga(ガリウム)、及びZn(亜鉛)を含む酸化物を同比率( $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$  [mol比])で混合したものを800以上の高温で焼結して作製する。焼結を不活性ガス雰囲気(窒素または希ガス雰囲気)下で行うことにより、ターゲット材料に水素や水分やハイドロカーボン等が混入することを防ぐことが出来る。焼結は、真空中または高圧雰囲気中で行ってもよく、さらに機械的な圧力を加えながら行ってもよい。

【0037】

なお、ターゲット材料は非晶質でも結晶質でもよく、前述したように、ターゲット材料に $SiO_2$ を0.1重量%以上20重量%以下、好ましくは1重量%以上6重量%以下含ませてもよい。なお、本明細書においては、特に指定する場合を除き、ターゲット材料のことを指して、ターゲットと呼ぶ場合がある。

【0038】

バッキングプレートは、一般にターゲット材料の冷却とスパッタ電極としての役割をもつため、熱伝導性及び導電性に優れた銅が多用されている。バッキングプレート内部または背面に冷却路を形成し、冷却路に冷却液として水や油脂等を循環させることでターゲットの冷却効率を高めることができる。ただし、水の気化温度は100であるため、ターゲットを100以上に保ちたい場合は、水ではなく油脂等を用いるとよい。

【0039】

ターゲット材料とバッキングプレートの貼り合わせは、例えば、電子ビーム溶接で行うとよい。電子ビーム溶接とは、真空雰囲気中で発生させた電子を加速して収束させ、対象物に照射することで、溶接したい部分のみを溶かし、溶接部以外の素材性質を損なわずに溶接することができる手法である。溶接部形状及び溶け込み深さの制御が可能であり、真空中で溶接を行うため、ターゲット材料に水素や水分やハイドロカーボン等が付着することを防ぐことができる。

【0040】

作製されたターゲットを移送する際は、ターゲットを真空雰囲気中もしくは不活性ガス雰

10

20

30

40

50

囲気（窒素または希ガス雰囲気）中に保持した状態で行う。このようにすることで、ターゲットに水素や水分やハイドロカーボン等が付着することを防ぐことができる。

【0041】

ターゲットをスパッタ装置に取り付ける際も、大気にさらさず不活性ガス雰囲気（窒素または希ガス雰囲気）下で行うことで、ターゲットに水素や水分やハイドロカーボン等が付着することを防ぐことができる。

【0042】

ターゲットをスパッタ装置に取り付けた後、ターゲット材料の表面や内部に残存している水素を除去するために脱水素処理を行うと良い。脱水素処理としては成膜チャンバー内を減圧下で200以上600以下に加熱する方法や、加熱しながら窒素や不活性ガスの導入と排気を繰り返す方法等がある。この場合のターゲット冷却液は、水ではなく油脂等を用いるとよい。加熱せずに窒素の導入と排気を繰り返しても一定の効果が得られるが、加熱しながら行うとなお良い。また、成膜チャンバー内に酸素または不活性ガス、または酸素と不活性ガスの両方を導入し、高周波やマイクロ波を用いて不活性ガスや酸素のプラズマを発生させても良い。加熱せずに行つても一定の効果が得られるが、加熱しながら行うとなおよい。

10

【0043】

なお、スパッタ装置等の真空装置に用いる真空ポンプは、例えば、クライオポンプを用いるとよい。クライオポンプは真空室内に極低温面を設置し、これに真空室内の気体分子を凝縮または吸着させて捕捉し、排気するポンプであり、水素や水分の排気能力が高い。

20

【0044】

特に、第1の絶縁膜、酸化物半導体、第2の絶縁膜の成膜は、前述した加熱その他の手法を適宜用いて、雰囲気中の水素、水分、ハイドロカーボンを十分低減させた後に行う。

【0045】

薄膜トランジスタ作製時に使用するガスは、水素や水分やハイドロカーボン等の濃度を極力低減させた高純度ガスを使用することが望ましい。ガス供給源と各装置の間に精製装置を設けることにより、ガス純度をさらに向上させることが可能となる。ガス純度として99.9999%以上のものを使用するとよい。また、ガス配管内壁からのガス混入を防ぐため、内面を鏡面研磨してCr<sub>2</sub>O<sub>3</sub>もしくはAl<sub>2</sub>O<sub>3</sub>で不動態化したガス配管を用いるとよい。配管継ぎ手やバルブは、シール部分に樹脂を使用しないオールメタルバルブを用いるとよい。

30

【0046】

本明細書中で連続成膜とは、第1の成膜工程から第2の成膜工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気（窒素雰囲気または希ガス雰囲気）で制御されていることを言う。連続成膜を行うことにより、清浄化された被処理基板への水素や水分やハイドロカーボン等の再付着を回避して成膜を行うことができる。

【0047】

また、導電膜は、ソース電極またはドレイン電極として機能する。導電膜は、アルミニウム、若しくは銅、シリコン、チタン、ネオジム、スカンジウム、モリブデン等の耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成する。あるいは、アルミニウムもしくはアルミニウム合金の単層または積層の、下側または上側の一方もしくは双方に、チタン、モリブデン、タンゲステンなどの高融点金属層を積層させた構成としても良い。中でも酸化物半導体層との界面特性が優れた材料としてチタンが挙げられる。特に、導電膜としてチタン膜、アルミニウム膜、チタン膜の積層を用いると低抵抗であり、かつチタン膜で上下を挟まれているため、アルミニウム膜が起因するヒロックが発生しにくく、ソース電極またはドレイン電極として適している。

40

【0048】

また、ゲート電極と第1の絶縁膜の間に、さらに窒化珪素膜または酸化珪素膜を有する構造としてもよい。即ちゲート絶縁膜が2層またはそれ以上の積層としてもよく、酸化物半

50

導体層と接する最上層の膜である第1の絶縁膜としては酸化窒化珪素膜が好ましいが、その下層に設ける絶縁膜は、窒化珪素膜または酸化珪素膜でもよい。窒化珪素膜または酸化珪素膜を設けることによってTFTの作製工程において基板表面がエッチングされることを防ぐエッチングストッパーとして作用する。窒化珪素膜または酸化珪素膜もナトリウム等のアルカリ金属を含むガラス基板からナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【発明の効果】

【0049】

酸化物半導体膜を用いる薄膜トランジスタのゲート電圧が0Vにできるだけ近い正のしきい値電圧でチャネルが形成される構造を実現することができる。また、しきい値のバラツキの低減や、電気特性の劣化の防止や、TFTがノーマリーオン側にシフトすることを低減、望ましくはシフトをなくすことができる。

10

【図面の簡単な説明】

【0050】

【図1】本発明の一形態である薄膜トランジスタの作製工程示す断面図。

【図2】本発明の一形態である薄膜トランジスタの作製工程示す断面図。

【図3】本発明の一形態である薄膜トランジスタの作製工程示す断面図。

【図4】本発明の一形態である薄膜トランジスタの作製工程示す断面図。

【図5】半導体装置のブロック図を説明する図。

【図6】信号線駆動回路の構成を説明する図。

20

【図7】信号線駆動回路の動作を説明するタイミングチャート。

【図8】信号線駆動回路の動作を説明するタイミングチャート。

【図9】シフトレジスタの構成を説明する図。

【図10】フリップフロップの接続構成を説明する図。

【図11】本発明の一態様に係る半導体装置を説明する図。

【図12】本発明の一態様に係る半導体装置を説明する図。

【図13】本発明の一態様に係る半導体装置を説明する図。

【図14】本発明の一態様に係る半導体装置の画素等価回路を説明する図。

【図15】本発明の一態様に係る半導体装置を説明する図。

【図16】本発明の一態様に係る半導体装置を説明する図。

30

【図17】電子ペーパーの使用形態の例を説明する図。

【図18】電子書籍の一形態を示す外観図。

【図19】テレビジョン装置及びデジタルフォトフレームの一形態を示す外観図。

【図20】遊技機の一形態を示す外観図。

【図21】携帯電話機の一形態を示す外観図。

【図22】電子書籍の一形態を説明する図。

【図23】電子書籍の一形態を説明する図。

【図24】本発明の一形態である薄膜トランジスタの作製工程示す断面図。

【図25】酸化物半導体のHall効果測定結果を示す図。

【図26】酸化物半導体層のXRD測定結果を示す図

40

【発明を実施するための形態】

【0051】

本発明の実施形態について、以下に説明する。

【0052】

(実施の形態1)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図1を用いて説明する。

【0053】

まず、基板100上にゲート電極101を形成する(図1(A)参照。)。

【0054】

50

基板 100 は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、若しくはアルミニノシリケートガラス等、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金等の金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 100 の大きさは、320 mm × 400 mm、370 mm × 470 mm、550 mm × 650 mm、600 mm × 720 mm、680 mm × 880 mm、730 mm × 920 mm、1000 mm × 1200 mm、1100 mm × 1250 mm、1150 mm × 1300 mm、1500 mm × 1800 mm、1900 mm × 2200 mm、2160 mm × 2460 mm、2400 mm × 2800 mm、または 2850 mm × 3050 mm 等を用いることができる。

10

#### 【0055】

また、ゲート電極 101 を形成する前に基板 100 上に下地絶縁膜を形成してもよい。下地絶縁膜としては、CVD 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層、または積層で形成すればよい。下地絶縁膜の膜中にハロゲン元素、例えばフッ素、塩素等を少量添加し、ナトリウム等の可動イオンの固定化をさせてもよい。絶縁膜に含ませるハロゲン元素の濃度は、SIMS ( 二次イオン質量分析計 ) を用いた分析により得られる濃度ピークが  $1 \times 10^{15} \text{ cm}^{-3}$  以上  $1 \times 10^{20} \text{ cm}^{-3}$  以下の範囲内とすることが好ましい。

#### 【0056】

ゲート電極 101 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウム等の金属材料またはその合金材料を用いて形成する。ゲート電極 101 は、スパッタリング法や真空蒸着法で基板 100 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅等の導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極 101 を形成することもできる。なお、ゲート電極 101 の密着性向上と基板や下地膜への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板 100 及びゲート電極 101 の間に設けてもよい。また、ゲート電極 101 は単層構造としても積層構造としてもよく、例えば基板 100 側からモリブデン膜とアルミニウム膜との積層、モリブデン膜とアルミニウムとネオジムとの合金膜との積層、チタン膜とアルミニウム膜との積層、チタン膜、アルミニウム膜及びチタン膜との積層等を用いることができる。

20

#### 【0057】

ここでは、スパッタ法を用いてアルミニウム膜とモリブデン膜の積層膜を形成し、フォトリソグラフィ技術を用いて選択的にエッチングを行う。ここで 1 枚目のフォトマスクを用いる。なお、ゲート電極 101 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。

30

#### 【0058】

次いで、ゲート絶縁膜となる第 1 の絶縁膜 102 と、半導体膜 103 と、第 2 の絶縁膜 104 とを大気に触れることなく連続して成膜する ( 図 1 ( B ) 参照。 ) 。大気に触れることなく連続して成膜すると、生産性が高く、薄膜界面の信頼性が安定する。また、大気中に含まれる水分、ハイドロカーボン、その他の汚染不純物元素に汚染されることなく各積層界面を形成することができ、半導体膜中に水素が取り込まれることを防ぐことができる。

40

#### 【0059】

第 1 の絶縁膜 102 及び第 2 の絶縁膜 104 は、CVD 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、第 1 の絶縁膜 102 及び第 2 の絶縁膜 104 として、RF スパッタリング法により窒素含有量が 3 原子 % 以上 30 原子 % 以下の酸化窒化珪素膜を形成する。窒素含有量が 3 原子 % 以上 30 原子 % 以下の酸化窒化珪素膜を用いることで、半導体膜 103 への水素や水分等の侵入または拡散を防ぐことができる。絶縁膜の成膜は、薄膜トランジ

50

スタにヒステリシスやチャージアップを起こさない条件で行うことが好ましい。

【0060】

また、第1の絶縁膜102は2層またはそれ以上の積層とすることもできる。酸化物半導体層と接する最上層の膜としては酸化窒化珪素膜が好ましいが、その下層に設ける絶縁膜は、窒化珪素膜または酸化珪素膜でもよい。この下層膜はゲート電極101の材料にヒロックが発生する可能性のある材料を用いた場合、ヒロック発生を防止する効果も有する。

【0061】

半導体膜103として、ここでは酸化物半導体層（IGZO半導体層）の成膜をDCマグネットロンスパッタ法で行う。本明細書において、In、Ga、及びZnを含む酸化物半導体膜を用いて形成された半導体層を「IGZO半導体層」とも記す。IGZO半導体層の場合、金属元素の組成比の自由度は高く、広い範囲の混合比で半導体層として機能する。例えば10重量%の酸化亜鉛を含む酸化インジウムや、酸化インジウムと酸化ガリウムと酸化亜鉛をそれぞれ等モルで混合した材料や、膜中の金属元素の存在比がIn:Ga:Zn = 2.2:2.2:1.0 [atom比] の比で存在する酸化物を一例として挙げることができる。薄膜トランジスタの電気特性のバラツキを低減するためには、IGZO半導体層はアモルファス（非晶質）状態であることが好ましい。

【0062】

半導体膜103の成膜は、酸素のみの雰囲気中で行う。一般に、スパッタ法ではArやKr等の希ガスを含む雰囲気中で行われることが多いが、これらの希ガス元素は酸素に比較して質量が大きいため、スパッタ時に成膜チャンバー内壁や治具に付着していた水分やハイドロカーボン等の水素を含んだガスの脱離を促進してしまう。ただし、成膜速度を早めるために、成膜チャンバー内壁等からのガスの脱離に影響の無い範囲で、酸素と希ガスを混ぜて使用してもよい。具体的には酸素を流量比で50%以上100%以下好ましくは70%以上100%以下とした雰囲気中で行ってもよい。なお、半導体膜103の成膜は、基板温度を室温（25）以上200未満とすることが好ましい。

【0063】

次いで、半導体膜103をパターニングするため、第2の絶縁膜104を選択的にエッチングして絶縁物106を形成し、さらに半導体膜103を選択的にエッチングしてIGZO半導体層105を形成する。エッチングは塩素ガスを用いたドライエッチング法にて行う。絶縁物106はチャネル保護膜として機能する。この段階で、半導体膜103が除去された領域は、ゲート絶縁膜の表面が露呈する。ここで2枚目のフォトマスクを用いている。パターニング時に第2の絶縁膜104上に形成したマスクは、酸素雰囲気下でアッティング処理にて除去する。この段階での基板の断面構造が図1（C）に示す基板の断面図に相当する。（図1（C）参照。）。薄膜トランジスタの作製工程から水分を極力排除するため、この後の水を使った洗浄は行わなくてもよい。

【0064】

次いで、200以上600以下、代表的には300以上500以下の熱処理を行うことが好ましい。ここでは炉に入れ、酸素を含む窒素雰囲気下で350、1時間の熱処理を行う。この熱処理によりIGZO半導体層105の原子レベルの再配列が行われる。この熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。なお、熱処理を行うタイミングは、半導体膜103の成膜後であれば特に限定されない。本実施の形態においては、IGZO半導体層105上を絶縁物106で覆う構成としているため、熱処理後のIGZO半導体層105の劣化を低減することができるため好適である。

【0065】

次いで、さらに絶縁物106の一部を除去し、この後形成するソース電極108またはドレイン電極109とIGZO半導体層105を接続するためのコンタクトホール（開口）107を形成する。選択的にエッチングを行ってIGZO半導体層105の一部を露出させるコンタクトホール（開口）107を形成するため、フォトリソグラフィ技術を用いる。ここで3枚目のフォトマスクを用いる。エッチングは塩素ガスを用いたドライエッキン

10

20

30

40

50

グ法で行う。ここでコンタクトホール(開口)107の形成のためのエッチングは、IGZO半導体層105と十分にエッチングレートが異なる条件を用いる。また、レーザー照射により絶縁物106のみを選択的に除去し、コンタクトホール(開口)107を形成してもよい。

【0066】

コンタクトホール(開口)107は、その形成時にIGZO半導体層105に与える水素や水分やハイドロカーボン等の影響を排除するため、極力小さく形成するとよい。ただし、あまりに小さすぎると完成した薄膜トランジスタの特性を十分に引き出すことが出来なくなるため、影響の無い範囲で極力小さく作ればよい。

【0067】

次いで、ソース電極またはドレイン電極となる金属多層膜の成膜を行う。ここでは、DCマグネットロンスパッタ法を用いて、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する。スパッタチャンバーにチタンのターゲットと、アルミニウムのターゲットとの両方を設置し、シャッターを用いて順次積層して連続成膜することによって同一チャンバー内で連続して積層を行うことができる。この時はArやKr等の希ガスのみの雰囲気で行ってもよい。これは、既にIGZO半導体層105を第1の絶縁膜102と第2の絶縁膜104で挟む構造となっており、特にIGZO半導体層105中のチャネル形成領域がチャンバー内壁からのガス脱離による水素や水分やハイドロカーボン等の影響を受けることがないためである。

【0068】

また、金属多層膜の成膜前にコンタクトホール(開口)107内のIGZO半導体層に逆スパッタを行うことによって約10nm程度エッチングしてもよい。逆スパッタとは、ターゲット側に電圧を印加せずに、不活性ガスまたは酸素雰囲気下で基板側に電圧を印加して基板側にプラズマを形成して表面をエッチングする方法である。逆スパッタによりIGZO半導体層と金属多層膜との間で良好な界面状態を実現でき、接触抵抗を低減できる。

【0069】

なお、IGZO半導体層と金属多層膜の間にバッファー層となる酸化物半導体膜を形成してもよい。例えば酸化チタン、酸化モリブデン、酸化亜鉛、酸化インジウム、酸化タンゲステン、酸化マグネシウム、酸化カルシウム、酸化錫等を用いることができる。さらに、Al-Zn-O系非単結晶膜または窒素を含ませたAl-Zn-O系非単結晶膜、即ちAl-Zn-O-N系非単結晶膜を用いてもよい。Al-Zn-O系酸化物半導体またはAl-Zn-O-N系酸化物半導体に含まれるアルミニウムは、1重量%以上10重量%以下であることが好ましい。

【0070】

なお、ここで言うAl-Zn-O-N系酸化物半導体膜とは、化学量論比がAl:Zn:O:N=1:1:1:1という意味ではなく、単に表記し易いように記載しているにすぎない。これら元素の構成比率は、成膜条件で適宜調整が可能である。

【0071】

バッファー層にはn型またはp型の導電型を付与する不純物を含ませてもよい。不純物元素としては、インジウム、ガリウム、アルミニウム、亜鉛、錫等を用いることができる。

【0072】

バッファー層のキャリア濃度はIGZO半導体層よりも高く導電性に優るため、ソース電極もしくはドレイン電極とIGZO半導体層が直接接合する場合に比べ、接触抵抗を低減することができる。

【0073】

バッファー層は、ドレイン領域またはソース領域とも呼ぶことができる。

【0074】

次いで、金属多層膜のエッチングを選択的に行ってソース電極108またはドレイン電極109を形成する。ここで4枚目のフォトマスクを用いる。チタン膜とアルミニウム膜とチタン膜とを順に積み重ねた三層構造の導電膜は、塩素ガスを用いたドライエッチング法

10

20

30

40

50

でエッティングすることが出来る。IGZO半導体層と金属多層膜の間にバッファー層を形成した場合も、金属多層膜のエッティングと同時にバッファー層をエッティングすることができる。この段階での基板の断面構造が図1(E)に示す基板の断面図に相当する(図1(E)参照。)。

【0075】

本実施の形態におけるチャネル形成領域は、IGZO半導体層105において、ゲート電極101とIGZO半導体層105の重なっている領域で、ソース電極108がIGZO半導体層105に接続するためのコンタクトホール(開口)107の端部から、ドレイン電極109がIGZO半導体層105に接続するためのコンタクトホール(開口)107の端部までであり、図1(D)中のL1がチャネル長に相当する。

10

【0076】

IGZO半導体層105のチャネル形成領域を、窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜で挟むことにより、チャネル形成領域への水素や水分等の侵入または拡散を防ぐことができる。酸化窒化珪素膜の成膜は、薄膜トランジスタにヒステリシスやチャージアップを起こさない条件で行うことが好ましい。

【0077】

(実施の形態2)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図2を用いて説明する。なお、実施の形態1と同一部分または同様な機能を有する部分、及び工程の繰り返し説明は省略する。

20

【0078】

まず、基板200上にゲート電極201を形成する。ここで1枚目のフォトマスクを用いる(図2(A)参照。)。

【0079】

次いで、ゲート絶縁膜となる第1の絶縁膜202と、第1の半導体膜203と、第2の絶縁膜204とを大気に触れることなく連続して成膜する(図2(B)参照。)。ここでは、第1の絶縁膜202及び第2の絶縁膜204として、RFスパッタリング法により窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成し、第1の半導体膜203として、酸化物半導体層をZn(亜鉛)を含む酸化物半導体(ZnO)にSiO<sub>2</sub>を0.1重量%以上20重量%以下含む酸化物半導体ターゲットを用いたDCマグネットロンスパッタ法で成膜する。実施の形態1で説明したように、酸化物半導体層の成膜は、酸素のみの雰囲気中で行うが、酸素を流量比で50%以上100%以下好ましくは70%以上100%以下として、希ガスを混ぜた雰囲気中で行ってもよい。なお、第1の半導体膜203成膜は、基板温度を室温(25)以上200未満とすることが好ましい。

30

【0080】

次いで、第2の絶縁膜204をゲート電極と重なる位置、第1の半導体膜203のチャネル形成領域となる位置と重なる部分のみを残してエッティングを行い、絶縁物206を形成する。絶縁物206はチャネル保護膜として機能する。選択的にエッティングを行って絶縁物206を形成するため、フォトリソグラフィ技術を用いる。ここで2枚目のフォトマスクを用いる。ここで絶縁物206の形成のためのエッティングは、ドライエッティング法で行ない、第1の半導体膜203と十分にエッティングレートが異なる条件を用いる(図2(C)参照。)。パターニング時に第2の絶縁膜204上に形成したマスクは、酸素雰囲気下でアッシング処理にて除去する。薄膜トランジスタの作製工程から水分を極力排除するため、この後の水を使った洗浄は行わなくてもよい。

40

【0081】

また、絶縁物206の形成の際、フォトマスクを用いずに裏面露光を用いてセルフアラインでゲート電極と重なる位置にマスクを選択的に形成することもできる。特に第1の半導体膜203は酸化物半導体膜であり、高い透光性を有しており、裏面露光に適している。ただし、裏面露光を行う場合には、第1の絶縁膜202及び第2の絶縁膜204が十分な透光性を有する材料であることが必要である。

50

## 【0082】

次いで、200 以上 600 以下、代表的には 300 以上 500 以下の熱処理を行うことが好ましい。ここでは炉に入れ、酸素を含む窒素雰囲気下で 350 、1 時間の熱処理を行う。この熱処理により第 1 の半導体膜 203 の原子レベルの再配列が行われる。この熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。なお、熱処理を行うタイミングは、第 1 の半導体膜 203 の成膜後であれば特に限定されない。本実施の形態においては、第 1 の半導体膜 203 上を絶縁物 206 で覆う構成としているため、熱処理後の第 1 の半導体膜 203 の劣化を低減することができるため好適である。

## 【0083】

10

次いで、バッファー層となる第 2 の半導体膜 212 と、ソース電極またはドレイン電極となる金属多層膜 211 の成膜を行う。ここでは、DC マグネットロンスパッタ法を用いて、第 2 の半導体膜 212 として酸化チタン膜を形成し、金属多層膜 211 として第 2 の半導体膜 212 上にチタン膜を積層し、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する（図 2 (D) 参照。）。

## 【0084】

バッファー層となる第 2 の半導体膜 212 のキャリア濃度は酸化物半導体層よりも高く導電性に優るため、ソース電極もしくはドレイン電極と半導体層が直接接合する場合に比べ、バッファー層を設けた方が接触抵抗を低減することができる。

## 【0085】

20

バッファー層となる第 2 の半導体膜 212 成膜以降に、200 以上 600 以下、代表的には 300 以上 500 以下の熱処理を行うことが好ましい。ここでは炉に入れ、酸素を含む窒素雰囲気下で 350 、1 時間の熱処理を行う。この熱処理により第 2 の半導体膜 212 の原子レベルの再配列が行われる。この熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。

## 【0086】

次いで、金属積層膜のエッチングを選択的に行ってソース電極 208 またはドレイン電極 209 を形成する。ここで 3 枚目のフォトマスクを用いる。エッチングはドライエッチング法で行う。この時、金属多層膜 211 と第 2 の半導体膜 212 と第 1 の半導体膜 203 のどれもがエッチングできるような条件でエッチングを行うことで、ソース電極 208 、ドレイン電極 209 、ソース側バッファー層 213 、ドレイン側バッファー層 214 及び半導体層 205 の形成を同一のエッチング工程で行うことができる。絶縁物 206 はチャネル保護膜として機能し、チャネル形成領域の半導体層 205 がエッチングされることを防ぐ（図 2 (E) 参照。）。

30

## 【0087】

本実施の形態におけるチャネル形成領域は、半導体層 205 において、ゲート電極 201 と半導体層 205 と絶縁物 206 が重なっている領域であり、絶縁物 206 の幅 L2 がチャネル長に相当する。

## 【0088】

40

半導体層 205 のチャネル形成領域の上層及び下層に、窒素含有量が 3 原子 % 以上 30 原子 % 以下の酸化窒化珪素膜を形成し、チャネル形成領域を酸化窒化珪素膜で挟む構造とすることにより、チャネル形成領域への水素や水分等の侵入または拡散を防ぐことができる。

## 【0089】

なお、半導体層側面部からの水素や水分等の侵入または拡散を防ぐため、薄膜トランジスタを覆うように第 3 の絶縁膜 210 を形成してもよい。第 3 の絶縁膜 210 は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。例えば、スパッタ法により窒素含有量が 3 原子 % 以上 30 原子 % 以下の酸化窒化珪素膜を形成してもよい。窒素含有量が 3 ~ 30 原子 % の酸化窒化珪素膜を用いることで、薄膜トランジスタへの水素や水分やハイドロカーボン等の侵入または拡散を防ぐことができる。酸化

50

窒化珪素膜の成膜は、薄膜トランジスタにヒステリシスやチャージアップを起こさない条件で行うことが好ましい。

【0090】

(実施の形態3)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図3を用いて説明する。なお、実施の形態1と同一部分または同様な機能を有する部分、及び工程の繰り返し説明は省略する。

【0091】

まず、基板300上にゲート電極301を形成する。ここで1枚目のフォトマスクを用いる。

10

【0092】

次いで、ゲート絶縁膜となる第1の絶縁膜302と、ソース電極またはドレイン電極となる金属多層膜311の成膜を行う。

【0093】

第1の絶縁膜302は、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、第1の絶縁膜302として、RFスパッタリング法により窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成する。

【0094】

ソース電極またはドレイン電極となる金属多層膜311は、DCマグネットロンスパッタ法を用いて、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する。(図3(A)参照。)

20

【0095】

次いで、金属多層膜のエッチングを選択的に行って、ソース電極308またはドレイン電極309を形成する。ここで2枚目のフォトマスクを用いる。(図3(B)参照。)

【0096】

次いで、半導体膜303と、第2の絶縁膜304とを大気に触れることなく連続して成膜する(図3(C)参照。)。半導体膜303として、酸化亜鉛に酸化珪素を10重量%含んだターゲットを用いてDCマグネットロンスパッタ法で成膜した酸化物半導体層( $ZnO - SiO_x$  ( $X > 0$ )半導体層)を用いる。実施の形態1で説明したように、酸化物半導体層の成膜は、酸素のみの雰囲気中で行うが、酸素を流量比で50%以上100%以下好ましくは70%以上100%以下として、希ガスを混ぜた雰囲気中で行ってもよい。なお、半導体膜303の成膜は、基板温度を室温(25)以上200未満とすることが好ましい。

30

【0097】

ここで、XRD測定による酸化物半導体層( $ZnO - SiO$ 半導体層)の結晶性評価結果を示しておく。測定は、酸化亜鉛に酸化珪素をそれぞれ7.5重量%、10重量%、12.5重量%含んだターゲットを用いて成膜した3種類の酸化物半導体層( $ZnO - SiO$ 半導体層)について行っている。

40

【0098】

図26にXRD測定結果を示す。横軸は入射X線に対する測定試料と信号検出部の回転角度(2)であり、縦軸はX線回折強度である。図中には、酸化珪素含有量7.5重量%の測定結果601、酸化珪素含有量10重量%の測定結果602、酸化珪素含有量12.5重量%の測定結果603が示されている。

【0099】

図26の測定結果によると、酸化珪素含有量が7.5重量%では結晶性を示すピーク604が検出されているが、酸化珪素含有量が10重量%以上であれば結晶性を示すピークは検出されておらず、非晶質な膜であることがわかる。なお、 $ZnO - SiO_x$  ( $X > 0$ )半導体層の酸化珪素含有量が10重量%以上であれば、700の熱処理においても非晶質な状態を保つことができる。

50

## 【0100】

半導体膜303の成膜を行う前に、第1の絶縁膜302とソース電極308とドレイン電極309の表面を逆スパッタを行うことによって約10nm程度エッチングしてもよい。逆スパッタを行うことにより、第1の絶縁膜302、ソース電極308及びドレイン電極309の表面に付着している水素や水分やハイドロカーボン等を除去することができる。

## 【0101】

次いで、半導体膜303をパターニングするため、第2の絶縁膜304を選択的にエッチングして絶縁物306を形成し、さらに半導体膜303を選択的にエッチングして $ZnO-SiO_x$  ( $X > 0$ ) 半導体層305を形成する。ここで3枚目のフォトマスクを用いている。パターニング時に第2の絶縁膜304上に形成したマスクは、酸素雰囲気下でアッシング処理にて除去する。絶縁物306はチャネル保護膜として機能する。エッチングはドライエッチング法で行う。薄膜トランジスタの作製工程から水分を極力排除するため、この後の水を使った洗浄は行わなくてもよい。

10

## 【0102】

次いで、200以上600以下、代表的には300以上500以下の熱処理を行うことが好ましい。ここでは炉に入れ、酸素を含む窒素雰囲気下で350、1時間の熱処理を行う。この熱処理により半導体層305の原子レベルの再配列が行われる。この熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。なお、熱処理を行うタイミングは、半導体膜303の成膜後であれば特に限定されない。本実施の形態においては、半導体層305上を絶縁物306で覆う構成としているため、熱処理後の半導体層305の劣化を低減することができるため好適である。

20

## 【0103】

本実施の形態におけるチャネル形成領域は、 $ZnO-SiO_x$  ( $X > 0$ ) 半導体層305において、ゲート電極301と $ZnO-SiO_x$  ( $X > 0$ ) 半導体層305が重なり、ソース電極308とドレイン電極309で挟まれている領域である。ソース電極308とドレイン電極309までの距離 $L_3$ がチャネル長に相当する。

## 【0104】

半導体層305のチャネル形成領域の上層及び下層に、窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成し、チャネル形成領域を酸化窒化珪素膜で挟む構造とすることにより、チャネル形成領域への水素や水分等の侵入または拡散を防ぐことができる。酸化窒化珪素膜の成膜は、薄膜トランジスタにヒステリシスやチャージアップを起こさない条件で行なうことが好ましい。

30

## 【0105】

なお、 $ZnO-SiO_x$  ( $X > 0$ ) 半導体層側面部からの水素や水分等の侵入または拡散を防ぐため、薄膜トランジスタを覆うように第3の絶縁膜310を形成してもよい。第3の絶縁膜310の成膜は、薄膜トランジスタにヒステリシスやチャージアップを起こさない条件で行なうことが好ましい。第3の絶縁膜310は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。例えば、RFスパッタリング法により窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成してもよい。窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を用いることで、薄膜トランジスタへの水素や水分等の侵入または拡散を防ぐことができる。

40

## 【0106】

また、必要に応じて $ZnO-SiO_x$  ( $X > 0$ ) 半導体層と金属多層膜の間にバッファーレンとなる酸化物半導体膜を形成してもよい。

## 【0107】

## (実施の形態4)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図4を用いて説明する。なお、実施の形態1と同一部分または同様な機能を有する部分、及び工程の繰り返し説明は省略する。

## 【0108】

50

まず、基板 400 上にゲート電極 401 を形成する。ここで 1 枚目のフォトマスクを用いる（図 4 (A) 参照。）。

#### 【0109】

次いで、ゲート絶縁膜となる第 1 の絶縁膜 402 と、第 1 の半導体膜 403 と、第 2 の半導体膜 412 を大気に触れることなく連続して成膜する（図 4 (B) 参照。）。ここでは、第 1 の絶縁膜 402 として、RF スパッタリング法により窒素含有量が 3 原子%以上 30 原子%以下の酸化窒化珪素膜を形成し、第 1 の半導体膜 403 として、IGZO 半導体層を DC マグнетロンスパッタ法で形成し、第 2 の半導体膜 412 として Al-Zn-O-N 系酸化物半導体膜を形成する。なお、酸化物半導体膜の成膜は、基板温度を室温（25）以上 200 未満とすることが好ましい。

10

#### 【0110】

なお、ここで言う Al-Zn-O-N 系酸化物半導体膜とは、化学量論比が Al : Zn : O : N = 1 : 1 : 1 : 1 という意味ではなく、単に表記し易いように記載しているにすぎない。これら元素の構成比率は、成膜条件で適宜調整が可能である。

#### 【0111】

次いで、200 以上 600 以下、代表的には 300 以上 500 以下の熱処理を行うことが好ましい。ここでは炉に入れ、酸素を含む窒素雰囲気下で 350 、1 時間の熱処理を行う。この熱処理により IGZO 半導体層及び Al-Zn-O-N 系酸化物半導体膜の原子レベルの再配列が行われる。この熱処理（光アニールも含む）によりキャリアの移動を阻害する歪が解放される。なお、熱処理を行うタイミングは、第 1 の半導体膜 403 及び第 2 の半導体膜 412 の成膜後であれば特に限定されない。

20

#### 【0112】

次いで、第 1 の半導体膜 403 をパターニングするため、第 2 の半導体膜 412 を選択的にエッチングし、さらに第 1 の半導体膜 403 を選択的にエッチングして IGZO 半導体層 405 を形成する。エッチングは塩素ガスを用いたドライエッチング法にて行う。第 2 の半導体膜 412 はバッファー層として機能する。この段階で、第 1 の半導体膜 403 が除去された領域は、ゲート絶縁膜の表面が露呈する。ここで 2 枚目のフォトマスクを用いている。パターニング時に第 2 の半導体膜 412 上に形成したマスクは、酸素雰囲気下でアッシング処理にて除去する。この段階での基板の断面構造が図 4 (C) に示す基板の断面図に相当する（図 4 (C) 参照。）。薄膜トランジスタの作製工程から水分を極力排除するため、この後の水を使った洗浄は行わなくてもよい。

30

#### 【0113】

バッファー層となる第 2 の半導体膜 412 のキャリア濃度は IGZO 半導体層よりも高く導電性に優るため、ソース電極もしくはドレイン電極と IGZO 半導体層が直接接合する場合に比べ、バッファー層を設けた方が接触抵抗を低減することができる。

#### 【0114】

次いで、ソース電極またはドレイン電極となる金属多層膜の成膜を行う。ここでは、DC マグネットロンスパッタ法を用いて、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する。スパッタチャンバーにチタンのターゲットと、アルミニウムのターゲットとの両方を設置し、シャッターを用いて順次積層して連続成膜することによって同一チャンバー内で連続して積層を行うことができる。

40

#### 【0115】

次いで、金属多層膜のエッチングを選択的に行ってソース電極 408 またはドレイン電極 409 を形成する。ここで 3 枚目のフォトマスクを用いる。エッチングはドライエッチング法で行う。この時、金属多層膜と第 2 の半導体膜 412 がエッチングでき、IGZO 半導体層 405 と十分にエッチングレートが異なる条件を用いる。これにより、ソース電極 408 、ドレイン電極 409 、ソース側バッファー層 413 及びドレイン側バッファー層 414 の形成を同一のエッチング工程で行うことができる（図 4 (D) 参照。）。

#### 【0116】

次いで、外部からの水素や水分等の侵入または拡散を防ぐため、薄膜トランジスタを覆う

50

ように第3の絶縁膜410を形成する。第3の絶縁膜410の成膜は、薄膜トランジスタにヒステリシスやチャージアップを起こさない条件で行うことが好ましい。第3の絶縁膜410は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。例えば、RFスパッタリング法により窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成してもよい。窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を用いることで、薄膜トランジスタへの水素や水分等の侵入または拡散を防ぐことができる。

【0117】

第3の絶縁膜410の成膜の前に、IGZO半導体層405とソース電極408とドレイン電極409の表面を逆スパッタを行うことによって約10nm程度エッチングしてもよい。逆スパッタを行うことにより、ソース電極408及びドレイン電極409の表面に付着している水素や水分やハイドロカーボン等を除去することができる。

10

【0118】

本実施の形態におけるチャネル形成領域は、IGZO半導体層405において、ゲート電極401とIGZO半導体層405が重なり、ソース側バッファー層413及びドレイン側バッファー層414で挟まれている領域である。ソース側バッファー層413及びドレイン側バッファー層414までの距離L4がチャネル長に相当する(図4(E)参照。)。

【0119】

IGZO半導体層405のチャネル形成領域の上層及び下層に、窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成し、チャネル形成領域を酸化窒化珪素膜で挟む構造とすることにより、チャネル形成領域への水素や水分等の侵入または拡散を防ぐことができる。

20

【0120】

(実施の形態5)

本実施の形態では、薄膜トランジスタ及びその作製工程について、図24を用いて説明する。なお、実施の形態1と同一部分または同様な機能を有する部分、及び工程の繰り返し説明は省略する。

【0121】

まず、基板700上にゲート電極701を形成する。ここで1枚目のフォトマスクを用いる(図24(A)参照。)。

30

【0122】

次いで、ゲート絶縁膜となる第1の絶縁膜702と、半導体膜703を大気に触れることなく連続して成膜する(図24(B)参照。)。ここでは、第1の絶縁膜702として、RFスパッタリング法により窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成し、半導体膜703として、In(インジウム)、Ga(ガリウム)、及びZn(亜鉛)を含む酸化物に、酸化珪素を加えたターゲットを用いてスパッタ法にて成膜した。なお、半導体膜703の成膜は、基板温度を室温(25)以上200未満とすることが好ましい。

【0123】

半導体膜703の形成にあたって、別途、半導体膜703として使用する酸化物半導体膜の物性評価を行った。図25(A)に酸化物半導体膜の物性を評価するための物性評価用試料510の立体視図を示す。物性評価用試料510を作製して室温にてHall効果測定を行い、酸化物半導体膜のキャリア濃度とHall移動度(ホール移動度)を評価した。物性評価用試料510は、基板500上に酸窒化珪素からなる絶縁膜501を形成し、その上に評価対象となる酸化物半導体膜502を形成し、その上に電極503乃至506を形成して作製した。評価対象となる酸化物半導体膜は、ターゲット材料に酸化珪素が2重量%、5重量%、10重量%添加された3種類のターゲットを用いて形成した。それぞれの酸化物半導体膜について物性評価用試料510を作製して室温にてHall効果測定を行った。加えて、リファレンスとして、酸化珪素を添加していないターゲットを用いて

40

50

酸化物半導体膜を形成した試料も用意し、同様の評価を行った。

【0124】

図25(B)にH<sub>2</sub>11効果測定から求めた酸化物半導体膜のキャリア濃度を示す。図25(B)において、横軸が酸化珪素添加量で、縦軸がキャリア濃度である。酸化珪素添加量が0重量%から、2重量%、5重量%、10重量%と増加するに従い、それぞれキャリア濃度が $1.6 \times 10^{19} / \text{cm}^3$ から、 $8.0 \times 10^{17} / \text{cm}^3$ 、 $2.7 \times 10^{16} / \text{cm}^3$ 、 $2.0 \times 10^{12} / \text{cm}^3$ と低下している。

【0125】

図25(C)にH<sub>2</sub>11効果測定から求めた酸化物半導体膜のH<sub>2</sub>11移動度を示す。図25(C)において、横軸が酸化珪素添加量で、縦軸がH<sub>2</sub>11移動度である。酸化珪素添加量が0重量%から、2重量%、5重量%、10重量%と増加するに従い、それぞれH<sub>2</sub>11移動度が $15.1 \text{ cm}^2 / \text{Vs}$ から、 $8.1 \text{ cm}^2 / \text{Vs}$ 、 $2.6 \text{ cm}^2 / \text{Vs}$ 、 $1.8 \text{ cm}^2 / \text{Vs}$ と低下している。

【0126】

図25(B)及び図25(C)に示す結果から、酸化珪素添加量の増加に従いキャリア濃度とH<sub>2</sub>11移動度が低下する傾向が見られるが、酸化珪素添加量5重量%と10重量%においては、H<sub>2</sub>11移動度に大きな違いが見られない。このため、IGZO半導体層に酸化珪素を添加する場合は、ターゲットに0重量%より多く、10重量%以下の範囲で酸化珪素を添加しても良いが、好ましくは0重量%より多く、6重量%以下の範囲で添加することが好ましい。すなわち、キャリア濃度が $2.0 \times 10^{12} / \text{cm}^3$ 以上 $1.6 \times 10^{19} / \text{cm}^3$ 未満の範囲でも良いが、 $2.0 \times 10^{16} / \text{cm}^3$ 以上 $1.6 \times 10^{19} / \text{cm}^3$ 未満の範囲が好ましく、また、H<sub>2</sub>11移動度が $1.8 \text{ cm}^2 / \text{Vs}$ 以上 $15.1 \text{ cm}^2 / \text{Vs}$ 未満の範囲でも良いが、 $2.4 \text{ cm}^2 / \text{Vs}$ 以上 $15.1 \text{ cm}^2 / \text{Vs}$ 未満の範囲であることが好ましい。

【0127】

半導体膜703形成後、200以上600以下、代表的には300以上500以下の熱処理を行うことが好ましい。ここでは炉に入れ、酸素を含む窒素雰囲気下で350、1時間の熱処理を行う。この熱処理によりIGZO半導体層の原子レベルの再配列が行われる。この熱処理(光アニールも含む)によりキャリアの移動を阻害する歪が解放される。なお、熱処理を行うタイミングは、半導体膜703の成膜後であれば特に限定されない。

【0128】

次いで、半導体膜703をパターニングするため、半導体膜703を選択的にエッチングしてIGZO半導体層705を形成する。エッチングは塩素ガスを用いたドライエッチング法にて行う。この段階で、半導体膜703が除去された領域は、ゲート絶縁膜の表面が露呈する。ここで2枚目のフォトマスクを用いている。パターニング時に半導体膜703上に形成したマスクは、酸素雰囲気下でアッシング処理にて除去する。この段階での基板の断面構造が図24(C)に示す基板の断面図に相当する(図24(C)参照。)。薄膜トランジスタの作製工程から水分を極力排除するため、この後の水を使った洗浄は行わなくてよい。

【0129】

次いで、ソース電極またはドレイン電極となる金属多層膜の成膜を行う。ここでは、DCマグネットロンスパッタ法を用いて、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する。スパッタチャンバーにチタンのターゲットと、アルミニウムのターゲットとの両方を設置し、シャッターを用いて順次積層して連続成膜することによって同一チャンバー内で連続して積層を行うことができる。

【0130】

次いで、金属多層膜のエッチングを選択的に行ってソース電極708またはドレイン電極709を形成する。ここで3枚目のフォトマスクを用いる。エッチングはドライエッチング法で行う。この時、金属多層膜がエッチングでき、IGZO半導体層705と十分に工

10

20

30

40

50

ツチングレートが異なる条件を用いる。これにより、ソース電極 708 及びドレイン電極 709 の形成を同一のエッチング工程で行うことができる（図 24 (D) 参照。）。

【0131】

次いで、外部からの水素や水分等の侵入または拡散を防ぐため、薄膜トランジスタを覆うように第3の絶縁膜 710 を形成する。第3の絶縁膜 710 の成膜は、薄膜トランジスタにヒステリシスやチャージアップを起こさない条件で行うことが好ましい。第3の絶縁膜 710 は、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。例えば、RFスパッタリング法により窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成してもよい。窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を用いることで、薄膜トランジスタへの水素や水分等の侵入または拡散を防ぐことができる。

10

【0132】

第3の絶縁膜 710 の成膜の前に、IGZO 半導体層 705 とソース電極 708 とドレイン電極 709 の表面を逆スパッタを行うことによって約10nm程度エッチングしてもよい。逆スパッタを行うことにより、ソース電極 708 及びドレイン電極 709 の表面に付着している水素や水分やハイドロカーボン等を除去することができる。

【0133】

本実施の形態におけるチャネル形成領域は、IGZO 半導体層 705 において、ゲート電極 701 と IGZO 半導体層 705 が重なり、ソース電極 708 及びドレイン電極 709 で挟まれている領域である。ソース電極 708 及びドレイン電極 709 までの距離 L5 がチャネル長に相当する（図 24 (E) 参照。）。

20

【0134】

IGZO 半導体層 705 のチャネル形成領域の上層及び下層に、窒素含有量が3原子%以上30原子%以下の酸化窒化珪素膜を形成し、チャネル形成領域を酸化窒化珪素膜で挟む構造とすることにより、チャネル形成領域への水素や水分等の侵入または拡散を防ぐことができる。

【0135】

このようにして、IGZO 半導体層を用いた薄膜トランジスタを作製することができる。

【0136】

図 25 (C) 及び図 26 から、酸化珪素の添加により酸化物半導体層のアモルファス化が促進され、半導体装置作製時の特性バラツキを低減させる効果が得られることがわかる。また、IGZO 半導体層中に含まれる Ga には、アモルファス化を促進する効果があるが、Ga のかわりに酸化珪素を用いることで、IGZO 半導体層中に含まれる高価な Ga を低減または削除し、生産性を向上させることができる。

30

【0137】

(実施の形態 6)

本実施の形態では、半導体装置の一形態である表示装置において、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0138】

画素部に配置する薄膜トランジスタは、実施の形態 1 乃至実施の形態 5 に従って形成する。また、実施の形態 1 乃至実施の形態 5 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

40

【0139】

半導体装置の一形態であるアクティブマトリクス型液晶表示装置のプロック図の一例を図 5 (A) に示す。図 5 (A) に示す表示装置は、基板 5300 上に表示素子を備えた画素を複数有する画素部 5301 と、各画素を選択する走査線駆動回路 5302 と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路 5303 とを有する。

【0140】

50

画素部 5301 は、信号線駆動回路 5303 から列方向に伸張して配置された複数の信号線 S1 ~ Sm ( 図示せず。 ) により信号線駆動回路 5303 と接続され、走査線駆動回路 5302 から行方向に伸張して配置された複数の走査線 G1 ~ Gn ( 図示せず。 ) により走査線駆動回路 5302 と接続され、信号線 S1 ~ Sm 並びに走査線 G1 ~ Gn に対応してマトリクス状に配置された複数の画素 ( 図示せず。 ) を有する。そして、各画素は、信号線 Sj ( 信号線 S1 ~ Sm のうちいずれか一 ) 、走査線 Gi ( 走査線 G1 ~ Gn のうちいずれか一 ) と接続される。

#### 【 0141 】

また、実施の形態 1 乃至実施の形態 5 に示す薄膜トランジスタは、n チャネル型 TFT であり、n チャネル型 TFT で構成する信号線駆動回路について図 6 を用いて説明する。

10

#### 【 0142 】

図 6 に示す信号線駆動回路は、ドライバ IC 5601 、スイッチ群 5602\_1 ~ 5602\_2\_M 、第 1 の配線 5611 、第 2 の配線 5612 、第 3 の配線 5613 及び配線 5621\_1 ~ 5621\_M を有する。スイッチ群 5602\_1 ~ 5602\_M それぞれは、第 1 の薄膜トランジスタ 5603a 、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を有する。

#### 【 0143 】

ドライバ IC 5601 は第 1 の配線 5611 、第 2 の配線 5612 、第 3 の配線 5613 及び配線 5621\_1 ~ 5621\_M に接続される。そして、スイッチ群 5602\_1 ~ 5602\_M それぞれは、第 1 の配線 5611 、第 2 の配線 5612 、第 3 の配線 5613 及びスイッチ群 5602\_1 ~ 5602\_M それぞれに対応した配線 5621\_1 ~ 5621\_M に接続される。そして、配線 5621\_1 ~ 5621\_M それぞれは、第 1 の薄膜トランジスタ 5603a 、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を介して、3 つの信号線 ( 信号線 Sm-2 、信号線 Sm-1 、信号線 Sm ( m = 3M ) ) に接続される。例えば、J 列目の配線 5621\_J ( 配線 5621\_1 ~ 配線 5621\_M のうちいずれか一 ) は、スイッチ群 5602\_J が有する第 1 の薄膜トランジスタ 5603a 、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を介して、信号線 Sj-2 、信号線 Sj-1 、信号線 Sj ( j = 3J ) に接続される。

20

#### 【 0144 】

なお、第 1 の配線 5611 、第 2 の配線 5612 、第 3 の配線 5613 には、それぞれ信号が入力される。

30

#### 【 0145 】

なお、ドライバ IC 5601 は、単結晶半導体を用いて形成されていることが望ましい。さらに、スイッチ群 5602\_1 ~ 5602\_M は、画素部と同一基板上に形成されていることが望ましい。したがって、ドライバ IC 5601 とスイッチ群 5602\_1 ~ 5602\_M を異なる基板上に形成し、両者を FPC などを介して接続するとよい。または画素部と同一の基板上に貼り合わせなどによって、単結晶半導体層を設け、ドライバ IC 5601 を形成してもよい。

40

#### 【 0146 】

次に、図 6 に示した信号線駆動回路の動作について、図 7 のタイミングチャートを参照して説明する。なお、図 7 のタイミングチャートは、i 行目の走査線 Gi が選択されている場合のタイミングチャートを示している。さらに、i 行目の走査線 Gi の選択期間は、第 1 のサブ選択期間 T1 、第 2 のサブ選択期間 T2 及び第 3 のサブ選択期間 T3 に分割されている。さらに、図 6 の信号線駆動回路は、他の行の走査線が選択されている場合でも図 7 と同様の動作をする。

#### 【 0147 】

なお、図 7 のタイミングチャートは、J 列目の配線 5621\_J が第 1 の薄膜トランジスタ 5603a 、第 2 の薄膜トランジスタ 5603b 及び第 3 の薄膜トランジスタ 5603c を介して、信号線 Sj-2 、信号線 Sj-1 、信号線 Sj に接続される場合について示

50

している。

【0148】

なお、図7のタイミングチャートは、 $i$ 行目の走査線 $G_i$ が選択されるタイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5703a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5703b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5703c及びJ列目の配線5621\_Jに入力される信号5721\_Jを示している。

【0149】

なお、配線5621\_1～配線5621\_Mには第1のサブ選択期間 $T_1$ 、第2のサブ選択期間 $T_2$ 及び第3のサブ選択期間 $T_3$ において、それぞれ別のビデオ信号が入力される。例えば、第1のサブ選択期間 $T_1$ において配線5621\_Jに入力されるビデオ信号は信号線 $S_j - 2$ に入力され、第2のサブ選択期間 $T_2$ において配線5621\_Jに入力されるビデオ信号は信号線 $S_j - 1$ に入力され、第3のサブ選択期間 $T_3$ において配線5621\_Jに入力されるビデオ信号は信号線 $S_j$ に入力される。さらに、第1のサブ選択期間 $T_1$ 、第2のサブ選択期間 $T_2$ 及び第3のサブ選択期間 $T_3$ において、配線5621\_Jに入力されるビデオ信号をそれぞれData\_j-2、Data\_j-1、Data\_jとする。

【0150】

図7に示すように、第1のサブ選択期間 $T_1$ において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力されるData\_j-2が、第1の薄膜トランジスタ5603aを介して信号線 $S_j - 2$ に入力される。第2のサブ選択期間 $T_2$ では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力されるData\_j-1が、第2の薄膜トランジスタ5603bを介して信号線 $S_j - 1$ に入力される。第3のサブ選択期間 $T_3$ では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_Jに入力されるData\_jが、第3の薄膜トランジスタ5603cを介して信号線 $S_j$ に入力される。

【0151】

以上のことから、図6の信号線駆動回路は、1ゲート選択期間を3つに分割することで、1ゲート選択期間中に1つの配線5621から3つの信号線にビデオ信号を入力することができる。したがって、図6の信号線駆動回路は、ドライバIC5601が形成される基板と、画素部が形成されている基板との接続数を信号線の数に比べて約1/3にすることができる。接続数が約1/3になることによって、図6の信号線駆動回路は、信頼性、歩留まりなどを向上できる。

【0152】

なお、図6のように、1ゲート選択期間を複数のサブ選択期間に分割し、複数のサブ選択期間それぞれにおいて、ある1つの配線から複数の信号線それぞれにビデオ信号を入力することができれば、薄膜トランジスタの配置や数、駆動方法などは限定されない。

【0153】

例えば、3つ以上のサブ選択期間それぞれにおいて1つの配線から3つ以上の信号線それぞれにビデオ信号を入力する場合は、薄膜トランジスタ及び薄膜トランジスタを制御するための配線を追加すればよい。ただし、1ゲート選択期間を4つ以上のサブ選択期間に分割すると、1つのサブ選択期間が短くなる。したがって、1ゲート選択期間は、2つまたは3つのサブ選択期間に分割されることが望ましい。

【0154】

別の例として、図8のタイミングチャートに示すように、1つの選択期間をプリチャージ期間 $T_p$ 、第1のサブ選択期間 $T_1$ 、第2のサブ選択期間 $T_2$ 、第3の選択期間 $T_3$ に分割してもよい。さらに、図8のタイミングチャートは、 $i$ 行目の走査線 $G_i$ が選択される

10

20

30

40

50

タイミング、第1の薄膜トランジスタ5603aのオン・オフのタイミング5803a、第2の薄膜トランジスタ5603bのオン・オフのタイミング5803b、第3の薄膜トランジスタ5603cのオン・オフのタイミング5803c及びJ列目の配線5621\_Jに入力される信号5821\_Jを示している。図8に示すように、プリチャージ期間T<sub>p</sub>において第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオンする。このとき、配線5621\_Jに入力されるプリチャージ電圧V<sub>p</sub>が第1の薄膜トランジスタ5603a、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cを介してそれぞれ信号線S<sub>j</sub>-2、信号線S<sub>j</sub>-1、信号線S<sub>j</sub>に入力される。第1のサブ選択期間T<sub>1</sub>において第1の薄膜トランジスタ5603aがオンし、第2の薄膜トランジスタ5603b及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力されるData<sub>j</sub>-2が、第1の薄膜トランジスタ5603aを介して信号線S<sub>j</sub>-2に入力される。第2のサブ選択期間T<sub>2</sub>では、第2の薄膜トランジスタ5603bがオンし、第1の薄膜トランジスタ5603a及び第3の薄膜トランジスタ5603cがオフする。このとき、配線5621\_Jに入力されるData<sub>j</sub>-1が、第2の薄膜トランジスタ5603bを介して信号線S<sub>j</sub>-1に入力される。第3のサブ選択期間T<sub>3</sub>では、第3の薄膜トランジスタ5603cがオンし、第1の薄膜トランジスタ5603a及び第2の薄膜トランジスタ5603bがオフする。このとき、配線5621\_Jに入力されるData<sub>j</sub>が、第3の薄膜トランジスタ5603cを介して信号線S<sub>j</sub>に入力される。

## 【0155】

20

以上のことから、図8のタイミングチャートを適用した図6の信号線駆動回路は、サブ選択期間の前にプリチャージ選択期間を設けることによって、信号線をプリチャージできるため、画素へのビデオ信号の書き込みを高速に行うことができる。なお、図8において、図7と同様なものに関しては共通の符号を用いて示し、同一部分または同様な機能を有する部分の詳細な説明は省略する。

## 【0156】

30

また、走査線駆動回路の構成について説明する。走査線駆動回路は、シフトレジスタ、バッファを有している。また場合によってはレベルシフタを有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

## 【0157】

走査線駆動回路の一部に用いるシフトレジスタの一形態について図9及び図10を用いて説明する。

## 【0158】

40

図9にシフトレジスタの回路構成を示す。図9に示すシフトレジスタは、フリップフロップ5701\_1～5701\_nという複数のフリップフロップで構成される。また、第1のクロック信号、第2のクロック信号、スタートパルス信号、リセット信号が入力されて動作する。

## 【0159】

図9のシフトレジスタの接続関係について説明する。1段目のフリップフロップ5701\_1は、第1の配線5711、第2の配線5712、第4の配線5714、第5の配線5715、第7の配線5717\_1、及び第7の配線5717\_2と接続される。また、2段目のフリップフロップ5701\_2は、第3の配線5713、第4の配線5714、第5の配線5715、第7の配線5717\_1、第7の配線5717\_2及び第7の配線5717\_3と接続される。

## 【0160】

50

同様に、 $i$  段目のフリップフロップ  $5701_i$  (フリップフロップ  $5701_1 \sim 5701_n$  のうちいずれか一) は、第 2 の配線  $5712$  または第 3 の配線  $5713$  の一方、第 4 の配線  $5714$ 、第 5 の配線  $5715$ 、第 7 の配線  $5717_i - 1$ 、第 7 の配線  $5717_i$ 、及び第 7 の配線  $5717_{i+1}$  と接続される。ここで、 $i$  が奇数の場合には、 $i$  段目のフリップフロップ  $5701_i$  は第 2 の配線  $5712$  と接続され、 $i$  が偶数である場合には、 $i$  段目のフリップフロップ  $5701_i$  は第 3 の配線  $5713$  と接続されることになる。

【0161】

また、 $n$  段目のフリップフロップ  $5701_n$  は、第 2 の配線  $5712$  または第 3 の配線  $5713$  の一方、第 4 の配線  $5714$ 、第 5 の配線  $5715$ 、第 7 の配線  $5717_n - 1$ 、第 7 の配線  $5717_n$ 、及び第 6 の配線  $5716$  と接続される。

10

【0162】

なお、第 1 の配線  $5711$ 、第 2 の配線  $5712$ 、第 3 の配線  $5713$ 、第 6 の配線  $5716$  を、それぞれ第 1 の信号線、第 2 の信号線、第 3 の信号線、第 4 の信号線と呼んでもよい。さらに、第 4 の配線  $5714$ 、第 5 の配線  $5715$  を、それぞれ第 1 の電源線、第 2 の電源線と呼んでもよい。

【0163】

次に、図 9 に示すフリップフロップの詳細について、図 10 を用いて説明する。図 10 に示すフリップフロップは、第 1 の薄膜トランジスタ  $5571$ 、第 2 の薄膜トランジスタ  $5572$ 、第 3 の薄膜トランジスタ  $5573$ 、第 4 の薄膜トランジスタ  $5574$ 、第 5 の薄膜トランジスタ  $5575$ 、第 6 の薄膜トランジスタ  $5576$ 、第 7 の薄膜トランジスタ  $5577$  及び第 8 の薄膜トランジスタ  $5578$  を有する。なお、第 1 の薄膜トランジスタ  $5571$ 、第 2 の薄膜トランジスタ  $5572$ 、第 3 の薄膜トランジスタ  $5573$ 、第 4 の薄膜トランジスタ  $5574$ 、第 5 の薄膜トランジスタ  $5575$ 、第 6 の薄膜トランジスタ  $5576$ 、第 7 の薄膜トランジスタ  $5577$  及び第 8 の薄膜トランジスタ  $5578$  は、 $n$  チャネル型トランジスタであり、ゲート・ソース間電圧 ( $V_{gs}$ ) がしきい値電圧 ( $V_{th}$ ) を上回ったとき導通状態になるものとする。

20

【0164】

また、図 10 に示すフリップフロップは、第 1 の配線  $5501$ 、第 2 の配線  $5502$ 、第 3 の配線  $5503$ 、第 4 の配線  $5504$ 、第 5 の配線  $5505$ 、及び第 6 の配線  $5506$  を有する。

30

【0165】

ここでは全ての薄膜トランジスタは、エンハンスマント型の  $n$  チャネル型トランジスタとする例を示すが、特に限定されず、例えば、デプレッション型の  $n$  チャネル型トランジスタを用いても駆動回路を駆動させることもできる。

【0166】

次に、図 10 に示すフリップフロップの接続構成について、以下に示す。

【0167】

第 1 の薄膜トランジスタ  $5571$  の第 1 の電極 (ソース電極またはドレイン電極の一方) が第 4 の配線  $5504$  に接続され、第 1 の薄膜トランジスタ  $5571$  の第 2 の電極 (ソース電極またはドレイン電極の他方) が第 3 の配線  $5503$  に接続される。

40

【0168】

第 2 の薄膜トランジスタ  $5572$  の第 1 の電極が第 6 の配線  $5506$  に接続され、第 2 の薄膜トランジスタ  $5572$  の第 2 の電極が第 3 の配線  $5503$  に接続される。

【0169】

第 3 の薄膜トランジスタ  $5573$  の第 1 の電極が第 5 の配線  $5505$  に接続され、第 3 の薄膜トランジスタ  $5573$  の第 2 の電極が第 2 の薄膜トランジスタ  $5572$  のゲート電極に接続され、第 3 の薄膜トランジスタ  $5573$  のゲート電極が第 5 の配線  $5505$  に接続される。

【0170】

50

第4の薄膜トランジスタ5574の第1の電極が第6の配線5506に接続され、第4の薄膜トランジスタ5574の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第4の薄膜トランジスタ5574のゲート電極が第1の薄膜トランジスタ5571のゲート電極に接続される。

【0171】

第5の薄膜トランジスタ5575の第1の電極が第5の配線5505に接続され、第5の薄膜トランジスタ5575の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第5の薄膜トランジスタ5575のゲート電極が第1の配線5501に接続される。

【0172】

第6の薄膜トランジスタ5576の第1の電極が第6の配線5506に接続され、第6の薄膜トランジスタ5576の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第6の薄膜トランジスタ5576のゲート電極が第2の薄膜トランジスタ5572のゲート電極に接続される。

【0173】

第7の薄膜トランジスタ5577の第1の電極が第6の配線5506に接続され、第7の薄膜トランジスタ5577の第2の電極が第1の薄膜トランジスタ5571のゲート電極に接続され、第7の薄膜トランジスタ5577のゲート電極が第2の配線5502に接続される。

【0174】

第8の薄膜トランジスタ5578の第1の電極が第6の配線5506に接続され、第8の薄膜トランジスタ5578の第2の電極が第2の薄膜トランジスタ5572のゲート電極に接続され、第8の薄膜トランジスタ5578のゲート電極が第1の配線5501に接続される。

【0175】

なお、第1の薄膜トランジスタ5571のゲート電極、第4の薄膜トランジスタ5574のゲート電極、第5の薄膜トランジスタ5575の第2の電極、第6の薄膜トランジスタ5576の第2の電極及び第7の薄膜トランジスタ5577の第2の電極の接続箇所をノード5543とする。さらに、第2の薄膜トランジスタ5572のゲート電極、第3の薄膜トランジスタ5573の第2の電極、第4の薄膜トランジスタ5574の第2の電極、第6の薄膜トランジスタ5576のゲート電極及び第8の薄膜トランジスタ5578の第2の電極の接続箇所をノード5544とする。

【0176】

なお、第1の配線5501、第2の配線5502、第3の配線5503及び第4の配線5504を、それぞれ第1の信号線、第2の信号、第3の信号線、第4の信号線と呼んでもよい。さらに、第5の配線5505を第1の電源線、第6の配線5506を第2の電源線と呼んでもよい。

【0177】

i段目のフリップフロップ5701\_iにおいて、図10中の第1の配線5501と、図9中の第7の配線5717\_i-1が接続される。また、図10中の第2の配線5502と、図9中の第7の配線5717\_i+1が接続される。また、図10中の第3の配線5503と、第7の配線5717\_iが接続される。さらに、図10中の第6の配線5506と、第5の配線5715が接続される。

【0178】

iが奇数の場合、図10中の第4の配線5504は、図9中の第2の配線5712と接続され、iが偶数の場合、図9中の第3の配線5713と接続される。また、図10中の第5の配線5505と、図9中の第4の配線5714が接続される。

【0179】

ただし、1段目のフリップフロップ5701\_1において、図10中の第1の配線5501は図9中の第1の配線5711に接続される。また、n段目のフリップフロップ570

10

20

30

40

50

1\_nにおいて、図10中の第2の配線5502は図9中の第6の配線5716に接続される。

【0180】

また、信号線駆動回路及び走査線駆動回路を実施の形態1乃至実施の形態5に示すnチャネル型TFTのみで作製することも可能である。実施の形態1乃至実施の形態5に示すnチャネル型TFTはトランジスタの移動度が大きいため、駆動回路の駆動周波数を高くすることが可能となる。すなわち、実施の形態1乃至実施の形態5に示すnチャネル型TFTに酸化物半導体層を用いることで、周波数特性(f特性と呼ばれる)を高くすることができる。例えば、実施の形態1乃至実施の形態5に示すnチャネル型TFTを用いた走査線駆動回路は、高速に動作させることができるために、フレーム周波数を高くすることで、黒画面挿入を実現することができる。

10

【0181】

さらに、走査線駆動回路のトランジスタのチャネル幅を大きくすることや、複数の走査線駆動回路を配置することなどによって、さらに高いフレーム周波数を実現することができる。複数の走査線駆動回路を配置する場合は、例えば、偶数行の走査線を駆動する為の走査線駆動回路を片側に配置し、奇数行の走査線を駆動するための走査線駆動回路をその反対側に配置することにより、フレーム周波数を高くすることを実現することができる。また、複数の走査線駆動回路により、同じ走査線に信号を出力すると、表示装置の大型化に有利である。

20

【0182】

また、半導体装置の一形態であるアクティブマトリクス型発光表示装置を作製する場合、少なくとも一つの画素に複数の薄膜トランジスタを配置するため、走査線駆動回路を複数配置することが好ましい。アクティブマトリクス型発光表示装置のブロック図の一例を図5(B)に示す。

【0183】

図5(B)に示す発光表示装置は、基板5400上に表示素子を備えた画素を複数有する画素部5401と、各画素を選択する第1の走査線駆動回路5402及び第2の走査線駆動回路5404と、選択された画素へのビデオ信号の入力を制御する信号線駆動回路5403とを有する。

【0184】

30

図5(B)に示す発光表示装置の画素に入力されるビデオ信号をデジタル形式とする場合、画素はトランジスタのオンとオフの切り替えによって、発光もしくは非発光の状態となる。よって、面積階調法または時間階調法を用いて階調の表示を行うことができる。面積階調法は、1画素を複数の副画素に分割し、各副画素を独立にビデオ信号に基づいて駆動させることによって、階調表示を行う駆動法である。また時間階調法は、画素が発光する期間を制御することによって、階調表示を行う駆動法である。

【0185】

発光素子は、液晶素子などに比べて応答速度が高いので、液晶素子よりも時間階調法に適している。具体的に時間階調法で表示を行なう場合、1フレーム期間を複数のサブフレーム期間に分割する。そしてビデオ信号に従い、各サブフレーム期間において画素の発光素子を発光または非発光の状態にする。複数のサブフレーム期間に分割することによって、1フレーム期間中に画素が実際に発光する期間のトータルの長さを、ビデオ信号により制御することができ、階調を表示することができる。

40

【0186】

なお、図5(B)に示す発光表示装置では、一つの画素に2つのスイッチング用TFTを配置する場合、一方のスイッチング用TFTのゲート配線である第1の走査線に入力される信号を第1の走査線駆動回路5402で生成し、他方のスイッチング用TFTのゲート配線である第2の走査線に入力される信号を第2の走査線駆動回路5404で生成している例を示しているが、第1の走査線に入力される信号と、第2の走査線に入力される信号とを、共に1つの走査線駆動回路で生成するようにしても良い。また、例えば、1つの画

50

素が有するスイッチング用 TFT の数によって、スイッチング素子の動作を制御するのに用いられる走査線が、各画素に複数設けられることもあり得る。この場合、複数の走査線に入力される信号を、全て 1 つの走査線駆動回路で生成しても良いし、複数の各走査線駆動回路で生成しても良い。

【 0187 】

また、発光表示装置においても、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成することができる。また、信号線駆動回路及び走査線駆動回路を実施の形態 1 乃至実施の形態 5 に示す n チャネル型 TFT のみで作製することも可能である。

【 0188 】

また、上述した駆動回路は、液晶表示装置や発光表示装置に限らず、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同程度の読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【 0189 】

（実施の形態 7 ）

実施の形態 1 乃至実施の形態 5 に示す薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、実施の形態 1 乃至実施の形態 5 に示す薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【 0190 】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機 EL ( E l e c t r o L u m i n e s c e n c e ) 素子、有機 EL 素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も用いることができる。

【 0191 】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【 0192 】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えば FPC ( F l e x i b l e P r i n t e d C i r c u i t ) もしくは TAB ( T a p e A u t o m a t e d B o n d i n g ) テープもしくは T C P ( T a p e C a r r i e r P a c k a g e ) が取り付けられたモジュール、TAB テープや T C P の先にプリント配線板が設けられたモジュール、または表示素子に COG ( C h i p O n G l a s s ) 方式により IC ( 集積回路 ) が直接実装されたモジュールも全て表示装置に含むものとする。

【 0193 】

本実施の形態では、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図 11 を用いて説明する。図 11 ( A 1 ) ( A 2 ) は、第 1 の基板 4001 上に形成された実施の形態 1 乃至実施の形態 5 で示した酸化物半導体層を用いる信頼性の高い薄膜トランジスタ 4010 、 4011 、及び液晶素子 4013 を、第 2 の基板 4006 との間にシール材 4005 によって封止した、パネルの上面図であり、図 11 ( B ) は、図 11

10

20

30

40

50

(A1)(A2)のM-Nにおける断面図に相当する。

【0194】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜または多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0195】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図11(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図11(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

【0196】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図11(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0197】

薄膜トランジスタ4010、4011は、酸化物半導体層を用いる信頼性の高い、実施の形態1乃至実施の形態5に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0198】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電気的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0199】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエスチルフィルムで挟んだ構造のシートを用いることもできる。

【0200】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するためには設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電気的に接続される。共通接続部を用いて、一対の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電気的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0201】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直

10

20

30

40

50

前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が10μs乃至100μsと短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

#### 【0202】

なお本実施の形態は透過型液晶表示装置の例であるが、本発明は反射型液晶表示装置にも半透過型液晶表示装置にも用いることができる。

#### 【0203】

また、本実施の形態の液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

10

#### 【0204】

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、実施の形態1乃至実施の形態5で得られた薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層（絶縁層4020、絶縁層4021）で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、または窒化酸化アルミニウム膜の単層、または積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

20

#### 【0205】

ここでは、保護膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

#### 【0206】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層4020の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、TFTの電気特性を変化させることを抑制することができる。

30

#### 【0207】

また、保護膜を形成した後に、酸化物半導体層のアニール（300乃至400）を行ってもよい。

#### 【0208】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

40

#### 【0209】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

#### 【0210】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法

50

、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーティング、カーテンコーティング、ナイフコーティング等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、酸化物半導体層のアニール（300乃至400）を行ってもよい。絶縁層4021の焼成工程と酸化物半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0211】

画素電極層4030、対向電極層4031は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0212】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性ポリマーの抵抗率が0.1 · cm以下であることが好ましい。

【0213】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

20

【0214】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0215】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0216】

30

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電気的に接続されている。

【0217】

また図11においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0218】

図12は、実施の形態1乃至実施の形態5に示すTFTを適用して作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

40

【0219】

図12は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固定され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配線基板2609によりTFT基板2600の配線回路部2608と接続され、コントロール回路や電源回路などの外部回路が組み込まれている。また偏光板と、液晶層との間に位

50

相差板を有した状態で積層してもよい。

【0220】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。10

【0221】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0222】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるることとする。

(実施の形態 8)

【0223】

本実施の形態では、実施の形態 1 乃至実施の形態 5 に示す薄膜トランジスタを適用した半導体装置の一形態として、電子ペーパーの例を示す。20

【0224】

図 13 は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ 581 としては、実施の形態 1 乃至実施の形態 5 で示す薄膜トランジスタを適用することができる。

【0225】

図 13 の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第 1 の電極層及び第 2 の電極層の間に配置し、第 1 の電極層及び第 2 の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。30

【0226】

基板 596 上に形成された薄膜トランジスタ 581 はボトムゲート構造の薄膜トランジスタであり、ソース電極層またはドレイン電極層によって第 1 の電極層 587 と、絶縁層 585 に形成する開口で接してあり電気的に接続している。第 1 の電極層 587 と、基板 597 上に形成された第 2 の電極層 588 との間には、黒色領域 590a 及び白色領域 590b を有し、その周りに液体で満たされているキャビティ 594 を有する球形粒子 589 が設けられており、球形粒子 589 の周囲は樹脂等の充填材 595 で充填されている(図 13 参照。)。本実施の形態においては、第 1 の電極層 587 が画素電極に相当し、第 2 の電極層 588 が共通電極に相当する。第 2 の電極層 588 は、薄膜トランジスタ 581 と同一基板上に設けられる共通電位線と電気的に接続される。実施の形態 1 乃至実施の形態 5 に示すいずれか一の共通接続部を用いて、一対の基板間に配置される導電性粒子を介して第 2 の電極層 588 と共通電位線とを電気的に接続することができる。40

【0227】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径  $10 \mu m$  乃至  $200 \mu m$  程度のマイクロカプセルを用いる。第 1 の電極層と第 2 の電極層との間に設けられるマイクロカプセルは、第 1 の電極層と第 2 の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要50

であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置（単に表示装置、または表示装置を具備する半導体装置ともいう）を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

【0228】

電気泳動表示素子は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用した表示素子である。電気泳動表示素子は、液晶表示装置には必要な偏光板がなく、液晶表示装置に比べて厚さや重さを減らすことができる。

【0229】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0230】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態1乃至実施の形態5の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0231】

なお、マイクロカプセル中の微粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0232】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるとしている。

【0233】

（実施の形態9）

本実施の形態では、実施の形態1乃至実施の形態5に示す薄膜トランジスタを適用した半導体装置の一形態として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0234】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子及び正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子及び正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0235】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

【0236】

図14は、本発明を適用した半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

10

20

30

40

50

## 【0237】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは、実施の形態1乃至実施の形態5で示した、酸化物半導体層をチャネル形成領域に用いるnチャネル型のトランジスタを、1つの画素に2つ用いる例を示す。

## 【0238】

画素6400は、スイッチング用トランジスタ6401、駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極(ソース電極及びドレイン電極の一方)が信号線6405に接続され、第2電極(ソース電極及びドレイン電極の他方)が駆動用トランジスタ6402のゲートに接続されている。駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極(画素電極)に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電気的に接続される。

10

## 【0239】

なお、発光素子6404の第2電極(共通電極6408)には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

20

## 【0240】

なお、容量素子6403は駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。駆動用トランジスタ6402のゲート容量については、チャネル領域とゲート電極との間で容量が形成されていてもよい。

## 【0241】

ここで、電圧入力電圧駆動方式の場合には、駆動用トランジスタ6402のゲートには、駆動用トランジスタ6402が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を入力する。つまり、駆動用トランジスタ6402は線形領域で動作させる。駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、(電源線電圧+駆動用トランジスタ6402のVth)以上の電圧をかける。

30

## 【0242】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせてことで、図14と同じ画素構成を用いることができる。

## 【0243】

アナログ階調駆動を行う場合、駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+駆動用トランジスタ6402のVth以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、駆動用トランジスタ6402のゲート電位よりも高くなる。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

## 【0244】

なお、図14に示す画素構成は、これに限定されない。例えば、図14に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタまたは論理回路などを追加してもよい。

## 【0245】

次に、発光素子の構成について、図15を用いて説明する。ここでは、駆動用TFTがn

50

型の場合を例に挙げて、画素の断面構造について説明する。図15(A)(B)(C)の半導体装置に用いられる駆動用TFTであるTFT7001、7011、7021は、実施の形態1乃至実施の形態5で示す薄膜トランジスタと同様に作製でき、In-Ga-Zn-O系非単結晶膜を代表とする酸化物半導体層を用いる信頼性の高い薄膜トランジスタである。

【0246】

発光素子は発光を取り出すために少なくとも陽極または陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

10

【0247】

上面射出構造の発光素子について図15(A)を用いて説明する。

【0248】

図15(A)に、駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図15(A)では、発光素子7002の陰極7003と駆動用TFTであるTFT7001が電気的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なつかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

20

【0249】

陰極7003及び陽極7005で発光層7004を挟んでいる領域が発光素子7002に相当する。図15(A)に示した画素の場合、発光素子7002から発せられる光は、矢印で示すように陽極7005側に射出する。

30

【0250】

次に、下面射出構造の発光素子について図15(B)を用いて説明する。駆動用TFT7011がn型で、発光素子7012から発せられる光が陰極7013側に射出する場合の、画素の断面図を示す。図15(B)では、駆動用TFT7011と電気的に接続された透光性を有する導電膜7017上に、発光素子7012の陰極7013が成膜されており、陰極7013上に発光層7014、陽極7015が順に積層されている。なお、陽極7015が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜7016が成膜されていてもよい。陰極7013は、図15(A)の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度(好ましくは、5nm乃至30nm程度)とする。例えば20nmの膜厚を有するアルミニウム膜を、陰極7013として用いることができる。そして発光層7014は、図15(A)と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極7015は光を透過する必要はないが、図15(A)と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜7016は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

40

【0251】

陰極7013及び陽極7015で、発光層7014を挟んでいる領域が発光素子7012

50

に相当する。図 15 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0252】

次に、両面射出構造の発光素子について、図 15 (C) を用いて説明する。図 15 (C) では、駆動用 TFT 7021 と電気的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 15 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する A1 を、陰極 7023 として用いることができる。そして発光層 7024 は、図 15 (A) と同様に、単数の層で構成されても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 15 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。10

【0253】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 15 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

【0254】

なお、ここでは、発光素子として有機 EL 素子について述べたが、発光素子として無機 EL 素子を設けることも可能である。20

【0255】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 TFT）と発光素子が電気的に接続されている例を示したが、駆動用 TFT と発光素子との間に電流制御用 TFT が接続されている構成であってもよい。

【0256】

なお本実施の形態で示す半導体装置は、図 15 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

【0257】

次に、実施の形態 1 乃至実施の形態 5 に示す薄膜トランジスタを適用した半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 16 を用いて説明する。図 16 (A) は、第 1 の基板上に形成された薄膜トランジスタ及び発光素子を、第 2 の基板との間にシール材によって封止した、パネルの上面図であり、図 16 (B) は、図 16 (A) の H - I における断面図に相当する。30

【0258】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。40

【0259】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 16 (B) では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

【0260】

薄膜トランジスタ 4509、4510 は、In - Ga - Zn - O 系非単結晶膜を代表とす50

る酸化物半導体層を用いる信頼性の高い、実施の形態1乃至実施の形態5に示す薄膜トランジスタを適用することができる。本実施の形態において、薄膜トランジスタ4509、4510はnチャネル型薄膜トランジスタである。

【0261】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電気的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変えることができる。

10

【0262】

隔壁4520は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0263】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0264】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC膜等を形成することができる。

20

【0265】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0266】

本実施の形態では、接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509、4510が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

30

【0267】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電気的に接続されている。

【0268】

発光素子4511からの光の取り出し方向に位置する基板である第2の基板は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエチレンフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0269】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。本実施の形態は充填材として窒素を用いる。

40

【0270】

また、必要であれば、発光素子の射出面に偏光板、または円偏光板(楕円偏光板を含む)、位相差板(1/4板、1/2板)、カラーフィルタなどの光学フィルムを適宜設けてよい。また、偏光板または円偏光板に反射防止膜を設けてよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0271】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜または多結晶半導体膜によって形成された駆動

50

回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、または走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図16の構成に限定されない。

【0272】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0273】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができる」とする。

【0274】

10

（実施の形態10）

実施の形態1乃至実施の形態5に示す薄膜トランジスタを適用した半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図17、図18に示す。

【0275】

図17（A）は、電子ペーパーで作られたポスター2631を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば短時間で広告の表示を変えることができる。また、表示も崩れることなく安定した画像が得られる。なお、ポスターは無線で情報を送受信できる構成としてもよい。

20

【0276】

また、図17（B）は、電車などの乗り物の車内広告2632を示している。広告媒体が紙の印刷物である場合には、広告の交換は人手によって行われるが、電子ペーパーを用いれば人手を多くかけることなく短時間で広告の表示を変えることができる。また表示も崩れることなく安定した画像が得られる。なお、車内広告は無線で情報を送受信できる構成としてもよい。

【0277】

30

また、図18は、電子書籍2700の一例を示している。例えば、電子書籍2700は、筐体2701及び筐体2703の2つの筐体で構成されている。筐体2701及び筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

【0278】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705及び表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成として、例えば右側の表示部（図18では表示部2705）に文章を表示し、左側の表示部（図18では表示部2707）に画像を表示することができる。

40

【0279】

また、図18では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源スイッチ2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングディバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

【0280】

50

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0281】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるところとする。

【0282】

(実施の形態 11)

実施の形態 1 乃至実施の形態 5 に示す薄膜トランジスタを用いた半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

10

【0283】

図 19 (A) は、テレビジョン装置 9600 の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することができる。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

20

【0284】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行なうことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

20

【0285】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機により一般的のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

30

【0286】

図 19 (B) は、デジタルフォトフレーム 9700 の一例を示している。例えば、デジタルフォトフレーム 9700 は、筐体 9701 に表示部 9703 が組み込まれている。表示部 9703 は、各種画像を表示することができる、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0287】

なお、デジタルフォトフレーム 9700 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9703 に表示させることができる。

40

【0288】

また、デジタルフォトフレーム 9700 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0289】

図 20 (A) は携帯型遊技機であり、筐体 9881 と筐体 9891 の 2 つの筐体で構成されており、連結部 9893 により、開閉可能に連結されている。筐体 9881 には表示部 9882 が組み込まれ、筐体 9891 には表示部 9883 が組み込まれている。また、図 20 (A) に示す携帯型遊技機は、その他、スピーカ部 9884、記録媒体挿入部 988

50

6、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においてまたは赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本発明に係る半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図20（A）に示す携帯型遊技機は、記録媒体に記録されているプログラムまたはデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図20（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【0290】

図20（B）は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本発明の一形態を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0291】

図21（A）は、携帯電話機1000の一例を示している。携帯電話機1000は、筐体1001に組み込まれた表示部1002の他、操作ボタン1003、外部接続ポート1004、スピーカ1005、マイク1006などを備えている。

20

【0292】

図21（A）に示す携帯電話機1000は、表示部1002を指などで触ることで、情報を入力ことができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1002を指などで触ることにより行うことができる。

【0293】

表示部1002の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合したモードである。

30

【0294】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1002を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1002の画面のほとんどにキーボードまたは番号ボタンを表示させが好ましい。

【0295】

また、携帯電話機1000内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1000の向き（縦か横か）を判断して、表示部1002の画面表示を自動的に切り替えるようにすることができる。

【0296】

また、画面モードの切り替えは、表示部1002を触れること、または筐体1001の操作ボタン1003の操作により行われる。また、表示部1002に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

40

【0297】

また、入力モードにおいて、表示部1002の光センサで検出される信号を検知し、表示部1002のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モードから表示モードに切り替えるように制御してもよい。

【0298】

表示部1002は、イメージセンサとして機能させることもできる。例えば、表示部1002に掌や指を触ることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。

50

きる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

【0299】

図21(B)も携帯電話機の一例である。図21(B)の携帯電話機は、筐体9411に、表示部9412、及び操作ボタン9413を含む表示装置9410と、筐体9401に操作ボタン9402、外部入力端子9403、マイク9404、スピーカ9405、及び着信時に発光する発光部9406を含む通信装置9400とを有しており、表示機能を有する表示装置9410は電話機能を有する通信装置9400と矢印の2方向に脱着可能である。よって、表示装置9410と通信装置9400の短軸同士を取り付けることも、表示装置9410と通信装置9400の長軸同士を取り付けることもできる。また、表示機能のみを必要とする場合、通信装置9400より表示装置9410を取り外し、表示装置9410を単独で用いることもできる。通信装置9400と表示装置9410とは無線通信または有線通信により画像または入力情報を授受することができ、それぞれ充電可能なバッテリーを有する。

10

【0300】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができるることとする。

【0301】

(実施の形態12)

本実施の形態では、実施の形態1乃至実施の形態5に示す薄膜トランジスタを適用した半導体装置の一形態として、電子書籍の例を示す。本実施の形態では、図22(A)、(B)及び図23を用いて、第1の表示パネル4311と第2の表示パネル4312の間に、両面表示型の第3の表示パネル4313を搭載した例について説明する。図22(A)は、電子書籍を見開きにした状態であり、図22(B)は電子書籍を閉じた状態である。また、図23は電子書籍の横方向の断面図である。

20

【0302】

図22(A)、(B)に示す電子書籍は、第1の表示部4301を有する第1の表示パネル4311と、操作部4304及び第2の表示部4307を有する第2の表示パネル4312と、第3の表示部4302及び第4の表示部4310を有する第3の表示パネル4313と、第1の表示パネル4311と、第2の表示パネル4312と、第3の表示パネル4313との一端部に設けられた綴じ部4308と、を有している。第3の表示パネル4313は、第1の表示パネル4311と第2の表示パネル4312の間に挿入されている。図22(A)、(B)の電子書籍は第1の表示部4301、第2の表示部4307、第3の表示部4302、及び第4の表示部4310の4つの表示画面を有している。

30

【0303】

第1の表示パネル4311、第2の表示パネル4312、及び第3の表示パネル4313は可撓性を有しており、曲がりやすい。また、第1の表示パネル4311、第2の表示パネル4312にプラスチック基板を用い、第3の表示パネル4313に薄いフィルムを用いると、薄型な電子書籍とすることができます。すなわち、図23に一例として電子書籍の横方向の断面図を示すと、第3の表示パネル4313は、第1の表示パネル4311及び第2の表示パネル4312より曲がりやすい電子書籍とすることができます。そのため、第3の表示パネル4313より外側の表示パネルを硬くすることにより、書籍のような感覚で取り扱えることができると共に、第3の表示パネル4313の破損を抑制できる。

40

【0304】

第3の表示パネル4313は第3の表示部4302及び第4の表示部4310を有する両面表示型パネルである。第3の表示パネル4313は、両面射出型の表示パネルを用いてもよいし、片面射出型の表示パネルを貼り合わせて用いてもよい。また、間にバックライト(好適には薄型のEL発光パネル)を挟んだ2つの液晶表示パネルを用いてもよい。

【0305】

また図22(A)、(B)に示す電子書籍は、第1の表示部4301の表示制御を行う走

50

査線駆動回路（図示せず）と、第2の表示部4307の表示制御を行う走査線駆動回路4322a、4322bと、第3の表示部4302及び／または第4の表示部4310の表示制御を行う走査線駆動回路（図示せず）と、第1の表示部4301、第2の表示部4307、第3の表示部4302、及び／または第4の表示部4310の表示制御を行う信号線駆動回路4323とを有している。なお第1の表示部4301の表示制御を行う走査線駆動回路は第1の表示パネル4311に設けられ、走査線駆動回路4322a、4322bは第2の表示パネル4312に設けられ、信号線駆動回路4323は綴じ部4308の内部に設けられている。

#### 【0306】

また図22（A）、（B）に示す電子書籍において、第2の表示パネル4312は、操作部4304を有し、電源入力スイッチや、表示切り替えスイッチなど、各機能を対応づけることができる。

10

#### 【0307】

また図22（A）、（B）に示す電子書籍の入力操作は、第1の表示部4301や第2の表示部4307に指や入力ペンなどで触れること、または操作部4304の操作により行われる。なお、図22（A）では、第2の表示部4307に表示された表示ボタン4309を図示しており、指などで触れることにより入力を行うことができる。

#### 【0308】

また図22（A）、（B）に示す第3の表示パネル4313を挿入した電子書籍の使い方の例としては、第1の表示部4301及び第4の表示部4310で文章を読み、第2の表示部4307及び第3の表示部4302で図を参照するのは便利である。このとき、第3の表示パネル4313は、第3の表示部4302と第4の表示部4310を同時に表示することはできないため、ページをめくり始めたときに、第3の表示部4302の表示から第4の表示部4310の表示に切り替わるものとする。

20

#### 【0309】

また、第1の表示部4301から第3の表示部4302を読んで、次のページ、第3の表示パネル4313をめくり始めた時に、ある角度で第4の表示部4310及び第2の表示部4307は次のページの表示を行い、また、第4の表示部4310及び第2の表示部4307を使い終わり、第3の表示パネル4313をめくり始めると、ある角度で第3の表示部4302及び第1の表示部4301が次のページを表示する。これにより、画面の切り替わりを目に見えないようにし、視覚的な違和感等を抑えることが可能となる。

30

#### 【0310】

なお、本実施の形態に示す構成は、他の実施の形態に示した構成を適宜組み合わせて用いることができることとする。

#### 【符号の説明】

##### 【0311】

100	基板
101	ゲート電極
102	絶縁膜
103	半導体膜
104	絶縁膜
105	IGZO半導体層
106	絶縁物
107	コンタクトホール（開口）
108	ソース電極
109	ドレイン電極
200	基板
201	ゲート電極
202	絶縁膜
203	半導体膜

40

50

2 0 4	絶縁膜	
2 0 5	半導体層	
2 0 6	絶縁物	
2 0 8	ソース電極	
2 0 9	ドレイン電極	
2 1 0	絶縁膜	
2 1 1	金属多層膜	
2 1 2	半導体膜	
2 1 3	ソース側バッファー層	
2 1 4	ドレイン側バッファー層	10
3 0 0	基板	
3 0 1	ゲート電極	
3 0 2	絶縁膜	
3 0 3	半導体膜	
3 0 4	絶縁膜	
3 0 5	半導体層	
3 0 6	絶縁物	
3 0 8	ソース電極	
3 0 9	ドレイン電極	
3 1 0	絶縁膜	20
3 1 1	金属多層膜	
4 0 0	基板	
4 0 1	ゲート電極	
4 0 2	絶縁膜	
4 0 3	半導体膜	
4 0 5	I G Z O 半導体層	
4 0 8	ソース電極	
4 0 9	ドレイン電極	
4 1 0	絶縁膜	
4 1 2	半導体膜	30
4 1 3	ソース側バッファー層	
4 1 4	ドレイン側バッファー層	
5 0 0	基板	
5 0 1	絶縁膜	
5 0 2	酸化物半導体膜	
5 0 3	電極	
5 1 0	物性評価用試料	
5 8 1	薄膜トランジスタ	
5 8 5	絶縁層	
5 8 7	電極層	40
5 8 8	電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	
5 9 7	基板	
6 0 1	測定結果	
6 0 2	測定結果	
6 0 3	測定結果	
6 0 4	ピーク	50

7 0 0	基板	
7 0 1	ゲート電極	
7 0 2	絶縁膜	
7 0 3	半導体膜	
7 0 5	I G Z O 半導体層	
7 0 8	ソース電極	
7 0 9	ドレイン電極	
7 1 0	絶縁膜	
1 0 0 0	携帯電話機	
1 0 0 1	筐体	10
1 0 0 2	表示部	
1 0 0 3	操作ボタン	
1 0 0 4	外部接続ポート	
1 0 0 5	スピーカ	
1 0 0 6	マイク	
2 6 0 0	TFT 基板	
2 6 0 1	対向基板	
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	20
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 6 3 1	ポスター	30
2 6 3 2	車内広告	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源スイッチ	
2 7 2 3	操作キー	
2 7 2 5	スピーカ	40
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	50

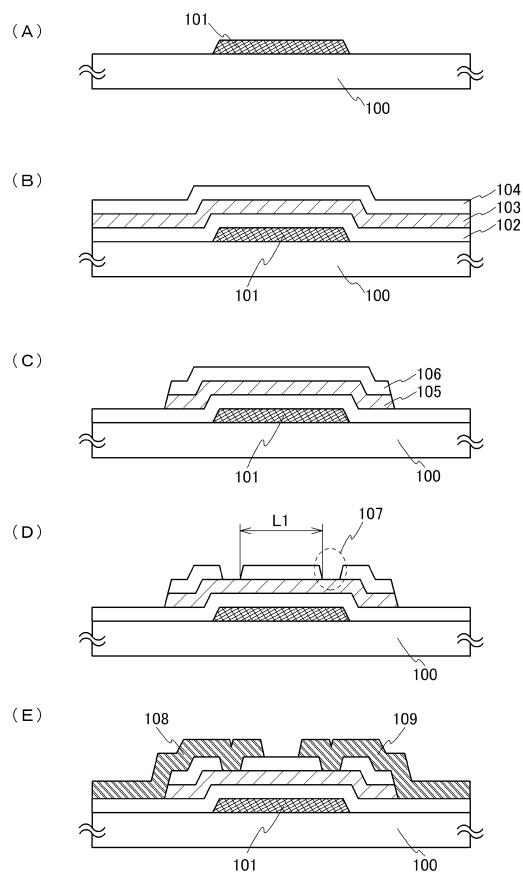
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 3 0 1	表示部	10
4 3 0 2	表示部	
4 3 0 4	操作部	
4 3 0 7	表示部	
4 3 0 8	部	
4 3 0 9	表示ボタン	
4 3 1 0	表示部	
4 3 1 1	表示パネル	
4 3 1 2	表示パネル	
4 3 1 3	表示パネル	
4 3 2 3	信号線駆動回路	20
4 5 0 1	基板	
4 5 0 2	画素部	
4 5 0 5	シール材	
4 5 0 6	基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	電極層	30
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	電極層	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 3 0 0	基板	
5 3 0 1	画素部	
5 3 0 2	走査線駆動回路	
5 3 0 3	信号線駆動回路	
5 4 0 0	基板	40
5 4 0 1	画素部	
5 4 0 2	走査線駆動回路	
5 4 0 3	信号線駆動回路	
5 4 0 4	走査線駆動回路	
5 5 0 1	配線	
5 5 0 2	配線	
5 5 0 3	配線	
5 5 0 4	配線	
5 5 0 5	配線	
5 5 0 6	配線	50

5 5 4 3	ノード	
5 5 4 4	ノード	
5 5 7 1	薄膜トランジスタ	
5 5 7 2	薄膜トランジスタ	
5 5 7 3	薄膜トランジスタ	
5 5 7 4	薄膜トランジスタ	
5 5 7 5	薄膜トランジスタ	
5 5 7 6	薄膜トランジスタ	
5 5 7 7	薄膜トランジスタ	
5 5 7 8	薄膜トランジスタ	10
5 6 0 1	ドライバ I C	
5 6 0 2	スイッチ群	
5 6 1 1	配線	
5 6 1 2	配線	
5 6 1 3	配線	
5 6 2 1	配線	
5 7 0 1	フリップフロップ	
5 7 1 1	配線	
5 7 1 2	配線	
5 7 1 3	配線	20
5 7 1 4	配線	
5 7 1 5	配線	
5 7 1 6	配線	
5 7 1 7	配線	
5 7 2 1	信号	
5 8 2 1	信号	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	30
6 4 0 2	駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	TFT	
7 0 0 2	発光素子	
7 0 0 3	陰極	40
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 1 1	駆動用 TFT	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 2 1	駆動用 TFT	50

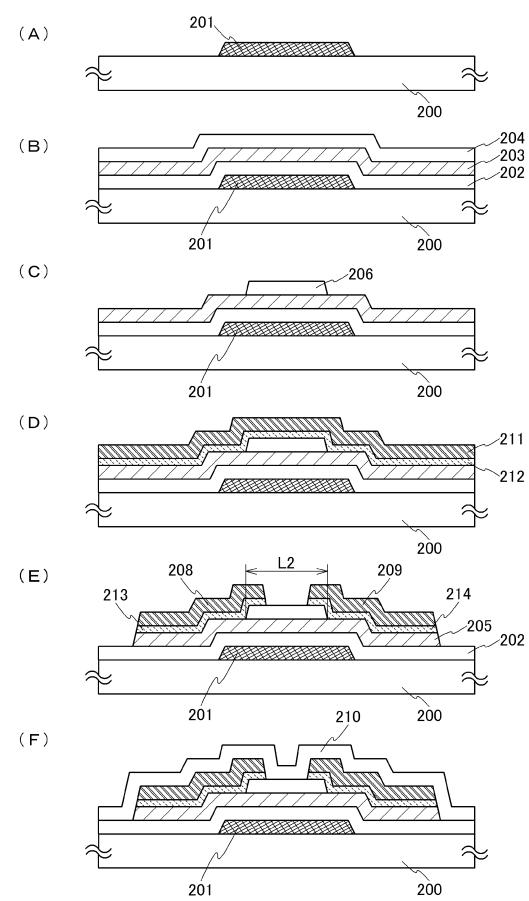
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
9 4 0 0	通信装置	
9 4 0 1	筐体	
9 4 0 2	走査ボタン	
9 4 0 3	外部入力端子	
9 4 0 4	マイク	10
9 4 0 5	スピーカ	
9 4 0 6	発光部	
9 4 1 0	表示装置	
9 4 1 1	筐体	
9 4 1 2	表示部	
9 4 1 3	操作ボタン	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	20
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	30
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	40
9 9 0 3	表示部	
4 3 2 1 a	走査線駆動回路	
4 3 2 2 a	走査線駆動回路	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 1 8 a	F P C	
5 6 0 3 a	薄膜トランジスタ	
5 6 0 3 b	薄膜トランジスタ	
5 6 0 3 c	薄膜トランジスタ	
5 7 0 3 a	タイミング	50

5 7 0 3 b タイミング  
 5 7 0 3 c タイミング  
 5 8 0 3 a タイミング  
 5 8 0 3 b タイミング  
 5 8 0 3 c タイミング

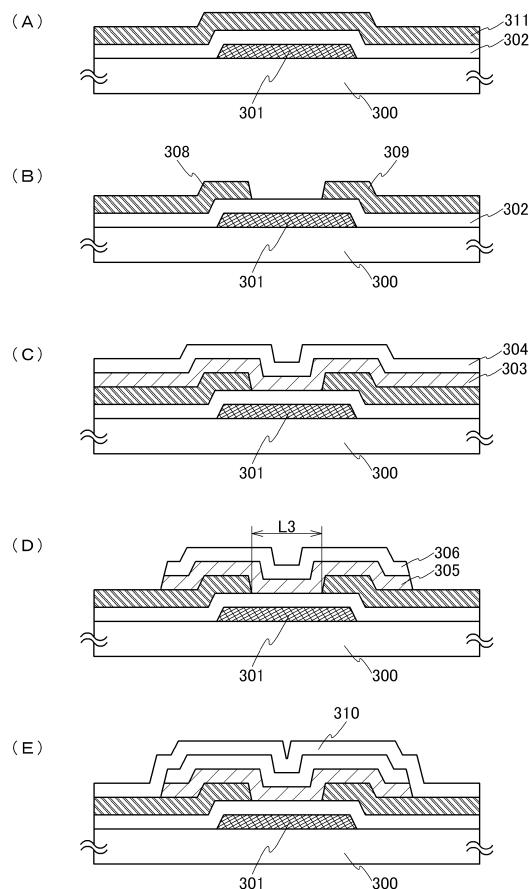
【図1】



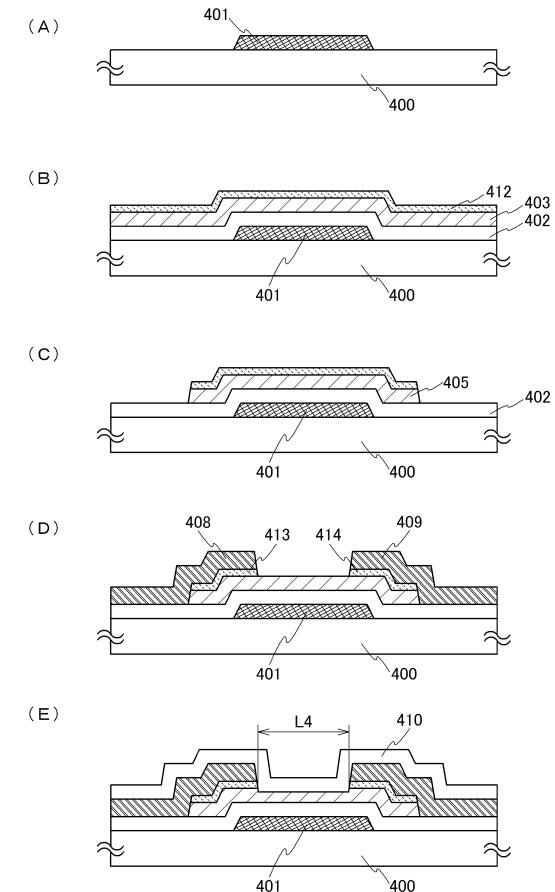
【図2】



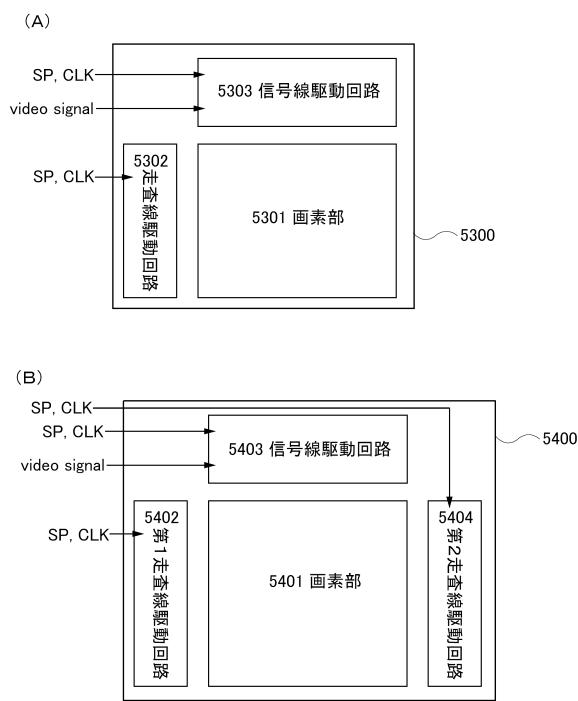
【図3】



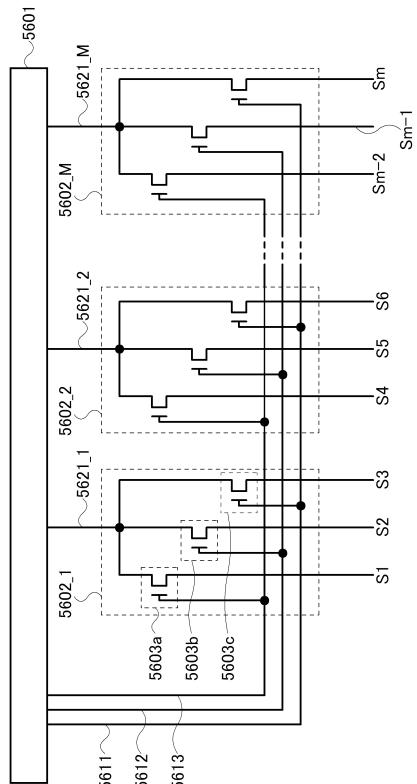
【図4】



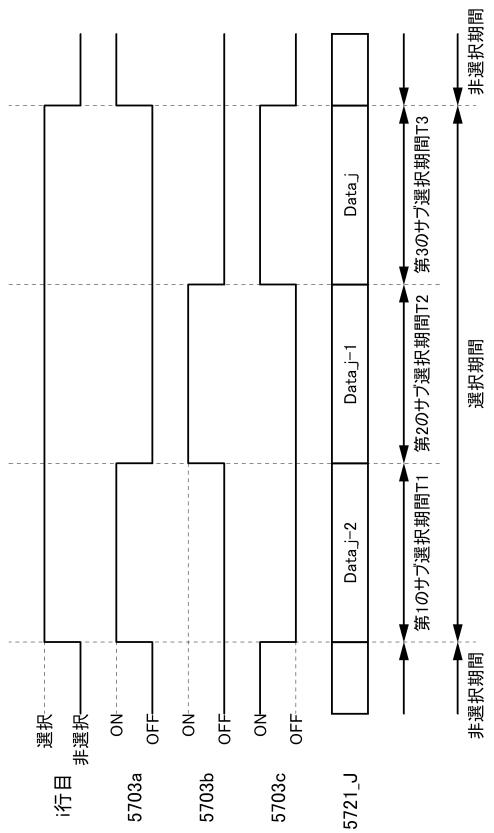
【図5】



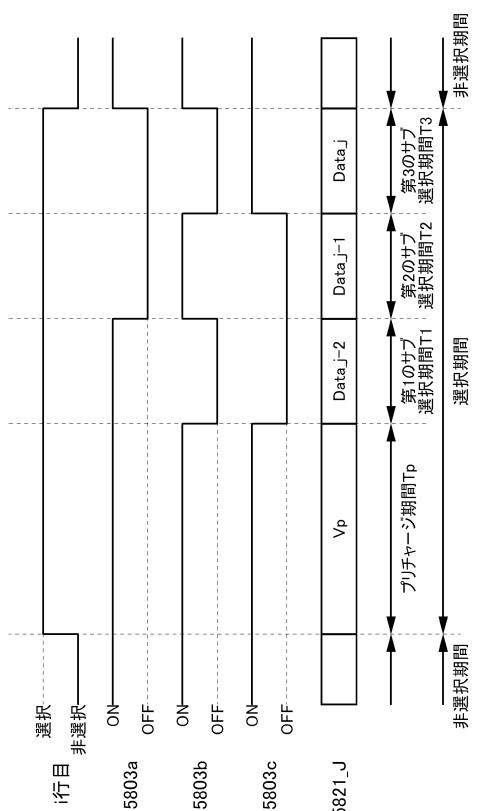
【図6】



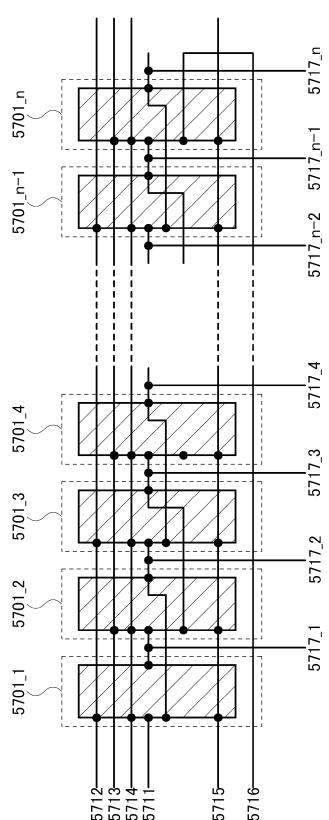
【図7】



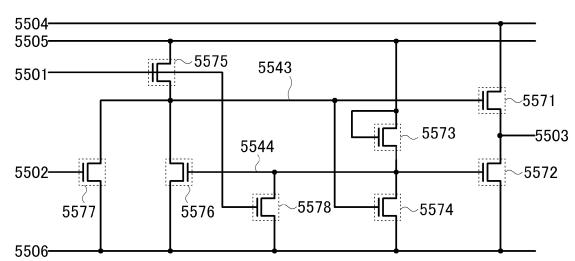
【図8】



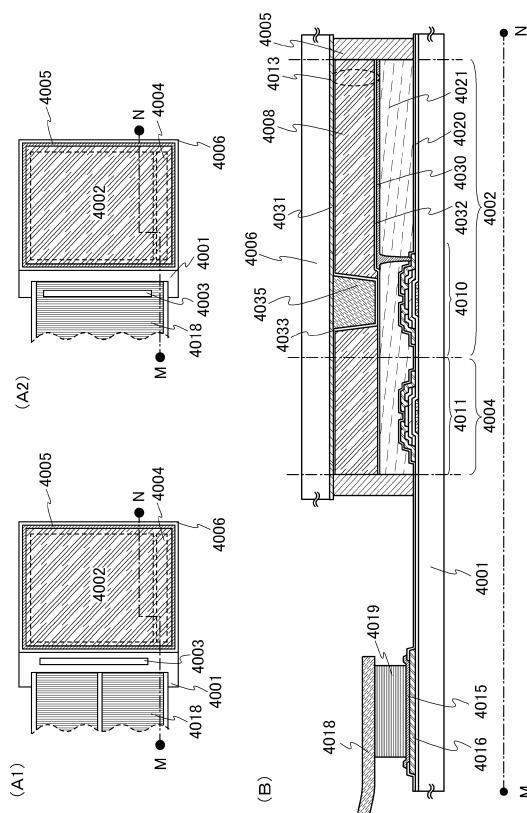
【図9】



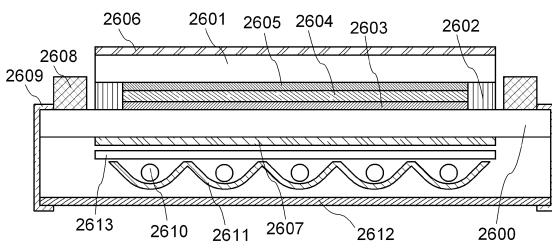
【図10】



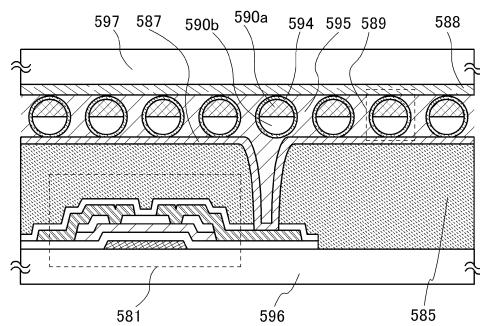
【図11】



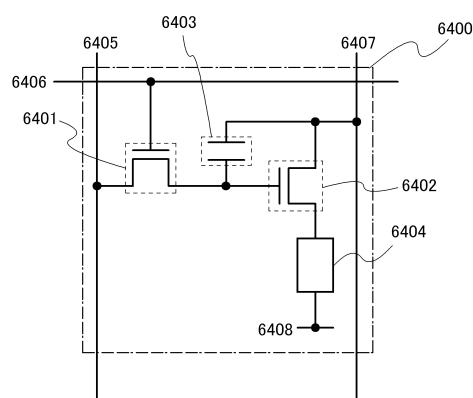
【図12】



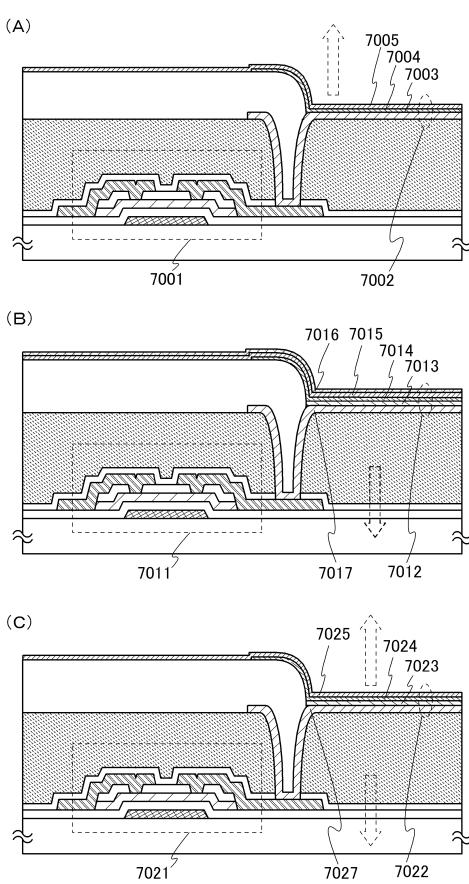
【図13】



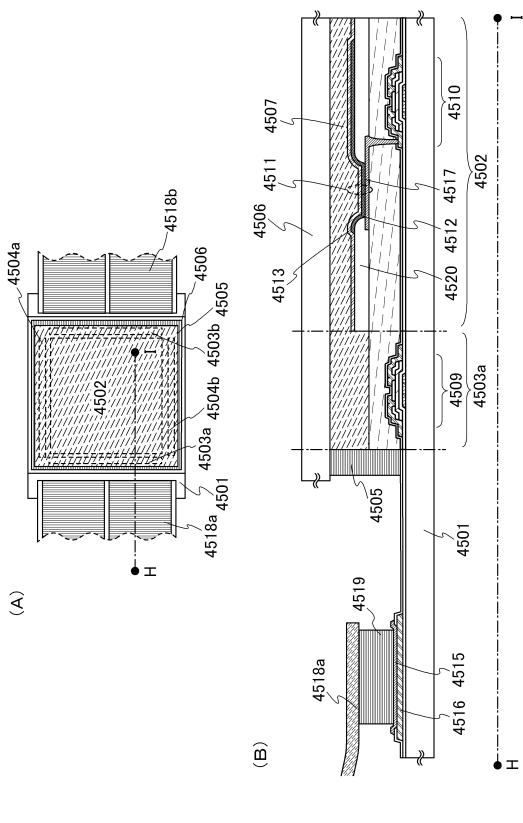
【図14】



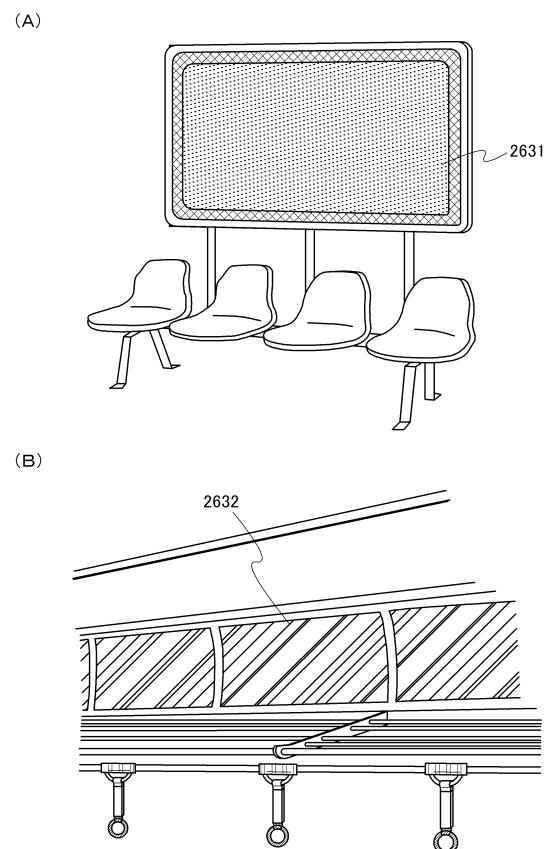
【図15】



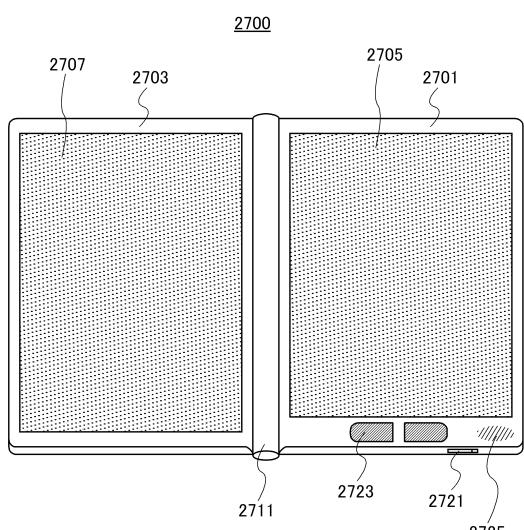
【図16】



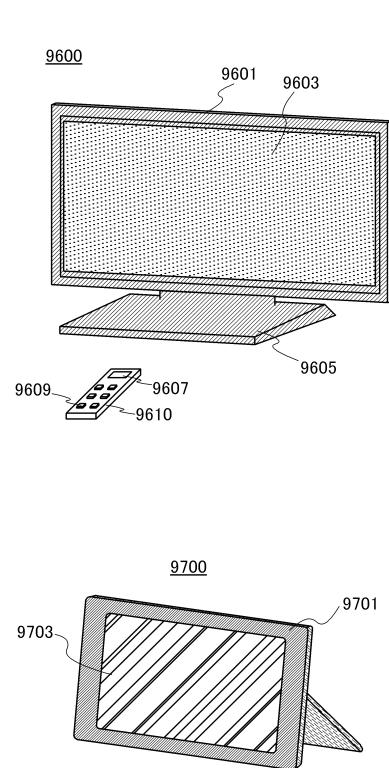
【図17】



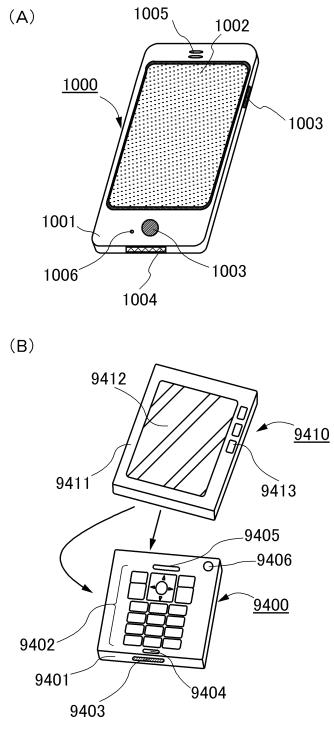
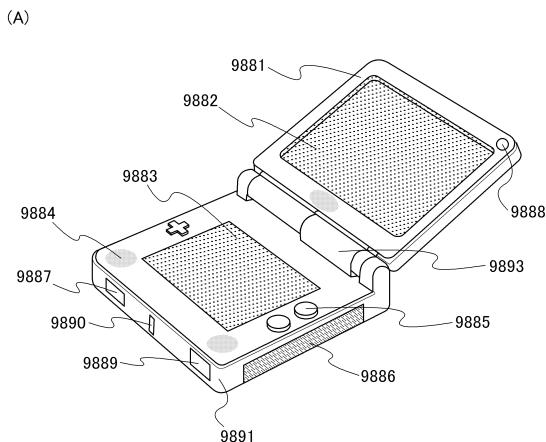
【図18】



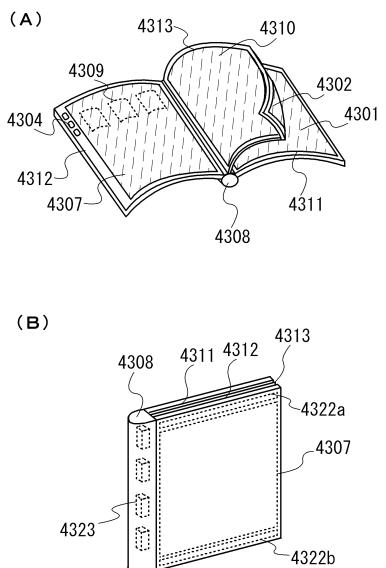
【図19】



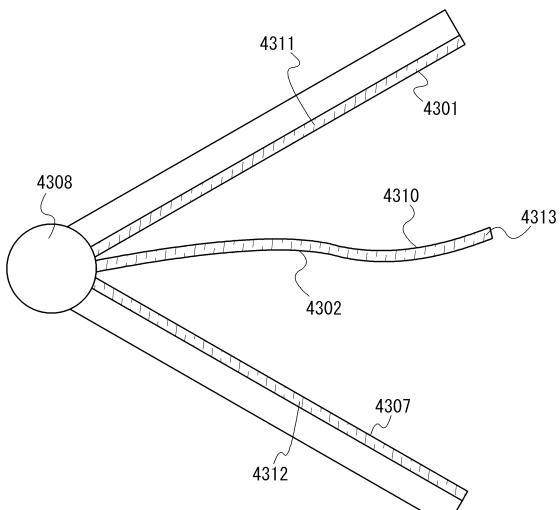
【図20】



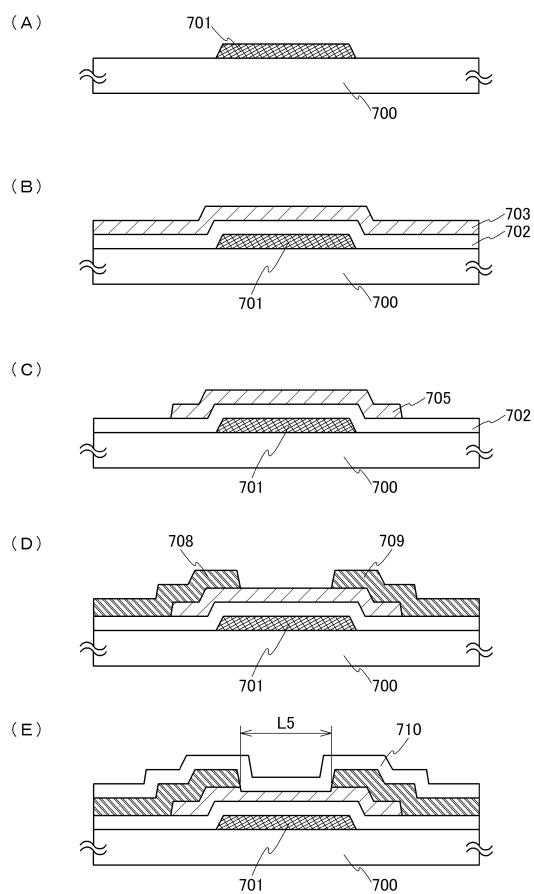
【図22】



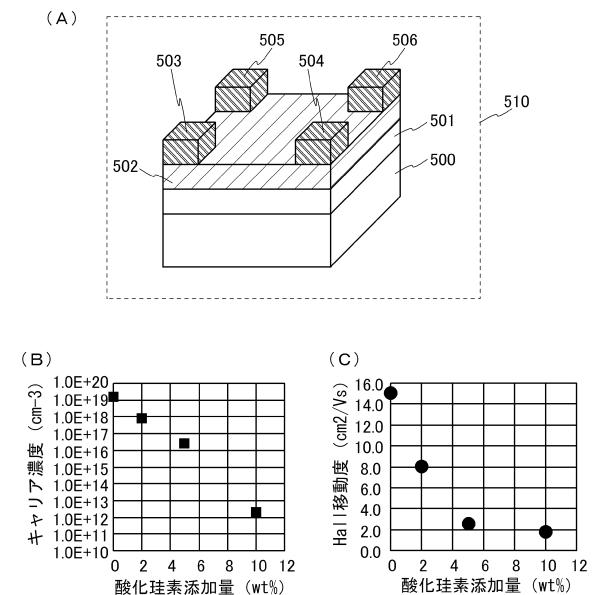
【図23】



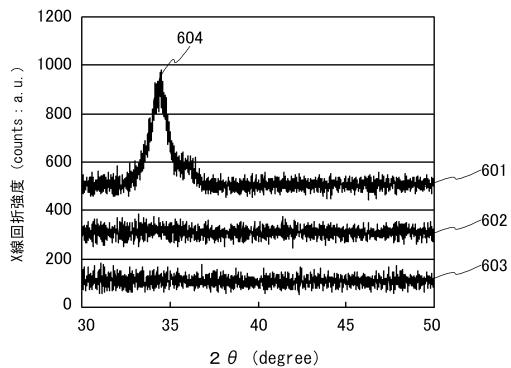
【図24】



【図25】



【図26】



---

フロントページの続き

(51)Int.Cl.

F I

H 01 L	29/78	6 1 6 U
H 01 L	29/78	6 1 8 A
G 09 F	9/30	3 3 8
G 02 F	1/1368	
H 05 B	33/14	A

(56)参考文献 特開2007-194594 (JP, A)

特開2002-134527 (JP, A)

米国特許出願公開第2008/0296568 (US, A1)

特開平08-274345 (JP, A)

特開2004-292873 (JP, A)

特開2003-273133 (JP, A)

特開2008-085312 (JP, A)

特開2009-111365 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336

H 01 L 29/786