

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6233033号
(P6233033)

(45) 発行日 平成29年11月22日 (2017.11.22)

(24) 登録日 平成29年11月2日 (2017.11.2)

(51) Int. Cl.	F I
HO 1 L 21/225 (2006.01)	HO 1 L 21/225 P
HO 1 L 21/331 (2006.01)	HO 1 L 29/72 P
HO 1 L 29/732 (2006.01)	

請求項の数 3 (全 7 頁)

(21) 出願番号	特願2014-4253 (P2014-4253)	(73) 特許権者	000006013
(22) 出願日	平成26年1月14日 (2014.1.14)		三菱電機株式会社
(65) 公開番号	特開2015-133412 (P2015-133412A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成27年7月23日 (2015.7.23)	(74) 代理人	100112210
審査請求日	平成28年5月20日 (2016.5.20)		弁理士 稲葉 忠彦
		(74) 代理人	100108431
			弁理士 村上 加奈子
		(74) 代理人	100153176
			弁理士 松井 重明
		(74) 代理人	100109612
			弁理士 倉谷 泰孝
		(72) 発明者	川崎 裕二
			東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

不純物拡散領域を有する半導体装置の製造方法であって、
シリコン基板上に第一のシリコン酸化膜を形成する工程と、
不純物拡散領域を形成するシリコン基板上の前記第一のシリコン酸化膜を除去する工程と、
前記シリコン基板上および前記第一のシリコン酸化膜上に不純物が導入されたポリシリコン膜を形成する工程と、
熱酸化処理により前記ポリシリコン膜を所定の膜厚を残して第二のシリコン酸化膜にすると同時に、前記ポリシリコン膜中の不純物を前記シリコン基板中に拡散させる工程と、
前記ポリシリコン膜上に形成された前記第二のシリコン酸化膜を除去する工程と、
残された前記ポリシリコン膜を熱酸化処理により第三のシリコン酸化膜にする工程と、
シリコン基板上の前記第三のシリコン酸化膜および前記第一のシリコン酸化膜を一度に除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】

前記ポリシリコン膜を第二のシリコン酸化膜にする工程において、残される前記ポリシリコン膜の所定の膜厚を100nmとすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】

前記ポリシリコン膜は、その形成時の膜厚が200nm以上で、かつその不純物濃度が5

$1.0 \times 10^{20} / \text{cm}^3$ 以上のリンが導入されていることを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関して、特に半導体装置における所定の領域に高濃度の不純物拡散領域を形成する方法に関する。

【背景技術】

【0002】

従来の半導体装置の製造方法においては、不純物が導入されたポリシリコン膜を、シリコン酸化膜がマスクとして表面に設けられたシリコン基板上に成膜し、このポリシリコン膜を熱酸化する過程で不純物をシリコン基板に導入した後、マスクと共に除去することで、同基板内に不純物拡散領域を形成する技術があった。そしてこの方法は、バイポーラトランジスタの埋め込みコレクタ層の形成に適用されている（たとえば、特許文献1参照）。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開昭58-184738号公報（第1図乃至第6図）

【発明の概要】

20

【発明が解決しようとする課題】

【0004】

従来の半導体装置の製造方法では、例えば、バイポーラトランジスタのコレクタウォール領域などで必要とされる表面部において $1.0 \times 10^{19} \sim 1.0 \times 10^{20} / \text{cm}^3$ の高濃度で、かつ $10 \mu\text{m}$ 以上と深い不純物拡散領域を形成しようとした場合、成膜されるポリシリコン膜の膜厚を厚くする必要がある。しかしながらこの場合熱酸化の過程で形成されるシリコン酸化膜の膜厚も厚くなることから、次第に形成されたシリコン酸化膜とポリシリコン膜との界面に酸化種が到達し難くなる。

【0005】

したがって、特に不純物拡散のマスクとして使用するシリコン酸化膜の開口部に生じる段差部ではポリシリコン膜の厚みが平坦部より大きくなるため、マスクの開口部であるシリコン酸化膜端部とポリシリコン膜、そしてシリコン基板との界面付近において、ポリシリコン膜が部分的に酸化されずにポリシリコン膜のまま一部が残る場合があった（図9参照）。

30

【0006】

このような場合、このポリシリコン膜の残渣がエッチング加工等によりシリコン酸化膜を除去する際、発塵源となる可能性があった。

【0007】

この発塵を回避するための方法として、熱酸化処理を長時間行うことでポリシリコン膜の残渣が生じないようにすることも可能であるが、過剰な熱酸化により、シリコン酸化膜およびシリコン酸化膜の界面付近のシリコン基板に局所的に応力が発生し、リーク電流不良などのデバイス特性不良を引き起こす場合があった。

40

【0008】

本発明は上述のような課題を解決するためになされたもので、ポリシリコン残渣の発生を無くすとともに、デバイス特性不良の要因となり得る局所的に発生する応力を抑制することのできる半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る半導体装置の製造方法は、シリコン基板上に第一のシリコン酸化膜を形成する工程と、不純物拡散領域を形成するシリコン基板上の第一のシリコン酸化膜を除去す

50

る工程と、シリコン基板上および第一のシリコン酸化膜上に不純物が導入されたポリシリコン膜を形成する工程と、熱処理によりポリシリコン膜を所定の膜厚を残して第二のシリコン酸化膜にすると同時に、ポリシリコン膜中の不純物をシリコン基板中に拡散させる工程と、ポリシリコン膜上に形成された第二のシリコン酸化膜を除去する工程と、残されたポリシリコン膜を熱処理により第三のシリコン酸化膜にする工程と、シリコン基板上に形成された第一と第三のシリコン酸化膜を除去する工程とを含むことを特徴とするものである。

【発明の効果】

【0010】

本発明は、不純物の拡散源となるポリシリコン膜を2回に分けて熱酸化処理することにより、発塵源となり得るポリシリコン残渣を無くし、且つデバイス特性不良の要因となり得る応力の発生を緩和することができる。

10

【図面の簡単な説明】

【0011】

【図1】実施の形態1に関わる半導体装置の製造方法の一工程を示す図である。

【図2】図1に続く実施の形態1に関わる半導体装置の製造工程を示す図である。

【図3】図2に続く実施の形態1に関わる半導体装置の製造工程を示す図である。

【図4】図3に続く実施の形態1に関わる半導体装置の製造工程を示す図である。

【図5】図4に続く実施の形態1に関わる半導体装置の製造工程を示す図である。

【図6】図5に続く実施の形態1に関わる半導体装置の製造工程を示す図である。

20

【図7】図6に続く実施の形態1に関わる半導体装置の製造工程を示す図である。

【図8】図7に続く実施の形態1に関わる半導体装置の製造工程を示す図である。

【図9】従来技術の半導体装置の製造方法の一工程を示す図であって図7に対応する。

【発明を実施するための形態】

【0012】

実施の形態1

本発明の実施の形態1に係る半導体装置の製造方法について、図1から図8を参照して説明する。

【0013】

本発明の実施の形態1における不純物拡散領域は、バイポーラトランジスタのコレクタウォール領域の形成について説明するものとし、その表面部における不純物濃度は $1.0 \times 10^{19} \sim 1.0 \times 10^{20} / \text{cm}^3$ で、深さ $10 \mu\text{m}$ 以上のN型不純物拡散領域を形成するものとする。

30

【0014】

まず、図1に示すようにシリコン基板1に 1000 程度の温度で熱酸化処理(ウェット酸化の場合で、約3時間)を施すことで、シリコン基板1の表面に厚さ 500nm の第一のシリコン酸化膜2を形成する。なお、シリコン基板1はN型でその不純物濃度は $3.0 \times 10^{15} / \text{cm}^3$ (比抵抗 $1.5 \Omega\text{-cm}$)であり、これはエピタキシャル層の場合であってもよい。

【0015】

40

次に、形成する不純物拡散領域上の第一のシリコン酸化膜2の一部を除去するため、写真製版処理により図2に示すように第一のシリコン酸化膜2上にレジストマスク10を形成する。

【0016】

次に、図3に示すようにドライエッチング処理を施し、レジストマスク10がない部分の第一のシリコン酸化膜2を除去して、シリコン基板1の表面を露出(A0)させる。

【0017】

次に、レジストマスク10を除去した後、図4に示すように第一のシリコン酸化膜2上および第一のシリコン酸化膜2が除去されたシリコン基板1上に、例えばCVD法によって厚さ 200nm のポリシリコン膜3を形成し、これに高濃度($5.0 \times 10^{20} \sim 6.5$

50

$\times 10^{20} / \text{cm}^3$ 程度)のリンを導入するためのイオン注入を行う。高濃度のリンが導入されたポリシリコン膜3は、不純物拡散領域形成における拡散源となる。

【0018】

なお、ポリシリコン膜3中への不純物の導入に関しては、CVD法による膜形成時に不純物をドーピングガスとして添加・反応させる方法でも導入可能である。また、不純物拡散領域の濃度、あるいは深さについてその値を更に大きくする必要がある場合は、ポリシリコン膜3の膜厚を厚くすることにより対応が可能となる。

【0019】

次に、第一のシリコン酸化膜2およびリンが導入されたポリシリコン膜3が形成されたシリコン基板1は1000程度の温度で熱酸化処理(ウエット酸化の場合で、約15分)を施す。この処理によって、図5に示すように、ポリシリコン膜3の上面部より酸化されて第二のシリコン酸化膜5が形成されると同時に、ポリシリコン膜3中のリンがポリシリコン膜3とシリコン基板1との界面部を通してシリコン基板1に拡散され、N型不純物拡散領域4が形成される。

10

【0020】

そして、この熱酸化処理によりポリシリコン膜3の膜厚は時間と共に薄くなるが、熱酸化処理はポリシリコン膜3の厚さが100nm程度になった時点で、一旦を終了する。

【0021】

またこのとき、ポリシリコン膜3が酸化されたことにより表面に形成された第二のシリコン酸化膜5は、270nm程度の厚さになっている。

20

【0022】

次に、表面に形成された第二のシリコン酸化膜5を、例えばウエットエッチング処理により図6に示すように除去する。この際、フッ酸等のエッチング剤がポリシリコン膜3のピンホール等から漏れることで、第一のシリコン酸化膜2も同時に除去されることを防止する必要がある。そのためには、熱酸化をされずに残されるポリシリコン膜3の厚さとして、100nm程度が良好な膜質と制御性の良さなどから最適となる。

【0023】

すなわち、ポリシリコン膜3の厚さが100nmを下回って80nm以下の厚さとなるとピンホールを生じる可能性が高くなる。

【0024】

30

次に図7に示すように、再び1000程度の温度で熱酸化処理(ウエット酸化の場合で、約2時間)し、ポリシリコン膜3を酸化種と反応させることでシリコン酸化膜を形成する。この工程によって、ポリシリコン膜3はすべて第三のシリコン酸化膜6に置換される。

【0025】

ここで、再び熱酸化処理を施す最初の状態においては、ポリシリコン膜3上にはシリコン酸化膜が無く、またこのポリシリコン膜3の膜厚を100nm程度としていることで、ポリシリコン膜3がすべて第三のシリコン酸化膜6に置換されるまでの過程においても、酸化種がポリシリコン膜3へ到達し易い状態が継続されることになる。そのため、従来技術における図9に示すようなポリシリコン膜の残渣が生じることはない。そのことによって、過剰な熱酸化を施す必要がなくなるので、シリコン酸化膜およびシリコン酸化膜の界面付近のシリコン基板において局所的な応力の発生も抑えられ、これを原因とするリーク電流などのデバイス特性への悪影響も抑制することができる。

40

【0026】

その後、図8に示すように、第三のシリコン酸化膜6および第二のシリコン酸化膜2を、例えばウエットエッチング処理により一度に除去する。

【0027】

以上の工程を経ることにより、表面部の不純物濃度が $1.0 \times 10^{19} \sim 1.0 \times 10^{20} / \text{cm}^3$ で、かつ深さ約10 μm のバイポーラトランジスタのコレクタウォール領域として機能するN型不純物拡散領域4が形成される。

50

【0028】

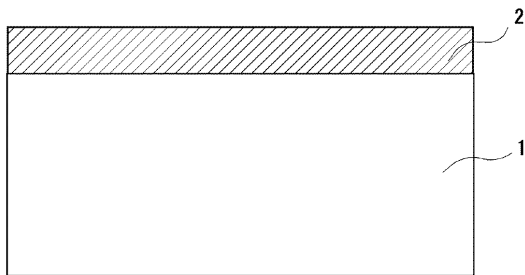
なお、本発明の実施の形態では、不純物拡散のマスクとして熱酸化処理によるシリコン酸化膜を用いたが、CVD法により形成してもよい。また、同シリコン酸化膜に替えてシリコン窒化膜を使用することも可能である。

【符号の説明】

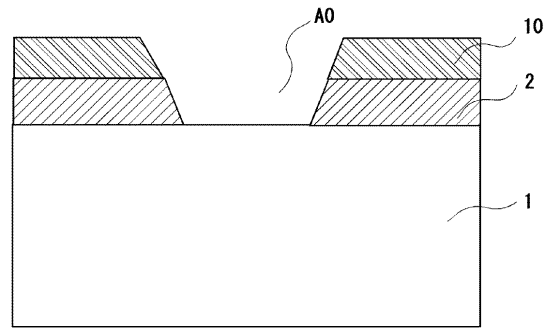
【0029】

1 シリコン基板、2 第一のシリコン酸化膜、3 高濃度のリンが導入されたポリシリコン膜、4 N型不純物拡散領域、5 第二のシリコン酸化膜、6 第三のシリコン酸化膜

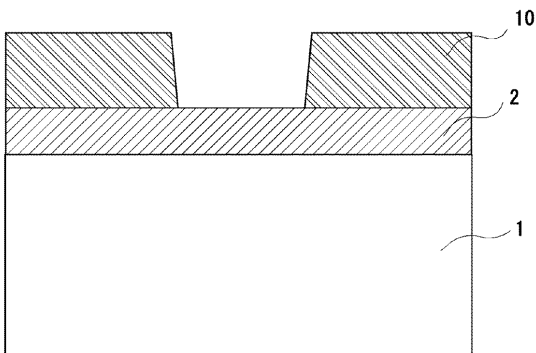
【図1】



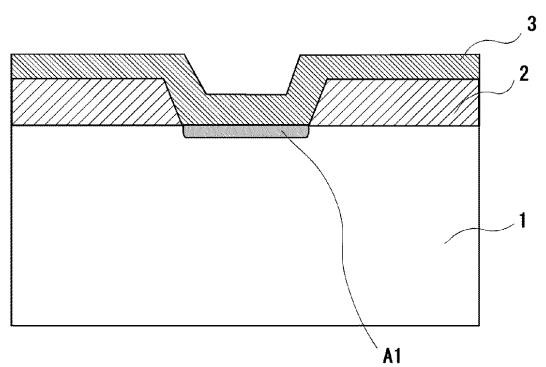
【図3】



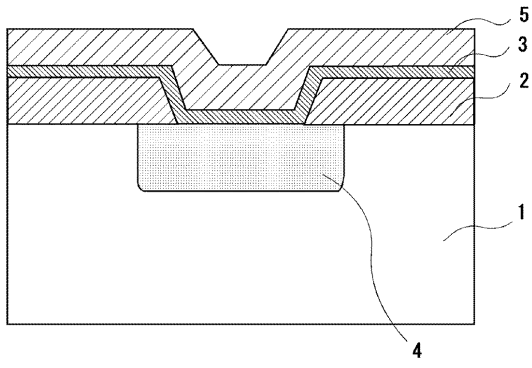
【図2】



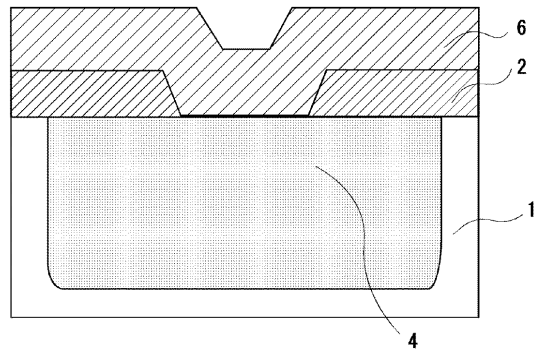
【図4】



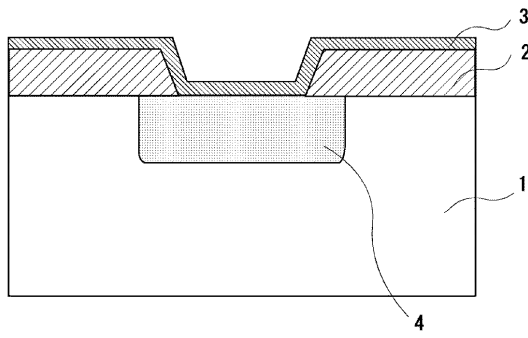
【図5】



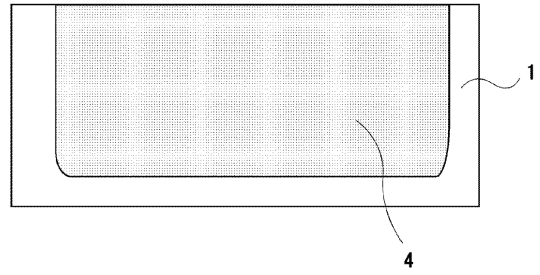
【図7】



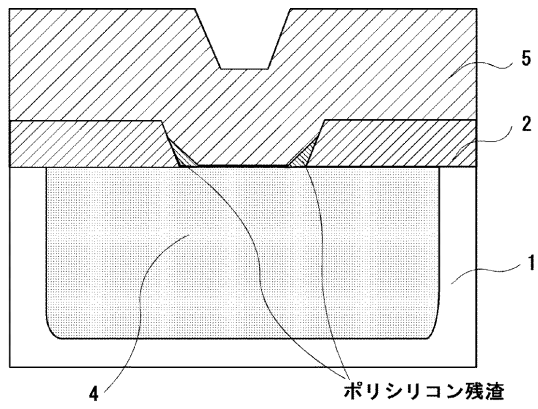
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 清水 和宏
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 桑原 清

(56)参考文献 特開昭55-151332(JP,A)
特開昭58-184738(JP,A)
特開昭57-001226(JP,A)
特開2008-066436(JP,A)
特開平02-033932(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/225
H01L 21/331
H01L 29/732