

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012202 A1

- (51) 国际专利分类号:
G11C 7/06 (2006.01)
- (21) 国际申请号: PCT/CN2021/097868
- (22) 国际申请日: 2021 年 6 月 2 日 (02.06.2021)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202010687695.0 2020 年 7 月 16 日 (16.07.2020) CN
- (71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (72) 发明人: 季汝敏 (JI, Rumin); 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。
- (74) 代理人: 北京律智知识产权代理有限公司 (BEIJING INTELLEGAL INTELLECTUAL PROPERTY AGENT LTD.); 中国北京市朝阳区慧忠路 5 号 B1605、B1606、B1607, Beijing 100101 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告 (条约第 21 条 (3))。

(54) Title: ANTIFUSE STORAGE UNIT STATE DETECTION CIRCUIT AND MEMORY

(54) 发明名称: 反熔丝存储单元状态检测电路及存储器

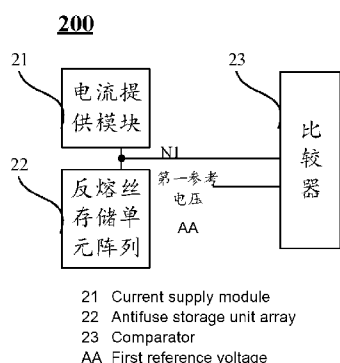


图 2

(57) Abstract: An antifuse storage unit state detection circuit (200) and a memory using same. The circuit (200) comprises: a current supply module (21), connected to a first node (N1), and used for supplying a constant current; an antifuse storage unit array (22), connected to the first node (N1), and comprising at least one bit line, the bit line being connected to a plurality of antifuse storage units and the first node (N1); a comparator (23), having a first input end connected to the first node (N1) and a second input end connected to a first reference voltage (V_{trip}), and being used for detecting storage states of antifuse storage units to be tested in the antifuse storage unit array (22). The circuit (200) increases the accuracy of antifuse storage unit storage state detection.

(57) 摘要: 一种反熔丝存储单元状态检测电路 (200) 及应用该电路的存储器, 该电路 (200) 包括: 电流提供模块 (21), 连接第一节点 (N1), 用于提供恒定电流; 反熔丝存储单元阵列 (22), 连接所述第一节点 (N1), 包括至少一条位线, 所述位线连接多个反熔丝存储单元和所述第一节点 (N1); 比较器 (23) 第一输入端连接所述第一节点 (N1), 第二输入端连接第一参考电压 (V_{trip}), 用于检测所述反熔丝存储单元阵列 (22) 中待测反熔丝存储单元的存储状态。该电路 (200) 可以提高反熔丝存储单元存储状态检测的准确度。

WO 2022/012202 A1

反熔丝存储单元状态检测电路及存储器

交叉引用

本公开要求于 2020 年 07 月 16 日提交的申请号为 202010687695.0、名称为“反熔丝存储单元状态检测电路及存储器”的中国专利申请的优先权，该中国专利申请的全部内容通过引用全部并入本文。

技术领域

本公开涉及集成电路技术领域，示例性而言，涉及一种反熔丝存储单元状态检测电路及应用该电路的存储器。

背景技术

一次性可编程存储（One time programmable，OTP）广泛应用于各类存储器中，用于实现损坏存储单元的冗余替换、电路模块的微调整等。常用的一次性可编程存储利用反熔丝存储单元的击穿或未击穿状态来进行信息存储。

通常仅通过简单的逻辑门电路（如反相器等）对反熔丝存储单元的击穿状态进行检测。在相关技术中，利用反相器来对反熔丝存储单元的击穿状态进行检测，如图 1 所示。如果待测反熔丝存储单元 11 属于被编程击穿的状态，通路电阻会比较小，那么在进行检测时，Node1 节点上产生的电压较低，使得反相器的输出 D_out 为高；反之，如果待测反熔丝存储单元 11 属于未被编程击穿的状态，通路电阻会较大，Node1 节点上产生的电压较高，超过反相器的翻转点，使得反相器的输出 D_out 为低。由于反熔丝存储单元被击穿后的电阻会在较宽范围内波动，以及工艺、电压、温度等因素对反相器等逻辑门电路的翻转点的影响，容易导致反熔丝存储单元的存储状态检测错误，造成芯片良率下降，因此亟需要一种性能更优的反熔丝存储单元状态检测电路。

需要说明的是，在上述背景技术部分公开的信息仅用于加强对本公开的背景的理解，因此可以包括不构成对本领域普通技术人员已知的现有技术的信息。

发明内容

本公开的目的在于提供一种反熔丝存储单元状态检测电路及应用该电路的存储器，用于至少在一定程度上克服由于相关技术的限制和缺陷而导致的反熔丝存储单元的存储状态检测结果不准确的问题。

根据本公开的一个方面，提供一种反熔丝存储单元状态检测电路，包括：电流提供模块，连接第一节点，用于提供恒定电流；反熔丝存储单元阵列，连接所述第一节点，包括至少一条位线，所述位线连接多个反熔丝存储单元和所述第一节点；比较器，第一输入端连接所述第一节点，第二输入端连接第一参考电压，用于检测所述反熔丝存储单元阵列中

待测反熔丝存储单元的存储状态。

在本公开的一种示例性实施例中，所述电流提供模块包括：放大器，第一输入端连接第二参考电压，第二输入端连接第二节点，输出端连接第三节点；第一开关元件，第一端连接电源电压，第二端连接所述第二节点，控制端连接所述第三节点；参考电阻，第一端
5 连接所述第二节点，第二端接地；第二开关元件，第一端连接所述电源电压，第二端连接所述第一节点，控制端连接所述第三节点。

在本公开的一种示例性实施例中，还包括：触发器，输入端连接所述比较器的输出端。

在本公开的一种示例性实施例中，所述多个反熔丝存储单元的字线和所述比较器的输出端均连接控制器。

10 在本公开的一种示例性实施例中，所述多个反熔丝存储单元的字线和所述触发器的输出端均连接控制器。

在本公开的一种示例性实施例中，所述控制器设置为：在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以控制所述待测反熔丝存储单元电连接至位线；在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；其中，所述
15 第二时间点与所述第一时间点之后。

在本公开的一种示例性实施例中，所述参考电阻为 ZQ 校准电阻。

在本公开的一种示例性实施例中，所述参考电阻的第一端通过第三开关元件连接所述第二节点，所述第三开关元件的控制端连接控制器，所述控制器设置为在第三时间点控制所述第三开关元件导通，所述第三时间点与第二时间点之前。

20 在本公开的一种示例性实施例中，所述反熔丝存储单元阵列包括：多个反熔丝存储单元子阵列，每个所述反熔丝存储单元子阵列对应一条位线，每个所述反熔丝存储单元子阵列包括多个反熔丝存储单元；与所述反熔丝存储单元子阵列对应的多个第四开关元件，每个所述第四开关元件的第一端连接对应的反熔丝存储单元子阵列的位线，每个所述第四开关元件的第二端连接所述第一节点，所述第四开关元件的默认状态为关断状态。

25 在本公开的一种示例性实施例中，每个所述第四开关元件的控制端连接控制器，所述控制器设置为：在第四时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第四开关元件输出第二控制信号以控制所述第四开关元件导通；在第一时间点对所述待测反熔丝存储单元的字线输出第一控制信号以控制所述待测反熔丝存储单元电连接至位线；在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；其中，所述第四时间点与第二时间点之前。
30

根据本公开的一个方面，提供一种反熔丝存储单元状态检测方法，应用于上述的反熔丝存储单元状态检测电路，包括：在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以控制所述待测反熔丝存储单元电连接至位线；在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；其中，所述第二时间点与第一时间点之后。
35

在本公开的一种示例性实施例中，所述反熔丝存储单元阵列包括：多个反熔丝存储单元子阵列，每个所述反熔丝存储单元子阵列对应一条位线，每个所述反熔丝存储单元子阵列包括多个反熔丝存储单元；与所述反熔丝存储单元子阵列对应的多个第四开关元件，每个所述第四开关元件的第一端连接对应的反熔丝存储单元子阵列的位线，每个所述第四开关元件的第二端连接所述第一节点，每个所述第四开关元件的控制端连接控制器，所述第四开关元件的默认状态为关断状态；所述方法还包括：在第四时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第四开关元件输出第二控制信号以控制所述第四开关元件导通，所述第四时间点在所述第二时间点之前。

根据本公开的一个方面，提供一种存储器，包括如上述任意一项所述的反熔丝存储单元状态检测电路。

本公开实施例通过使用恒定电流将待测反熔丝存储单元的电阻反映在第一节点的电压上，使用比较器比对第一节点的电压和第一参考电压判断待测反熔丝存储单元的电阻，进而判断待测反熔丝存储单元的存储状态，可以使得翻转点得到精确控制、获得更准确的检测结果，避免由于反熔丝存储单元的击穿状态电阻波动和逻辑门的翻转点偏移导致对反熔丝存储单元的存储状态误判。

应当理解的是，以上的一般描述和后文的细节描述仅是示例性和解释性的，并不能限制本公开。

附图说明

此处的附图被并入说明书中并构成本说明书的一部分，示出了符合本公开的实施例，并与说明书一起用于解释本公开的原理。显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是相关技术中反熔丝存储单元状态检测电路的示意图。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

图 3 是本公开一个实施例中反熔丝存储单元状态检测电路的电路示意图。

图 4 是图 3 所示实施例中反熔丝存储单元状态检测电路的另一种电路示意图。

图 5 是图 4 所示实施例中控制器 CON 实现的检测方法的流程图。

图 6 是本公开另一个实施例的反熔丝存储单元状态检测电路的电路示意图。

图 7 是本公开又一个实施例中反熔丝存储单元状态检测电路的电路示意图。

图 8 是本公开再一个实施例中反熔丝存储单元状态检测电路的电路示意图。

图 9 是图 8 所示实施例中控制器 CON 实现的检测方法的流程图。

图 10 是本公开实施例中反熔丝存储单元的示意图。

具体实施方式

现在将参考附图更全面地描述示例实施方式。然而，示例实施方式能够以多种形式实施，且不应被理解为限于在此阐述的范例；相反，提供这些实施方式使得本公开将更加全面和完整，并将示例实施方式的构思全面地传达给本领域的技术人员。所描述的特征、结构或特性可以以任何合适的方式结合在一个或更多实施方式中。在下面的描述中，提供许多示例性细节从而给出对本公开的实施方式的充分理解。然而，本领域技术人员将意识到，可以实践本公开的技术方案而省略所述特定细节中的一个或更多，或者可以采用其它的方法、组元、装置、步骤等。在其它状态下，不详细示出或描述公知技术方案以避免喧宾夺主而使得本公开的各方面变得模糊。

此外，附图仅为本公开的示意性图解，图中相同的附图标记表示相同或类似的部分，因而将省略对它们的重复描述。附图中所示的一些方框图是功能实体，不一定必须与物理或逻辑上独立的实体相对应。可以采用软件形式来实现这些功能实体，或在一个或多个硬件模块或集成电路中实现这些功能实体，或在不同网络和/或处理器装置和/或微控制器装置中实现这些功能实体。

下面结合附图对本公开示例实施方式进行详细说明。

图 2 是本公开示例性实施例中反熔丝存储单元状态检测电路的结构示意图。

参考图 2，反熔丝存储单元状态检测电路 200 可以包括：

电流提供模块 21，连接第一节点 N1，用于提供恒定电流；

反熔丝存储单元阵列 22，连接所述第一节点 N1，包括多个反熔丝存储单元，所述多个反熔丝存储单元的位线连接所述第一节点 N1；

比较器 23，第一输入端连接所述第一节点 N1，第二输入端连接第一参考电压 V_{trip} ，用于检测反熔丝存储单元阵列 22 中待测反熔丝存储单元的存储状态。

图 2 所示的反熔丝存储单元阵列 22 和反熔丝存储单元的结构请参见图 1 和图 10。

图 3 是本公开一个实施例中反熔丝存储单元状态检测电路的电路示意图。

参考图 3，在一个实施例中，电流提供模块 21 可以包括：

放大器 OP，第一输入端连接第二参考电压 V_{ref} ，第二输入端连接第二节点 N2，输出端连接第三节点 N3；

第一开关元件 M1，第一端连接电源电压 VDD，第二端连接第二节点 N2，控制端连接第三节点 N3；

参考电阻 Rref，第一端连接第二节点 N2，第二端接地；

第二开关元件 M2，第一端连接电源电压 VDD，第二端连接第一节点 N1，控制端连接第三节点 N3。

在图 3 所示实施例中，如果第一开关元件 M1、第二开关元件 M2 均为 N 型晶体管，放大器 OP 的第一输入端为同相输入端，第二输入端为反相输入端。如果第一开关元件 M1、第二开关元件 M2 均为 P 型晶体管，放大器 OP 的第一输入端为反相输入端，第二输入端为同相输入端。本领域技术人员可以根据第一开关元件 M1 和第二开关元件 M2 的

设置自行确定放大器的连接方式，本公开不以此为限。

图 4 是图 3 所示实施例中反熔丝存储单元状态检测电路的另一种电路示意图。

参考图 4，在一个实施例中，反熔丝存储单元阵列 22 和比较器 23 均连接控制器 CON。示例性可以为，控制器 CON 连接反熔丝存储单元阵列 22 中的各反熔丝存储单元的字线，连接比较器 23 的输出端。

图 5 是图 4 所示实施例中控制器 CON 实现的检测方法的流程图。

参考图 5，控制器 CON 可以设置为执行检测方法 500，检测方法 500 可以包括：

步骤 S1，在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以控制待测反熔丝存储单元电连接至位线；

10 步骤 S2，在第二时间点获取比较器的输出信号以确定待测反熔丝存储单元的存储状态；

其中，第二时间点在第一时间点之后。

下面结合图 2~图 4 对图 5 所述的控制方法进行说明。

在第一时间点控制待测反熔丝存储单元被选中后，第一节点 N1 存在等效电阻 R，该等效电阻 R 既可以为待测反熔丝存储单元在击穿状态下的电阻 R1 也可以为在未击穿状态下的电阻 R2。上述 R1 和 R2 均是统计结果，通过在反熔丝存储单元的研发和生产过程中对 R1 和 R2 进行统计分析得出。

15 电流提供模块 21 通过电流镜结构（包括放大器 OP、第一开关元件 M1、第二开关元件 M2、参考电阻 Rref）为第一节点 N1 提供恒定电流 I，示例性可以为：通过放大器 OP 的设置，第二节点 N2 的电压会维持与放大器 OP 所连接的第二参考电压 Vref 相同的电压值，从而通过参考电阻 Rref 在第二节点 N2 所在的通路产生第一电流。由于第一开关元件 M1 和第二开关元件 M2 的设置，使得第一节点 N1 所在的通路产生第二电流，该第二电流与第一电流成恒定比例关系，该比例由第一开关元件 M1 和第二开关元件 M2 的尺寸、性能决定。即，第二电流同样为恒定电流，在本公开实施例中将第二电流称为恒定电流 I。

25 该恒定电流 I 与第一节点 N1 的等效电阻 R 为第一节点 N1 提供电压 V， $V=IR$ 。由上述分析可知，在等效电阻 R 约等于 R1 或 R2 的情况下，第一节点 N1 的电压有 $V1=IR1$ 或者 $V2=IR2$ ，即第一节点 N1 的电压存在 V1 和 V2 两种情况。

通过使用比较器 23 将第一节点 N1 的电压与第一参考电压 Vtrip 进行比较，即可判断出待测反熔丝存储单元的电阻，进而判断待测反熔丝存储单元的存储状态。在一个实施例中，可以使用差分放大器实现比较器 23 的功能。例如，可以通过将差分放大器（例如为简单的两级比较器）设置为自偏置电路以避免过多的偏置电流走线并准确控制翻转点。

获取比较器 23 的输出信号的方法既可以为在第二时间点读取比较器 23 的输出信号，也可以为通过比较器 23 的使能引脚控制比较器 23 在第二时间点转变为使能状态，输出第一节点 N1 的电压与第一参考电压 Vtrip 的比较结果。

35 在一个实施例中，可以通过测量多个反熔丝存储单元以确定反熔丝存储单元在击穿状

态下的最大电阻和在未击穿状态下的最小电阻,并根据该击穿状态下的最大电阻和未击穿状态下的最小电阻确定 $V1$ 和 $V2$, 将第一参考电压 V_{trip} 设置为 $V1$ 和 $V2$ 的平均值, 以尽可能降低误判几率, 以提高检测准确度。

需要注意的是, 为了避免 V_{trip} 与 $V1$ 或 $V2$ 的差值的绝对值低于比较器 23 的差分电压输入阈值, 可以在设计比较器 23 时, 设计差分电压输入阈值小于 $V1$ 与 $V2$ 差值的二分之一, 以使比较器 23 能够准确输出第一节点 $N1$ 的电压与第一参考电压 V_{trip} 的比较结果。此处所称的差分电压输入阈值指的是比较器能否识别出的正向输入端和反向输入端的最小电压差。

此外, 为了防止在待测反熔丝存储单元未击穿状态下, 第一节点 $N1$ 处的电压 $V2$ 超过比较器 23 的输入电压上限, 可以通过设置合适的参考电阻 R_{ref} 的阻值来调节恒定电流 I , 进而调节 $V2$ 的值。

在一些实施例中, 可以使用 ZQ 校准电阻作为参考电阻 R_{ref} 。

图 6 是本公开另一个实施例的反熔丝存储单元状态检测电路的电路示意图。

参考图 6, 检测电路还可以包括:

第三开关元件 $M3$, 第一端连接参考电阻 R_{ref} 的第一端, 第二端连接第二节点 $N2$, 控制端连接控制器 CON 。

此时控制器 CON 可以设置为在第三时间点控制第三开关元件 $M3$ 导通, 该第三时间点在第二时间点之前, 以对第一节点 $N1$ 提供恒定电流。

当参考电阻通过 ZQ 校准电阻实现时, 控制第三开关元件 $M3$ 的开关状态可以控制 ZQ 校准电阻接入反熔丝存储单元状态检测电路或断开与反熔丝存储单元状态检测电路的连接, 以保障 ZQ 校准电阻的正常工作的安全性。

此外, 无论是通过 ZQ 校准电阻实现参考电阻 R_{ref} , 第三开关元件 $M3$ 的设置均可以使电流提供模块 21 开始提供恒定电流 I 的时间点得到控制, 即可以通过控制第三开关元件 $M3$ 的导通控制恒定电流 I 出现的时间点, 从而提高反熔丝存储单元状态检测的准确度。此时, 第三时间点既可以在第一时间点之前, 也可以在第一时间点之后。

图 7 是本公开又一个实施例中反熔丝存储单元状态检测电路的电路示意图。

参考图 7, 在本公开的其他实施例中, 检测电路还可以包括:

触发器 24, 触发器 24 的输入端连接比较器 23 的输出端, 触发器 23 的第一输出端和第二输出端均连接控制器 CON 。

触发器 24 例如可以为 D 触发器, 用于对比较器 23 的输出信号进行锁存, 以方便控制器 CON 读取。本领域技术人员可以根据需要自行设计触发器 24, 本公开不以此为限。

图 8 是本公开再一个实施例中反熔丝存储单元状态检测电路的电路示意图。

参考图 8, 在一个实施例中, 第一节点 $N1$ 可以用于连接多个位线, 反熔丝存储单元阵列 22 可以包括:

多个反熔丝存储单元子阵列 $22m$ (m 为位线序号), 每个反熔丝存储单元子阵列 $22m$

对应一条位线 BL_m，每个反熔丝存储单元子阵列 22m 包括多个反熔丝存储单元；

与反熔丝存储单元子阵列 22m 对应的多个第四开关元件 M4_m，每个第四开关元件 M4_m 的第一端连接对应的反熔丝存储单元子阵列 22m 的位线 BL_m，每个第四开关元件 M4_m 的第二端连接第三节点 N3，每个第四开关元件 M4_m 的控制端连接控制器 CON，第
5 四开关元件 M4_m 的默认状态为关断状态。

通过在第一节点 N1 连接多个反熔丝存储单元子阵列 22m，共享反熔丝存储状态检测电路，来对多个反熔丝存储单元子阵列 22m 中的反熔丝存储单元的存储状态进行检测，可以极大的节省电路面积，在一个实施例中，第一节点 N1 可以同时连接 16 个位线，示例性方式如图 9 所示。

10 图 9 是图 8 所示实施例中控制器 CON 实现的检测方法的流程图。

参考图 9，在图 8 所示电路中，控制器 CON 可以设置为执行以下方法：

步骤 S91，在第四时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第四开关元件输出第二控制信号以控制该第四开关元件导通；

步骤 S1，在第一时间点对待测反熔丝存储单元的字线输出第一控制信号控制待测反
15 熔丝存储单元电连接至位线；

步骤 S2，在第二时间点获取比较器的输出信号以确定待测反熔丝存储单元的存储状态；

其中，第一时间点和第四时间点均在第二时间点之前。

即图 5 所示的方法还可以包括步骤 S91，步骤 S91 与步骤 S1 的顺序可以调换。

20 在图 9 所示实施例中，第四时间点可以在第一时间点之前，也可以在第一时间点之后，还可以与第一时间点相等，只要第四时间点和第一时间点均在第二时间点之前即可，以在第二时间点开始检测第一节点 N1 的电压前开启配置好电流通路。

此外，当电路包含上述实施例的第三开关元件 M3 时，上述第三时间点与第一时间点、第四时间点均在第二时间点之前。控制第三开关元件 M3 导通、第四开关元件 M4_m 导通、
25 控制待测反熔丝存储单元电连接至位线的顺序均可以调换，只要在第二时间点获取电压比较结果之前完成即可。

当第四开关元件为 P 型晶体管时，第二控制信号为低电平；当第四开关元件为 N 型晶体管时，第二控制信号为高电平。当第四开关元件为其他类型的元件时，第二控制信号也可以为其他类型的信号，本公开对此不作特殊限制。

30 图 10 本公开实施例中反熔丝存储单元的示意图。

参考图 10，反熔丝存储单元 101 可以包括：

选择开关元件 M，选择开关元件 M 的第一端连接反熔丝存储单元 101 的位线；

反熔丝元件 F，反熔丝元件 F 的第一端连接于选择开关元件 M 的第二端；

其中，选择开关元件 M 的控制端和反熔丝元件 F 的控制端均连接于控制器。

35 本公开实施例提供的反熔丝存储单元状态检测电路通过使用电流提供模块为第一节

点提供恒定电流，将待测反熔丝存储单元的电阻反映在第一节点的电压上，对第一节点的电压与第一参考电压进行比较，可以尽量降低电压误判概率，使比较器的输出更为准确，避免相关技术中由于反熔丝存储单元的电阻波动和逻辑门的翻转电压偏移导致的反熔丝存储单元的存储状态误判。

- 5 根据本公开的一个方面，提供一种存储器，包括如上述任意一项所述的反熔丝存储单元状态检测电路。该存储器例如可以是 DRAM 存储器。

应当注意，尽管在上文详细描述中提及了用于动作执行的设备的若干模块或者单元，但是这种划分并非强制性的。实际上，根据本公开的实施方式，上文描述的两个或更多模块或者单元的特征和功能可以在一个模块或者单元中具体化。反之，上文描述的一个模块或者单元的特征和功能可以进一步划分为由多个模块或者单元来具体化。

- 10 本领域技术人员在考虑说明书及实践这里公开的发明后，将容易想到本公开的其它实施方案。本申请旨在涵盖本公开的任何变型、用途或者适应性变化，这些变型、用途或者适应性变化遵循本公开的一般性原理并包括本公开未公开的本技术领域中的公知常识或惯用技术手段。说明书和实施例仅被视为示例性的，本公开的真正范围和构思由权利要求指出。

工业实用性

- 20 本公开实施例通过使用恒定电流将待测反熔丝存储单元的电阻反映在第一节点的电压上，使用比较器比对第一节点的电压和第一参考电压判断待测反熔丝存储单元的电阻，进而判断待测反熔丝存储单元的存储状态，可以使得翻转点得到精确控制、获得更准确的检测结果，避免由于反熔丝存储单元的击穿状态电阻波动和逻辑门的翻转点偏移导致对反熔丝存储单元的存储状态误判。

权利要求

1.一种反熔丝存储单元状态检测电路，其中，包括：

电流提供模块，连接第一节点，用于提供恒定电流；

反熔丝存储单元阵列，连接所述第一节点，包括至少一条位线，所述位线连接多个反熔丝存储单元和所述第一节点；

比较器，第一输入端连接所述第一节点，第二输入端连接第一参考电压，用于检测所述反熔丝存储单元阵列中待测反熔丝存储单元的存储状态。

2.如权利要求1所述的反熔丝存储单元状态检测电路，其中，所述电流提供模块包括：

放大器，第一输入端连接第二参考电压，第二输入端连接第二节点，输出端连接第三节点；

第一开关元件，第一端连接电源电压，第二端连接所述第二节点，控制端连接所述第三节点；

参考电阻，第一端连接所述第二节点，第二端接地；

第二开关元件，第一端连接所述电源电压，第二端连接所述第一节点，控制端连接所述第三节点。

3.如权利要求1所述的反熔丝存储单元状态检测电路，其中，还包括：

触发器，输入端连接所述比较器的输出端。

4.如权利要求1所述的反熔丝存储单元状态检测电路，其中，所述多个反熔丝存储单元的字线和所述比较器的输出端均连接控制器。

5.如权利要求3所述的反熔丝存储单元状态检测电路，其中，所述多个反熔丝存储单元的字线和所述触发器的输出端均连接控制器。

6.如权利要求4或5所述的反熔丝存储单元状态检测电路，其中，所述控制器设置为：

在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以控制所述待测反熔丝存储单元电连接至所述位线；

在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；

其中，所述第二时间点在所述第一时间点之后。

7.如权利要求2所述的反熔丝存储单元状态检测电路，其中，所述参考电阻为ZQ校准电阻。

8.如权利要求7所述的反熔丝存储单元状态检测电路，其中，所述参考电阻的第一端通过第三开关元件连接所述第二节点，所述第三开关元件的控制端连接控制器，所述控制器设置为在第三时间点控制所述第三开关元件导通，所述第三时间点在第二时间点之前。

9.如权利要求1所述的反熔丝存储单元状态检测电路，其中，所述反熔丝存储单元阵列包括：

多个反熔丝存储单元子阵列，每个所述反熔丝存储单元子阵列对应一条位线，每个所

述反熔丝存储单元子阵列包括多个反熔丝存储单元；

与所述反熔丝存储单元子阵列对应的多个第四开关元件，每个所述第四开关元件的第一端连接对应的反熔丝存储单元子阵列的位线，每个所述第四开关元件的第二端连接所述第一节点，所述第四开关元件的默认状态为关断状态。

- 5 10.如权利要求 9 所述的反熔丝存储单元状态检测电路，其中，每个所述第四开关元件的控制端连接控制器，所述控制器设置为：

在第四时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第四开关元件输出第二控制信号以控制所述第四开关元件导通；

- 10 在第一时间点对所述待测反熔丝存储单元的字线输出第一控制信号以控制所述待测反熔丝存储单元电连接至位线；

在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；

其中，所述第四时间点与所述第二时间点之前。

- 15 11.一种反熔丝存储单元状态检测方法，其中，应用于如权利要求 1~8 任一项所述的反熔丝存储单元状态检测电路，包括：

在第一时间点对待测反熔丝存储单元的字线输出第一控制信号以控制所述待测反熔丝存储单元电连接至位线；

在第二时间点获取所述比较器的输出信号以确定所述待测反熔丝存储单元的存储状态；

- 20 其中，所述第二时间点与所述第一时间点之后。

- 12.如权利要求 11 所述的反熔丝存储单元状态检测方法，其中，所述反熔丝存储单元阵列包括：多个反熔丝存储单元子阵列，每个所述反熔丝存储单元子阵列对应一条位线，每个所述反熔丝存储单元子阵列包括多个反熔丝存储单元；与所述反熔丝存储单元子阵列对应的多个第四开关元件，每个所述第四开关元件的第一端连接对应的反熔丝存储单元子阵列的位线，每个所述第四开关元件的第二端连接所述第一节点，每个所述第四开关元件的控制端连接控制器，所述第四开关元件的默认状态为关断状态；

- 25 所述方法还包括：

- 30 在第四时间点对待测反熔丝存储单元所在的反熔丝存储单元子阵列对应的第四开关元件输出第二控制信号以控制所述第四开关元件导通，所述第四时间点与所述第二时间点之前。

13.一种存储器，其中，包括如权利要求 1~10 任一项所述的反熔丝存储单元状态检测电路。

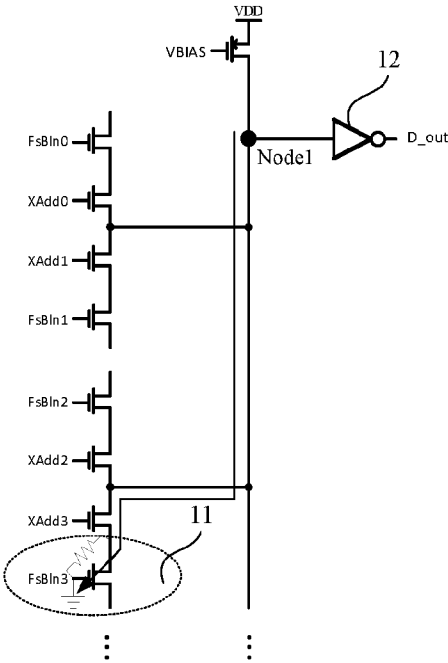


图 1

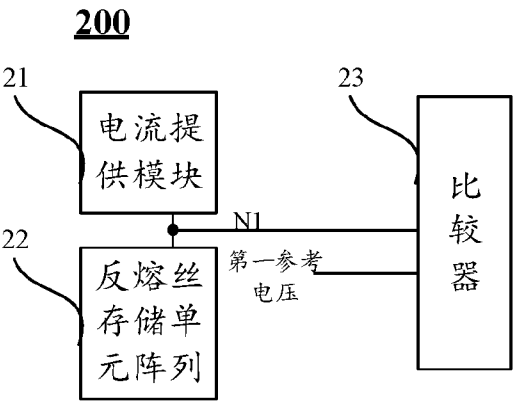


图 2

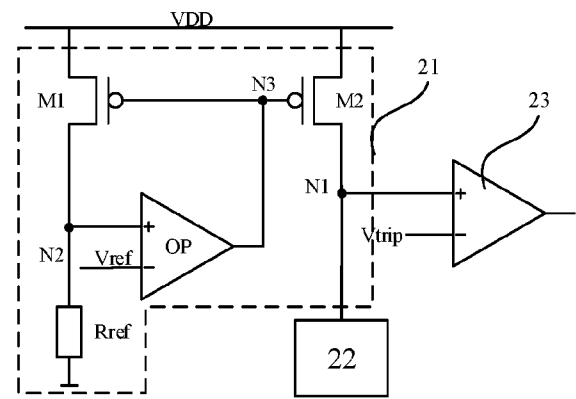


图 3

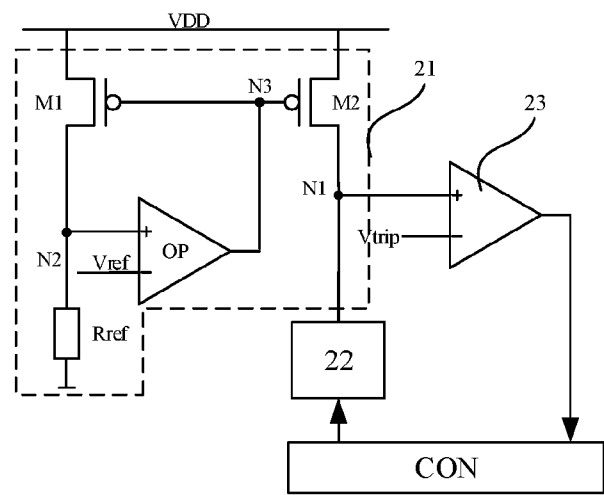


图 4

500

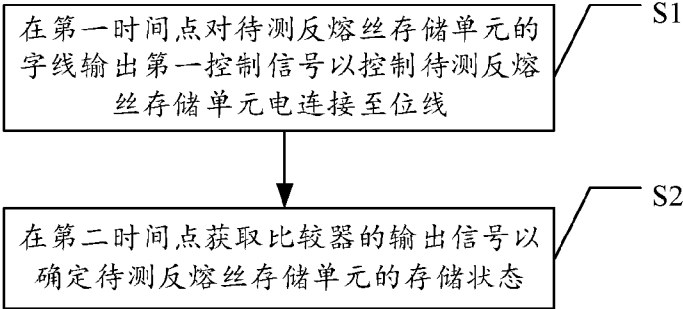


图 5

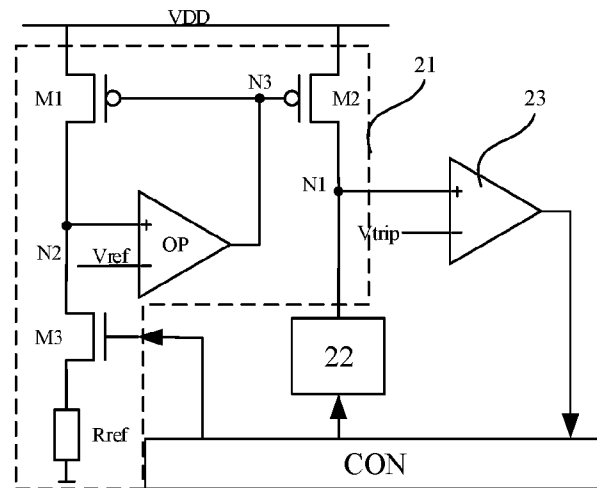


图 6

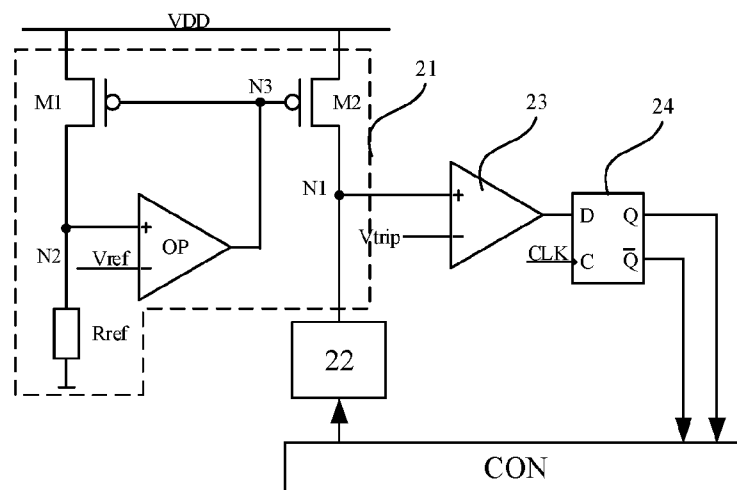


图 7

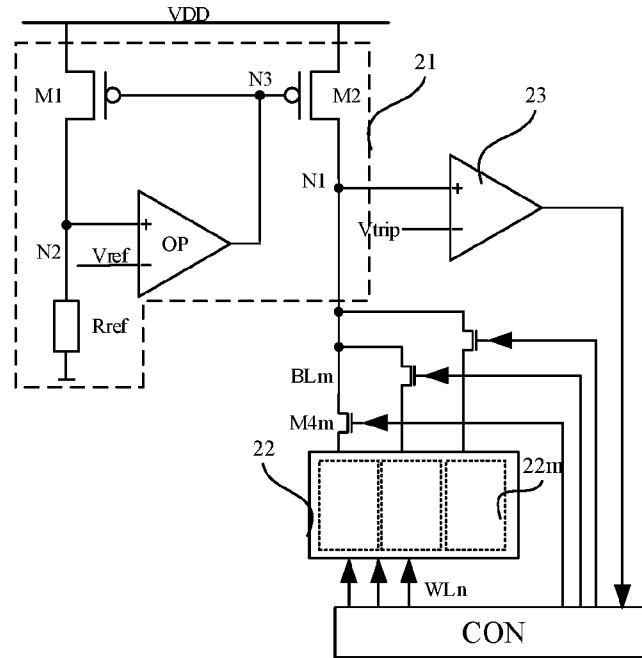


图 8

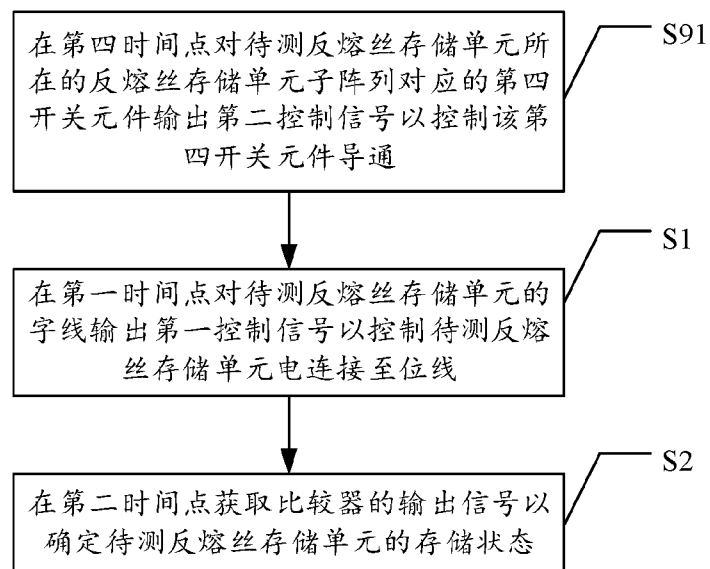


图 9

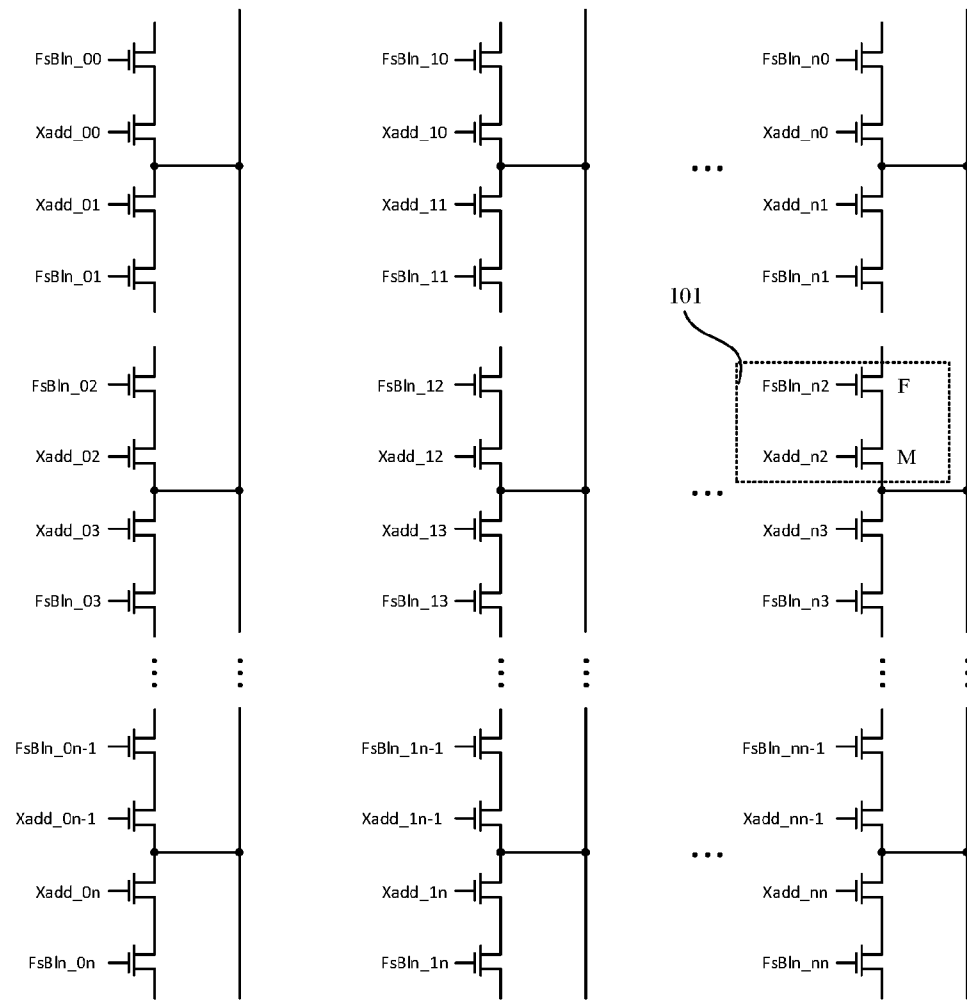


图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/097868

A. CLASSIFICATION OF SUBJECT MATTER

G11C 7/06(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNPAT, CNKI, IEEE: 长鑫存储技术, 反熔丝, 存储, 非易失性, 阵列, 位线, 字线, 电流镜, 比较, 放大, 恒流, 恒定 1w 电流, 参考, nonvolatil+, storag+, compar+, current+ 1w mirror+, constant+ 1w current+, amplif+, referenc+, bit, line

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 1828764 A (MACRONIX INTERNATIONAL CO., LTD.) 06 September 2006 (2006-09-06) description page 7 line 7 - page 8 line 1 from the bottom, figure 4	1-13
X	CN 110838309 A (ST MICROELECTRONICS S.R.L.) 25 February 2020 (2020-02-25) description, paragraphs [0046]-[0057], and figure 3	1-13
X	CN 103366790 A (SILICON STORAGE TECHNOLOGY, INC.) 23 October 2013 (2013-10-23) description, paragraphs [0013]-[0027], figures 1-4	1-13
A	CN 101916583 A (GRACE SEMICONDUCTOR MANUFACTURING CORPORATION) 15 December 2010 (2010-12-15) entire document	1-13
A	CN 104217744 A (EMEMORY TECHNOLOGY INC.) 17 December 2014 (2014-12-17) entire document	1-13
A	US 2013064008 A1 (SAMSUNG ELECTRONICS CO., LTD.) 14 March 2013 (2013-03-14) entire document	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 August 2021

Date of mailing of the international search report

26 August 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/097868

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1828764	A	06 September 2006	US	2006120174	A1	08 June 2006
				CN	100578657	C	06 January 2010
				US	7082061	B2	25 July 2006
CN	110838309	A	25 February 2020	US	2020058360	A1	20 February 2020
				US	10658048	B2	19 May 2020
				CN	210052530	U	11 February 2020
CN	103366790	A	23 October 2013	JP	6050887	B2	21 December 2016
				JP	2015515710	A	28 May 2015
				EP	2831887	A1	04 February 2015
				JP	2017027650	A	02 February 2017
				EP	2831887	A4	23 December 2015
				WO	2013148357	A1	03 October 2013
				US	2015078081	A1	19 March 2015
				KR	20140140630	A	09 December 2014
				JP	6336541	B2	06 June 2018
				US	9564235	B2	07 February 2017
				KR	101732238	B1	24 May 2017
CN	101916583	A	15 December 2010	CN	101916583	B	09 December 2015
CN	104217744	A	17 December 2014	CN	104217744	B	09 June 2017
				US	9099191	B2	04 August 2015
				TW	I508094	B	11 November 2015
				US	2014355353	A1	04 December 2014
				TW	201447907	A	16 December 2014
US	2013064008	A1	14 March 2013	KR	101855295	B1	09 May 2018
				KR	20130027840	A	18 March 2013
				US	8654595	B2	18 February 2014

国际检索报告

国际申请号

PCT/CN2021/097868

A. 主题的分类

G11C 7/06 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

WPI, EPDOC, CNPAT, CNKI, IEEE: 长鑫存储技术, 反熔丝, 存储, 非易失性, 阵列, 位线, 字线, 电流镜, 比较, 放大, 恒流, 恒定 1w 电流, 参考, nonvolatil+, storag+, compar+, current+ 1w mirror+, constant+ 1w current+, amplif+, referenc+, bit, line

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 1828764 A (旺宏电子股份有限公司) 2006年 9月 6日 (2006 - 09 - 06) 说明书第7页第7行-第8页倒数第1行, 附图4	1-13
X	CN 110838309 A (意法半导体股份有限公司) 2020年 2月 25日 (2020 - 02 - 25) 说明书第[0046]-[0057]段, 附图3	1-13
X	CN 103366790 A (硅存储技术公司) 2013年 10月 23日 (2013 - 10 - 23) 说明书第[0013]-[0027], 附图1-4	1-13
A	CN 101916583 A (上海宏力半导体制造有限公司) 2010年 12月 15日 (2010 - 12 - 15) 全文	1-13
A	CN 104217744 A (力旺电子股份有限公司) 2014年 12月 17日 (2014 - 12 - 17) 全文	1-13
A	US 2013064008 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013年 3月 14日 (2013 - 03 - 14) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 8月 10日

国际检索报告邮寄日期

2021年 8月 26日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

张然

电话号码 (86-10)-53961500

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/097868

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	1828764	A	2006年 9月 6日	US	2006120174	A1	2006年 6月 8日		
				CN	100578657	C	2010年 1月 6日		
				US	7082061	B2	2006年 7月 25日		
CN	110838309	A	2020年 2月 25日	US	2020058360	A1	2020年 2月 20日		
				US	10658048	B2	2020年 5月 19日		
				CN	210052530	U	2020年 2月 11日		
CN	103366790	A	2013年 10月 23日	JP	6050887	B2	2016年 12月 21日		
				JP	2015515710	A	2015年 5月 28日		
				EP	2831887	A1	2015年 2月 4日		
				JP	2017027650	A	2017年 2月 2日		
				EP	2831887	A4	2015年 12月 23日		
				WO	2013148357	A1	2013年 10月 3日		
				US	2015078081	A1	2015年 3月 19日		
				KR	20140140630	A	2014年 12月 9日		
				JP	6336541	B2	2018年 6月 6日		
				US	9564235	B2	2017年 2月 7日		
				KR	101732238	B1	2017年 5月 24日		
CN	101916583	A	2010年 12月 15日	CN	101916583	B	2015年 12月 9日		
CN	104217744	A	2014年 12月 17日	CN	104217744	B	2017年 6月 9日		
				US	9099191	B2	2015年 8月 4日		
				TW	1508094	B	2015年 11月 11日		
				US	2014355353	A1	2014年 12月 4日		
				TW	201447907	A	2014年 12月 16日		
US	2013064008	A1	2013年 3月 14日	KR	101855295	B1	2018年 5月 9日		
				KR	20130027840	A	2013年 3月 18日		
				US	8654595	B2	2014年 2月 18日		