



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월09일

(11) 등록번호 10-1525419

(24) 등록일자 2015년05월28일

(51) 국제특허분류(Int. Cl.)

H01L 21/336 (2006.01) H01L 21/31 (2006.01)

(21) 출원번호 10-2014-0023252

(22) 출원일자 2014년02월27일

심사청구일자 2014년02월27일

(56) 선행기술조사문헌

KR1020090100951 A*

KR1020120124697 A

JP5422675 B2

KR1020110049218 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동, 충남대학교)

(72) 발명자

이희덕

대전 서구 둔산북로 175, 8동 604호 (둔산동, 햇님아파트)

이호령

대전광역시 서구 월평동로 83 다모아아파트 105동 505호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤희

전체 청구항 수 : 총 5 항

심사관 : 배진용

(54) 발명의 명칭 음의 고정 산화막 전하 밀도 제어를 위한 다층 산화막 및 그 제조 방법 그리고 이를 이용한 반도체 소자 및 그 제조 방법

(57) 요약

음의 고정 산화막 전하 밀도 제어를 위한 다층 산화막이 제공된다. 다층 산화막은 제1 알루미늄 산화막 및 제2 알루미늄 산화막 그리고 이들 사이에 삽입된 실리콘 산화막을 포함한다.

대표도 - 도1



(72) 발명자

정광석

대전광역시 서구 변정7길 32, 2층호

오성근

대전광역시 서구 갈마중로7번길 42 동산아파트 11
동 1407호

이맹

대전 유성구 대학로 99, 생활관 8동 210호 (궁동,
충남대학교)

이 발명을 지원한 국가연구개발사업

과제고유번호 1415128318

부처명 지식경제부

연구관리전문기관 한국산업기술진흥원

연구사업명 산업전문인력역량강화

연구과제명 고전압 / 아날로그 비메모리 반도체 소자 전문 인력 양성

기 여 율 1/1

주관기관 충남대학교

연구기간 2013.03.01 ~ 2014.02.28

명세서

청구범위

청구항 1

반도체 기판 상에 접촉되는 제1 알루미늄 산화막;

상기 제1 알루미늄 산화막 위에 형성된 실리콘 산화막; 그리고,

상기 실리콘 산화막 위에 형성된 제2 알루미늄 산화막을 포함하며,

상기 제1 알루미늄 산화막은 상기 제2 알루미늄 산화막보다 얇게 형성되고,

상기 제1 알루미늄 산화막은 0.5 ~ 10nm 두께로 형성되고, 상기 실리콘 산화막은 0.5 ~ 10nm 두께로 형성되며,

상기 제1 알루미늄 산화막은 음의 전하를 띤 4면체 구조의 AlO_4^- 및 양의 전하를 띤 팔면체 구조의 Al_3^+ 를 포함하고,

상기 제1 알루미늄 산화막에서 상기 AlO_4^- 는 상기 Al_3^+ 보다 분자수가 많은 다층 산화막.

청구항 2

삭제

청구항 3

삭제

청구항 4

반도체 기판;

상기 반도체 기판의 양측에 형성된 소스 및 드레인;

상기 반도체 기판 상의 게이트 절연막; 및

상기 게이트 절연막 상의 게이트;를 포함하고,

상기 게이트 절연막은,

상기 반도체 기판 상에 접촉되는 제1 알루미늄 산화막;

상기 제1 알루미늄 산화막 상의 실리콘 산화막; 및

상기 실리콘 산화막 상의 제2 알루미늄 산화막;을 포함하고,

상기 제1 알루미늄 산화막은 상기 제2 알루미늄 산화막보다 얇게 형성되며,

상기 제1 알루미늄 산화막은 0.5~10nm 두께로 형성되고, 상기 실리콘 산화막은 0.5 ~ 10nm 두께로 형성되며,

상기 제1 알루미늄 산화막은 음의 전하를 띤 4면체 구조의 AlO_4^- 및 양의 전하를 띤 팔면체 구조의 Al_3^+ 를 포함하고,

상기 제1 알루미늄 산화막에서 상기 AlO_4^- 는 상기 Al_3^+ 보다 분자수가 많은 MOSFET.

청구항 5

삭제

청구항 6

반도체 기관;

상기 반도체 기관의 제1면에 형성되고, 상기 반도체 기관의 도전형과 반대 도전형인 반도체층;

상기 반도체층에 전기적으로 연결되는 제1 금속 전극;

상기 반도체 기관의 제2 면에 접촉되는 패시베이션층; 및

상기 반도체 기관에 전기적으로 연결되는 제2 금속 전극;을 포함하고,

상기 패시베이션층은,

제1 알루미늄 산화막;

상기 제1 알루미늄 산화막 상의 실리콘 산화막; 및

상기 실리콘 산화막 상의 제2 알루미늄 산화막;을 포함하며,

상기 제1 알루미늄 산화막은 상기 제2 알루미늄 산화막보다 얇게 형성되며,

상기 제1 알루미늄 산화막은 0.5~10nm두께로 형성되고, 상기 실리콘 산화막은 0.5 ~ 10nm두께로 형성되며,

상기 제 1 알루미늄 산화막은 음의 전하를 띤 4면체 구조의 AlO_4^- 및 양의 전하를 띤 팔면체 구조의 Al_3^+ 를 포함하고,

상기 제 1 알루미늄 산화막에서 상기 AlO_4^- 는 상기 Al_3^+ 보다 분자수가 많은 태양전지.

청구항 7

청구항 6에 있어서,

상기 반도체 기관은 p형 단결정 실리콘 기관이고, 상기 반도체층은 n형 단결정 실리콘층인 태양전지.

청구항 8

청구항 6 또는 청구항 7에 있어서,

상기 반도체층 위에 형성된 반사 방지막; 그리고

상기 패시베이션층 위에 형성된 실리콘 질화막을 더 포함하며,

상기 반도체층은 상기 반도체 기관 및 상기 반사 방지막 사이에 위치하고,

상기 패시베이션층은 상기 반도체 기관 및 상기 실리콘 질화막 사이에 위치하며,

상기 제1 금속 전극은 상기 반사 방지막을 관통하여 상기 반도체층에 전기적으로 연결되고,

상기 제2 금속 전극은 상기 실리콘 질화막 및 상기 패시베이션층을 관통하여 상기 반도체 기관에 전기적으로 연결되는 태양전지.

청구항 9

삭제

청구항 10

삭제

발명의 설명

기술 분야

본 발명은 산화막 및 그 제조 방법에 대한 것으로서, 더욱 상세하게는 다층 산화막 및 그 제조 방법 그리고 이를 이용한 반도체 소자 및 그 제조 방법에 대한 것이다.

배경 기술

- [0002] 최근 알루미늄 산화막(Al_2O_3)은 비교적 우수한 열안정성과 계면 특성이 있고 음의 고정 산화막 전하를 나타내는 특성이 있어, 태양전지의 패시베이션층으로 사용되고 있다. 또한, 알루미늄 산화막은 실리콘 산화막(SiO_2)보다 높은 유전율을 나타내고 다른 고유전율(high-k) 물질에 비해 비교적 높은 밴드 오프셋(band offset)을 가지고 있어 금속 산화막 전계효과 트랜지스터(MOSFET)의 게이트 절연막 등 여러 응용분야에서 사용되고 있다.

발명의 내용

해결하려는 과제

- [0003] 이러한 알루미늄 산화막의 음의 고정 산화막 전하 밀도를 증가시킬 수 있으면 알루미늄 산화막을 패시베이션층으로 사용했을 때의 태양전지 효율을 높일 수 있고 MOSFET의 게이트 절연막을 사용했을 때 문턱전압 조절이 가능하다.
- [0004] 이에 본 발명이 해결하고자 하는 과제는 알루미늄 산화막의 음의 고정 산화막 전하 밀도를 증가시킬 수 있는 산화막 구조, 그 제조 방법 그리고 이를 이용한 반도체 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0005] 본 발명의 일 실시 예에 따른 다층 산화막은: 제1 알루미늄 산화막 및 제2 알루미늄 산화막 그리고 이들 사이에 위치하는 실리콘 산화막을 포함한다.
- [0006] 본 발명의 일 실시 예에 따른 반도체 소자는 기판; 그리고, 상기 기판 위에 배치되고 제1 알루미늄 산화막 및 제2 알루미늄 산화막 그리고 이들 사이에 위치하는 실리콘 산화막을 포함하는 다층 산화막을 포함한다.
- [0007] 본 발명의 일 실시 예에 따른 다층 산화막 형성 방법은: 제1 알루미늄 산화막을 형성하고; 상기 제1 알루미늄 산화막 위에 실리콘 산화막을 형성하고; 그리고, 상기 실리콘 산화막 위에 제2 알루미늄 산화막을 형성함을 포함한다.

발명의 효과

- [0008] 본 발명의 실시 예에 따르면, 다층 산화막의 음의 고정 산화막 밀도가 증가하여 전계효과 패시베이션 효과가 증가한다.
- [0009] 본 발명의 실시 예에 따르면 다층 산화막의 음의 고정 산화막 밀도가 증가하여 태양전지의 패시베이션층에 적용 시 전자와 정공의 재결합 속도가 줄어들고 반송자의 생존시간이 증가하여 태양전지의 효율을 향상시킬 수 있다.
- [0010] 본 발명의 실시 예에 따르면 다층 산화막의 음의 고정 산화막 밀도가 증가하여 MOSFET의 게이트 절연막으로 사용 시 문턱전압을 조절할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 일 실시 예에 따른 다층 산화막 구조를 개략적으로 도시하는 단면도이다.
- 도 2는 본 발명의 일 실시 예에 따른 다층 산화막 구조를 구성하는 알루미늄 산화막을 형성하는 방법을 개략적으로 도시한다.
- 도 3은 본 발명의 일 실시 예에 따른 다층 산화막 구조를 이용한 MOSFET을 개략적으로 도시하는 단면도이다.
- 도 4는 본 발명의 일 실시 예에 따른 다층 산화막 구조를 이용한 태양전지를 개략적으로 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 다른 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술 되는 실시 예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

- [0013] 만일 정의되지 않더라도, 여기서 사용되는 모든 용어들(기술 혹은 과학 용어들을 포함)은 이 발명이 속한 종래 기술에서 보편적 기술에 의해 일반적으로 수용되는 것과 동일한 의미를 나타낸다. 일반적인 사전들에 의해 정의된 용어들은 관련된 기술 그리고/혹은 본 출원의 본문에 의미하는 것과 동일한 의미를 갖는 것으로 해석될 수 있고, 그리고 여기서 명확하게 정의된 표현이 아니더라도 개념화되거나 혹은 과도하게 형식적으로 해석되지 않을 것이다.
- [0014] 다양한 도면들에서 도시된 바와 같이, 구조 또는 부분의 몇몇 크기는 설명의 목적을 위해서 다른 구조 또는 부분에 대해서 상대적으로 과장되었고, 따라서 본 발명 주제의 일반적인 구조를 도시하기 위해 제공된다. 또한, 본 발명 주제의 다양한 측면이 다른 구조, 부분 또는 이 둘 모두에 형성된 구조 또는 부분을 참조하여 설명된다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명하듯이, 어떤 구조가 다른 구조 또는 부분 "위에" 또는 "위쪽에" 형성되었다는 언급은 또 다른 구조, 부분 또는 이 둘 모두가 개재할 수 있다는 것을 감안한 것이다. 어떤 구조 또는 부분이 개재 구조 또는 부분 없이 다른 구조 또는 부분 "위에" 형성될 경우에는 그 구조 또는 부분에 "직접" 형성된다는 것으로 설명된다. 비슷하게, 어떤 요소(element)가 다른 요소에 "연결", "부착" 또는 "결합" 된다고 할 때, 이는 다른 요소에 직접 연결, 부착 또는 결합 되거나 또는 개재 요소가 존재할 수도 있다는 것으로 이해되어야 한다. 반대로, 어떤 요소가 다른 요소에 직접 연결, 직접 부착 또는 직접 결합 된다고 언급할 경우에는 개재 요소가 존재하지 않는다.
- [0015] 또한, "위에", "위쪽에", "상부", "맨 위", "하부" 또는 "바닥" 같은 상대적인 용어들은 도면들에 도시된 상태에서 다른 구조 또는 부분에 대한 어떤 한 구조 또는 부분의 상대적인 관계를 설명하기 위해 사용된 것이다. 이 같은 "위에", "위쪽에", "상부", "맨 위", "하부" 또는 "바닥" 같은 상대적인 용어들은 도면들에 도시된 위치방향(orientation)뿐만 아니라 패키지 또는 부품의 다른 위치방향을 아우르는 것으로 이해되어야 한다. 예를 들어, 도면들에서 패키지 또는 부품이 뒤집어지면, 다른 구조 또는 부분 "위쪽에" 있는 것으로 설명된 구조 또는 부분은 이제 다른 구조 또는 부분의 "아래쪽에"에 위치할 것이다. 마찬가지로, 도면들에서 패키지 또는 부품이 축을 따라 회전할 경우에, 다른 구조 또는 부분 "위쪽에" 있는 것으로 설명된 구조 또는 부분은 이제 다른 구조 또는 부분의 "옆에" 또는 "왼쪽에" 위치할 것이다. 동일한 참조번호는 동일한 요소를 가리킨다.
- [0016] 하나 또는 그 이상의 요소가 특별히 존재하지 않는다고 언급하지 않는 이상, 여기에서 사용된 용어 "포함하고", "구비하고", "함유하고"는 하나 또는 그 이상의 요소의 존재를 배제하지 않는 개방적 용어로 해석되어야 한다.
- [0017] 본 명세서에서 언급되는 "반도체층", "반도체 기판", "기판"은 임의의 반도체에 기초한 구조를 가리킬 수 있다. 예를 들어 상기 반도체에 기초한 구조는 p형 또는 n형 실리콘 기판, 실리콘 카바이드(SiC) 기판, 사파이어 기판, 절연층 상에 실리콘층이 위치하는 에스오아이(SOI:silicon-on-insulator) 기판, 사파이어 상에 실리콘이 위치하는 에스오에스(SOS:silicon-on-sapphire) 기판, 두 층 이상의 반도체층이 적층된 구조 예를 들어 실리콘-게르마늄, 도핑 또는 도핑 되지 않은 실리콘 기판, 에피택시 성장 기술에 의해 형성된 반도체 에피택시층, 다른 반도체 구조를 포함할 수 있다.
- [0018] 본 발명의 실시 예들은 음의 고정 산화막 전하 밀도 제어를 위한 다층 절연막 구조, 그 제조 방법 그리고 이를 이용한 반도체 소자 및 그 제조 방법에 관련된 것이다. 본 발명의 실시 예들은 반도체 기판 예를 들어 실리콘 기판과의 계면에 음의 고정 산화막 전하 밀도를 증가시킬 수 있는 다층 절연막 구조를 제공한다. 음의 고정 산화막 전하 밀도를 증가시키기 위해, 본 발명의 일 실시 예는 반도체 기판에 음의 전하를 띠 수 있는 구조의 제1 절연막 및 제3 절연막을 제공하고, 제1 절연막 및 제3 절연막 사이에 음의 전하 증가에 도움을 주는 제2 절연막을 삽입한다. 예를 들어 제1 절연막 및 제3 절연막은 알루미늄 산화막일 수 있고 제2 절연막은 실리콘 산화막일 수 있다. 알루미늄 산화막은 음의 전하를 띠는 4면체 구조의(tetrahedrally coordinated) AlO_4^- 와 양의 전하를 띠는 팔면체 구조의(octahedrally coordinated) Al_3^+ 로 구성되어 있다. 한편, 실리콘 산화막은 알루미늄 산화막의 AlO_4^- 구조와 유사하게 하나의 실리콘 원자가 4개의 산소 이온에 의해 둘러싸인 사면체 구조를 나타낸다. 따라서, 사면체 구조의 실리콘 산화막이 알루미늄 산화막 사이에 끼이게 되면, 실리콘 산화막 근처의 알루미늄 산화막은 음의 전하를 띠는 4면체 구조의 AlO_4^- 구조가 지배적이게 되고 이로 인해 음의 고정 산화막 전하 밀도가 증가하게 된다. 따라서 본 발명의 다층 절연막 구조를 태양전지에 적용했을 때 전계효과 패시베이션(field-effect passivation)에 의해 태양전지의 효율을 높일 수 있다. 즉, 태양전지의 다이오드를 형성하는 예를 들어 p형 실리콘 기판과 다층 절연막의 알루미늄 산화막의 계면에 음의 고정 산화막 전하 밀도가 증가하고, 증가한 음의 고정 산화막 전하에 의해 야기되는 전계가 증가하여, p형 실리콘 기판에 소수 반송자인 전자가 p형 실리콘 기판

계면에 접근하는 확률을 줄여 그곳에서의 전자-정공 재결합을 줄일 수 있어 태양전지의 효율을 높일 수 있다. 한편 MOSFET 소자의 게이트 절연막으로 적용했을 때는 음의 산화막 전하 밀도를 통해서, 예를 들어 제1 알루미늄 산화막 및 실리콘 산화막의 두께 조절을 통해서, 문턱 전압 조절을 조절할 수 있다.

[0019]

이하 도면을 참조하여 더 구체적으로 설명을 한다.

[0020]

다층 산화막 구조

[0021]

도 1은 본 발명의 일 실시 예에 따른 음의 고정 산화막 전하 밀도를 증가시킬 수 있는 다층 절연막 구조를 도시한다.

[0022]

도 1을 참조하면, 다층 산화막 구조는 기판(100) 예를 들어 실리콘 기판상에 차례로 적층된 제1 알루미늄 산화막(110), 실리콘 산화막(120) 및 제2 알루미늄 산화막(130)을 포함한다. 실리콘 산화막(120)은 4면체 구조를 나타낸다. 따라서 실리콘 산화막(120) 상하의 알루미늄 산화막(110)(130)은 음의 전하를 띤 4면체 구조의 (tetrahedrally coordinated) AlO_4^- 가 지배적이게 되고 이로 인해 기판(100)과의 계면에 음의 고정 산화막 밀도가 증가하게 된다. 기판(100)에 접촉하는 제1 알루미늄 산화막(110)은 제2 알루미늄 산화막(130)보다 얇게 형성된다. 예를 들어 제1 알루미늄 산화막(110)이 제2 산화 알루미늄막(130)보다 얇은 두께로 형성된다. 일 실시 예에서, 기판(100)과 접촉하는 제1 알루미늄 산화막(110)은 약 0.5nm ~ 10nm로 형성되고, 제2 알루미늄 산화막(130)은 약 1nm ~ 100nm로 형성될 수 있다. 한편, 실리콘 산화막(120)은 약 0.5 ~ 10nm로 형성될 수 있다. 제1 알루미늄 산화막(110)의 두께를 0.5nm ~ 10nm 범위로 설정한 것과 관련하여, 알루미늄 산화막의 특성이 제대로 나타나기 위해서는 최소한 0.5nm 정도의 두께는 되는 것이 좋고, 최대 두께를 10nm로 설정한 것은 음의 고정 산화막 전하 밀도에 지배적으로 영향을 미치는 구간이 기판(100)과의 계면 근처이기 때문이다. 즉 실리콘 산화막(120)에 의한 영향이 계면 근처에서 일어날 수 있도록 하기 위해서이다. 즉, 실리콘 산화막(120)에 의해 음의 전하를 띤 4면체 구조의 AlO_4^- 가 지배적이 되도록 하기 위함이다. 한편, 실리콘 산화막(120)의 두께를 0.5~10nm 범위로 정한 것은 실리콘 산화막(120)의 두께가 너무 두꺼워지면 다층 산화막 구조(110)(120)(130)에서 알루미늄 산화막의 특성보다 실리콘 산화막의 특성이 지배적이게 될 수 있는 가능성도 있기 때문이다. 또한, MOSFET 소자의 게이트 절연막으로 적용하였을 경우 실리콘 산화막(120)의 두께가 두꺼워지면 게이트 절연막의 커패시턴스(C_{ox}) 값이 감소하기 때문에 최소한의 두께만으로 음의 고정 산화막 전하 밀도 증가 효과를 나타내기 위함이다. 제2 알루미늄 산화막(130)의 두께는 크게 중요하지 않으며 적용 분야에 따라 그 두께가 유동성 있게 변할 수 있다.

[0023]

한편, 본 발명의 다른 실시 예에서, 실리콘 산화막(120)을 대신해서 산화 알루미늄의 AlO_4^- 구조와 같은 사면체 구조를 가지는 절연막이 사용될 수 있다.

[0024]

다층 산화막 구조 형성 방법

[0025]

제1 알루미늄 산화막(110), 실리콘 산화막(120), 제2 알루미늄 산화막(130)은 CVD, ALD 등의 방법을 통해 기판(100) 위에 적층될 수 있다. 이하에서는 ALD를 예로 들어 적층 방법에 대해서 설명을 한다.

[0026]

알루미늄 산화막 증착 방법

[0027]

먼저, 알루미늄 산화막의 증착 방법에 대해서 설명을 한다. 공정 압력은 약 1Torr이고, 공정 온도는 약 350℃이고 운반 가스로서 비활성 가스 예를 들어 아르곤이 사용될 수 있다. 알루미늄 소스로서 TMA(trimethyl aluminium)이 사용될 수 있고 산소 소스로서 오존, 산소, 물 등이 사용될 수 있다.

[0028]

아르곤 가스를 이용하여 알루미늄 소스인 TMA를 약 200sccm으로 공급하고, 이어서 아르곤을 사용하여 잔류 가스를 약 3.5초 동안 제거한 후 산소 소스인 오존을 230sccm으로 공급한 후 다시 아르곤 가스를 사용하여 약 4초 동안 미반응 가스를 포함하여 잔류 가스를 제거한다. 이로써 1회의 ADL 사이클이 완료되어 원자 두께 예를 들어 대략 1Å 두께의 알루미늄 산화막이 형성된다. 이 같은 사이클을 반복함으로써 원하는 두께의 알루미늄 산화막을 형성할 수 있다.

- [0029] 도 2는 위에서 설명을 한 알루미늄 산화막에 대한 한 사이클의 ALD 공정을 개략적으로 도시한다.
- [0030] 실리콘 산화막 증착 방법
- [0031] 다음으로, 실리콘 산화막 증착에 대해서 설명을 한다. 공정 압력은 약 1Torr이고, 공정 온도는 약 350℃이고 운반 가스로서 비활성 가스 예를 들어 아르곤이 사용될 수 있다. 실리콘 소스로서 트리스-디메틸아미노 실란($\text{SiH}[\text{N}(\text{CH}_3)_2]_3$)가 사용될 수 있고 산소 소스로서 오존, 산소, 물 등이 사용될 수 있다.
- [0032] 먼저, 아르곤 가스를 이용하여 실리콘 소스인 트리스-디메틸아미노 실란을 약 500sccm으로 공급하고, 이어서 아르곤을 사용하여 잔류 가스를 약 3.5초 동안 제거한 후 산소 소스인 오존을 230sccm으로 공급한 후 다시 아르곤 가스를 사용하여 약 4초 동안 미반응 가스를 포함하여 잔류 가스를 제거한다. 이로써 1회의 ADL 사이클이 완료되며, 원자 두께 예를 들어 대략 0.5Å 두께의 실리콘 산화막이 형성되고 이 같은 사이클을 반복함으로써 원하는 두께의 실리콘 산화막을 형성할 수 있다.
- [0033] 이제, 전술한 음의 고정 산화막 전하 밀도가 증가한 다층 산화막 구조를 이용한 반도체 소자 및 그 제조 방법에 대해서 설명을 한다. 전술한 본 발명의 실시 예에 따른 음의 고정 산화막 전하 밀도가 증가한 다층 산화막 구조는 다양한 반도체 소자에 적용될 수 있으며, 이하에서는 MOSFET 및 태양전지를 예를 들어 설명을 한다.
- [0034] 본 발명의 다층 산화막 구조가 적용된 MOSFET 구조 및 그 제조 방법
- [0035] 도 3은 본 발명의 일 실시 예에 따른 음의 고정 산화막 전하 밀도가 증가한 다층 산화막 구조를 이용한 MOSFET을 개략적으로 도시한다.
- [0036] 도 3을 참조하면, 본 발명의 일 실시 예에 따른 다층 산화막 구조가 적용된 MOSFET은 기판(300) 위에 형성된 다층 게이트 절연막(310), 다층 산화막(310) 위에 형성된 게이트(320), 게이트(320) 양측의 기판(300)에 형성된 소스/드레인(330)을 포함할 수 있다. 또 게이트(320) 양 측벽에 절연막 스페이서(340) 예를 들어 실리콘 질화막이 더 형성될 수 있다. 다층 게이트 절연막(310)은 기판(300) 위에 차례로 적층된 제1 알루미늄 산화막(311), 실리콘 산화막(313), 제2 알루미늄 산화막(315)을 포함할 수 있다.
- [0037] 도 3에 도시된 MOSFET은 통상의 MOSFET 제조 공정을 통해 제조되며 다층 게이트 절연막(310)은 본 발명의 일 실시 예에 따라 전술한 ALD 공정을 통해서 제1 알루미늄 산화막(311), 실리콘 산화막(313) 및 제2 산화 알루미늄막(315)을 기판(300) 위에 차례로 적층하여 형성한다. 예를 들어 기판(300)과 접촉하는 제1 알루미늄 산화막(311)은 약 0.5 ~ 10nm로 형성되고, 실리콘 산화막(313)은 약 0.5 ~ 10nm로 형성되고 제2 알루미늄 산화막(315)은 약 1 ~ 100nm로 형성될 수 있다.
- [0038] 본 발명의 다층 산화막 구조가 적용된 태양 전지 구조 및 그 제조 방법
- [0039] 도 4는 본 발명의 일 실시 예에 따른 음의 고정 산화막 전하 밀도가 증가한 다층 산화막 구조를 이용한 태양전지를 개략적으로 도시한다.
- [0040] 도 4를 참조하면, 본 발명의 일 실시 예에 따른 다층 산화막 구조가 적용된 태양전지는: 제1 도전형 예를 들어 p형의 단결정 실리콘 기판(400)의 제1면(도면을 기준으로 윗면)에 형성된 n형 단결정 실리콘층(410), 기판(400)의 제2면(도면을 기준으로 아랫면)에 형성된 다층 산화막(420) 구조의 패시베이션층을 포함한다. p형 단결정 실리콘 기판(400)과 n형 단결정 실리콘층(410)은 태양전지의 pn접합 다이오드를 형성한다. 패시베이션층으로 사용되는 다층 산화막(420)은 제1 알루미늄 산화막(421), 실리콘 산화막(423), 제2 알루미늄 산화막(425)을 포함할 수 있다. 예를 들어 실리콘 기판(400)과 접촉하는 제1 알루미늄 산화막(421)은 약 0.5 ~ 10nm로 형성되고, 실리콘 산화막(423)은 약 0.5 ~ 10nm로 형성되고 제2 알루미늄 산화막(425)은 약 1 ~ 100nm로 형성될 수 있다.
- [0041] n형 실리콘(410) 위에는 반사막(440)이 형성되고 반사막(440)을 관통하여 제1 금속 전극(450)이 n형 실리콘(410)에 전기적으로 연결된다. 다층 산화막(420)으로 구성된 패시베이션층 위에 실리콘 질화막(430)이 형성되고, 제2 금속 전극(460)이 실리콘 질화막(430), 다층 산화막(420)을 관통하여 p형 단결정 실리콘 기판

(400)에 전기적으로 연결된다.

[0042]

이상의 태양전지는 다음과 같이 제조할 수 있다. 먼저, 표면 처리 공정(texturing)을 통해서 p형 단결정 실리콘 기판(400)의 양면에 텍스처 표면 구조를 형성한다. 이어서 p형 실리콘 단결정 기판의 제1면에 n형 불순물을 도핑하여 n형 단결정 실리콘층(410)을 형성한다. p형 실리콘 단결정 기판(400)의 제2면에 예를 들어 전술한 바와 같은 ALD 공정을 사용하여 다층 산화막(420)을 형성한다. CVD, ALD 등의 방법을 통해서 다층 산화막(420) 위에 실리콘 질화막(430)을 형성한다. n형 실리콘층(410) 위에 반사 방지막(440)을 형성한다. 반사 방지막(440) 위에 n형 단결정 실리콘층(410)에 전기적으로 연결되는 제1 금속 전극(450)을 형성한다. 제1 금속 전극(450)은 예를 들어 반사 방지막(440)의 소정 부분을 식각하여 n형 단결정 실리콘(410)을 노출시키는 콘택홀 또는 비아를 형성한 후 콘택홀 또는 비아를 채우도록 반사 방지막(440) 위에 금속층을 적층한 후 이를 패터닝하여 형성할 수 있다. 실리콘 질화막(430) 위에 p형 단결정 실리콘 기판(400)에 전기적으로 연결되는 제2 금속 전극(460)을 형성한다. 제2 금속 전극(460)은 예를 들어 실리콘 질화막(430) 및 다층 산화막(420)의 소정 부분을 식각하여 p형 단결정 실리콘 기판(400)을 노출시키는 콘택홀 또는 비아를 형성한 후 콘택홀 또는 비아를 채우도록 실리콘 질화막(440) 위에 금속층을 적층한 후 이를 패터닝하여 형성할 수 있다.

[0043]

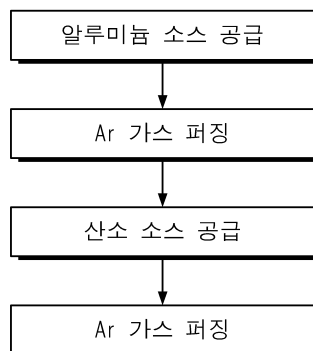
이상의 실시 예들은 본 발명의 이해를 돕기 위하여 제시된 것으로, 본 발명의 범위를 제한하지 않으며, 이로부터 다양한 변형 가능한 실시 예들도 본 발명의 범위에 속하는 것임을 이해하여야 한다. 본 발명의 기술적 보호 범위는 특허청구범위의 기술적 사상에 의해 정해져야 할 것이며, 본 발명의 기술적 보호범위는 특허청구범위의 문언적 기재 그 자체로 한정되는 것이 아니라 실질적으로는 기술적 가치가 균등한 범주의 발명에 대하여까지 미치는 것임을 이해하여야 한다.

도면

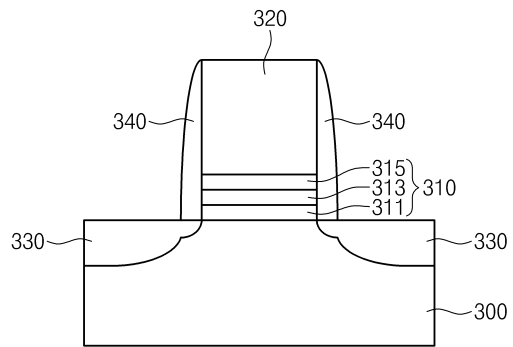
도면1



도면2



도면3



도면4

