

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成28年5月26日 (2016.5.26)

【公表番号】特表2015-529929(P2015-529929A)

【公表日】平成27年10月8日 (2015.10.8)

【年通号数】公開・登録公報2015-063

【出願番号】特願2015-528581(P2015-528581)

【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 1 1 C 16/02 (2006.01)

【F I】

G 1 1 C 17/00 6 3 3 A

G 1 1 C 17/00 6 0 1 Q

【手続補正書】

【提出日】平成28年3月28日 (2016.3.28)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリセルの第 1 サブブロックとメモリセルの第 2 サブブロックとに同時にアクセスすることを含み、メモリセルの前記第 1 サブブロックと前記第 2 サブブロックとは、メモリアレイのメモリセルの複数のブロックのメモリセルの前記ブロックの一部であり、メモリセルの前記ブロックの前記第 1 サブブロックとメモリセルの前記ブロックの前記第 2 サブブロックとは、メモリセルの前記ブロックの同一の行あるいは同一の列にはない、方法。

【請求項 2】

メモリセルの第 1 サブブロックとメモリセルの第 2 サブブロックとに同時にアクセスすることが、第 1 座標および第 2 座標を有する前記第 2 サブブロックにアクセスすることと同時に、第 1 座標および第 2 座標を有する前記第 1 サブブロックにアクセスすることを含み、前記第 1 サブブロックの前記第 1 座標および前記第 2 座標が、前記第 2 サブブロックの前記第 1 座標および前記第 2 座標と同一ではない、請求項 1 に記載の方法。

【請求項 3】

メモリセルの第 1 サブブロックとメモリセルの第 2 サブブロックとに同時にアクセスすることが、前記第 1 サブブロックと前記第 2 サブブロックとに同時にアクセスすることを含み、前記第 1 サブブロックは、前記第 2 サブブロックの x 座標および y 座標と同じではない x 座標および y 座標を有し、前記 x 座標および前記 y 座標は、デカルト座標系の一部である、請求項 1 に記載の方法。

【請求項 4】

メモリセルの第 1 サブブロックとメモリセルの第 2 サブブロックとに同時にアクセスすることは、前記第 1 サブブロックと前記第 2 サブブロックとに同時にアクセスすることを含み、前記第 1 サブブロックは、前記第 2 サブブロックの動径座標および角度座標と同じではない動径座標および角度座標を有する、請求項 1 に記載の方法。

【請求項 5】

装置においてメモリ要求を受信することと、

前記装置において前記メモリ要求を実行することを含み、前記実行が、

メモリセルのサブブロックの行および列を含むメモリアレイのメモリブロックのメモ

リセルの第 1 サブブロック内の第 1 データにアクセスすることと、

前記第 1 データにアクセスする際に同時に、前記メモリアレイの前記メモリブロックのメモリセルの第 2 サブブロック内の第 2 データにアクセスすることであって、前記第 2 サブブロックは、前記第 1 サブブロックを含まない前記メモリアレイのサブブロックの行およびサブブロックの列にある、アクセスすることを含む

方法。

【請求項 6】

前記第 1 データにアクセスすることは、前記第 1 データを前記第 1 サブブロックのメモリセルに書き込むことを含み、前記第 2 データにアクセスすることは、前記第 2 データを前記第 2 サブブロックのメモリセルに書き込むことを含み、請求項 5 に記載の方法。

【請求項 7】

前記第 1 データにアクセスすることは、前記第 1 サブブロックのメモリセルから前記第 1 データを読み出すことを含み、前記第 2 データにアクセスするステップは、前記第 2 サブブロックのメモリセルから前記第 2 データを読み出すことを含み、請求項 5 に記載の方法。

【請求項 8】

前記第 1 データにアクセスすることは、前記第 1 サブブロックのメモリセルから前記第 1 データを消去することを含み、前記第 2 データにアクセスすることは、前記第 2 サブブロックのメモリセルから前記第 2 データを消去することを含み、請求項 5 に記載の方法。

【請求項 9】

前記メモリ要求を実行することは、前記第 1 データおよび前記第 2 データへのアクセス中に同時に、前記メモリアレイのメモリセルの第 3 サブブロック内の第 3 データにアクセスすることをさらに含み、前記第 3 サブブロックは、前記メモリアレイ内の前記第 1 サブブロックとは異なるサブブロックの行および異なるサブブロックの列にある、請求項 5 に記載の方法。

【請求項 10】

メモリアレイ内の同一のメモリブロック内のメモリセルの複数のサブブロックに同時にアクセスすることを含み、前記アクセスされるサブブロックは、前記複数のサブブロックのアクセスされたサブブロックが、前記複数のサブブロックの他の同時にアクセスされたサブブロックとは同じ行あるいは列にはないように、前記メモリアレイ内のアクセスされていないサブブロックによって互いに分離されている、方法。

【請求項 11】

メモリセルの複数のサブブロックにアクセスすることは、電荷貯蔵セルの複数のサブブロックに同時にアクセスすることをさらに含む、請求項 10 に記載の方法。

【請求項 12】

メモリセルの複数のサブブロックにアクセスすることは、メモリセルの 2 次元アレイ内のメモリセルの複数のサブブロックにアクセスすることをさらに含む、請求項 10 に記載の方法。

【請求項 13】

メモリセルの複数のサブブロックにアクセスすることは、メモリセルの 3 次元アレイ内のメモリセルの複数のサブブロックにアクセスすることをさらに含む、請求項 10 に記載の方法。

【請求項 14】

メモリアレイ内のメモリブロック内のメモリセルの複数のサブブロックの同時アクセスを有効にする方法であって、前記有効にされたサブブロックの各々は、アクセスを有効にされていないメモリアレイ内のメモリセルのサブブロックのみに隣接し、前記メモリブロック内の前記複数の有効にされたサブブロックのサブブロックは、前記メモリブロック内の前記複数の有効にされたサブブロックの他の同時に有効にされたサブブロックと同じ行あるいは列にはない、方法。

【請求項 15】

複数のサブブロックを有効にすることは、デコーダ回路内の複数の復号信号に応答して、各有効にされたサブブロックにイネーブル信号を提供することをさらに含む、請求項 14 に記載の方法。

【請求項 16】

有効にされたサブブロックを無効にするとともに、有効にされなかったサブブロックを有効にするように、前記復号信号を変更することをさらに含む、請求項 15 に記載の方法。

【請求項 17】

複数のサブブロックを有効にすることは、メモリセルの複数のサブアレイを含むメモリアレイ内の各サブアレイ内のメモリセルの 1 つのサブブロックを有効にすることをさらに含み、各サブアレイは、メモリセルの複数のサブブロックを含む、請求項 14 に記載の方法。

【請求項 18】

複数のサブブロックを有効にすることは、プログラミング電圧、リード電圧、または消去電圧を受信するように、前記サブブロック内の前記メモリセルに結合されたアクセス線を有効にすることをさらに含む、請求項 14 に記載の方法。

【請求項 19】

メモリセルのアレイ内のメモリセルの複数のサブブロックと、
複数のイネーブル回路を備えるデコーダ回路と
を備え、各イネーブル回路は、複数の復号信号線に結合されて、前記復号信号に応答してイネーブル信号を提供し、前記イネーブル信号は、前記サブブロックの部分集合のアクセスを有効にし、前記有効にされたサブブロックは、メモリブロック内の前記複数のサブブロックのアクセスされたサブブロックが、前記メモリブロック内の前記複数のサブブロックの他の同時にアクセスされたサブブロックとは同じ行あるいは列にはないように、前記セルのアレイに分散している、
装置。

【請求項 20】

前記有効にされたサブブロックは、前記イネーブル回路によって有効にされないサブブロックのみに隣接する、請求項 19 に記載の装置。

【請求項 21】

前記イネーブル回路は、論理ゲートを備え、各論理ゲートは、前記復号信号のうちの少なくとも 1 つに結合された少なくとも 1 つの入力を備える、請求項 19 に記載の装置。

【請求項 22】

各イネーブル回路は、AND ゲートを備える、請求項 19 に記載の装置。

【請求項 23】

前記メモリセルのアレイは、複数のサブアレイを備え、各サブアレイは、複数の前記サブブロックを含み、各サブアレイは、一度に 1 つの有効にされたサブブロックのみを含むものである、請求項 19 に記載の装置。

【請求項 24】

前記メモリセルのアレイは、前記サブブロックの行および列を含み、サブブロックの各行は、一度に 1 つの有効にされたサブブロックのみを含み、サブブロックの各列は、一度に 1 つの有効にされたサブブロックのみを含む、請求項 19 に記載の装置。

【請求項 25】

各メモリセルは、電荷捕獲トランジスタを備える、請求項 19 に記載の装置。

【請求項 26】

各メモリセルは、フローティングゲートトランジスタを備える、請求項 19 に記載の装置。

【請求項 27】

前記装置は、システムを備える、請求項 19 に記載の装置。

【請求項 28】

前記装置は、メモリデバイスを備える、請求項 19 に記載の装置。

【請求項 29】

3次元メモリアレイ内のメモリセルの複数の2次元アレイの各々に対して、それぞれの2次元アレイ内のメモリセルの複数のサブブロックに同時にアクセスすることを含み、前記アクセスされるサブブロックは、前記複数のサブブロックのアクセスされたサブブロックが、前記複数のサブブロックの他の同時にアクセスされたサブブロックとは同じ行あるいは列にはないように、アクセスされていない前記アレイ内のサブブロックによって互いに分離され、

前記3次元アレイ内の前記アクセスされるサブブロックは、前記2次元アレイの各々の中の同じ位置を占める、
方法。