

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成28年5月26日(2016.5.26)

【公表番号】特表2015-529929(P2015-529929A)

【公表日】平成27年10月8日(2015.10.8)

【年通号数】公開・登録公報2015-063

【出願番号】特願2015-528581(P2015-528581)

【国際特許分類】

G 11 C 16/06 (2006.01)

G 11 C 16/02 (2006.01)

【F I】

G 11 C 17/00 6 3 3 A

G 11 C 17/00 6 0 1 Q

【手続補正書】

【提出日】平成28年3月28日(2016.3.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルの第1サブブロックとメモリセルの第2サブブロックとに同時にアクセスすることを含み、メモリセルの前記第1サブブロックと前記第2サブブロックとは、メモリアレイのメモリセルの複数のブロックのメモリセルの前記ブロックの一部であり、メモリセルの前記ブロックの前記第1サブブロックとメモリセルの前記ブロックの前記第2サブブロックとは、メモリセルの前記ブロックの同一の行あるいは同一の列にはない、方法。

【請求項2】

メモリセルの第1サブブロックとメモリセルの第2サブブロックとに同時にアクセスすることが、第1座標および第2座標を有する前記第2サブブロックにアクセスすることと同時に、第1座標および第2座標を有する前記第1サブブロックにアクセスすることを含み、前記第1サブブロックの前記第1座標および前記第2座標が、前記第2サブブロックの前記第1座標および前記第2座標と同一ではない、請求項1に記載の方法。

【請求項3】

メモリセルの第1サブブロックとメモリセルの第2サブブロックとに同時にアクセスすることが、前記第1サブブロックと前記第2サブブロックとに同時にアクセスすることを含み、前記第1サブブロックは、前記第2サブブロックのx座標およびy座標と同じではないx座標およびy座標を有し、前記x座標および前記y座標は、デカルト座標系の一部である、請求項1に記載の方法。

【請求項4】

メモリセルの第1サブブロックとメモリセルの第2サブブロックとに同時にアクセスすることは、前記第1サブブロックと前記第2サブブロックとに同時にアクセスするとを含み、前記第1サブブロックは、前記第2サブブロックの動径座標および角度座標と同じではない動径座標および角度座標を有する、請求項1に記載の方法。

【請求項5】

装置においてメモリ要求を受信することと、

前記装置において前記メモリ要求を実行することを含み、前記実行が、

メモリセルのサブブロックの行および列を含むメモリアレイのメモリブロックのメモ

リセルの第1サブロック内の第1データにアクセスすることと、

前記第1データにアクセスする際に同時に、前記メモリアレイの前記メモリブロックのメモリセルの第2サブロック内の第2データにアクセスすることであって、前記第2サブロックは、前記第1サブロックを含まない前記メモリアレイのサブロックの行およびサブロックの列にある、アクセスすることとを含む方法。

【請求項6】

前記第1データにアクセスすることは、前記第1データを前記第1サブロックのメモリセルに書き込むことを含み、前記第2データにアクセスすることは、前記第2データを前記第2サブロックのメモリセルに書き込むことを含む、請求項5に記載の方法。

【請求項7】

前記第1データにアクセスすることは、前記第1サブロックのメモリセルから前記第1データを読み出すことを含み、前記第2データにアクセスするステップは、前記第2サブロックのメモリセルから前記第2データを読み出すことを含む、請求項5に記載の方法。

【請求項8】

前記第1データにアクセスすることは、前記第1サブロックのメモリセルから前記第1データを消去することを含み、前記第2データにアクセスすることは、前記第2サブロックのメモリセルから前記第2データを消去することを含む、請求項5に記載の方法。

【請求項9】

前記メモリ要求を実行することは、前記第1データおよび前記第2データへのアクセス中に同時に、前記メモリアレイのメモリセルの第3サブロック内の第3データにアクセスすることをさらに含み、前記第3サブロックは、前記メモリアレイ内の前記第1サブロックとは異なるサブロックの行および異なるサブロックの列にある、請求項5に記載の方法。

【請求項10】

メモリアレイ内の同一のメモリブロック内のメモリセルの複数のサブロックに同時にアクセスすることを含み、前記アクセスされるサブロックは、前記複数のサブロックのアクセスされたサブロックが、前記複数のサブロックの他の同時にアクセスされたサブロックとは同じ行あるいは列にはないよう、前記メモリアレイ内のアクセスされていないサブロックによって互いに分離されている、方法。

【請求項11】

メモリセルの複数のサブロックにアクセスすることは、電荷貯蔵セルの複数のサブロックに同時にアクセスすることをさらに含む、請求項10に記載の方法。

【請求項12】

メモリセルの複数のサブロックにアクセスすることは、メモリセルの2次元アレイ内のメモリセルの複数のサブロックにアクセスすることをさらに含む、請求項10に記載の方法。

【請求項13】

メモリセルの複数のサブロックにアクセスすることは、メモリセルの3次元アレイ内のメモリセルの複数のサブロックにアクセスすることをさらに含む、請求項10に記載の方法。

【請求項14】

メモリアレイ内のメモリブロック内のメモリセルの複数のサブロックの同時アクセスを有効にする方法であって、前記有効にされたサブロックの各々は、アクセスを有効にされていないメモリアレイ内のメモリセルのサブロックのみに隣接し、前記メモリブロック内の前記複数の有効にされたサブロックのサブロックは、前記メモリブロック内の前記複数の有効にされたサブロックの他の同時に有効にされたサブロックと同じ行あるいは列にはない、方法。

【請求項15】

複数のサブブロックを有効にすることは、デコーダ回路内の複数の復号信号に応答して、各有効にされたサブブロックにイネーブル信号を提供することをさらに含む、請求項14に記載の方法。

【請求項16】

有効にされたサブブロックを無効にするとともに、有効にされなかったサブブロックを有効にすることを、前記復号信号を変更することをさらに含む、請求項15に記載の方法。

【請求項17】

複数のサブブロックを有効にすることは、メモリセルの複数のサブアレイを含むメモリアレイ内の各サブアレイ内のメモリセルの1つのサブブロックを有効にすることをさらに含み、各サブアレイは、メモリセルの複数のサブブロックを含む、請求項14に記載の方法。

【請求項18】

複数のサブブロックを有効にすることは、プログラミング電圧、リード電圧、または消去電圧を受信するように、前記サブブロック内の前記メモリセルに結合されたアクセス線を有効にすることをさらに含む、請求項14に記載の方法。

【請求項19】

メモリセルのアレイ内のメモリセルの複数のサブブロックと、
複数のイネーブル回路を備えるデコーダ回路と
を備え、各イネーブル回路は、複数の復号信号線に結合されて、前記復号信号に応答してイネーブル信号を提供し、前記イネーブル信号は、前記サブブロックの部分集合のアクセスを有効にし、前記有効にされたサブブロックは、メモリブロック内の前記複数のサブブロックのアクセスされたサブブロックが、前記メモリブロック内の前記複数のサブブロックの他の同時にアクセスされたサブブロックとは同じ行あるいは列にはないように、前記セルのアレイに分散している、
装置。

【請求項20】

前記有効にされたサブブロックは、前記イネーブル回路によって有効にされないサブブロックのみに隣接する、請求項19に記載の装置。

【請求項21】

前記イネーブル回路は、論理ゲートを備え、各論理ゲートは、前記復号信号のうちの少なくとも1つに結合された少なくとも1つの入力を備える、請求項19に記載の装置。

【請求項22】

各イネーブル回路は、ANDゲートを備える、請求項19に記載の装置。

【請求項23】

前記メモリセルのアレイは、複数のサブアレイを備え、各サブアレイは、複数の前記サブブロックを含み、各サブアレイは、一度に1つの有効にされたサブブロックのみを含むものである、請求項19に記載の装置。

【請求項24】

前記メモリセルのアレイは、前記サブブロックの行および列を含み、サブブロックの各行は、一度に1つの有効にされたサブブロックのみを含み、サブブロックの各列は、一度に1つの有効にされたサブブロックのみを含む、請求項19に記載の装置。

【請求項25】

各メモリセルは、電荷捕獲トランジスタを備える、請求項19に記載の装置。

【請求項26】

各メモリセルは、フローティングゲートトランジスタを備える、請求項19に記載の装置。

【請求項27】

前記装置は、システムを備える、請求項19に記載の装置。

【請求項28】

前記装置は、メモリデバイスを備える、請求項19に記載の装置。

【請求項29】

3次元メモリアレイ内のメモリセルの複数の2次元アレイの各々に対して、それぞれの2次元アレイ内のメモリセルの複数のサブブロックに同時にアクセスすることを含み、前記アクセスされるサブブロックは、前記複数のサブブロックのアクセスされたサブブロックが、前記複数のサブブロックの他の同時にアクセスされたサブブロックとは同じ行あるいは列にはないように、アクセスされていない前記アレイ内のサブブロックによって互いに分離され、

前記3次元アレイ内の前記アクセスされるサブブロックは、前記2次元アレイの各々の中の同じ位置を占める、

方法。