

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月20日(20.12.2018)



(10) 国際公開番号

WO 2018/229594 A1

(51) 国際特許分類:

H04N 5/3745 (2011.01) *H01L 27/146* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/786* (2006.01)
H01L 27/088 (2006.01)

CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(72) 発明者: 山本朗央(YAMAMOTO, Roh).

(21) 国際出願番号: PCT/IB2018/053999

(22) 国際出願日: 2018年6月5日(05.06.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2017-116689 2017年6月14日(14.06.2017) JP

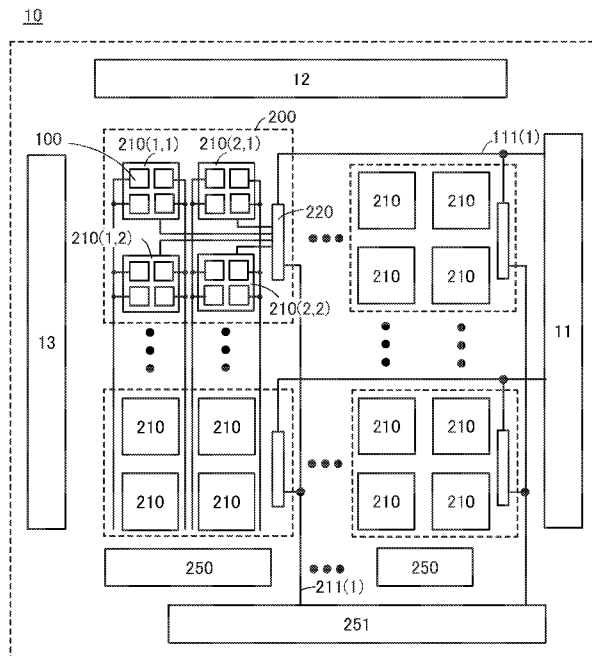
(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: IMAGING DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称: 撮像装置、及び電子機器

[図 1]



(57) **Abstract:** Provided is an imaging device that simplifies pooling processing. With respect to this imaging device, a pixel region has a plurality of pooling modules and an output circuit. The pooling modules have a pooling circuit and a comparison module. The pooling circuit has a plurality of pixels and an operation circuit, and the comparison module has a plurality of comparison circuits and a determination circuit. The pixels can acquire a first signal through photoelectric conversion, and multiply the first signal by an arbitrary scale factor to generate a second signal. The pooling circuit adds a

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

plurality of second signals using the operation circuit to thereby generate a third signal. The comparison module compares a plurality of third signals, and outputs the largest third signal to the determination circuit. The determination circuit determines the largest third signal, and converts it to a binary signal to thereby generate a fourth signal. The pooling module executes pooling processing according to the number of pixels, and outputs data that has been subjected to pooling processing.

(57) 要約: 要約書 プーリング処理を容易にする撮像装置。画素領域は、複数のプーリングモジュールと、出力回路とを有し、プーリングモジュールは、プーリング回路と、比較モジュールとを有し、プーリング回路は、複数の画素と、演算回路とを有し、比較モジュールは、複数の比較回路と、判定回路とを有している。画素は、光電変換により第1の信号を取得し、第1の信号を任意の倍率で乗算して第2の信号を生成することができる。プーリング回路は、複数の第2の信号を演算回路によって加算して第3の信号を生成し、比較モジュールは、複数の第3の信号を比較し、最も大きな第3の信号を判定回路に出力し、判定回路は、最も大きな第3の信号を判定し2値化して第4の信号を生成する。プーリングモジュールは、画素数に応じたプーリング処理をし、プーリング処理がされたデータを出力する撮像装置。

明細書

発明の名称

撮像装置、及び電子機器

技術分野

[0001]

本発明の一態様は、撮像装置、及び電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、又は、製造方法に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、又はそれらの製造方法に関する。

[0003]

なお、本明細書等において、半導体装置は、半導体特性を利用することで機能しうる素子、回路、又は装置等を指す。一例としては、トランジスタ、ダイオード等の半導体素子は半導体装置である。また別の一例としては、半導体素子を有する回路は、半導体装置である。また別の一例としては、半導体素子を有する回路を備えた装置は、半導体装置である。

背景技術

[0004]

IoT (Internet of things)、AI (Artificial Intelligence) などの情報技術の発展により、扱われるデータ量が増大の傾向を示している。電子機器がIoT、AIなどの情報技術を利用するためには、大量のデータを分散して管理することが求められている。

[0005]

車載用電子機器の画像処理システム、及び移動する対象物を監視する画像処理システムなどで、AIを用いることで画像認識処理速度の向上が注目されている。例えば、撮像装置に演算機能を付加する技術が特許文献1に開示されている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2016-123087号公報

発明の概要

発明が解決しようとする課題

[0007]

CMOSイメージセンサなどの固体撮像素子を備える撮像装置では、技術発展により高画質な画像が容易に撮影できるようになっている。次世代においては、撮像装置にさらに知的な機能を搭載することが求められている。

[0008]

画像データから対象物を認識するには、高度な画像処理が必要とされる。高度な画像処理では、フィルタ処理、比較演算処理などの画像を解析するための様々な解析処理が用いられる。画像処理のための解析処理は、処理する画素数に応じて演算量が増大し、演算量に応じて処理時間が増大する。例えば、車載用画像処理システムなどでは、処理時間の増大が安全性に影響を及ぼす問題がある。また、

画像処理システムでは、演算量の増大により消費電力が大きくなる課題がある。

[0009]

上記問題に鑑み、本発明の一態様は、新規な構成の撮像装置を提供することを課題の一とする。又は、本発明の一態様は、ニューラルネットワークのプーリング処理機能を有する撮像装置を提供することを課題の一とする。又は、本発明の一態様は、演算量を抑えて処理時間を短縮することができる新規な構成の撮像装置を提供することを課題の一とする。又は、本発明の一態様は、消費電力を低減することができる新規な構成の撮像装置を提供することを課題の一とする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

[0011]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

[0012]

本発明の一態様は、画素領域と、第1の回路と、を有する撮像装置であって、画素領域は、プーリングモジュールと、出力回路とを有し、プーリングモジュールは、複数のプーリング回路と、比較モジュールと、を有し、プーリング回路は、複数の画素と、演算回路と、を有し、比較モジュールは、複数の比較回路と、判定回路とを有し、画素は、光電変換により第1の信号を取得する機能を有し、画素は、第1の信号を任意の倍率で乗算して第2の信号を生成する機能を有し、プーリング回路は、複数の第2の信号を演算回路によって加算して第3の信号を生成する機能を有し、比較モジュールは、複数の第3の信号を比較し、最も大きな第3の信号を選択し、判定回路に出力する機能を有し、判定回路は、最も大きな第3の信号を判定し2値化して第4の信号を生成する機能を有し、第1の回路は、第4の信号を出力回路に出力するタイミングを制御し、プーリングモジュールは、画素数に応じてプーリング処理し、プーリングモジュールは、プーリング処理により生成された第4の信号を出力する撮像装置である。

[0013]

上記構成において、撮像装置は、さらに、第2の回路と、第3の回路と、第1の配線と、第2の配線と、第3の配線と、を有し、画素は、第1の出力端子を有し、演算回路は、第1のトランジスタと、第2のトランジスタと、第3のトランジスタとを有し、第2の回路は、第1の配線を介して行方向に延在する複数の画素と電気的に接続され、第3の回路は、第2の配線を介して列方向に延在する複数の画素と電気的に接続され、第3の配線は、第1のトランジスタのソース又はドレインの一方と、第2のトランジスタのソース又はドレインの一方と、第3のトランジスタのソース又はドレインの一方とに電気的に接続され、第1のトランジスタのゲートは、第1のトランジスタのソース又はドレインの他方と、第2のトランジスタのゲートと、第3のトランジスタのゲートと、プーリング回路が有す

る画素の第1の出力端子とに電氣的に接続され、第3の回路は、第2の配線に選択信号を出力する機能を有し、第2の回路は、第1の配線を介して前記画素に任意の倍率を設定する機能を有し、第1のトランジスタは、第2のトランジスタと、第3のトランジスタと同じチャンネル長を有し、第2のトランジスタは、第1のトランジスタのチャンネル幅が同じ幅を有することで、複数の第2の信号を加算した第3の信号を出力する機能を有し、第3のトランジスタは、第1のトランジスタのチャンネル幅をブーリング回路が有する画素の数で割った長さにするすることで、第3の信号の大きさを画素の数で割った大きさの第5の信号を出力する機能を有する撮像装置が好ましい。

[0014]

上記構成において、比較モジュールは、第1の比較回路と、第2の比較回路と、カレントミラー回路と、を有し、第1の比較回路は、第4のトランジスタ乃至第9のトランジスタ、第1の入力端子、第2の入力端子、第2の出力端子、及び第4の配線を有し、第1の比較回路の第2の出力端子は、カレントミラー回路を介して第2の比較回路の第1の入力端子と電氣的に接続され、第1の入力端子は、第5のトランジスタのソース又はドレインの一方と、第7のトランジスタのソース又はドレインの一方と、第4のトランジスタのゲートと、第5のトランジスタのゲートと、第6のトランジスタのゲートとに、電氣的に接続され、第2の入力端子は、第8のトランジスタのソース又はドレインの一方と、第6のトランジスタのソース又はドレインの一方と、第7のトランジスタのゲートと、第8のトランジスタのゲートと、第9のトランジスタのゲートとに電氣的に接続され、第2の出力端子は、第4のトランジスタのソース又はドレインの一方と、第9のトランジスタのソース又はドレインの一方とに電氣的に接続され、第4のトランジスタ乃至前記第9のトランジスタは、同じ大きさのチャンネル長を有し、第4のトランジスタのチャンネル幅は、第5のトランジスタのチャンネル幅と同じであることが好ましく、第6のトランジスタのチャンネル幅は、第5のトランジスタのチャンネル幅の2倍が好ましく、第4のトランジスタ乃至前記第6のトランジスタは、第1のカレントミラー回路を形成し、第9のトランジスタのチャンネル幅は、第8のトランジスタのチャンネル幅と同じであることが好ましく、第7のトランジスタのチャンネル幅は、第8のトランジスタのチャンネル幅の2倍が好ましく、第7のトランジスタ乃至第9のトランジスタは、第2のカレントミラー回路を形成し、第1の比較回路の第1の入力端子には、第6の信号が与えられ、第1の比較回路の第2の入力端子には、第7の信号が与えられ、第1の比較回路の第2の出力端子は、第6の信号又は第7の信号のいずれか大きい信号を第8の信号として出力し、第2の比較回路の第1の入力端子には、第8の信号が与えられ、第2の比較回路の第2の入力端子には、第9の信号が与えられ、第2の比較回路の第2の出力端子は、第8の信号又は第9の信号のいずれか大きい信号を第10の信号として判定回路に出力し、判定回路は、第10の信号を判定し、2値化して第4の信号を生成する機能を有し、第1の回路は、前記第4の信号を出力回路に出力するタイミングを制御する機能を有する撮像装置が好ましい。

[0015]

上記構成において、複数の前記画素はマトリクス状に配置され、隣り合う画素の間に遮光されている領域を有する撮像装置が好ましい。

[0016]

上記構成において、画素は、さらに、光電変換素子と、第10のトランジスタと、第11のトランジスタと、第12のトランジスタと、第13のトランジスタと、第1の容量素子とを有し、光電変換素子の一方の電極は第10のトランジスタのソース又はドレインの一方と電氣的に接続され、第10のトランジスタのソース又はドレインの他方は、第11のトランジスタのソース又はドレインの一方

と電氣的に接続され、第11のトランジスタのソース又はドレインの一方は、第12のトランジスタのゲートと電氣的に接続され、第12のトランジスタのゲートは第1の容量素子の一方の電極と電氣的に接続され、第12のトランジスタのソース又はドレインの一方は、第1の出力端子と電氣的に接続され、第1の容量素子の他方の電極は、第13のトランジスタのソース又はドレインの一方と電氣的に接続され、第13のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、第13のトランジスタのゲートは、第2の配線と電氣的に接続され、第10のトランジスタ及び第12のトランジスタは、チャンネル形成領域に金属酸化物を有する撮像装置が好ましい。

[0017]

上記構成において、金属酸化物は、Inと、Znと、M(MはAl、Ti、Ga、Sn、Y、Zr、La、Ce、Nd又はHf)と、を有する撮像装置が好ましい。

[0018]

上記構成において、光電変換素子は、セレン又はセレンを含む化合物を有する撮像装置が好ましい。

発明の効果

[0019]

上記問題に鑑み、本発明の一態様は、新規な構成の撮像装置を提供することができる。又は、本発明の一態様は、ニューラルネットワークのプーリング処理機能を有する撮像装置を提供することができる。又は、本発明の一態様は、演算量を抑えて処理時間を短縮することができる新規な構成の撮像装置を提供することができる。又は、本発明の一態様は、消費電力を低減することができる新規な構成の撮像装置を提供することができる。

[0020]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び／又は他の効果のうち、少なくとも一つの効果を有するものである。したがって本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0021]

[図1] 撮像装置を説明するブロック図。

[図2] 撮像装置を説明するブロック図。

[図3] (A) 撮像装置を説明するブロック図。(B) 撮像装置を説明する回路図。

[図4] 画素を説明する回路図。

[図5] (A) 撮像装置を説明するブロック図。(B) 撮像装置の動作を説明するタイミングチャート。

[図6] 撮像装置を説明するブロック図。

[図7] 画素を説明する回路図。

[図8] 撮像装置の画素の構成を説明する図。

[図9] 撮像装置の画素の構成を説明する図。

[図10] 撮像装置の画素の構成を説明する図。

[図11] (A) 撮像装置の構成を説明する図。(B) 撮像装置の構成を示す断面図。

[図12] 撮像装置の画素の構成を説明する図。

[図 1 3] 撮像装置の画素の構成を説明する図。

[図 1 4] 撮像装置を収めたパッケージ、モジュールの斜視図。

[図 1 5] 電子機器の構成例を示す図。

発明を実施するための形態

[0022]

(実施の形態 1)

本実施の形態では、ニューラルネットワークのプーリング処理を効率的に行う撮像装置について、図 1 乃至図 7 を用いて説明する。

[0023]

はじめに、撮像装置 10 のブロック図について、図 1 を参照して説明する。撮像装置 10 は、画素領域、ドライバ 11、ドライバ 12、ドライバ 13、複数の配線 111、複数の配線 112 (図示せず)、及び複数の配線 113a (図示せず) を有している。画素領域は、複数のプーリングモジュール 200、複数のアナログデジタル変換回路 250、及び出力回路 251 を有している。プーリングモジュール 200 は、複数のプーリング回路 210 と、比較モジュール 220 と、を有し、プーリング回路 210 は、複数の画素 100 と、演算回路 212 (図示せず) と、を有している。比較モジュール 220 は、複数の比較回路 230 (図示せず) と、判定回路 221 (図示せず) と、を有している。

[0024]

画素 100 は、光を電気信号に変換することで第 1 の信号を取得することができ、さらに、画素 100 は、第 1 の信号を任意の倍率で乗算して第 2 の信号を生成することができる。第 1 の信号及び第 2 の信号は、電流として出力される。任意の倍率とは、ニューラルネットワークのプーリング処理に用いる重みデータの値のことを示している。

[0025]

プーリング回路 210 は、複数の第 2 の信号を演算回路 212 によって加算して第 3 の信号を生成することができる。さらに、演算回路 212 は、複数の第 2 の信号を平均化して第 5 の信号を生成することができる。

[0026]

比較モジュール 220 は、複数の第 3 の信号を比較し、最も大きな第 3 の信号を選択し、判定回路 221 に出力することができる。判定回路 221 は、最も大きな第 3 の信号を判定し 2 値化して第 4 の信号を生成することができる。

[0027]

プーリングモジュール 200 は、プーリングモジュール 200 が有する画素数に応じてプーリング処理することができる。つまり、プーリングモジュール 200 は、プーリングモジュール 200 が有する複数の画素から取得する第 1 の信号をプーリング処理することで生成された第 4 の信号を出力することができる。

[0028]

ドライバ 11 は、配線 111 に与える選択信号によって、第 4 の信号を出力回路 251 に出力するタイミングを制御することができる。出力回路 251 は、図中では示していないが、撮像装置 10 を制御するニューラルネットワークに対して第 4 の信号を出力することができる。ニューラルネットワークには、撮像装置 10 によって第 1 のデータがプーリング処理されることで、データの特徴が抽出

されたデータとして入力される。よって、ニューラルネットワークは、抽出されたデータの特徴だけを処理すれば良いため、処理すべきデータ量を削減することができる。よって、撮像素子からニューラルネットワークへのデータ転送時間が短縮され、さらにニューラルネットワークの演算量を削減することができる。ニューラルネットワークの演算量が削減されることにより、消費電力を小さくすることができる。

[0029]

プーリングモジュール200は、複数のプーリング回路210を有していることが好ましい。図1では、プーリングモジュール200が4つのプーリング回路210を有した例を示している。プーリングモジュール200が有するプーリング回路210の数は、1以上n以下とすることができる(nは、2以上の自然数)。複数のプーリング回路を有することで、データの特徴が抽出されやすくなる。また、プーリング回路210が有する画素数が増えることでデータの圧縮率が高くなり、ニューラルネットワークの演算量が削減される。したがって、ニューラルネットワークの消費電力がさらに削減される。

[0030]

図2では、プーリング回路210の一例についてブロック図を用いて説明する。プーリング回路210は、複数の画素100、演算回路212、スイッチ203、スイッチ204、複数の配線112、複数の配線113a、配線114、配線115、及び配線210aを有している。画素100は、第1の出力端子を有し、演算回路212は、トランジスタ212aと、トランジスタ212bと、トランジスタ212cと、を有している。なお、図2で示すプーリング回路210は、4つの画素を有する例について説明する。

[0031]

ドライバ12は、配線112を介して行方向に延在する複数の画素100と電氣的に接続され、ドライバ13は、配線113aを介して列方向に延在する複数の画素100と電氣的に接続されている。

[0032]

配線114は、トランジスタ212aのソース又はドレインの一方と、トランジスタ212bのソース又はドレインの一方と、トランジスタ212cのソース又はドレインの一方とに電氣的に接続されている。トランジスタ212aのゲートは、トランジスタ212aのソース又はドレインの他方と、トランジスタ212bのゲートと、トランジスタ212cのゲートとに電氣的に接続されている。トランジスタ212aのゲートは、さらにプーリング回路210が有する複数の画素100の出力端子100aと電氣的に接続されている。

[0033]

トランジスタ212bのソース又はドレインの他方は、スイッチ203の電極の一方と電氣的に接続され、トランジスタ212cのソース又はドレインの他方は、スイッチ204の電極の一方と電氣的に接続されている。スイッチ203の電極の他方は、配線210aを介してスイッチ204の電極の他方と、比較モジュール220とに電氣的に接続される。

[0034]

ドライバ13は、配線113aに選択信号を出力することができる。ドライバ12は、配線112を介して画素100に重みデータとして任意の倍率を設定することができる。トランジスタ212aは、トランジスタ212bと、トランジスタ212cと同じチャネル長を有し、トランジスタ212bは、トランジスタ212aと同じチャネル幅を有することで、複数の第2の信号を加算した第3の

信号を出力することができる。トランジスタ 212c は、トランジスタ 212a のチャネル幅をプーリング回路 210 が有する画素 100 の数で割ったチャネル幅にすることで、第 3 の信号の大きさを画素 100 の数で割った大きさの第 5 の信号を出力することができる。第 3 の信号及び第 5 の信号は、電流で制御される。スイッチ 203 及びスイッチ 204 は、相補関係であることが好ましい。

[0035]

スイッチ 203 及びスイッチ 204 は、配線 115 に与えられる第 1 の切り替え信号で制御される。図 2 では、スイッチ 203 に p チャネル型トランジスタを適用し、スイッチ 204 に n チャネル型トランジスタを適用した例を示している。

[0036]

プーリング回路 210 は、第 1 の切り替え信号が“L”の場合、第 3 の信号を配線 210a を介して比較モジュール 220 に出力することができる。

[0037]

プーリング回路 210 は、第 1 の切り替え信号が“H”の場合、第 5 の信号を配線 210a を介して比較モジュール 220 に出力することができる。

[0038]

例えば、車載用の画像処理システムでは、高速で移動する車の周囲の状況を瞬時に判断する必要がある。よって、プーリングモジュール 200 を有する撮像装置 10 が、撮像データから特徴を検出することに特化することで、演算量を抑えて処理時間を短縮することができる。

[0039]

なお、図 2 では、プーリング回路 210 が有するそれぞれの画素 100 に、異なる重みデータが与えられる例について示している。若しくは、プーリング回路 210 又はプーリングモジュール 200 を一つの単位として同じ重みデータを与えてもよい。よって、配線 112 及び配線 113a は、プーリング回路 210 又はプーリングモジュール 200 を一つの単位として電氣的に接続されていてもよい。撮像装置 10 は、配線 112 及び配線 113a を減らすことで集積度を上げることができる。

[0040]

図 3 (A) では、比較モジュール 220 の一例についてブロック図を用いて説明する。比較モジュール 220 は、複数の比較回路 230 と、複数のカレントミラー回路 222 と、判定回路 221 と、を有している。それぞれの比較回路 230 は、入力端子 231a と、入力端子 231b と、出力端子 231c とを有している。判定回路 221 は、入力端子 221a、入力端子 221b、及び出力端子 221c を有している。カレントミラー回路 222 は、入力端子 224a と、出力端子 224b とを有している。

[0041]

図 3 (A) では、比較モジュール 220 に、4 つのプーリング回路 210 からの出力信号が与えられた例について説明する。また、比較モジュール 220 は、配線 210a (i, j) 乃至配線 210a (i + 1, j + 1) を介して異なる 4 つのプーリング回路 210 と電氣的に接続されている。入力する信号数に応じた数の比較回路 230 を備えることが好ましい。図 3 (A) に示す例では、比較モジュール 220 が比較回路 230a、比較回路 230b、比較回路 230c、カレントミラー回路 222a、カレントミラー回路 222b、及び判定回路 221 を有している。

[0042]

続いて、比較回路 230a、比較回路 230b、比較回路 230c、カレントミラー回路 222a、

カレントミラー回路 222b、及び判定回路 221 の接続例を説明する。比較回路 230a の入力端子 231a には、配線 210a (i, j) が電氣的に接続され、入力端子 231b には、配線 210a (i + 1, j) が電氣的に接続され、出力端子 231c には、カレントミラー回路 222a の入力端子 224a が電氣的に接続され、カレントミラー回路 222a の出力端子 224b には、比較回路 230b の入力端子 231a が電氣的に接続されている。

[0043]

比較回路 230b の入力端子 231b には、配線 210a (i, j + 1) が電氣的に接続され、出力端子 231c には、カレントミラー回路 222b の入力端子 224a が電氣的に接続され、カレントミラー回路 222b の出力端子 224b には、比較回路 230c の入力端子 231a が電氣的に接続されている。比較回路 230c の入力端子 231b には、配線 210a (i + 1, j + 1) が電氣的に接続され、出力端子 231c には、判定回路 221 の入力端子 221a が電氣的に接続されている。

[0044]

カレントミラー回路 222 は、トランジスタ 223a、及びトランジスタ 223b を有している。トランジスタ 223a、及びトランジスタ 223b は、p チャネル型トランジスタであることが好ましい。トランジスタ 223a のソース又はドレインの一方は、トランジスタ 223b のソース又はドレインの一方と、配線 114 とに電氣的に接続されている。トランジスタ 223a のゲートは、トランジスタ 223a のソース又はドレインの他方と、トランジスタ 223b のゲートとに電氣的に接続されている。

[0045]

比較回路 230a の入力端子 231a には、配線 210a (i, j) を介して信号 a1 が与えられる。入力端子 231b には、配線 210a (i + 1, j) を介して信号 a2 が与えられる。出力端子 231c からは、信号 a1 又は信号 a2 のいずれか大きい信号が信号 a3 として出力され、カレントミラー回路 222a の入力端子 224a に与えられる。信号 a3 は、カレントミラー回路 222a を介することで信号 a3 と同じ大きさの信号 b1 となり、カレントミラー回路の出力端子 224b に与えられる。よって、比較回路 230b の入力端子 231a には、信号 a3 と同じ大きさの信号 b1 が与えられる。ただし、信号 a3 と信号 b1 は、信号の向きが異なっている。

[0046]

比較回路 230b の入力端子 231b には、配線 210a (i, j + 1) を介して信号 b2 が与えられ、出力端子 231c からは、信号 b1 又は信号 b2 のいずれか大きい信号が信号 b3 として出力される。比較回路 230c の入力端子 231a には、カレントミラー回路 222b を介して信号 c1 が与えられ、入力端子 231b には、配線 210a (i + 1, j + 1) を介して信号 c2 が与えられ、出力端子 231c からは、信号 c1 又は信号 c2 のいずれか大きい信号が信号 c3 として判定回路 221 に出力される。信号 a1、a2、a3、b1、b2、b3、c1、c2、c3 は、いずれもアナログ信号であることが好ましい。

[0047]

したがって、判定回路 221 は、入力端子 221a に入力された信号 c3 を判定し、2 値化することで第 4 の信号を生成し、出力端子 221c に出力することができる。ドライバ 11 が、配線 111 に与える選択信号によって、第 4 の信号が配線 211 を介して出力回路 251 に出力するタイミングを制御することができる。

[0048]

図3(B)では、比較回路230の回路図について説明する。比較回路230は、トランジスタ241乃至トランジスタ246、入力端子231a、入力端子231b、出力端子231c、及び配線232を有している。

[0049]

入力端子231aは、トランジスタ242のソース又はドレインの一方と、トランジスタ244のソース又はドレインの一方と、トランジスタ241のゲートと、トランジスタ242のゲートと、トランジスタ243のゲートとに電氣的に接続されている。入力端子231bは、トランジスタ245のソース又はドレインの一方と、トランジスタ243のソース又はドレインの一方と、トランジスタ244のゲートと、トランジスタ245のゲートと、トランジスタ246のゲートとに電氣的に接続されている。出力端子231cは、トランジスタ241のソース又はドレインの一方と、トランジスタ246のソース又はドレインの一方とに電氣的に接続されている。配線232は、トランジスタ241乃至トランジスタ246のソース又はドレインの他方と電氣的に接続されている。

[0050]

さらに、トランジスタ241乃至トランジスタ246は、同じ大きさのチャネル長を有している。

[0051]

また、トランジスタ241のチャネル幅は、トランジスタ242のチャネル幅と同じであることが好ましく、トランジスタ243のチャネル幅は、トランジスタ242のチャネル幅の2倍が好ましい。トランジスタ241乃至トランジスタ243は、第1のカレントミラー回路を形成している。

[0052]

また、トランジスタ246のチャネル幅は、トランジスタ245のチャネル幅と同じであることが好ましく、トランジスタ244のチャネル幅は、トランジスタ245のチャネル幅の2倍が好ましい。トランジスタ244乃至トランジスタ246は、第2のカレントミラー回路を形成している。

[0053]

続いて比較回路230の動作について説明する。なお、入力端子231a、入力端子231bには、アナログ信号として電流が与えられ、出力端子231cはアナログ信号として電流を吸い込む。例えば、入力端子231aに入力する信号が、入力端子231bに入力する信号よりも大きいときは、入力端子231bに与えられる信号がトランジスタ243に吸い込まれる。また異なる例として、入力端子231bに入力する信号が、入力端子231aに入力する信号よりも大きいときは、入力端子231aに与えられる信号がトランジスタ244に吸い込まれる。したがって、出力端子231cは、第1のカレントミラー回路又は第2のカレントミラー回路のいずれかによって、入力端子231a又は入力端子231bに入力する信号のうち、大きな方の信号と同じ大きさの信号を吸い込むことができる。

[0054]

ただし、入力端子231a及び入力端子231bの入力信号の大きさが同じときは、トランジスタ242と、トランジスタ245とが吸い込む信号の大きさは、それぞれ半分の信号の大きさに均衡する。したがって、出力端子231cは、トランジスタ241と、トランジスタ246との合成された大きさの信号を吸い込む。したがって、出力端子231cは、入力端子231a及び入力端子231bと同じ大きさの信号を吸い込むことができる。配線232は、信号を吸い込むことができる低電位であることが好ましい。

[0055]

したがって、図3(A)の判定回路221には、比較モジュール220に与えられた信号a1、a2、b2、c2の中で一番大きな信号が信号c3として与えられる。判定回路221は、信号c3を判定し、2値化して第4の信号を生成することができる。ドライバ11は、配線111を介して選択信号を判定回路221に与え、判定結果を出力回路251に出力させることができる。

[0056]

図4では、画素100の一例について回路図を用いて説明する。画素100は、光電変換素子101、トランジスタ102、トランジスタ103、容量素子104、トランジスタ105、トランジスタ106、出力端子100aを有する。また、画素100は、配線112、配線113a、配線113b、配線117、配線118、及び配線119に電氣的に接続されている。

[0057]

光電変換素子101の一方の電極は、トランジスタ102のソース又はドレインの一方と電氣的に接続されている。トランジスタ102のソース又はドレインの他方は、トランジスタ103のソース又はドレインの一方と、トランジスタ105のゲートと、容量素子104の一方の電極とに電氣的に接続されている。トランジスタ105のソース又はドレインの一方は、出力端子100aと電氣的に接続され、容量素子104の他方の電極は、トランジスタ106のソース又はドレインの一方と電氣的に接続されている。トランジスタ106のソース又はドレインの他方は、配線112と電氣的に接続され、トランジスタ106のゲートは、配線113aと電氣的に接続されている。トランジスタ102のゲートは、配線113bと電氣的に接続されている。トランジスタ103のゲートは、配線113cと電氣的に接続されている。トランジスタ103のソース又はドレインの他方は、配線118と電氣的に接続されている。光電変換素子101の電極の他方は、配線117と電氣的に接続されている。トランジスタ105のソース又はドレインの他方は、配線119と電氣的に接続されている。

[0058]

ノードFNは、トランジスタ102のソース又はドレインの他方と、トランジスタ103のソース又はドレインの一方と、トランジスタ105のゲートと、容量素子104の一方の電極とに接続されることで形成されている。なお、容量素子104が設けられない構成であってもよい。

[0059]

トランジスタ103は、配線113cに与えられる信号によってオン状態にすることができる。よってノードFNは、配線118に与えられるリセット電位によって初期化することができる。トランジスタ102は、配線113bに与えられる信号によってオン状態にすることができる。よって光電変換素子101は、トランジスタ102を介して、ノードFNのデータを光電変換された撮像データで更新することができる。また、トランジスタ102は、配線113bに与えられる信号によってオフ状態にすることができる。ノードFNは、トランジスタ102がオフ状態になることで、撮像データを保持することができる。よって、第1の信号とは、トランジスタ105のゲートに撮像データが与えられているときに流す電流を示している。

[0060]

図4では、トランジスタ105にnチャネル型トランジスタを適用した例を示したが、pチャネル型トランジスタを適用してもよい。ただし、トランジスタ105がnチャネル型の場合は、配線119に与えられる電位が低電位であることが好ましく、トランジスタ105がpチャネル型の場合においても、配線119に与えられる電位が低電位であることが好ましい。

[0061]

また、トランジスタ106は、配線113aに与えられる信号によってオン状態にすることができる。容量素子104には、配線112からトランジスタ106を介して重みデータを与えることができる。ノードFNは、トランジスタ102及びトランジスタ103がオフ状態の場合にフローティングノードになることが好ましい。したがってトランジスタ102及びトランジスタ103には、オフ電流が小さなトランジスタを用いることが好ましい。オフ電流が小さいトランジスタは、チャネル形成領域に金属酸化物を有するトランジスタ（OSトランジスタ）を用いることが好ましい。OSトランジスタについては、実施の形態2で詳細な説明をする。

[0062]

ノードFNに保持された撮像データには、容量素子104を介して重みデータが加えられる。つまりトランジスタ105のゲートには、撮像データに重みデータが加えられたデータ電圧が与えられる。よってトランジスタ105は、トランジスタ105のコンダクタンスを用いて任意の重みデータの倍率で乗算することができる。よって、第2の信号とは、トランジスタ105のゲートに撮像データに重みデータが加えられたデータ電圧が与えられたときに流す電流を示している。

[0063]

図5では、プーリングモジュール200の動作方法の一例について説明する。図5（A）では、説明を簡便にするためプーリングモジュール200が4つのプーリング回路210を有し、比較モジュール220を有した例について説明する。また、プーリング回路210が、4つの画素を有した例を示している。ただし、撮像装置10が有するプーリングモジュール200の数は限定されない。

[0064]

図5（B）では、図5（A）のプーリングモジュール200の動作方法の一例をタイミングチャートで示す。図5（B）で示すタイミングチャートは、図中に表示はしていないが、配線115にLの信号が与えられ、プーリング回路210は、複数の画素100の第1の信号を加算処理する例を示している。

[0065]

T1では、配線113cにHの信号を与えることで、それぞれの画素100が有するトランジスタ103をオン状態にする。よってノードFNは、配線118に与えられた電位でリセットされる。さらに、配線113aには、選択信号が与えられ、配線112を介して重みデータの初期値Resが与えられる。

[0066]

T2では、配線113bにHの信号を与え、それぞれの画素100は、光電変換素子101によって光電変換（sensing）、ノードFNを当該撮像データで更新する。

[0067]

T3では、配線113bにLの信号を与え、ノードFNの撮像データを確定する。さらに、配線113a（1）に選択信号を与え、配線112（1）乃至配線112（4）を介して画素100（1）、画素100（2）、画素100（5）、及び画素100（6）の重みデータを設定する。

[0068]

T4では、配線113a（2）に選択信号を与え、配線112（1）乃至配線112（4）を介して画素100（3）、画素100（4）、画素100（7）、及び画素100（8）の重みデータを設定する。

[0069]

T5では、配線113a(3)に選択信号を与え、配線112(1)乃至配線112(4)を介して画素100(9)、画素100(10)、画素100(13)、及び画素100(14)の重みデータを設定する。さらに、プーリング回路210(1,1)は、撮像データに重みデータを加えたデータ信号a1を配線210a(1,1)に出力する。さらに、プーリング回路210(2,1)は、撮像データに重みデータを加えた信号a2を配線210a(2,1)に出力する。

[0070]

T6では、配線113a(4)に選択信号を与え、配線112(1)乃至配線112(4)を介して画素100(11)、画素100(12)、画素100(15)、及び画素100(16)の重みデータを設定する。

[0071]

T7は、プーリング回路210(1,1)が撮像データに重みデータを加えたデータ信号b2を配線210a(1,2)に出力する。さらに、プーリング回路210(2,2)は、撮像データに重みデータを加えた信号c2を配線210a(2,2)に出力する。

[0072]

T8は、比較モジュール220によって、a1、a2、b2、c2の中から最大の信号を検出する。比較モジュール220が有する判定回路221は、検出した最大の信号を判定し、2値化して配線211にデジタル信号outを出力する。デジタル信号outは、出力回路251に与えられる。出力回路251は、ニューラルネットワークで扱いやすいように、デジタル信号outを結合し、任意のデータ幅のデジタルデータとして出力する。

[0073]

図6では、ブロック図を用いて図2と異なる構成を有するプーリング回路210の例を説明する。図6では、プーリング回路210が複数の配線113d、配線211a、及び配線211bを有し、さらに、画素100が出力端子100bを有している点が図2と異なっている。

[0074]

配線113dは、列方向に延在する複数の画素と電氣的に接続されている。配線211aは、行方向に延在する画素100の出力端子100bと電氣的に接続されている。配線211a又は配線211bには、撮像データが出力される。撮像データは、配線211a及び配線211bを介してアナログデジタル変換回路250に出力される。

[0075]

図7では、図4と異なる構成を有する画素100の例を説明する。図7では、トランジスタ107と、トランジスタ108と、を有している点が図4と異なっている。

[0076]

トランジスタ107のゲートは、ノードFNと電氣的に接続されている。トランジスタ107のソース又はドレインの一方は、トランジスタ108のソース又はドレインの一方と電氣的に接続されている。トランジスタ108のソース又はドレインの他方は、出力端子100bと電氣的に接続されている。トランジスタ108のゲートは、配線113dと電氣的に接続されている。トランジスタ107のソース又はドレインの他方は、配線119と電氣的に接続されている。

[0077]

トランジスタ107は、ノードFNに保持されている撮像データの電位に応じた電流を流すことが

できる。トランジスタ 108 は、配線 113 d に与えられた選択信号によって、撮像データを出力端子 100 b に出力することができる。なお、容量素子 104 に重みデータが設定されているときは、撮像データに重みデータを加えトランジスタ 105 のコンダクタンスに応じた乗算結果が出力される。

[0078]

撮像装置 10 は、プーリングモジュール 200 を有することで、簡便にプーリング処理をすることができる。したがって、ニューラルネットワークに対するデータ転送量を削減し、さらに演算量を削減することで、消費電力を小さくすることができる。

[0079]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

[0080]

(実施の形態 2)

本実施の形態では、撮像装置 10 に用いられる光電変換素子 101 について、図 8 乃至図 14 を用いて説明する。

[0081]

<画素回路の構成例>

図 8 (A) に、上述した画素回路を有する画素の構成を例示する。図 8 (A) に示す画素は、層 61 及び層 62 の積層構成を有する例である。

[0082]

層 61 は、光電変換素子 101 を有する。光電変換素子 101 は、図 8 (C) に示すように層 65 a と、層 65 b と、層 65 c との積層とすることができる。

[0083]

図 8 (C) に示す光電変換素子 101 は p n 接合型フォトダイオードであり、例えば、層 65 a に p⁺型半導体、層 65 b に n 型半導体、層 65 c に n⁺型半導体を用いることができる。又は、層 65 a に n⁺型半導体、層 65 b に p 型半導体、層 65 c に p⁺型半導体を用いてもよい。又は、層 65 b を i 型半導体とした p i n 接合型フォトダイオードであってもよい。

[0084]

上記 p n 接合型フォトダイオード又は p i n 接合型フォトダイオードは、単結晶シリコンを用いて形成することができる。また、p i n 接合型フォトダイオードとしては、非晶質シリコン、微結晶シリコン、多結晶シリコンなどの薄膜を用いて形成することもできる。

[0085]

また、層 61 が有する光電変換素子 101 は、図 8 (D) に示すように、層 66 a と、層 66 b と、層 66 c、層 66 d との積層としてもよい。図 8 (D) に示す光電変換素子 101 はアバランシェフォトダイオードの一例であり、層 66 a、層 66 d は電極に相当し、層 66 b、66 c は光電変換部に相当する。

[0086]

層 66 a は、低抵抗の金属層などとするのが好ましい。例えば、アルミニウム、チタン、タンゲステン、タンタル、銀又はそれらの積層を用いることができる。

[0087]

層 6 6 d は、可視光 (L i g h t) に対して高い透光性を有する導電層を用いることが好ましい。例えば、インジウム酸化物、錫酸化物、亜鉛酸化物、インジウム－錫酸化物、ガリウム－亜鉛酸化物、インジウム－ガリウム－亜鉛酸化物、又はグラフェンなどを用いることができる。なお、層 6 6 d を省く構成とすることもできる。

[0088]

光電変換部の層 6 6 b、6 6 c は、例えばセレン系材料を光電変換層とした p n 接合型フォトダイオードの構成とすることができる。層 6 6 b としては p 型半導体であるセレン系材料を用い、層 6 6 c としては n 型半導体であるガリウム酸化物などを用いることが好ましい。

[0089]

セレン系材料を用いた光電変換素子は、可視光に対する外部量子効率が高い特性を有する。当該光電変換素子では、アバランシェ増倍を利用することにより、入射される光量に対する電子の増幅を大きくすることができる。また、セレン系材料は光吸収係数が高いため、光電変換層を薄膜で作製できるなどの生産上の利点を有する。セレン系材料の薄膜は、真空蒸着法又はスパッタ法などを用いて形成することができる。

[0090]

セレン系材料としては、単結晶セレンや多結晶セレンなどの結晶性セレン、非晶質セレン、銅、インジウム、セレンの化合物 (C I S)、又は、銅、インジウム、ガリウム、セレンの化合物 (C I G S) などを用いることができる。

[0091]

n 型半導体は、バンドギャップが広く、可視光に対して透光性を有する材料で形成することが好ましい。例えば、亜鉛酸化物、ガリウム酸化物、インジウム酸化物、錫酸化物、又はそれらが混在した酸化物などを用いることができる。また、これらの材料は正孔注入阻止層としての機能も有し、暗電流を小さくすることもできる。

[0092]

図 8 (A) に示す層 6 2 としては、例えばシリコン基板を用いることができる。当該シリコン基板には、S i トランジスタ等が設けられ、前述した画素回路の他、当該画素回路を駆動する回路、画像信号の読み出し回路、画像処理回路等を設けることができる。

[0093]

また、画素は、図 8 (B) に示すように層 6 1、層 6 3 及び層 6 2 の積層構成を有していてもよい。

[0094]

層 6 3 は、O S トランジスタ (例えば、画素回路のトランジスタ 1 0 2、1 0 3) を有することができる。このとき、層 6 2 は、S i トランジスタ (例えば、画素回路のトランジスタ 1 0 7、1 0 8) を有することが好ましい。

[0095]

当該構成とすることで、画素回路を構成する要素を複数の層に分散させ、かつ当該要素を重ねて設けることができるため、撮像装置の面積を小さくすることができる。なお、図 8 (B) の構成において、層 6 2 を支持基板とし、層 6 1 及び層 6 3 に画素 1 0 0 及び周辺回路を設けてもよい。

[0096]

<O S トランジスタ>

O S トランジスタに用いる半導体材料としては、エネルギーギャップが 2 e V 以上、好ましくは 2 .

5 e V以上、より好ましくは3 e V以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するC A C-O Sなどを用いることができる。
[0097]

半導体層は、例えばインジウム、亜鉛およびM（アルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジム又はハフニウム等の金属）を含むI n-M-Z n系酸化物で表記される膜とすることができる。

[0098]

半導体層を構成する酸化物半導体がI n-M-Z n系酸化物の場合、I n-M-Z n酸化物を成膜するために用いるスパッタリングターゲットの金属元素の原子数比は、I n $\geq$ M、Z n $\geq$ Mを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、I n:M:Z n=1:1:1、I n:M:Z n=1:1:1.2、I n:M:Z n=3:1:2、I n:M:Z n=4:2:3、I n:M:Z n=4:2:4.1、I n:M:Z n=5:1:6、I n:M:Z n=5:1:7、I n:M:Z n=5:1:8等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス40%の変動を含む。

[0099]

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層は、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ。これにより不純物濃度が低く、欠陥準位密度が低いため、安定な特性を有する酸化物半導体であるといえる。

[0100]

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

[0101]

半導体層を構成する酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、n型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

[0102]

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるアルカリ金属又はアルカリ土類金属の濃度（二次イオン質量分析法により得られる濃度）を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

[0103]

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたラン

ジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（二次イオン質量分析法により得られる濃度）は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下にすることが好ましい。

[0104]

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、c軸に配向した結晶を有するCAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor、又は、C-Axis Aligned and A-B-plane Anchored Crystalline Oxide Semiconductor)、多結晶構造、微結晶構造、又は非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、CAAC-OSは最も欠陥準位密度が低い。

[0105]

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。又は、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

[0106]

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、CAAC-OSの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述した領域のうち、いずれか二種以上の領域を含む単層構造、又は積層構造を有する場合がある。

[0107]

以下では、非単結晶の半導体層の一態様であるCAC (Cloud-Aligned Composite) -OSの構成について説明する。

[0108]

CAC-OSとは、例えば、酸化物半導体を構成する元素が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、又はその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、0.5 nm以上10 nm以下、好ましくは、1 nm以上2 nm以下、又はその近傍のサイズで混合した状態をモザイク状、又はパッチ状ともいう。

[0109]

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種が含まれていてもよい。

[0110]

例えば、In-Ga-Zn酸化物におけるCAC-OS (CAC-OSの中でもIn-Ga-Zn酸化物を、特にCAC-IGZOと呼称してもよい。)とは、インジウム酸化物（以下、 InO_{X1} ($X1$ は0よりも大きい実数)とする。)、又はインジウム亜鉛酸化物（以下、 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ ($X2$ 、 $Y2$ 、および $Z2$ は0よりも大きい実数)とする。)と、ガリウム酸化物（以下、 GaO_{X3} ($X3$ は0よりも大きい実数)とする。)、又はガリウム亜鉛酸化物（以下、 $\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$ ($X4$ 、 $Y4$ 、および $Z4$ は0よりも大きい実数)とする。)などと、に材料が分離することでモザイク状となり、モザイク状の InO_{X1} 、又は $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

[0111]

つまり、CAC-OSは、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、又は InO_{x1} が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第1の領域の元素Mに対するInの原子数比が、第2の領域の元素Mに対するInの原子数比よりも大きいことを、第1の領域は、第2の領域と比較して、Inの濃度が高いとする。

[0112]

なお、IGZOは通称であり、In、Ga、Zn、およびOによる1つの化合物をいう場合がある。代表例として、 $InGaO_3(ZnO)_{m1}$ ($m1$ は自然数)、又は $In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$ ($-1 \leq x0 \leq 1$ 、 $m0$ は任意数)で表される結晶性の化合物が挙げられる。

[0113]

上記結晶性の化合物は、単結晶構造、多結晶構造、又はCAAC構造を有する。なお、CAAC構造とは、複数のIGZOのナノ結晶がc軸配向を有し、かつa-b面においては配向せずに連結した結晶構造である。

[0114]

一方、CAC-OSは、酸化物半導体の材料構成に関する。CAC-OSとは、In、Ga、Zn、およびOを含む材料構成において、一部にGaを主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、CAC-OSにおいて、結晶構造は副次的な要素である。

[0115]

なお、CAC-OSは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Inを主成分とする膜と、Gaを主成分とする膜との2層からなる構造は、含まない。

[0116]

なお、 GaO_{x3} が主成分である領域と、 $In_{x2}Zn_{y2}O_{z2}$ 、又は InO_{x1} が主成分である領域とは、明確な境界が観察できない場合がある。

[0117]

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウムなどから選ばれた一種、又は複数種が含まれている場合、CAC-OSは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にInを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

[0118]

CAC-OSは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、CAC-OSをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス(代表的にはアルゴン)、酸素ガス、および窒素ガスの中から選ばれたいずれか一つ又は複数をいれればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を0%以上30%未満、好ましくは0%以上10%以下とすることが好ましい。

[0119]

CAC-OSは、X線回折(XRD:X-ray diffraction)測定法のひとつであるOut-of-plane法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観

察されないという特徴を有する。すなわち、X線回折から、測定領域のa-b面方向、およびc軸方向の配向は見られないことが分かる。

[0120]

また、CAC-OSは、プローブ径が1nmの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、CAC-OSの結晶構造が、平面方向、および断面方向において、配向性を有さないnc（nano-crystal）構造を有することがわかる。

[0121]

また、例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法（EDX:Energy Dispersive X-ray spectroscopy）を用いて取得したEDXマッピングにより、GaO_{x3}が主成分である領域と、In_{x2}Zn_{y2}O_{z2}、又はInO_{x1}が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

[0122]

CAC-OSは、金属元素が均一に分布したIGZO化合物とは異なる構造であり、IGZO化合物と異なる性質を有する。つまり、CAC-OSは、GaO_{x3}などが主成分である領域と、In_{x2}Zn_{y2}O_{z2}、又はInO_{x1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

[0123]

ここで、In_{x2}Zn_{y2}O_{z2}、又はInO_{x1}が主成分である領域は、GaO_{x3}などが主成分である領域と比較して、導電性が高い領域である。つまり、In_{x2}Zn_{y2}O_{z2}、又はInO_{x1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、In_{x2}Zn_{y2}O_{z2}、又はInO_{x1}が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（μ）が実現できる。

[0124]

一方、GaO_{x3}などが主成分である領域は、In_{x2}Zn_{y2}O_{z2}、又はInO_{x1}が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaO_{x3}などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

[0125]

したがって、CAC-OSを半導体素子に用いた場合、GaO_{x3}などに起因する絶縁性と、In_{x2}Zn_{y2}O_{z2}、又はInO_{x1}に起因する導電性とが、相補的に作用することにより、高いオン電流（I_{on}）、および高い電界効果移動度（μ）を実現することができる。

[0126]

また、CAC-OSを用いた半導体素子は、信頼性が高い。したがって、CAC-OSは、様々な半導体装置の構成材料として適している。

[0127]

図9（A）は、図8（A）に示す画素の断面の一例を説明する図である。層61は光電変換素子101として、シリコンを光電変換層とするpn接合型フォトダイオードを有する。層62は、画素回路を構成するSiトランジスタ等を有する。

[0128]

光電変換素子 101 において、層 65a は p^+ 型領域、層 65b は n 型領域、層 65c は n^+ 型領域とすることができる。また、層 65b には、電源線と層 65c とを接続するための領域 36 が設けられる。例えば、領域 36 は p^+ 型領域とすることができる。

[0129]

図 9 (A) において、Si トランジスタはシリコン基板 40 にチャネル形成領域を有するプレーナ型の構成を示しているが、図 12 (A)、(B) に示すように、シリコン基板 40 にフィン型の半導体層を有する構成であってもよい。図 12 (A) はチャネル長方向の断面、図 12 (B) はチャネル幅方向の断面に相当する。

[0130]

又は、図 12 (C) に示すように、シリコン薄膜の半導体層 45 を有するトランジスタであってもよい。半導体層 45 は、例えば、シリコン基板 40 上の絶縁層 46 上に形成された単結晶シリコン (SOI (Silicon on Insulator)) とすることができる。

[0131]

ここで、図 9 (A) では、層 61 が有する要素と層 62 が有する要素との電氣的な接続を貼り合わせ技術で得る構成例を示している。

[0132]

層 61 には、絶縁層 42、導電層 33 及び導電層 34 が設けられる。導電層 33 及び導電層 34 は、絶縁層 42 に埋設された領域を有する。導電層 33 は、層 65a と電氣的に接続される。導電層 34 は、領域 36 と電氣的に接続される。また、絶縁層 42、導電層 33 及び導電層 34 の表面は、それぞれ高さが一致するように平坦化されている。

[0133]

層 62 には、絶縁層 41、導電層 31 及び導電層 32 が設けられる。導電層 31 及び導電層 32 は、絶縁層 41 に埋設された領域を有する。導電層 32 は、電源線と電氣的に接続される。導電層 31 は、トランジスタ 102 のソース又はドレインと電氣的に接続される。また、絶縁層 41、導電層 31 及び導電層 32 の表面は、それぞれ高さが一致するように平坦化されている。

[0134]

ここで、導電層 31 及び導電層 33 は、主成分が同一の金属元素であることが好ましい。導電層 32 及び導電層 34 は、主成分が同一の金属元素であることが好ましい。また、絶縁層 41 及び絶縁層 42 は、同一の成分で構成されていることが好ましい。

[0135]

例えば、導電層 31、32、33、34 には、Cu、Al、Sn、Zn、W、Mo、Ag、Pt 又は Au などを用いることができる。接合のしやすさから、好ましくは Cu、Al、W、又は Au を用いる。また、絶縁層 41、42 には、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、窒化チタンなどを用いることができる。

[0136]

つまり、導電層 31 及び導電層 33 の組み合わせと、導電層 32 及び導電層 34 の組み合わせのそれぞれに、上記に示す同一の金属材料を用いることが好ましい。また、絶縁層 41 及び絶縁層 42 のそれぞれに、上記に示す同一の絶縁材料を用いることが好ましい。当該構成とすることで、層 61 と層 62 の境を接合位置とする、貼り合わせを行うことができる。

[0137]

当該貼り合わせによって、導電層 3 1 及び導電層 3 3 の組み合わせと、導電層 3 2 及び導電層 3 4 の組み合わせのそれぞれの電氣的な接続を得ることができる。また、絶縁層 4 1 及び絶縁層 4 2 の機械的な強度を有する接続を得ることができる。

[0138]

金属層同士の接合には、表面の酸化膜及び不純物の吸着層などをスパッタリング処理などで除去し、清浄化及び活性化した表面同士を接触させて接合する表面活性化接合法を用いることができる。又は、温度と圧力を併用して表面同士を接合する拡散接合法などを用いることができる。どちらも原子レベルでの結合が起こるため、電氣的だけでなく機械的にも優れた接合を得ることができる。

[0139]

また、絶縁層同士の接合には、研磨などによって高い平坦性を得たのち、酸素プラズマ等で親水性処理をした表面同士を接触させて仮接合し、熱処理による脱水で本接合を行う親水性接合法などを用いることができる。親水性接合法も原子レベルでの結合が起こるため、機械的に優れた接合を得ることができる。

[0140]

層 6 1 と、層 6 2 を貼り合わせる場合、それぞれの接合面には絶縁層と金属層が混在するため、例えば、表面活性化接合法及び親水性接合法を組み合わせで行えばよい。

[0141]

例えば、研磨後に表面を清浄化し、金属層の表面に酸化防止処理を行ったのちに親水性処理を行って接合する方法などを用いることができる。また、金属層の表面を Au などの難酸化性金属とし、親水性処理を行ってもよい。なお、上述した方法以外の接合方法を用いてもよい。

[0142]

図 9 (B) は、図 8 (A) に示す画素の層 6 1 にセレン系材料を光電変換層とする p n 接合型フォトダイオードを用いた場合の断面図である。一方の電極として層 6 6 a と、光電変換層として層 6 6 b、6 6 c と、他方の電極として層 6 6 d を有する。

[0143]

この場合、層 6 1 は、層 6 2 上に直接形成することができる。層 6 6 a は、トランジスタ 1 0 2 のソース又はドレインと電氣的に接続される。層 6 6 d は、導電層 3 7 を介して電源線と電氣的に接続される。

[0144]

図 1 0 (A) は、図 8 (B) に示す画素の断面の一例を説明する図である。層 6 1 は光電変換素子 1 0 1 として、シリコンを光電変換層とする p n 接合型フォトダイオードを有する。層 6 2 は S i トランジスタ等を有する。層 6 3 は O S トランジスタ等を有する。層 6 1 と層 6 3 とは、貼り合わせで電氣的な接続を得る構成例を示している。

[0145]

図 1 0 (A) において、O S トランジスタはセルフアライン型の構成を示しているが、図 1 2 (D) に示すように、ノンセルフアライン型のトップゲート型トランジスタであってもよい。

[0146]

トランジスタ 1 0 2 はバックゲート 3 5 を有する構成を示しているが、バックゲートを有さない形態であってもよい。バックゲート 3 5 は、図 1 2 (E) に示すように、対向して設けられるトランジスタのフロントゲートと電氣的に接続する場合がある。又は、バックゲート 3 5 にフロントゲートと

は異なる固定電位を供給することができる構成であってもよい。

[0147]

OSトランジスタが形成される領域とSiトランジスタが形成される領域との間には、水素の拡散を防止する機能を有する絶縁層43が設けられる。トランジスタ107、108のチャネル形成領域近傍に設けられる絶縁層中の水素は、シリコンのダングリングボンドを終端する。一方、トランジスタ102のチャネル形成領域の近傍に設けられる絶縁層中の水素は、酸化物半導体層中にキャリアを生成する要因の一つとなる。

[0148]

絶縁層43により、一方の層に水素を閉じ込めることでトランジスタ107、108の信頼性を向上させることができる。また、一方の層から他方の層への水素の拡散が抑制されることでトランジスタ102の信頼性も向上させることができる。

[0149]

絶縁層43としては、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア（YSZ）等を用いることができる。

[0150]

図10（B）は、図8（B）に示す画素の層61にセレン系材料を光電変換層とするpn接合型フォトダイオードを用いた場合の断面図である。層61は、層63上に直接形成することができる。層61、62、63の詳細は、前述の説明を参照できる。

[0151]

図11（A）は、図10の構成を説明する図である。センサ領域は、光電変換素子101を有する層61と、OSトランジスタを有する層63で構成されている。演算領域は、Siトランジスタ等を有する層63で構成されている。演算領域は、画素におけるトランジスタ107、108、及び実施の形態1のプーリング回路、ドライバ11、12、13などの回路を有している。センサ領域と、演算領域と、を積層構造とすることで、回路面積を小さくすることができる。

[0152]

図11（B）は、センサ領域の断面写真と、演算領域の断面写真である。センサ領域は、セレン系材料を光電変換層とするpn接合型フォトダイオードと、OSトランジスタ（OSFET）とによって構成され、演算領域は、Siトランジスタ（SiFET）により様々な回路が構成されている。

[0153]

<その他の画素の構成要素>

図13（A）は、本発明の一態様の撮像装置の画素にカラーフィルタ等を付加した例を示す斜視図である。当該斜視図では、複数の画素の断面もあわせて図示している。光電変換素子101が形成される層61上には、絶縁層80が形成される。絶縁層80は可視光に対して透光性の高い酸化シリコン膜などを用いることができる。また、パッシベーション膜として窒化シリコン膜を積層してもよい。また、反射防止膜として、酸化ハフニウムなどの誘電体膜を積層してもよい。

[0154]

絶縁層80上には、遮光層81が形成されてもよい。遮光層81は、上部のカラーフィルタを通る光の混色を防止する機能を有する。遮光層81には、アルミニウム、タングステンなどの金属層を用いることができる。また、当該金属層と反射防止膜としての機能を有する誘電体膜を積層してもよい。

[0155]

絶縁層80及び遮光層81上には、平坦化膜として有機樹脂層82を設けることができる。また、画素別にカラーフィルタ83（カラーフィルタ83a、83b、83c）が形成される。例えば、カラーフィルタ83a、83b、83cに、R（赤）、G（緑）、B（青）、Y（黄）、C（シアン）、M（マゼンタ）などの色を割り当てることにより、カラー画像を得ることができる。

[0156]

カラーフィルタ83上には、可視光に対して透光性を有する絶縁層86などを設けることができる。

[0157]

また、図13（B）に示すように、カラーフィルタ83の代わりに光学変換層85を用いてもよい。このような構成とすることで、様々な波長領域における画像が得られる撮像装置とすることができる。

[0158]

例えば、光学変換層85に可視光線の波長以下の光を遮るフィルタを用いれば、赤外線撮像装置とすることができる。また、光学変換層85に近赤外線の波長以下の光を遮るフィルタを用いれば、遠赤外線撮像装置とすることができる。また、光学変換層85に可視光線の波長以上の光を遮るフィルタを用いれば、紫外線撮像装置とすることができる。可視光のカラーフィルタと赤外線若しくは紫外線のフィルタを組み合わせてもよい。

[0159]

また、光学変換層85にシンチレータを用いれば、X線撮像装置などに用いる放射線の強弱を可視化した画像を得る撮像装置とすることができる。被写体を透過したX線等の放射線がシンチレータに入射されると、フォトルミネッセンス現象により可視光線や紫外光線などの光（蛍光）に変換される。そして、当該光を光電変換素子101で検知することにより画像データを取得する。また、放射線検出器などに当該構成の撮像装置を用いてもよい。

[0160]

シンチレータは、X線やガンマ線などの放射線が照射されると、そのエネルギーを吸収して可視光や紫外光を発する物質を含む。例えば、 $Gd_2O_2S:Tb$ 、 $Gd_2O_2S:Pr$ 、 $Gd_2O_2S:Eu$ 、 $BaFCl:Eu$ 、 NaI 、 CsI 、 CaF_2 、 BaF_2 、 CeF_3 、 LiF 、 LiI 、 ZnO などを樹脂やセラミクスに分散させたものを用いることができる。

[0161]

なお、セレン系材料を用いた光電変換素子101においては、X線等の放射線を電荷に直接変換することができるため、シンチレータを不要とする構成とすることもできる。

[0162]

また、図13（C）に示すように、カラーフィルタ83上にマイクロレンズアレイ84を設けてもよい。マイクロレンズアレイ84が有する個々のレンズを通る光が直下のカラーフィルタ83を通り、光電変換素子101に照射されるようになる。また、図13（B）に示す光学変換層85上にマイクロレンズアレイ84を設けてもよい。

[0163]

<パッケージ、モジュールの構成例>

以下では、イメージセンサチップを収めたパッケージ及びカメラモジュールの一例について説明する。当該イメージセンサチップには、上記撮像装置の構成を用いることができる。

[0164]

図14(A1)は、イメージセンサチップを収めたパッケージの上面側の外観斜視図である。当該パッケージは、イメージセンサチップ450を固定するパッケージ基板410、カバーガラス420及び両者を接着する接着剤430等を有する。

[0165]

図14(A2)は、当該パッケージの下面側の外観斜視図である。パッケージの下面には、半田ボールをバンプ440としたBGA(Ball grid array)を有する。なお、BGAに限らず、LGA(Land grid array)やPGA(Pin Grid Array)などを有していてもよい。

[0166]

図14(A3)は、カバーガラス420及び接着剤430の一部を省いて図示したパッケージの斜視図である。パッケージ基板410上には電極パッド460が形成され、電極パッド460及びバンプ440はスルーホールを介して電氣的に接続されている。電極パッド460は、イメージセンサチップ450とワイヤ470によって電氣的に接続されている。

[0167]

また、図14(B1)は、イメージセンサチップをレンズ一体型のパッケージに収めたカメラモジュールの上面側の外観斜視図である。当該カメラモジュールは、イメージセンサチップ451を固定するパッケージ基板411、レンズカバー421、及びレンズ435等を有する。また、パッケージ基板411及びイメージセンサチップ451の間には撮像装置の駆動回路及び信号変換回路などの機能を有するICチップ490も設けられており、SiP(System in package)としての構成を有している。

[0168]

図14(B2)は、当該カメラモジュールの下面側の外観斜視図である。パッケージ基板411の下面及び側面には、実装用のランド441が設けられたQFN(Quad flat no-lead package)の構成を有する。なお、当該構成は一例であり、QFP(Quad flat package)や前述したBGAが設けられていてもよい。

[0169]

図14(B3)は、レンズカバー421及びレンズ435の一部を省いて図示したモジュールの斜視図である。ランド441は電極パッド461と電氣的に接続され、電極パッド461はイメージセンサチップ451又はICチップ490とワイヤ471によって電氣的に接続されている。

[0170]

イメージセンサチップを上述したような形態のパッケージに収めることでプリント基板等への実装が容易になり、イメージセンサチップを様々な半導体装置、電子機器に組み込むことができる。

[0171]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせて用いることができる。

[0172]

(実施の形態3)

本発明の一態様に係る撮像装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置又は画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ

プレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１５に示す。

〔０１７３〕

図１５（Ａ）は監視カメラであり、支持台９５１、カメラユニット９５２、保護カバー９５３等を有する。カメラユニット９５２には回転機構などが設けられ、天井に設置することで全周囲の撮像が可能となる。当該カメラユニットにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。なお、監視カメラとは慣用的な名称であり、用途を限定するものではない。例えば監視カメラとしての機能を有する機器はカメラ、又はビデオカメラとも呼ばれる。

〔０１７４〕

図１５（Ｂ）はビデオカメラであり、第１筐体９７１、第２筐体９７２、表示部９７３、操作キー９７４、レンズ９７５、接続部９７６等を有する。操作キー９７４およびレンズ９７５は第１筐体９７１に設けられており、表示部９７３は第２筐体９７２に設けられている。当該ビデオカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

〔０１７５〕

図１５（Ｃ）はデジタルカメラであり、筐体９６１、シャッターボタン９６２、マイク９６３、発光部９６７、レンズ９６５等を有する。当該デジタルカメラにおける画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

〔０１７６〕

図１５（Ｄ）は腕時計型の情報端末であり、表示部９３２、筐体兼リストバンド９３３、カメラ９３９等を有する。表示部９３２は、情報端末の操作を行うためのタッチパネルを備える。表示部９３２および筐体兼リストバンド９３３は可撓性を有し、身体への装着性が優れている。当該情報端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

〔０１７７〕

図１５（Ｅ）は携帯電話機の一例であり、筐体９８１、表示部９８２、操作ボタン９８３、外部接続ポート９８４、スピーカ９８５、マイク９８６、カメラ９８７等を有する。当該携帯電話機は、表示部９８２にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部９８２に触れることで行うことができる。当該携帯電話機における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

〔０１７８〕

図１５（Ｆ）は携帯データ端末であり、筐体９１１、表示部９１２、カメラ９１９等を有する。表示部９１２が有するタッチパネル機能により情報の入出力を行うことができる。当該携帯データ端末における画像を取得するための部品の一つとして本発明の一態様の撮像装置を備えることができる。

〔０１７９〕

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

〔０１８０〕

また、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することができる。表示素子、表示装置、発光素子又は発光装置は、例えば、ＥＬ（エレクトロルミネッセンス）素子（有機物及び無機物を含むＥＬ素子、有機ＥＬ素子、無機ＥＬ素子）、ＬＥＤチップ（白色ＬＥ

Dチップ、赤色LEDチップ、緑色LEDチップ、青色LEDチップなど)、トランジスタ(電流に応じて発光するトランジスタ)、プラズマディスプレイパネル(PDP)、電子放出素子、カーボンナノチューブを用いた表示素子、液晶素子、電子インク、エレクトロウェットティング素子、電気泳動素子、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子(例えば、グレーティングライトバルブ(GLV)、デジタルマイクロミラーデバイス(DMD)、DMS(デジタル・マイクロ・シャッター)、MIRASOL(登録商標)、IMOD(インターフェロメトリック・モジュレーション)素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、圧電セラミックディスプレイなど)、又は、量子ドットなどの少なくとも一つを有している。これらの他にも、表示素子、表示装置、発光素子又は発光装置は、電氣的又は磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ(FED)又はSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)などがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ(透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ)などがある。電子インク、電子粉流体(登録商標)、又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。量子ドットを各画素に用いた表示装置の一例としては、量子ドットディスプレイなどがある。なお、量子ドットは、表示素子としてではなく、バックライトの一部に設けてもよい。量子ドットを用いることにより、色純度の高い表示を行うことができる。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、又は、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部、又は、全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。なお、LEDチップを用いる場合、LEDチップの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型Ga_{0.99}N半導体層などを容易に成膜することができる。さらに、その上に、結晶を有するp型Ga_{0.99}N半導体層などを設けて、LEDチップを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型Ga_{0.99}N半導体層との間に、AlN層を設けてもよい。なお、LEDチップが有するGa_{0.99}N半導体層は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDチップが有するGa_{0.99}N半導体層は、スパッタ法で成膜することも可能である。また、MEMS(マイクロ・エレクトロ・メカニカル・システム)を用いた表示素子においては、表示素子が封止されている空間(例えば、表示素子が配置されている素子基板と、素子基板に対向して配置されている対向基板との間)に、乾燥剤を配置してもよい。乾燥剤を配置することにより、MEMSなどが水分によって動きにくくなることや、劣化しやすくなることを防止することができる。

[0181]

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

[0182]

(本明細書等の記載に関する付記)

以上の実施の形態における各構成の説明について、以下に付記する。

[0183]

<実施の形態で述べた本発明の一態様に関する付記>

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

[0184]

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）と、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）との少なくとも一つの内容に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

[0185]

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

[0186]

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）と、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）との少なくとも一つの図に対して、組み合わせることにより、さらに多くの図を構成させることができる。

[0187]

<序数詞に関する付記>

本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。したがって、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0188]

<図面を説明する記載に関する付記>

実施の形態について図面を参照しながら説明している。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなく、その形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態の発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0189]

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

[0190]

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接しているこ

とを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0191]

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

[0192]

また、図面において、斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

[0193]

また、図面において、同一の要素又は同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0194]

<言い換え可能な記載に関する付記>

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。また、本明細書等では、ゲート以外の2つの端子を第1端子、第2端子と呼ぶ場合や、第3端子、第4端子と呼ぶ場合がある。また、本明細書等に記載するトランジスタが2つ以上のゲートを有するとき（この構成をデュアルゲート構造という場合がある）、それらのゲートを第1ゲート、第2ゲートと呼ぶ場合や、フロントゲート、バックゲートと呼ぶ場合がある。特に、「フロントゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。また、「バックゲート」という語句は、単に「ゲート」という語句に互いに言い換えることができる。なお、ボトムゲートとは、トランジスタの作製時において、チャンネル形成領域よりも先に形成される端子のことをいい、「トップゲート」とは、トランジスタの作製時において、チャンネル形成領域よりも後に形成される端子のことをいう。

[0195]

トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子として機能する端子である。ソース又はドレインとして機能する2つの入出力端子は、トランジスタの型及び各端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0196]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様で

ある。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0197]

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

[0198]

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。又は、場合によっては、又は、状況に応じて、「膜」、「層」などの語句を使わずに、別の用語に入れ替えることが可能である。例えば、「導電層」又は「導電膜」という用語を、「導電体」という用語に変更することが可能な場合がある。又は、例えば、「絶縁層」「絶縁膜」という用語を、「絶縁体」という用語に変更することが可能な場合がある。

[0199]

なお本明細書等において、「配線」、「信号線」、「電源線」などの用語は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「配線」という用語を、「信号線」という用語に変更することが可能な場合がある。また、例えば、「配線」という用語を、「電源線」などの用語に変更することが可能な場合がある。また、その逆も同様で、「信号線」「電源線」などの用語を、「配線」という用語に変更することが可能な場合がある。「電源線」などの用語は、「信号線」などの用語に変更することが可能な場合がある。また、その逆も同様で「信号線」などの用語は、「電源線」などの用語に変更することが可能な場合がある。また、配線に印加されている「電位」という用語を、場合によっては、又は、状況に応じて、「信号」などという用語に変更することが可能な場合がある。また、その逆も同様で、「信号」などの用語は、「電位」という用語に変更することが可能な場合がある。

[0200]

<語句の定義に関する付記>

以下では、上記実施の形態中で言及した語句の定義について説明する。

[0201]

<<半導体の不純物について>>

半導体の不純物とは、例えば、半導体層を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS (Density of States) が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコン層である場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第

15族元素などがある。

[0202]

<<トランジスタについて>>

本明細書において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域又はドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャネル形成領域を有する。ゲートーソース間にしきい値電圧を超える電圧を与えることによって、チャネル形成領域にチャネルが形成され、ソース－ドレイン間に電流を流すことができる。

[0203]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0204]

<<スイッチについて>>

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

[0205]

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

[0206]

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM (Metal Insulator Metal) ダイオード、MIS (Metal Insulator Semiconductor) ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

[0207]

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソース電極とドレイン電極が電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

[0208]

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス (DMD) のように、MEMS (マイクロ・エレクトロ・メカニカル・システム) 技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

[0209]

<<接続について>>

本明細書等において、XとYとが接続されている、と記載する場合は、XとYとが電氣的に接続さ

れている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも含むものとする。

[0210]

ここで使用するX、Yなどは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0211]

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。

[0212]

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。

[0213]

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

[0214]

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することができる。

[0215]

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現するこ

とができる。又は、「トランジスタのソース（又は第１の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第２の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。又は、「Xは、トランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0216]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0217]

<<平行、垂直について>>

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[符号の説明]

[0218]

10：撮像装置、11：ドライバ、12：ドライバ、13：ドライバ、31：導電層、32：導電層、33：導電層、34：導電層、35：バックゲート、36：領域、37：導電層、40：シリコン基板、41：絶縁層、42：絶縁層、43：絶縁層、45：半導体層、46：絶縁層、80：絶縁層、81：遮光層、82：有機樹脂層、83：カラーフィルタ、83a：カラーフィルタ、83b：カラーフィルタ、83c：カラーフィルタ、84：マイクロレンズアレイ、85：光学変換層、86：絶縁層、100：画素、100a：出力端子、100b：出力端子、101：光電変換素子、102：トランジスタ、103：トランジスタ、104：容量素子、105：トランジスタ、106：トランジスタ、107：トランジスタ、108：トランジスタ、111：配線、112：配線、113a：配線、113b：配線、113c：配線、113d：配線、114：配線、115：配線、117：配線、118：配線、119：配線、200：プーリングモジュール、203：スイッチ、204：スイッチ、210：プーリング回路、210a：配線、211：配線、211a：配線、211b：配線、212：演算回路、212a：トランジスタ、212b：トランジスタ、212c：トランジスタ、220：比較モジュール、221：判定回路、221a：入力端子、221b：入力端子、2

2 1 c : 出力端子、2 2 3 a : トランジスタ、2 2 3 b : トランジスタ、2 2 4 a : 入力端子、2 2 4 b : 出力端子、2 3 0 : 比較回路、2 3 0 a : 比較回路、2 3 0 b : 比較回路、2 3 0 c : 比較回路、2 3 1 a : 入力端子、2 3 1 b : 入力端子、2 3 1 c : 出力端子、2 3 2 : 配線、2 3 6 : トランジスタ、2 4 1 : トランジスタ、2 4 2 : トランジスタ、2 4 3 : トランジスタ、2 4 4 : トランジスタ、2 4 5 : トランジスタ、2 4 6 : トランジスタ、2 5 0 : アナログデジタル変換回路、2 5 1 : 出力回路、4 1 0 : パッケージ基板、4 1 1 : パッケージ基板、4 2 0 : カバーガラス、4 2 1 : レンズカバー、4 3 0 : 接着剤、4 3 5 : レンズ、4 4 0 : バンプ、4 4 1 : ランド、4 5 0 : イメージセンサチップ、4 5 1 : イメージセンサチップ、4 6 0 : 電極パッド、4 6 1 : 電極パッド、4 7 0 : ワイヤ、4 7 1 : ワイヤ、4 9 0 : ICチップ、9 1 1 : 筐体、9 1 2 : 表示部、9 1 9 : カメラ、9 3 2 : 表示部、9 3 3 : 筐体兼リストバンド、9 3 9 : カメラ、9 5 1 : 支持台、9 5 2 : カメラユニット、9 5 3 : 保護カバー、9 6 1 : 筐体、9 6 2 : シャッターボタン、9 6 3 : マイク、9 6 5 : レンズ、9 6 7 : 発光部、9 7 1 : 筐体、9 7 2 : 筐体、9 7 3 : 表示部、9 7 4 : 操作キー、9 7 5 : レンズ、9 7 6 : 接続部、9 8 1 : 筐体、9 8 2 : 表示部、9 8 3 : 操作ボタン、9 8 4 : 外部接続ポート、9 8 5 : スピーカ、9 8 6 : マイク、9 8 7 : カメラ

請求の範囲

[請求項 1]

画素領域と、第 1 の回路と、を有する撮像装置であって、
前記画素領域は、プーリングモジュールと、出力回路とを有し、
前記プーリングモジュールは、複数のプーリング回路と、比較モジュールと、を有し、
前記プーリング回路は、複数の画素と、演算回路と、を有し、
前記比較モジュールは、複数の比較回路と、判定回路とを有し、
前記画素は、光電変換により第 1 の信号を取得する機能を有し、
前記画素は、前記第 1 の信号を任意の倍率で乗算して第 2 の信号を生成する機能を有し、
前記プーリング回路は、複数の前記第 2 の信号を前記演算回路によって加算して第 3 の信号を生成する機能を有し、
前記比較モジュールは、複数の前記第 3 の信号を比較し、最も大きな前記第 3 の信号を選択し、前記判定回路に出力する機能を有し、
前記判定回路は、最も大きな前記第 3 の信号を判定し 2 値化して第 4 の信号を生成する機能を有し、
前記第 1 の回路は、前記第 4 の信号を前記出力回路に出力するタイミングを制御し、
前記プーリングモジュールは、前記画素の数に応じてプーリング処理し、
前記プーリングモジュールは、前記プーリング処理により生成された前記第 4 の信号を出力する撮像装置。

[請求項 2]

請求項 1 において、
前記撮像装置は、さらに、第 2 の回路と、第 3 の回路と、第 1 の配線と、第 2 の配線と、第 3 の配線と、を有し、
前記画素は、第 1 の出力端子を有し、
前記演算回路は、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタとを有し、
前記第 2 の回路は、前記第 1 の配線を介して行方向に延在する複数の前記画素と電気的に接続され、
前記第 3 の回路は、前記第 2 の配線を介して列方向に延在する複数の前記画素と電気的に接続され、
前記第 3 の配線は、前記第 1 のトランジスタのソース又はドレインの一方と、前記第 2 のトランジスタのソース又はドレインの一方と、前記第 3 のトランジスタのソース又はドレインの一方とに電気的に接続され、
前記第 1 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの他方と、前記第 2 のトランジスタのゲートと、前記第 3 のトランジスタのゲートと、前記プーリング回路が有する前記画素の前記第 1 の出力端子とに電気的に接続され、
前記第 3 の回路は、前記第 2 の配線に選択信号を出力する機能を有し、
前記第 2 の回路は、前記第 1 の配線を介して前記画素に任意の倍率を設定する機能を有し、
前記第 1 のトランジスタは、前記第 2 のトランジスタと、前記第 3 のトランジスタと同じチャネル長を有し、
前記第 2 のトランジスタは、前記第 1 のトランジスタのチャネル幅と同じ幅を有することで、複数の前記第 2 の信号を加算した前記第 3 の信号を出力する機能を有し、
前記第 3 のトランジスタは、前記第 1 のトランジスタのチャネル幅を前記プーリング回路が有する前記画素の数で割った長さにするすることで、前記第 3 の信号の大きさを前記画素の数で割った大きさの

前記第 5 の信号を出力する機能を有する撮像装置。

[請求項 3]

請求項 1 において、

前記比較モジュールは、第 1 の比較回路と、第 2 の比較回路と、カレントミラー回路と、を有し、
前記第 1 の比較回路は、第 4 のトランジスタ、第 5 のトランジスタ、第 6 のトランジスタ、第 7 のトランジスタ、第 8 のトランジスタ、第 9 のトランジスタ、第 1 の入力端子、第 2 の入力端子、第 2 の出力端子、及び第 4 の配線を有し、

前記第 1 の比較回路の前記第 2 の出力端子は、前記カレントミラー回路を介して前記第 2 の比較回路の前記第 1 の入力端子と電氣的に接続され、

前記第 1 の入力端子は、前記第 5 のトランジスタのソース又はドレインの一方と、前記第 7 のトランジスタのソース又はドレインの一方と、前記第 4 のトランジスタのゲートと、前記第 5 のトランジスタのゲートと、前記第 6 のトランジスタのゲートとに電氣的に接続され、

前記第 2 の入力端子は、前記第 8 のトランジスタのソース又はドレインの一方と、前記第 6 のトランジスタのソース又はドレインの一方と、前記第 7 のトランジスタのゲートと、前記第 8 のトランジスタのゲートと、前記第 9 のトランジスタのゲートとに電氣的に接続され、

前記第 2 の出力端子は、前記第 4 のトランジスタのソース又はドレインの一方と、前記第 9 のトランジスタのソース又はドレインの一方とに電氣的に接続され、

前記第 4 のトランジスタ乃至前記第 9 のトランジスタは、同じ大きさのチャネル長を有し、

前記第 4 のトランジスタのチャネル幅は、前記第 5 のトランジスタのチャネル幅と同じであることが好ましく、

前記第 6 のトランジスタのチャネル幅は、前記第 5 のトランジスタのチャネル幅の 2 倍が好ましく、
前記第 4 のトランジスタ乃至前記第 6 のトランジスタは、第 1 のカレントミラー回路を形成し、
前記第 9 のトランジスタのチャネル幅は、前記第 8 のトランジスタのチャネル幅と同じであることが好ましく、

前記第 7 のトランジスタのチャネル幅は、前記第 8 のトランジスタのチャネル幅の 2 倍が好ましく、
前記第 7 のトランジスタ乃至前記第 9 のトランジスタは、第 2 のカレントミラー回路を形成し、
前記第 1 の比較回路の前記第 1 の入力端子には、第 6 の信号が与えられ、
前記第 1 の比較回路の前記第 2 の入力端子には、第 7 の信号が与えられ、
前記第 1 の比較回路の前記第 2 の出力端子は、前記第 6 の信号又は前記第 7 の信号のいずれか大きい信号を第 8 の信号として出力し、

前記第 2 の比較回路の前記第 1 の入力端子には、前記第 8 の信号が与えられ、
前記第 2 の比較回路の前記第 2 の入力端子には、第 9 の信号が与えられ、
前記第 2 の比較回路の前記第 2 の出力端子は、前記第 8 の信号又は前記第 9 の信号のいずれか大きい信号を第 10 の信号として前記判定回路に出力し、

前記判定回路は、前記第 10 の信号を判定し、2 値化して前記第 4 の信号を生成する機能を有し

前記第 1 の回路は、前記第 4 の信号を前記出力回路に出力するタイミングを制御する機能を有する撮像装置。

[請求項 4]

請求項 1 又は請求項 2 において、

前記複数の前記画素はマトリクス状に配置され、隣り合う画素の間に遮光されている領域を有する

撮像装置。

[請求項 5]

請求項 1 又は請求項 2 において、

前記画素は、さらに、光電変換素子、第 10 のトランジスタ、第 11 のトランジスタ、第 12 のトランジスタ、第 13 のトランジスタ、第 14 のトランジスタ、及び第 1 の容量素子を有し、

前記光電変換素子の一方の電極は、前記第 10 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 10 のトランジスタのソース又はドレインの他方は、前記第 11 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 11 のトランジスタのソース又はドレインの一方は、前記第 12 のトランジスタのゲートと電氣的に接続され、

前記第 12 のトランジスタのゲートは、前記第 1 の容量素子の一方の電極と電氣的に接続され、

前記第 12 のトランジスタのソース又はドレインの一方は、前記第 1 の出力端子と電氣的に接続され、

前記第 1 の容量素子の他方の電極は、前記第 13 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 13 のトランジスタのソース又はドレインの他方は、前記第 1 の配線と電氣的に接続され、

前記第 13 のトランジスタのゲートは、前記第 2 の配線と電氣的に接続され、

前記第 10 のトランジスタ及び前記第 12 のトランジスタは、チャネル形成領域に金属酸化物を有する撮像装置。

[請求項 6]

請求項 5 において、

前記金属酸化物は、In と、Zn と、M (M は Al、Ti、Ga、Sn、Y、Zr、La、Ce、Nd 又は Hf) と、を有する撮像装置。

[請求項 7]

請求項 5 において、

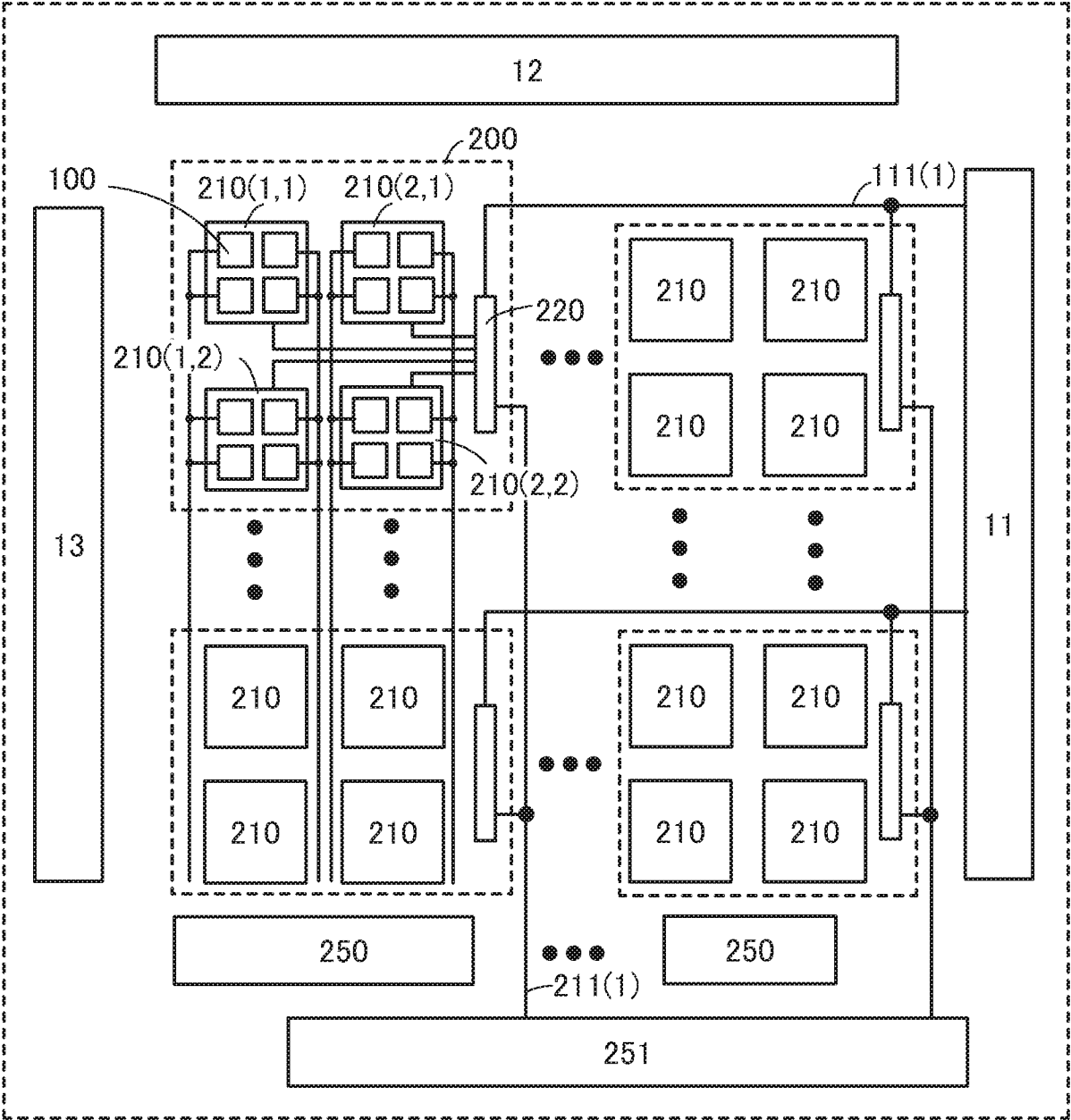
前記光電変換素子は、セレン又はセレンを含む化合物を有する撮像装置。

[請求項 8]

請求項 1 乃至 3 のいずれかーに記載の撮像装置と、表示装置と、を有する電子機器。

[図 1]

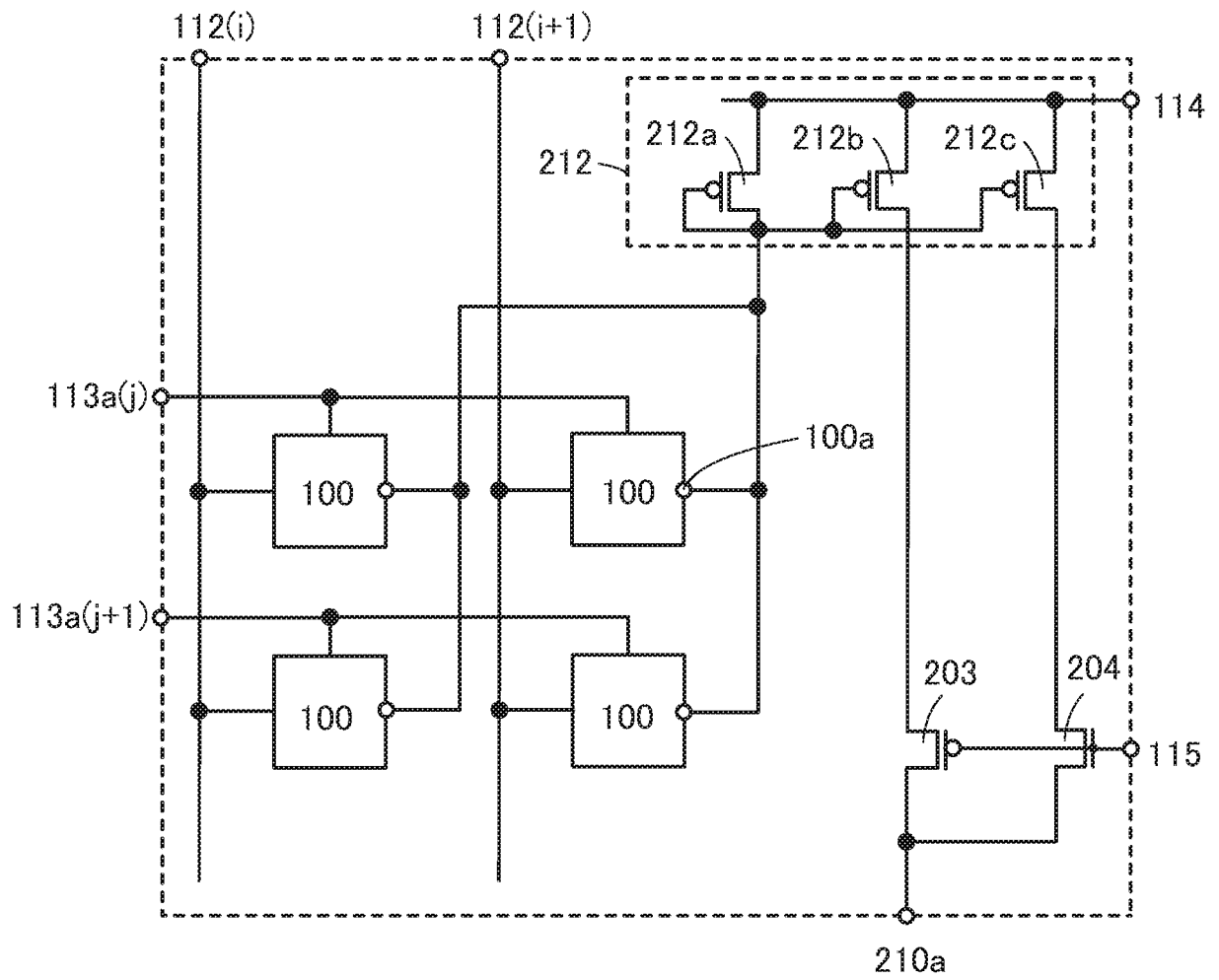
10



2/15

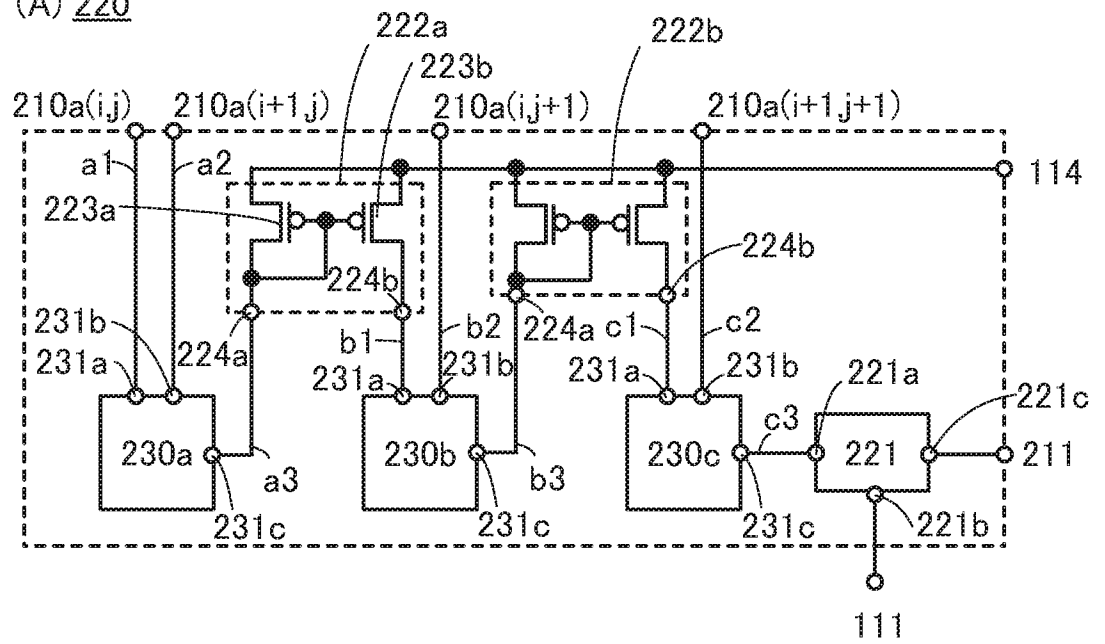
[図 2]

210

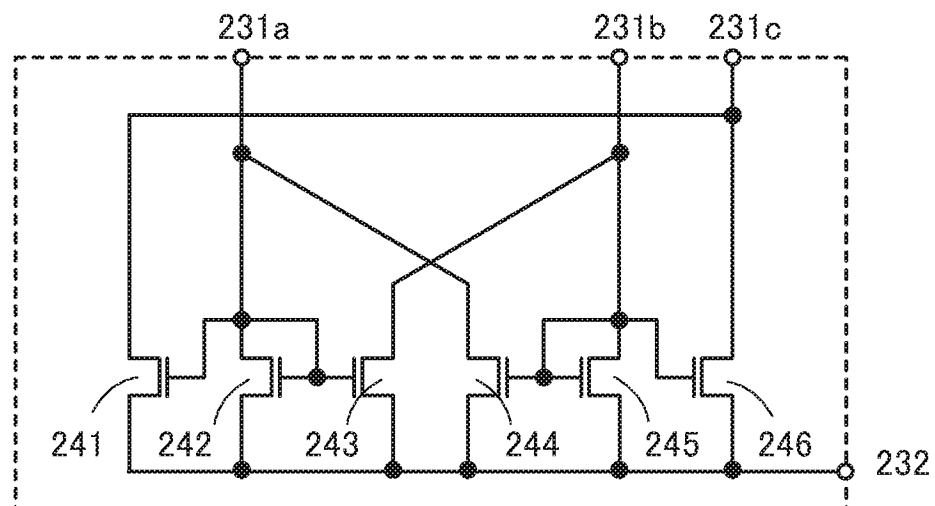


[义 3]

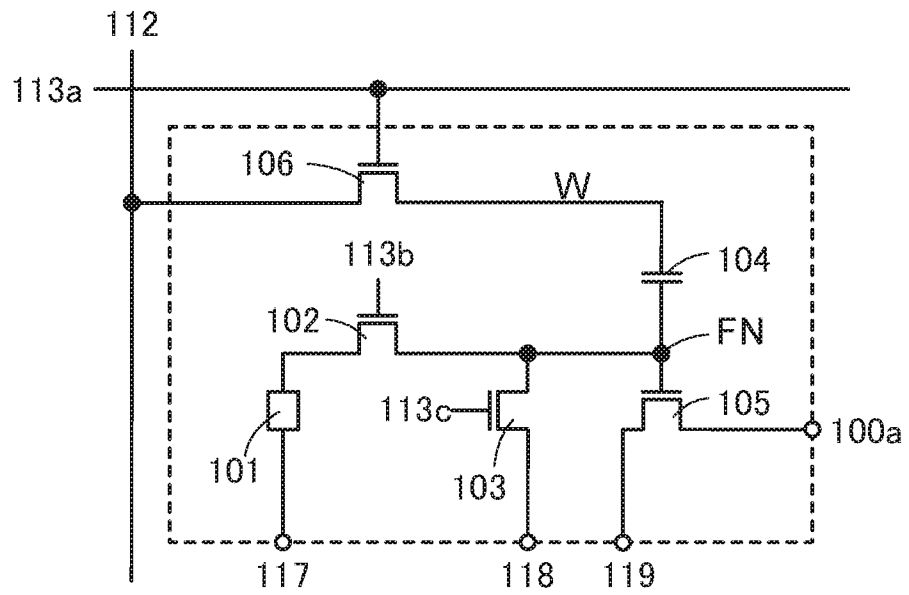
(A) 220



(B) 230



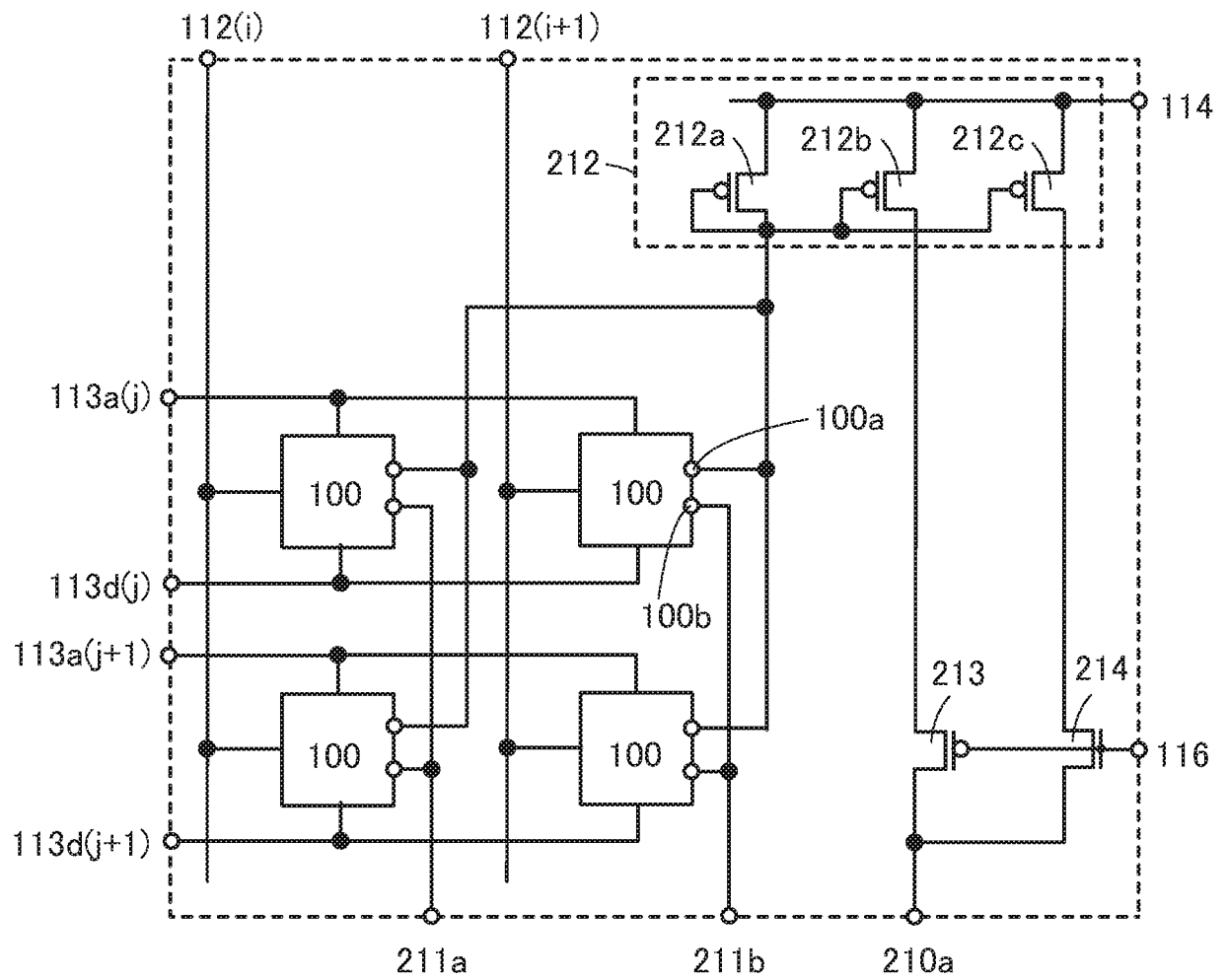
[図 4]

100

[図 6]

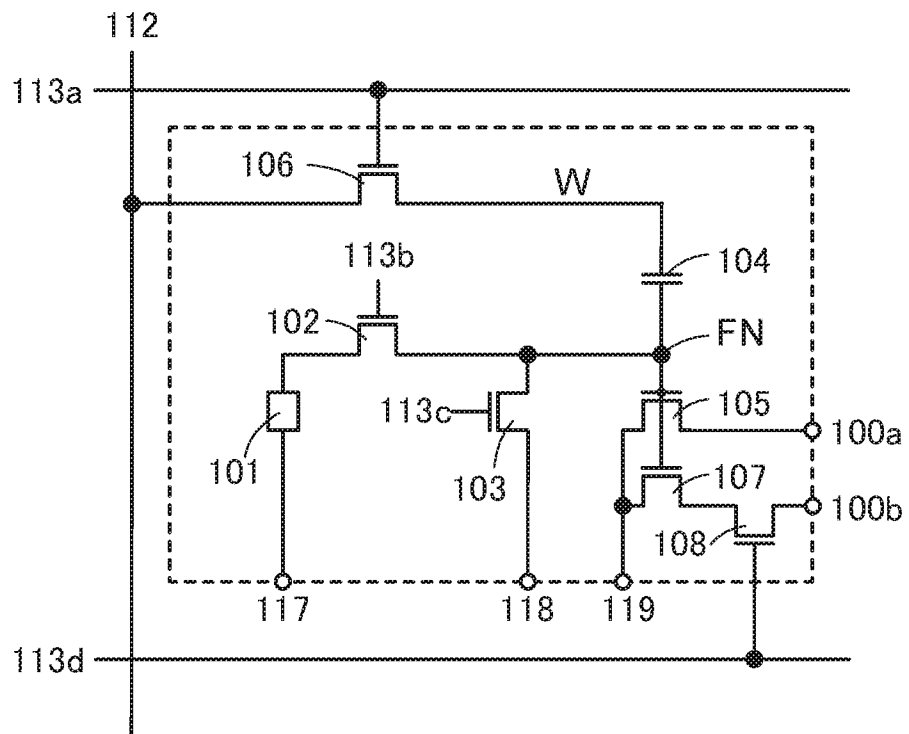
6/15

210

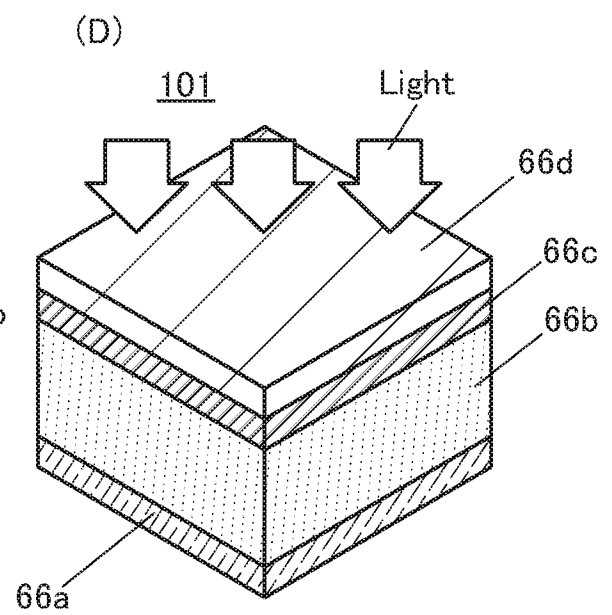
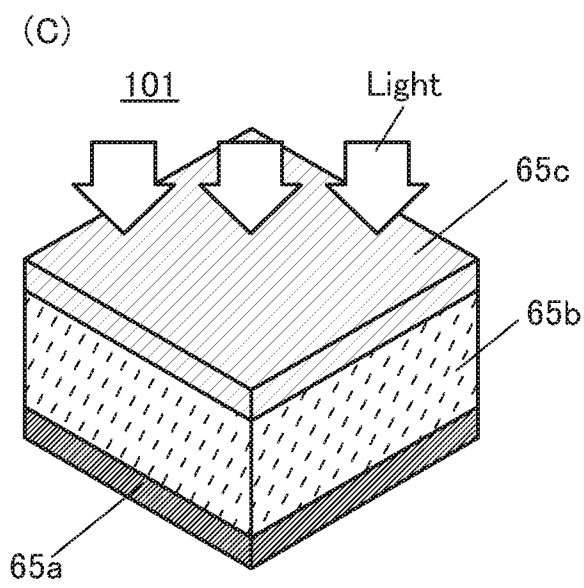
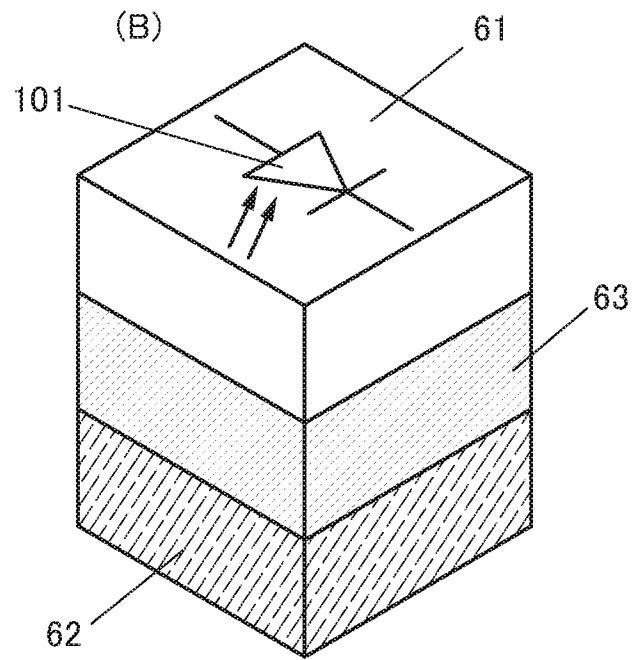
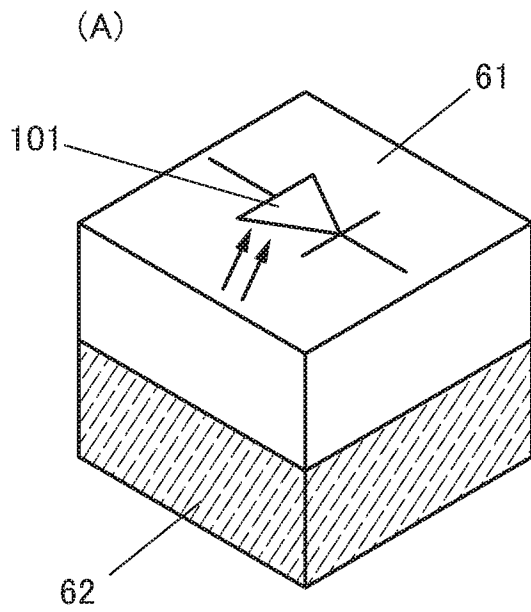


[図 7]

100

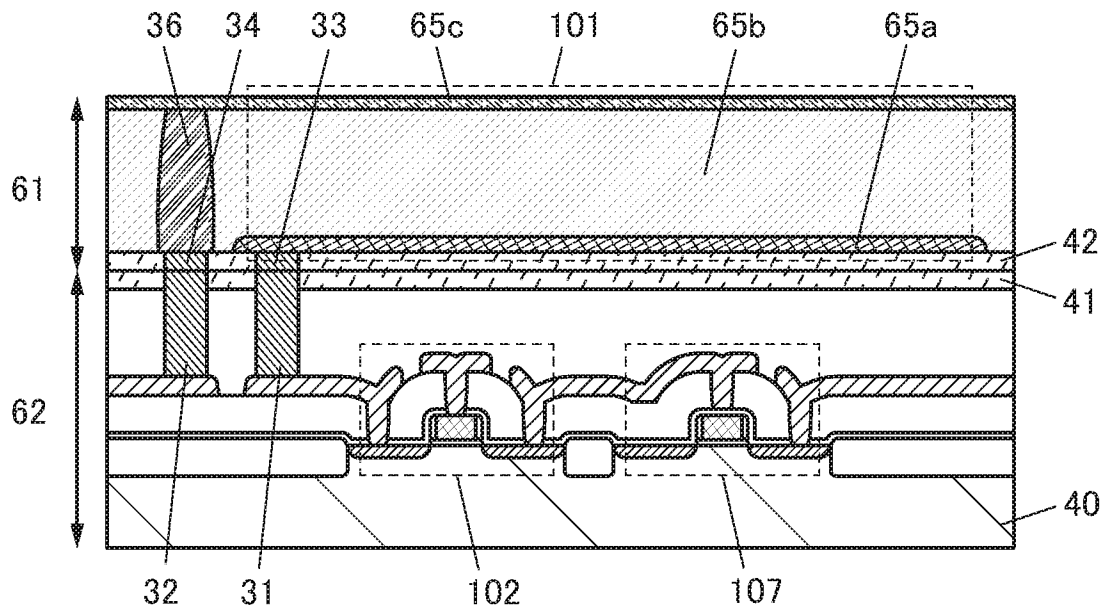


[圖 8]

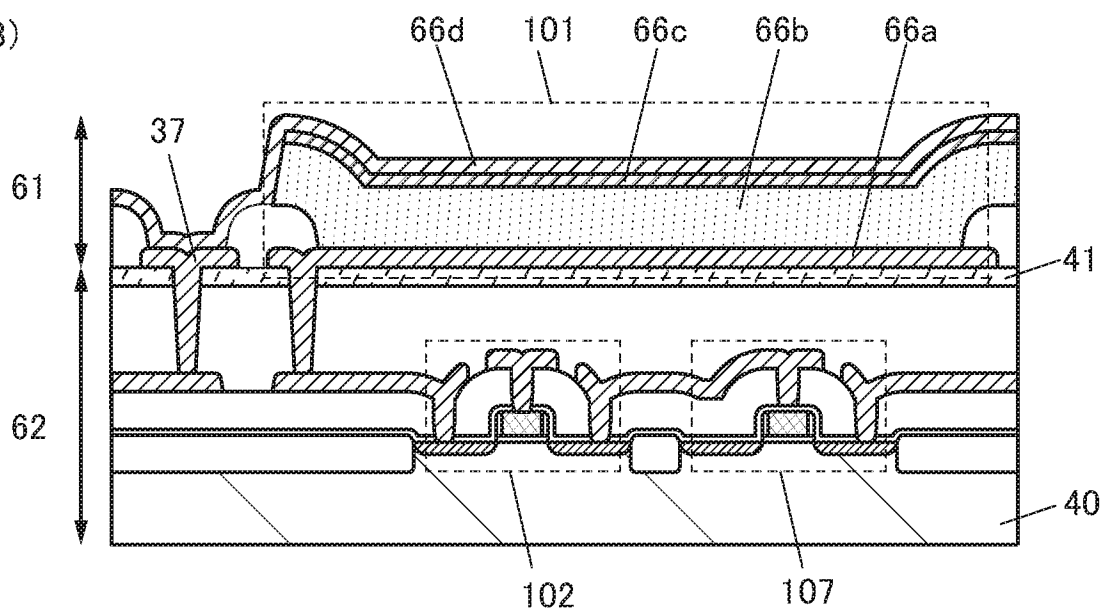


[図 9]

(A)



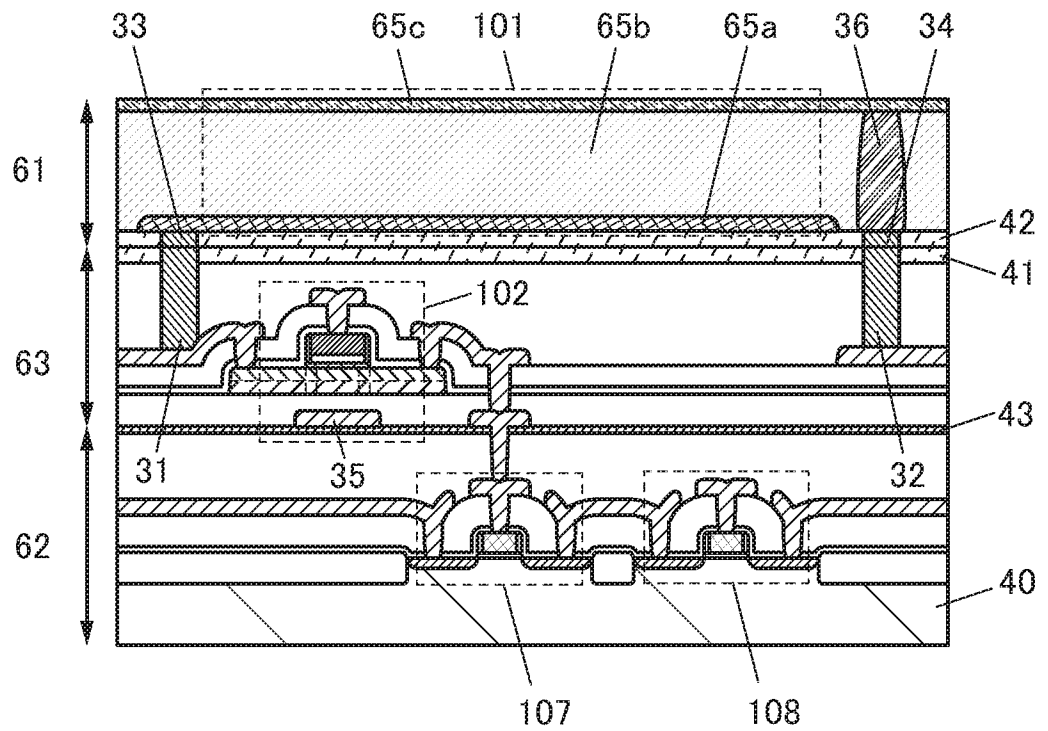
(B)



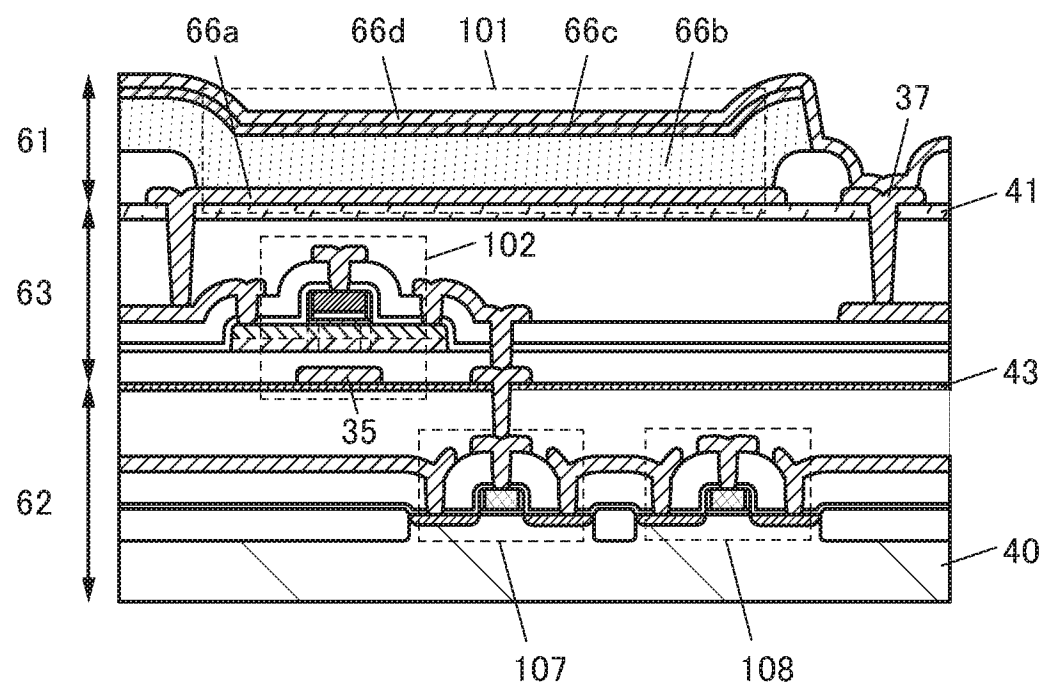
10/15

[図10]

(A)



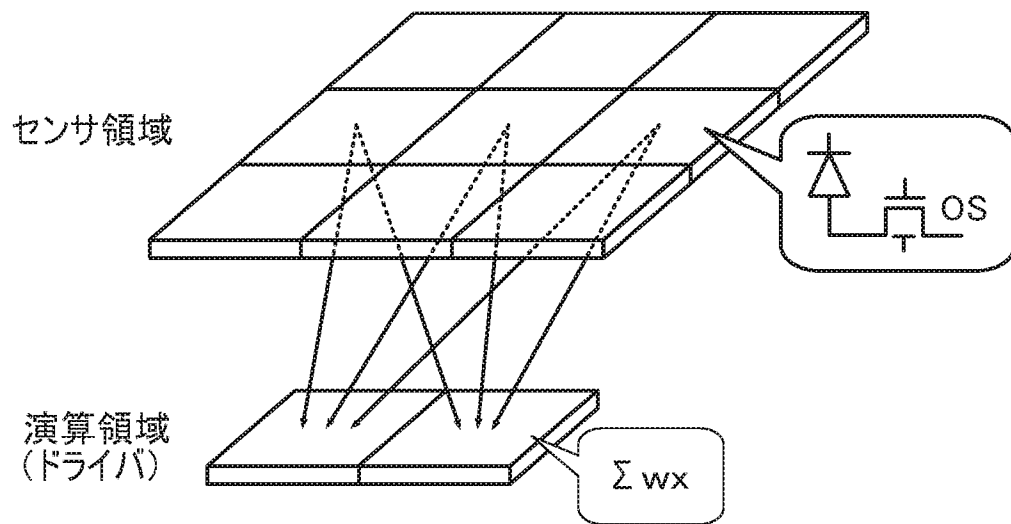
(B)



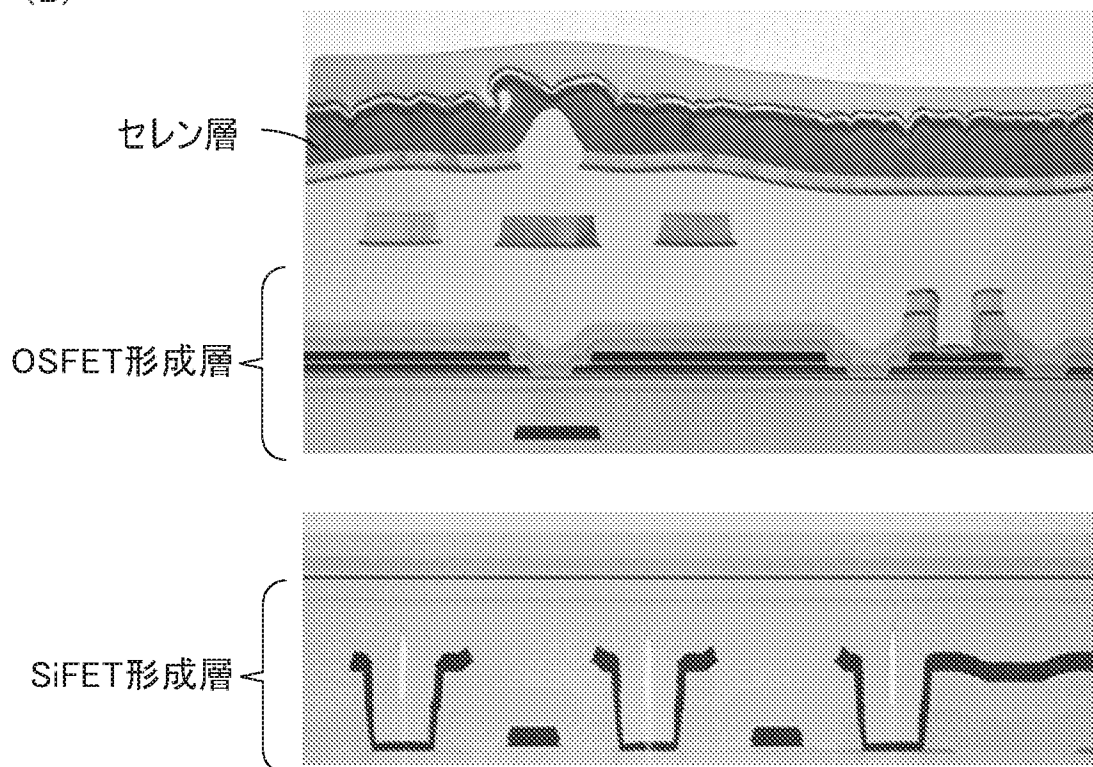
11/15

[図11]

(A)

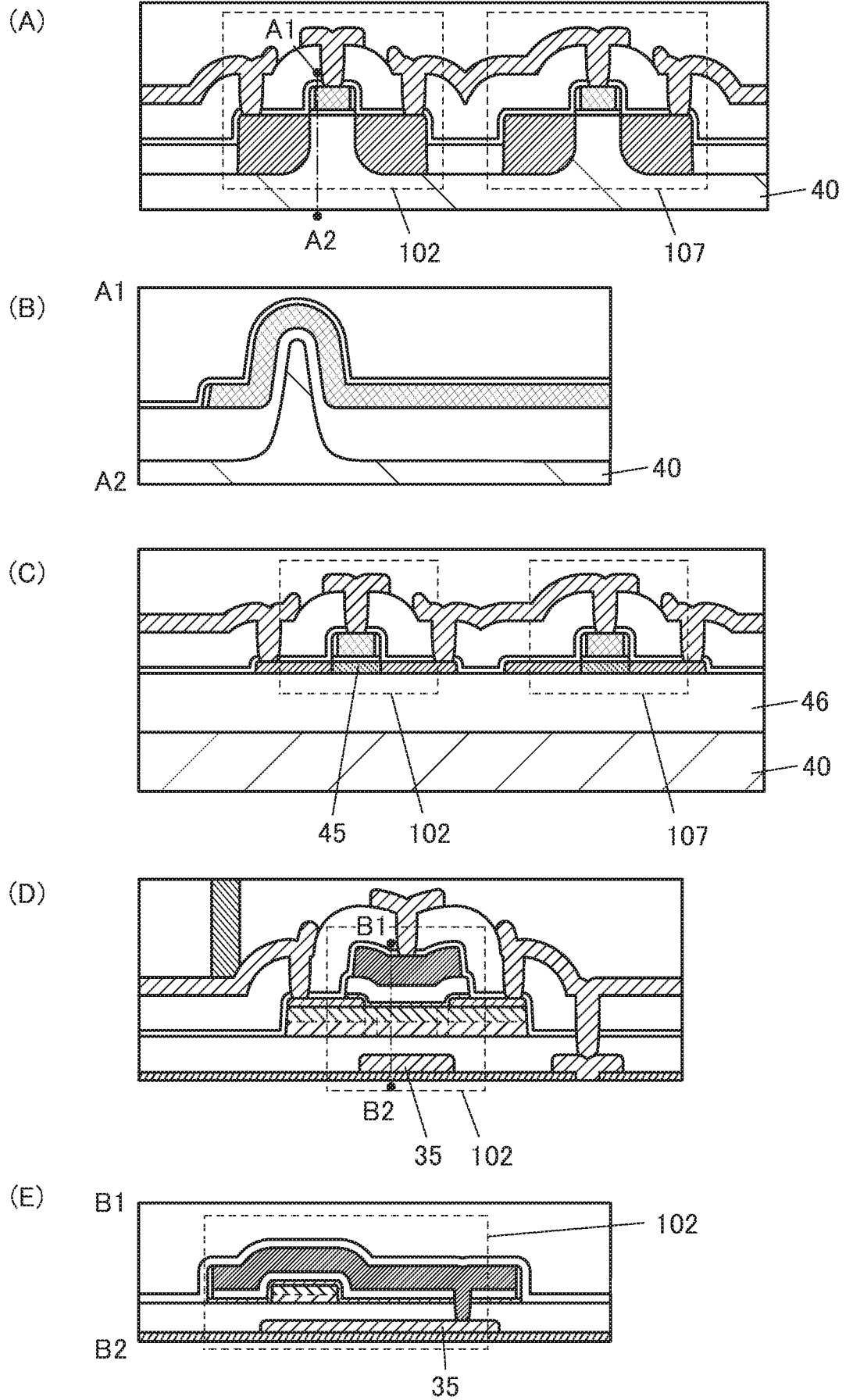


(B)



[図 12]

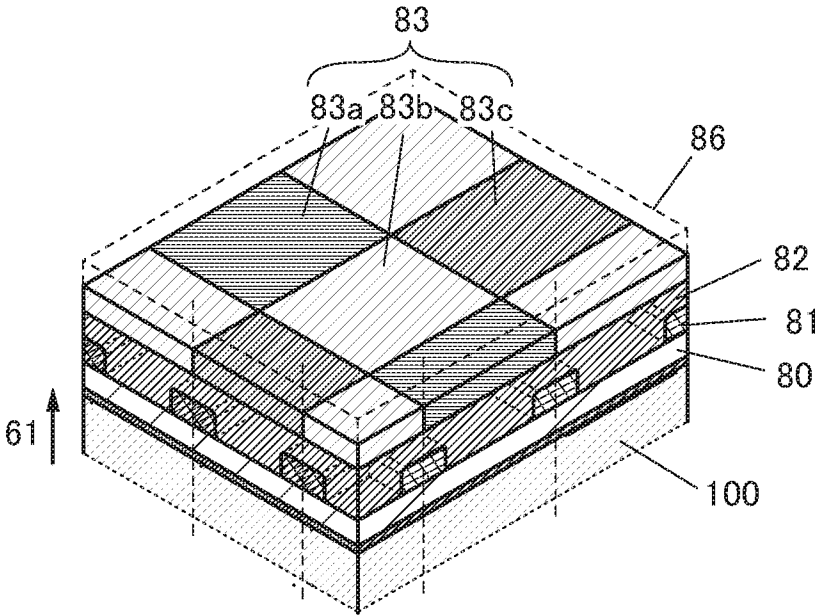
12/15



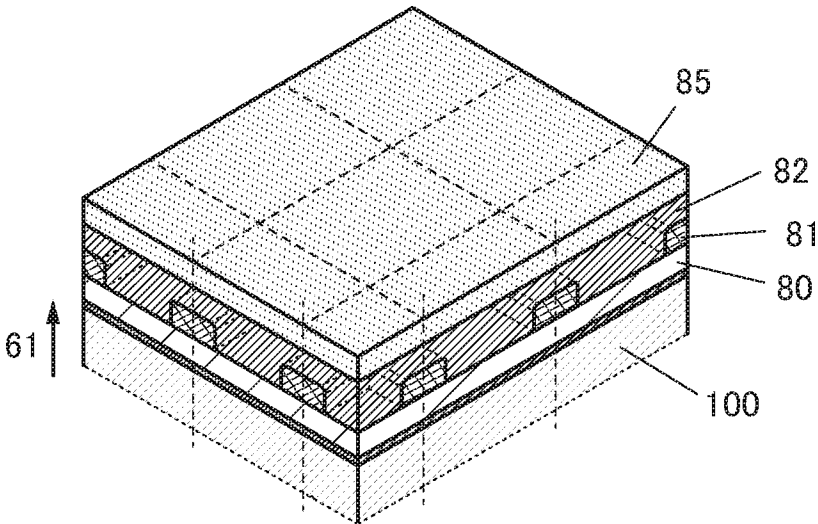
[図 13]

13/15

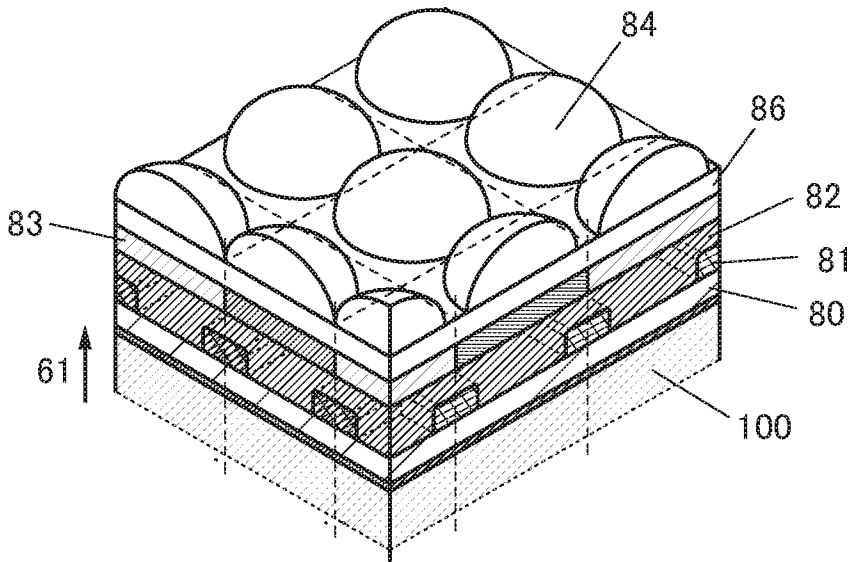
(A)



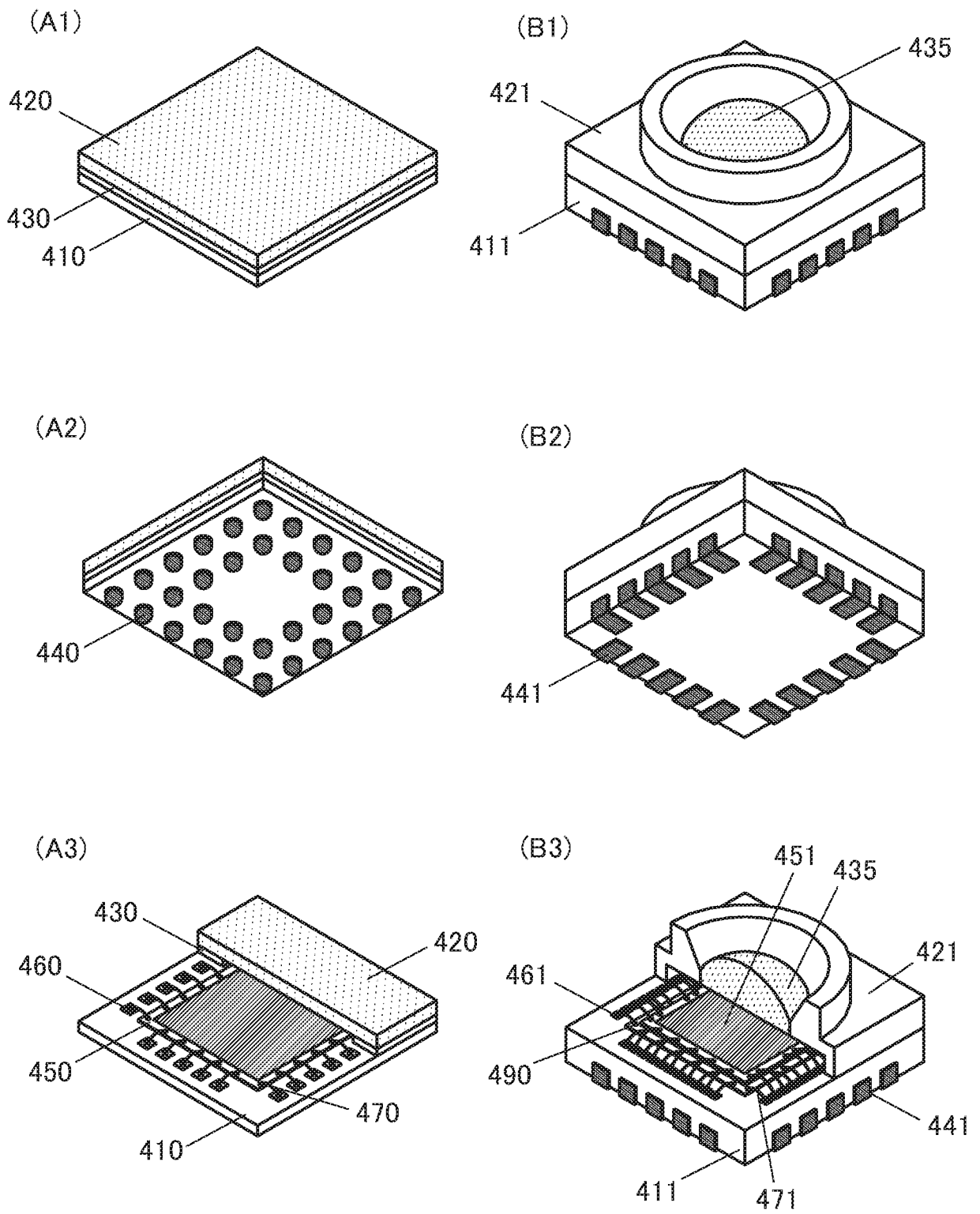
(B)



(C)



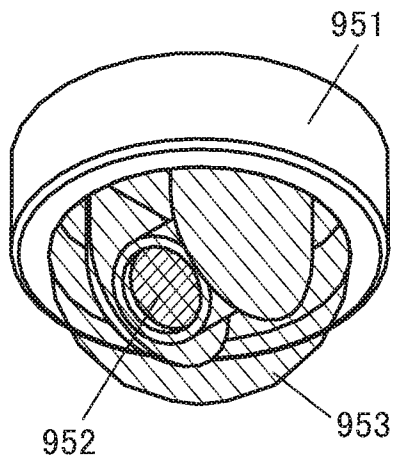
[図14]



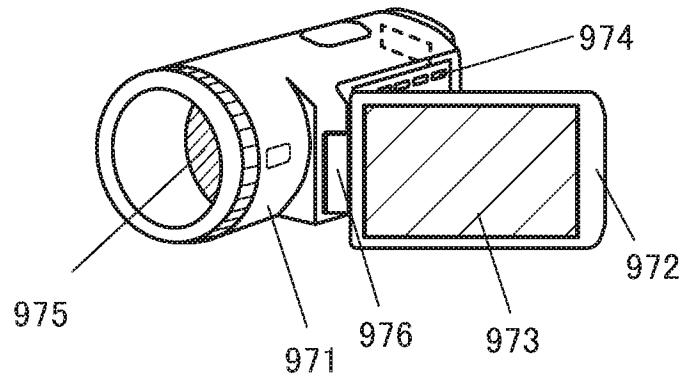
[圖15]

15/15

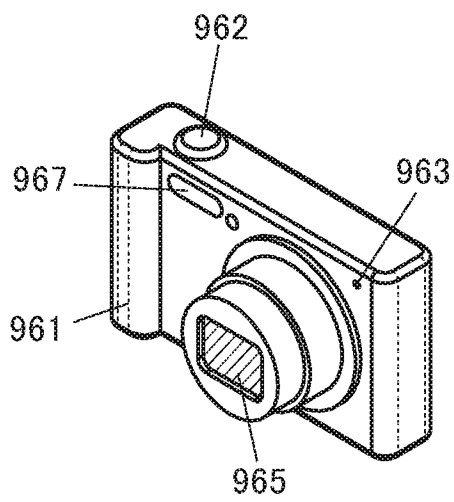
(A)



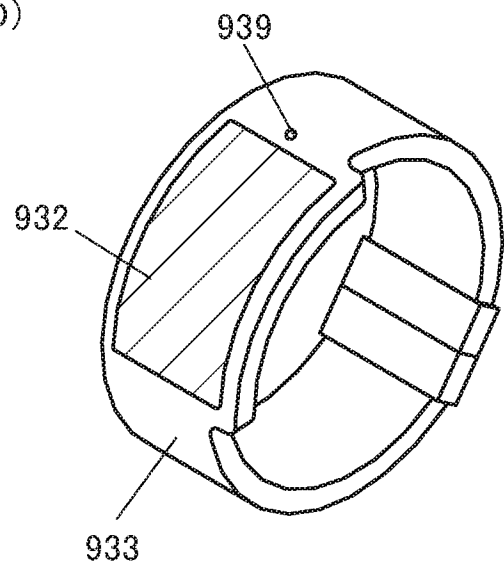
(B)



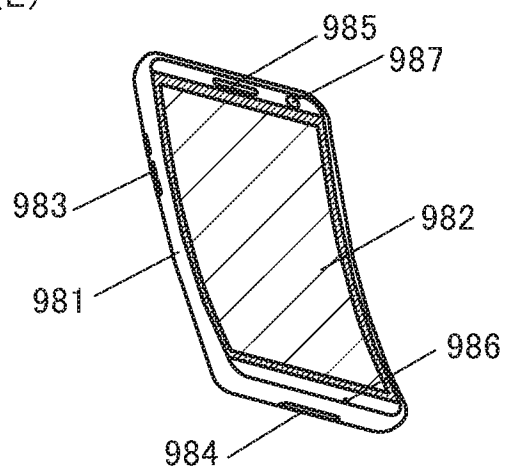
(C)



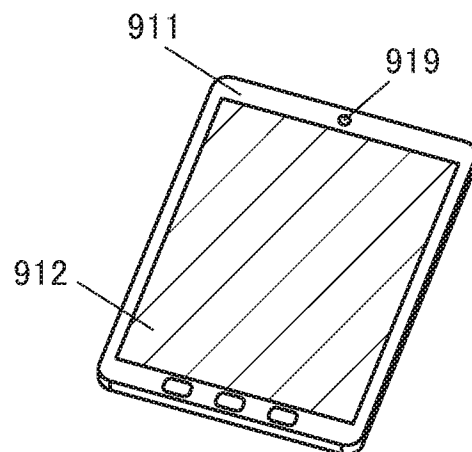
(D)



(E)



(F)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/053999

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/3745 (2011.01) i, H01L21/8234 (2006.01) i,
H01L27/088 (2006.01) i, H01L27/146 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/3745, H01L21/8234, H01L27/088, H01L27/146, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-123087 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07 July 2016 & US 2016/0172410 A1	1-8
A	JP 2-242488 A (ERUMANO SUMIWA KK) 26 September 1990 (Family: none)	1-8
A	JP 2009-64162 A (FUJI HEAVY INDUSTRIES LTD.) 26 March 2009 (Family: none)	1-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 July 2018 (05.07.2018)

Date of mailing of the international search report
17 July 2018 (17.07.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/053999

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-215988 A (CANON INC.) 11 August 2005 & US 2005/0185835 A1	1-8
A	JP 2000-138863 A (SHAO, Diyan) 16 May 2000 & EP 989741 A2	1-8

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/3745(2011.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L27/146(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/3745, H01L21/8234, H01L27/088, H01L27/146, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2016-123087 A（株式会社半導体エネルギー研究所）2016.07.07, & US 2016/0172410 A1	1-8
A	JP 2-242488 A（エルマノスミワ株式会社）1990.09.26,（ファミリーなし）	1-8
A	JP 2009-64162 A（富士重工業株式会社）2009.03.26,（ファミリーなし）	1-8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

05.07.2018

国際調査報告の発送日

17.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-215988 A (キヤノン株式会社) 2005.08.11, & US 2005/0185835 A1	1-8
A	JP 2000-138863 A (シャオ, ディ ヤン) 2000.05.16, & EP 989741 A2	1-8