



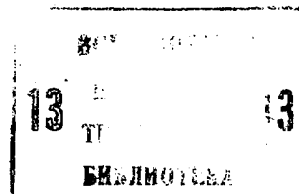
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1095367 A

3 (51) Н 03 К 3/84

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(61) 993444
(21) 3525621/18-21
(22) 20.12.82
(46) 30.05.84. Бюл. № 20
(72) В.В.Богданов, В.С.Лупиков
и Б.С.Маслеников
(53) 621.374.2 (088.8)
(56) 1. Авторское свидетельство СССР
№ 993444, кл. Н 03 К 3/84, 1981.

(54)(57) 1. ГЕНЕРАТОР ПСЕВДОСЛУЧАЙНЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ по авт.св. № 993444, отличающийся тем, что, с целью увеличения быстродействия генератора, в него дополнительно введен D-триггер, информационный вход которого соединен с информационным выходом буферного запоминающего блока, а вход синхронизации которого соединен с управляющим выходом буферного запоминающего блока, выход D-триггера соединен с пятым входом блока управления и с вторым

управляющим входом n-разрядного реверсивного регистра сдвига, n параллельных информационных входов которого соединены с первой группой информационных выходов буферного запоминающего блока, причем первый выход блока управления соединен также с входом модификации адреса буферного запоминающего блока.

2. Генератор по п.1, отличающийся тем, что n-разрядный реверсивный регистр сдвига содержит реверсивный регистр сдвига, первый элемент ИЛИ, первый вход которого соединен с входом элемента НЕ, выход которого соединен с первым входом второго элемента ИЛИ, выход которого соединен с первым управляющим входом реверсивного регистра сдвига, второй управляющий вход которого соединен с выходом первого элемента ИЛИ, второй вход которого соединен с вторым входом второго элемента ИЛИ.

(19) SU (11) 1095367 A

Изобретение относится к импульсной технике.

Известен генератор псевдослучайных последовательностей, содержащий генератор тактовых импульсов, выход которого соединен с первым входом элемента И, выход которого подключен к счетному входу вычитающего счетчика и к синхронизирующему входу n -разрядного реверсивного регистра сдвига, установочный вход которого соединен с шиной установки, первый и второй информационные входы соединены соответственно через первый и второй сумматоры по модулю два с соответствующими выходами n -разрядного реверсивного регистра сдвига, выходы которого также соединены с первыми входами блока элементов И, а первый вход блока управления соединен с шиной установки, второй вход блока управления соединен с выходом генератора тактовых импульсов, третий вход блока управления соединен с выходом вычитающего счетчика, четвертый вход блока управления соединен с первым выходом регистра сдвига, первый выход блока управления соединен со вторым входом элемента И, второй выход блока управления соединен с входом считывания буферного запоминающего блока, установочный вход которого соединен с шиной установки, управляющий выход буферного запоминающего блока соединен со входом записи вычитающего счетчика и регистра сдвига, а первая и вторая группы выходов буферного запоминающего блока соединены с информационными входами вычитающего счетчика и регистра сдвига соответственно, причем второй и третий выходы регистра сдвига соединены со входом управления n -разрядного реверсивного регистра сдвига и с вторыми входами блока элементов И [1].

Недостатком известного генератора псевдослучайных последовательностей является низкое быстродействие при формировании тестовых последовательностей из отдельных участков псевдослучайной последовательности, в частности, при переходе от конца предыдущего участка к началу следующего участка тестовой последовательности.

Цель изобретения - увеличение быстродействия генератора.

Поставленная цель достигается тем, что в генератор псевдослучайных последовательностей дополнительно введен D-триггер, информационный вход которого соединен с информационным выходом буферного запоминающего блока, а вход синхронизации которого соединен с управляющим выходом буферного запоминающего блока, выход D-триггера соединен с пятым входом блока управления и с вторым управляющим входом n -разрядного реверсивного регистра сдвига, n параллельных информационных входов которого соединены с первой группой информационных выходов буферного запоминающего блока, причем первый выход блока управления соединен также с входом модификации адреса буферного запоминающего блока.

Причем n -разрядный реверсивный регистр сдвига содержит реверсивный регистр сдвига, первый элемент ИЛИ, первый вход которого соединен с входом элемента НЕ, выход которого соединен с первым входом второго элемента ИЛИ, выход которого соединен с первым управляющим входом реверсивного регистра сдвига, второй управляющий вход которого соединен с выходом первого элемента ИЛИ, второй вход которого соединен с вторым входом второго элемента ИЛИ.

На чертеже приведена функциональная схема генератора псевдослучайных последовательностей.

Генератор псевдослучайных последовательностей содержит блок 1 элементов И, n -разрядный реверсивный регистр 2 сдвига, первый 3 и второй 4 сумматоры по модулю два, регистр 5, вычитающий счетчик 6, буферный запоминающий блок 7, элемент И 8, генератор 9 тактовых импульсов, блок 10 управления, шину 11 установки, D-триггер 12, информационный вход которого соединен с информационным выходом буферного запоминающего блока 7, а вход синхронизации которого соединен с управляющим выходом буферного запоминающего блока 7, выход D-триггера 12 соединен с пятым входом блока 10 управления и с вторым управляющим входом n -разрядного реверсивного регистра 2 сдвига, n параллельных информационных входов которого соединены с первой группой информационных выходов буферного за-

поминающего блока 7, причем первый выход блока 10 управления соединен также со входом модификации адреса буферного запоминающего блока 7.

На чертеже также приведен n -разрядный реверсивный регистр 2 сдвига, который содержит реверсивный регистр 13 сдвига, первый элемент ИЛИ 14, первый вход которого соединен с входом элемента НЕ 15, выход которого соединен с первым входом второго элемента ИЛИ 16, выход которого соединен с первым управляющим входом реверсивного регистра 13 сдвига, второй управляющий вход которого соединен с выходом первого элемента ИЛИ 14, второй вход которого соединен с вторым входом второго элемента ИЛИ 16.

На чертеже также показан пример выполнения буферного запоминающего блока 7, который содержит запоминающее устройство 17 с произвольной выборкой (ЗУПВ), счетчик 18 адреса, элемент ИЛИ 19, формирователь 20 импульсов, шину 21 записи, шины 22 данных, шину 23 модификации адреса.

Блок 10 управления выполнен на D-триггерах и J-K триггерах.

Генератор псевдослучайных последовательностей работает следующим образом.

Перед началом работы составляется программа формирования выходной псевдослучайной последовательности кодов в виде последовательности инструкций. Каждая инструкция программы имеет $(n+4)$ разряда. Первые три разряда инструкции $K_1, \dots, K_3$ содержат код операции, выполняемой генератором. Разряд K_1 содержит признак конца программы. $K_1=0$ в последней инструкции программы, а в остальных инструкциях $K_1=1$. Разряд K_2 определяет направление формирования участка псевдослучайной последовательности: в прямом направлении при $K_2=0$ и в обратном направлении при $K_2=1$. Разряд K_3 определяет состояние выходных шин генератора. Если $K_3=1$, то на выходные шины поступает формируемая генератором последовательность кодов. Если $K_3=0$, то на выходных шинах поддерживается уровень логического "0", а формируемая генератором последовательность кодов не поступает потребителю (маскируется). Разряд K_4 является идентификатором

содержимого разрядов $K_5, \dots, K_{n+4}$ инструкции. Если $K_4=0$, то при выполнении инструкции генератор осуществляет операцию, определенную разрядами K_1, K_2, K_3 на участке псевдослучайной последовательности длиной в Δ кодов. При этом разряды $K_5, \dots, K_{n+4}$ содержат двоичный код длины Δ участка псевдослучайной последовательности. При $K_4=1$, разряды $K_5, \dots, K_{n+4}$ содержат исходный код участка псевдослучайной последовательности, который при выполнении инструкции заносится в реверсивный регистр сдвига 13.

Составленная программа загружается в буферный запоминающий блок 7, где она хранится и может быть многократно использована. Перед загрузкой программы сигналом по шине 11 установки обнуляется счетчик 18 адреса буферного запоминающего блока 7. На шины 22 данных подается первая инструкция программы и сигналом логического "0" по шине 21 записи она записывается в нулевую ячейку ЗУПВ 17.

Затем на шину 23 модификации адреса подается положительный импульс, который через элемент ИЛИ 19 поступает на счетный вход счетчика 18 адреса и переводит его в следующее состояние. Аналогично в ЗУПВ 17 записываются остальные инструкции программы. По окончании записи инструкций в ЗУПВ 17 на шину 21 записи подается сигнал логической "1", задающий операцию чтения из памяти. После загрузки программы сигналом по шине 11 установки снова обнуляется счетчик 18 адреса буферного запоминающего блока 7, устанавливается в исходное состояние реверсивный регистр 13 сдвига и обнуляются триггеры блока управления 10. Начало формирования псевдослучайной последовательности кодов задается сигналом блока управления 10, который поступает на вход формирователя 20 импульсов буферного запоминающего блока 7. Выходной сигнал формирователя 20 импульсов переписывает инструкцию из нулевой ячейки ЗУПВ 17 в регистр 5, D-триггер 12 и вычитающий счетчик 6, причем разряды K_1, K_2, K_3 инструкции заносятся в регистр 5, разряд K_4 - в D-триггер 12, а разряды $K_5, \dots, K_{n+4}$ - в вычитающий счет-

чик 6. Единичный сигнал с выхода D-триггера 12 поступает на второй управляющий вход n-разрядного реверсивного регистра 2 сдвига и переводит его в режим записи кода с параллельных информационных входов. Очередной импульс блока 10 управления разрешает прохождение тактовых импульсов от генератора 9 тактовых импульсов через элемент И 8 на вход синхронизации n-разрядного реверсивного регистра 2 сдвига. Этот тактовый импульс производит запись в регистр 13 кода начала первого участка псевдослучайной последовательности из разрядов $K_3, \dots, K_{n+4}$ инструкции.

Следующий положительный импульс блока 10 управления поступает на вход элемента ИЛИ 19 буферного запоминающего блока 7. По заднему фронту этого импульса счетчик 18 адреса переходит в следующее состояние. При этом на выходах ЗУПВ 17 выставляется вторая инструкция программы. Далее происходит выполнение второй инструкции программы.

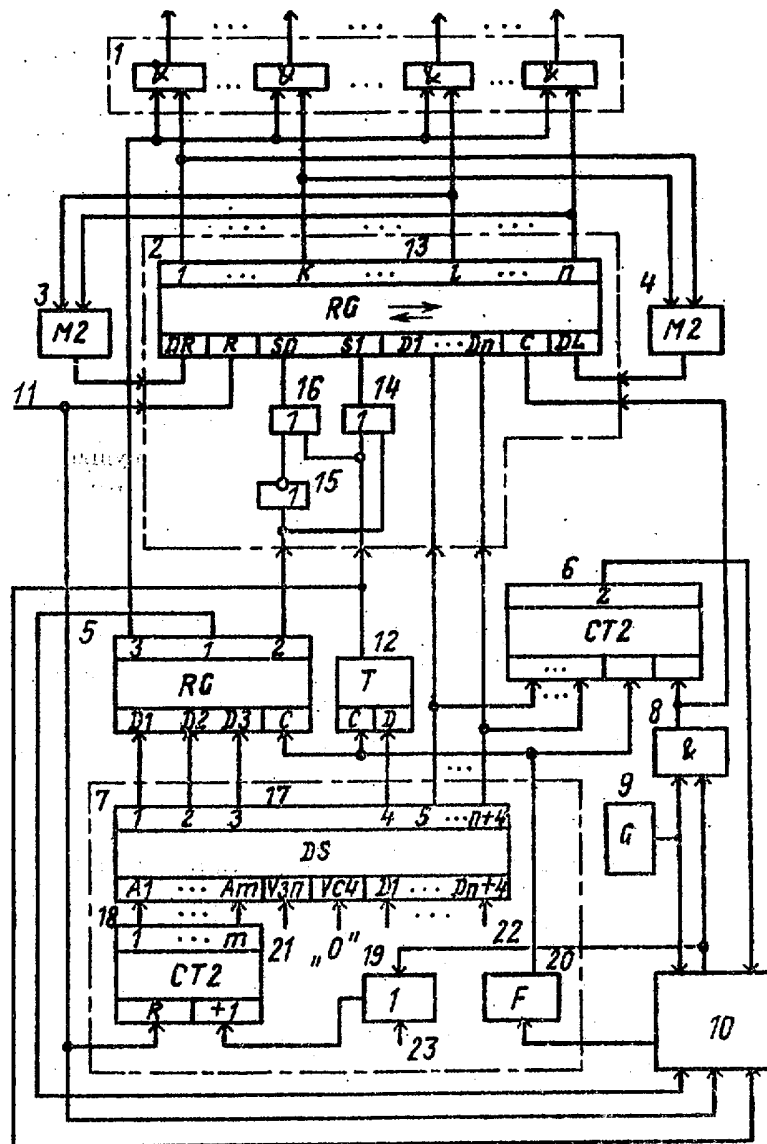
Положительный импульс с блока 10 управления переписывает вторую инструкцию в регистр 5, D-триггер 12 и вычитающий счетчик 6. Сигнал с выхода второго разряда регистра 5 поступает на первый управляющий вход n-разрядного реверсивного регистра 2 сдвига и переводит его в режим сдвига кода в прямом направлении. Очередной импульс блока 10 управления разрешает прохождение тактовых импульсов с выхода генератора 9 тактовых импульсов через элемент И 8 на вход синхронизации n-разрядного реверсивного регистра 2 сдвига и счетный вход вычитающего счетчика 6. Каждый тактовый импульс с выхода элемента И 8 осуществляет формирование кода псевдослучайной последовательности

первого участка на выходных шинах генератора и уменьшает на единицу содержимое вычитающего счетчика 6, в который был занесен код ΔJ

длины первого участка псевдослучайной последовательности. После того, как содержимое вычитающего счетчика 6 станет равным нулю, на его выходе сформируется отрицательный импульс, который поступает в блок 10 управления и сбрасывает его в "0". Прохождение тактовых импульсов через элемент И 8 прекращается и формирование первого участка псевдослучайной последовательности заканчивается. При этом счетчик 18 адреса буферного запоминающего блока 7 переводится в следующее состояние. На выходах ЗУПВ 17 выставляется третья инструкция программы и начинается ее выполнение.

Третья, четвертая и последующие инструкции программы выполняются аналогично первым двум. Последняя инструкция программы содержит признак конца программы ($K_1=0$), который после завершения выполнения этой инструкции осуществляет полную установку в нулевое состояние блока 10 управления. На этом процесс формирования генератором выходной последовательности кодов по программе заканчивается.

Таким образом, введение в генератор псевдослучайных последовательностей D-триггера и дополнительных связей, а также введение элементов ИЛИ, НЕ и дополнительных связей в n-разрядный реверсивный регистр сдвига позволяют устранить потери времени в генераторе на поиск начала участков псевдослучайной последовательности, из которых составляется тестовая выходная последовательность, т.е. повысить быстродействие генераторов.



Составитель Ю.Бурмистров

Редактор А.Долинич

Техред И. Асталов

Корректор С.Льжова

Заказ 3620/40

Тираж 862

Подписное

ВНИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4