(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4809677号
(P4809677)

(45)発行日　平成23年11月9日(2011.11.9)　(24)登録日　平成23年8月26日(2011.8.26)

(51)Int.Cl.　　F I
H04B 3/18 (2006.01)　　H04B 3/18
H03H 11/04 (2006.01)　　H03H 11/04　P

請求項の数 9　(全 18 頁)

(21)出願番号　特願2005-379260 (P2005-379260)
(22)出願日　平成17年12月28日 (2005.12.28)
(65)公開番号　特開2006-191621 (P2006-191621A)
(43)公開日　平成18年7月20日 (2006.7.20)
審査請求日　平成20年12月22日 (2008.12.22)
(31)優先権主張番号　10-2004-0113690
(32)優先日　平成16年12月28日 (2004.12.28)
(33)優先権主張国　韓国 (KR)

(73)特許権者　390019839
三星電子株式会社
Ｓａｍｓｕｎｇ　Ｅｌｅｃｔｒｏｎｉｃｓ　Ｃｏ．，Ｌｔｄ．
大韓民国京畿道水原市靈通区梅灘洞４１６
４１６，Ｍａｅｔａｎ－ｄｏｎｇ，Ｙｅｏｎｇｔｏｎｇ－ｇｕ，Ｓｕｗｏｎ－ｓｉ，Ｇｙｅｏｎｇｇｉ－ｄｏ，Ｒｅｐｕｂｌｉｃ　ｏｆ　Ｋｏｒｅａ
(74)代理人　100086368
弁理士　萩原　誠
(72)発明者　高　亨　宗
大韓民国京畿道城南市盆唐区書▲ヒョン▼洞３０１番地　孝子村三煥アパート５１０棟１５０３号

最終頁に続く

(54)【発明の名称】等化器及び等化方法

(57)【特許請求の範囲】
【請求項１】
第１入力ノード、第１バイクワッドバンドパスノード、及び第１バイクワッドローパスノードを備えた第１バイクワッド回路と、
前記第１バイクワッドローパスノードと連結された第２入力ノード、第２バイクワッドバンドパスノード及び第２バイクワッドローパスノードを備えた第２バイクワッド回路と、
前記第２バイクワッドバンドパスノードの出力及び前記第２バイクワッドローパスノードの出力を合算する第１合算回路と、
前記第１合算回路の出力から前記第１バイクワッドローパスノードの出力を差し引いて所定の定数だけ増幅させる第２合算回路と、
前記第２合算回路の出力と前記第２バイクワッドローパスノードの出力とを合算する第３合算回路と、を備え、
前記第１及び第２バイクワッド回路は、自己フィードバック構造に連結されたトランスコンダクタが各々前記第１及び第２バイクワッドバンドパスノードに連結されたＧｍ－Ｃバイクワッド回路であることを特徴とする等化器。
【請求項２】
前記第１合算回路及び第３合算回路は、各々２個の入力を合算する第１及び第２演算増幅器であることを特徴とする請求項１に記載の等化器。
【請求項３】

前記第２合算回路は、
前記第１合算回路の出力から前記第１バイクワッドローパスノードの出力を差し引く第３演算増幅器と、
前記第１増幅器の出力を所定の定数倍に増幅させる第４演算増幅器と、を備えることを特徴とする請求項２に記載の等化器。
【請求項４】
前記第１バイクワッド回路は、
前記第１入力ノードと前記第１バイクワッドバンドパスノードとの間に連結された第１トランスコンダクタと、
前記第１バイクワッドバンドパスノードと接地電圧との間に連結された第１キャパシタと、
前記第１バイクワッドバンドパスノードに自己フィードバック構造に連結された第２トランスコンダクタと、
前記第１バイクワッドバンドパスノードと前記第１バイクワッドローパスノードとの間に連結された第３トランスコンダクタと、
前記第１バイクワッドバンドパスノードと前記第１バイクワッドローパスノードとの間に連結され、前記第３トランスコンダクタとフィードバック構造とを形成する第４トランスコンダクタと、
前記第１バイクワッドローパスノードと前記接地電圧との間に連結された第２キャパシタと、を備えることを特徴とする請求項１に記載の等化器。
【請求項５】
前記第２バイクワッド回路は、
前記第２入力ノードと前記第２バイクワッドバンドパスノードとの間に連結された第５トランスコンダクタと、
前記第２バイクワッドバンドパスノードと接地電圧との間に連結された第３キャパシタと、
前記第２バイクワッドバンドパスノードに自己フィードバック構造に連結された第６トランスコンダクタと、
前記第２バイクワッドバンドパスノードと前記第２バイクワッドローパスノードとの間に連結された第７トランスコンダクタと、
前記第２バイクワッドバンドパスノードと前記第２バイクワッドローパスノードとの間に連結され、前記第７トランスコンダクタとフィードバック構造を形成する第８トランスコンダクタと、
前記第２バイクワッドローパスノードと前記接地電圧との間に連結された第４キャパシタと、を備えることを特徴とする請求項４に記載の等化器。
【請求項６】
前記等化器は、
最後のバイクワッド回路が前記第１バイクワッド回路の第１入力ノードに連結される複数のバイクワッド回路と、
前記複数のバイクワッド回路のうち、最初のバイクワッド回路に連結されるロッシ積分回路と、をさらに備えることを特徴とする請求項１に記載の等化器。
【請求項７】
前記ロッシ積分回路は、入力ノードと積分ノードとの間に連結された第１トランスコンダクタと、
前記積分ノードに自己フィードバック構造に連結された第２トランスコンダクタと、
前記積分ノードと接地電圧との間に連結された第１キャパシタンスと、を備えることを特徴とする請求項６に記載の等化器。
【請求項８】
入力ノード、バイクワッドバンドパスノード及びバイクワッドローパスノードを備えたｎ個（ｎは整数）のバイクワッド回路と、

ｎ番目のバイクワッド回路のバイクワッドバンドパスノードの出力及び前記ｎ番目のバイクワッド回路のバイクワッドローパスノードの出力を合算する第１合算回路と、
前記第１合算回路の出力からｎ－１番目のバイクワッド回路のバイクワッドローパスノードの出力を差し引いて所定の定数だけ増幅させる第２合算回路と、
前記第２合算回路の出力と前記ｎ番目のバイクワッド回路のバイクワッドローパスノードの出力とを合算する第３合算回路と、を備え、
前記ｎ個のバイクワッド回路は、自己フィードバック構造に連結されたトランスコンダクタが対応する各バイクワッド回路のバイクワッドバンドパスノードに連結されたＧｍ－Ｃバイクワッド回路であることを特徴とする等化器。
【請求項９】
各バイクワッド回路が入力ノード、バイクワッドバンドパスノード、バイクワッドローパスノード及び前記バイクワッドバンドパスノードに連結された自己フィードバック構造に連結されたコンダクタを備え、前記入力ノードに入力電圧を受信し、前記バイクワッドローパスノードにフィルタリングされた電圧を出力するｎ個（ｎは２以上の整数）のバイクワッド回路を備えるフィルタリング部と、
少なくとも１つの演算増幅器を備え、前記フィルタリング部から少なくとも１つの媒介電圧を受信し、等化された電圧を出力する等化部と、を備えることを特徴とする等化器。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、アナログ等化器と等化方法に係り、帯域幅を広げ、小型サイズに実現可能な等化器及び等化方法に関する。
【背景技術】
【０００２】
連続時間信号処理に使われる等化器は、ローパスフィルタリング機能と共に入力される信号の高周波数領域をブースティングしてパルススリミング、すなわち、等化機能を同時に行う。すなわち、ＤＶＤまたはＨＤＤ　ＰＲＭＬ読出チャンネル信号プロセスなどの例において、前記ＤＶＤまたはＨＤＤ上に保存されたメディアから入力される信号のパルス形状を所望のパルス形状にする等化機能とメディア、プリ演算増幅器、ＶＧＡから入力される高周波数ノイズを減らすフィルタリング機能を同時に行う。
【０００３】
一方、高速ディスクドライブ読出チャンネルと多様な種類のメディアから入力される信号のプロセッシングのためには、広い帯域幅及び高いブースティングゲイン特性を有する等化器が必須である。また、ＳＯＣ（Ｓｙｓｔｅｍ　Ｏｎ　Ｃｈｉｐ）を実現するためには、等化器の設計に当って、ローパワーと狭い回路面積とが要求されるので、広域を有する等化器の設計に難点がある。
【０００４】
また、一般的に、広域等化器を実現するために、Ｇｍ－Ｃフィルタを基盤に使用し、高周波数成分をブースティングするための回路を添加して設計する。Ｇｍ－Ｃフィルタは、オープンループ構造からなっており、高周波数動作に適するからである。
【０００５】
一方、Ｇｍ－Ｃフィルタの－３ｄＢ周波数はトランスコンダクタンスと積分キャパシタとの比率、すなわち、ｇｍ／Ｃで決定される。したがって、帯域幅を広げるためには、トランスコンダクタンス値ｇｍを高く、キャパシタンス値Ｃを小さく構成しなければならない。ここで、－３ｄＢ周波数は、フィルタのＡＣ応答特性を決定する要素であって、フィルタのゲインが周波数によって変わるが、このゲインが－３ｄＢとなる周波数を－３ｄＢ周波数と言う。
【０００６】
Ｇｍ－Ｃフィルタの帯域幅を増大させるために、小さいキャパシタンスの積分キャパシタを使用する方法が用いられる。フィルタの次数とフィルタタイプ（例えば、ベッセル、

バターワース、等リップル（Ｅｑｕｉｒｉｐｐｌｅ）など）によって決まっている相異なる値の正規化積分キャパシタンス（ｎｏｒｍａｌｉｚｅｄ　ｉｎｔｅｇｒａｔｉｎｇ　ｃａｐａｃｉｔａｎｃｅ）をスケーリングして設計する。この際、正規化キャパシタンスを所定のファクタでスケーリングした実際のキャパシタンスは、寄生キャパシタンスより大きくなければならない。例えば、３次フィルタの正規化キャパシタンスは、各々Ｃ１＝０．１、Ｃ２＝０．２、Ｃ３＝０．３であり、スケールファクタが５ｐである時、全己実際キャパシタンスは、各々０．５ｐＦ、１．０ｐＦ、１．５ｐＦとなる。この際、ブースティングのために添加される回路と並列に連結される複数のトランスコンダクタによってそれぞれの積分ノードに加えられる寄生キャパシタンスが、１．０ｐＦであれば、スケールファクタは、少なくとも１０ｐにならねばならない。もし、スケールファクタを５ｐと計算すれば、Ｃ２及びＣ３が連結されたノードは問題ないが、Ｃ１が連結されたノードの全体キャパシタンス（すなわち、０．５ｐＦ）より寄生キャパシタンス（すなわち、１ｐＦ）がさらに大きいからである。

【０００７】

もし、Ｃ１ノードにブースティングのために添加される回路が存在せず、単に複数のトランスコンダクタによる寄生キャパシタンスのみが存在し、その値が０.４ｐであれば、スケールファクタとして５ｐを使用しても、Ｃ１ノードに０．１ｐＦの積分キャパシタンスを添加すれば、あらゆるキャパシタンスが問題なくスケーリングされうる。しかし、ブースティングアルゴリズムによって全体キャパシタンスは増減し、究極的に全体チップサイズの増減要因として作用しうる。

【０００８】

図１は、従来の等化器の構成を示す回路図である。

図１を参照すれば、従来の等化器１００は、７次等化器としてロッシ積分（ｌｏｓｓｙ　ｉｎｔｅｇｒａｔｏｒ）回路１０２及び３つのＧｍ－Ｃバイクワッド（ｂｉｑｕａｄ）回路１０４、１０６、１０８とブースティング回路１１０を備える。

等化器１００は、７次ローパスフィルタにブースティングのための回路１１０を添加した等化器であり、等リップルタイプに設計された回路である。

【０００９】

３つのＧｍ－Ｃバイクワッド回路１０４、１０６、１０８は、入力ノード１１２とバイクワッドバンドパスノード１１４との間に連結された第１トランスコンダクタ１１８、バイクワッドバンドパスノード１１４と接地電圧との間に連結された第１キャパシタ１２０、バイクワッドバンドパスノード１１４とバイクワッドローパスノード１１６との間に連結された第２トランスコンダクタ１２２、バイクワッドバンドパスノード１１４とバイクワッドローパスノード１１６との間に連結され、第２トランスコンダクタ１２２とフィードバック構造を形成する第３トランスコンダクタ１２４、バイクワッドローパスノード１１６に自己フィードバック構造に連結された第４トランスコンダクタ１２６、及びバイクワッドローパスノード１１６と接地電圧との間に連結された第２キャパシタ１２８を含む構造を有する。

【００１０】

ここで、バイクワッド回路は、２次フィルタ（２ｎｄ－ｏｒｄｅｒ　ｆｉｌｔｅｒ）を意味し、バイクワッド回路を構成する方法は、ＯＰアンプを使用して構成してもよく、図１に示されたようにトランスコンダクタを使用して構成しても良い。また、各バイクワッドを直列に連結して４次以上のフィルタを作っても良い。

【００１１】

ブースティング回路１１０は、等化器の高周波数領域をブースティングするための回路であって、第１Ｇｍ－Ｃバイクワッド回路１０４の入力ノードと第２Ｇｍ－Ｃバイクワッド回路１０６の入力ノードとの間に連結された反転トランスコンダクタ１３０と第２Ｇｍ－Ｃバイクワッド回路１０６の入力ノードと第３Ｇｍ－Ｃバイクワッド回路１０８の入力ノードとの間に連結された非反転トランスコンダクタ１３２を含む構造を有する。

【００１２】

非反転トランスコンダクタは、入力信号と出力信号との位相が同じであるトランスコンダクタであり、反転トランスコンダクタは、入力信号と出力信号との位相差が１８０°であるトランスコンダクタである。

このようなＧｍ－Ｃフィルタについての説明は、非特許文献１、非特許文献２に具体的に記載されている。

一方、図１の７次等リップルフィルタの正規化キャパシタンスは、表１の通りである。

【００１３】

【表１】

キャパシタ	正規化キャパシタンス
Ｃ１	１．１６１０
Ｃ２	１．２７９５
Ｃ３	０．５９３８
Ｃ４	０．５２２４
Ｃ５	０．６４８５
Ｃ６	０．２１３３
Ｃ７	０．８７２９

【００１４】

図１に示された等化器１００の構造でブースティングのために添加されたトランスコンダクタ１３０、１３２の出力がＣ３とＣ５との積分ノード（すなわち、第１バイクワッド回路１０４のバイクワッドローパスノードと第２バイクワッド回路１０６のバイクワッドローパスノード）に連結される。このようになれば、添加されたトランスコンダクタ１３０、１３２の出力から発生する寄生キャパシタンスが、Ｃ３及びＣ５が連結された積分ノードに付加されるので、Ｃ３やＣ５積分ノードの寄生キャパシタンスがＣ１、Ｃ２、Ｃ４、Ｃ６積分ノードの寄生キャパシタンスより大きい。表１を参照すれば、Ｃ３とＣ５の正規化キャパシタンスがＣ１やＣ２の正規化キャパシタンスより小さいために、等化器１００はキャパシタサイズ側面で効率的でない。すなわち、正規化キャパシタンスの小さいノードに大きな寄生キャパシタンスが添加されて、実際の全体キャパシタンスを実現するためのスケールファクタが大きくなることによって、他の積分キャパシタンスも同時に大きいスケールファクタでスケーリングしなければならないという問題がある。

【００１５】

すなわち、同じトランスコンダクタを使用して高周波フィルタを作るためには、各積分ノードの全体キャパシタンスが小さくなければならない。１つの積分ノードの全体キャパシタンスは、Ｃｔｏｔ＝Ｃｎｏｒ×Ｓｆ＝Ｓｉｎｔ×Ｃｐａｒと表わされる。ここで、Ｃｔｏｔは全体キャパシタンスであり、Ｃｎｏｒは正規化キャパシタンス、Ｓｆはスケールファクタ、Ｓｉｎｔは実際の回路に連結される積分キャパシタンス、Ｓｐａｒは実際の回路に付加される寄生キャパシタンスである。

【００１６】

Ｎ次フィルタは、Ｎ個の積分ノードがあり、Ｎ個のＣｉｎｔ、Ｎ個のＣｎｏｒ、Ｎ個のＣｐａｒ、１個のＳｆが存在する。もし、各ノードでＣｐａｒが０であれば、Ｃｎｏｒ×Ｓｆ＝Ｃｉｎｔとなるが、実際の回路ではＣｐａｒが０でないので、Ｃｉｎｔ＝Ｃｎｏｒ×Ｓｆ－Ｃｐａｒとなる。

【００１７】

例えば、正規化キャパシタンスが表１のように、Ｃｎｏｒ２＝１．２７９５、Ｃｎｏｒ３＝０．５９３８であり、Ｓｆ＝３ｐ、Ｃｐａｒ＝０であれば、Ｃｔｏｔ２＝３．８３８５ｐＦであり、Ｃｔｏｔ３＝１．７８１４ｐＦとなる。ここで、Ｃｐａｒ２＝２ｐＦであり、Ｃｐａｒ３＝１．５ｐＦであれば、Ｃｉｎｔ２＝１．８３８５ｐＦ、Ｃｉｎｔ３＝０．２８１４ｐＦとなる。しかし、もし、Ｃｐａｒ２＝２ｐＦであり、Ｃｐａｒ３＝２．５

ｐＦであれば、二番目のノードは問題なくスケーリングされるが、三番目のノードはＣｔｏｔ３＜Ｃｐａｒ３であるので、スケーリングが正しく行われない。このようになれば、Ｓｆがさらに大きくならねばならず、Ｓｆが大きくなるということは７個のＣｉｎｔがいずれも大きくなるということを意味し、これにより、回路サイズも大きくなる問題が発生する。

【００１８】

一方、図１に示された等化器１００でブースティングゲインＫは、ゼロを生成するために添加したトランスコンダクタのトランスコンダクタンスg_{mk}とフィルタ構成のために使用したトランスコンダクタのトランスコンダクタンスg_mとの割合で決定される。すなわち、ブースティングゲインは$K \propto g_{mk} / g_m$の関係にある。したがって、高周波数フィルタを実現するためにサイズの大きいトランスコンダクタを使用したならば、g_m値が増加し、これにより、ブースティングを実現するために添加されるトランスコンダクタも同じ割合で大きくなって初めて、g_{mk}値を大きくできて一定のブースティングゲインＫを得られる。また、ブースティングゲインＫを大きくするためには、添加されるトランスコンダクタのサイズがさらに大きくならねばならない。

【００１９】

つまり、従来の等化器回路は、帯域幅を広げるか、高周波数で一定のブースティングゲインを得るか、またはブースティングゲインを大きくするためには、回路のサイズが増大する問題がある。

【００２０】

すなわち、従来の等化器回路を用いてＧｍ－Ｃフィルタの帯域幅を広げるためにトランスコンダクタンスを増大させれば、全体キャパシタンスが増大して実質的な帯域幅増大につながらず、キャパシタンスを減らす場合には、積分キャパシタンスが寄生キャパシタンスより小さくなることがあり、積分キャパシタンスとトランスコンダクタンスとを増大させる時には、チップサイズが増加する問題が発生する。また、従来の等化器回路を利用してブースティングゲインを増加させる場合にも、大きなトランスコンダクタを使用すれば、他のトランスコンダクタのサイズも大きくならねばならないために、結局チップサイズ増加につながるという問題がある。

【００２１】

【非特許文献１】Ｉｕｒｉ Ｍｅｈｒａｎｄ Ｄａｖｉｄ Ｒ．Ｗｅｌｌａｎｄ、“Ａ ＣＭＯＳ ｃｏｎｔｉｎｕｏｕｓ－ｔｉｍｅ Ｇｍ－Ｃ ｆｉｌｔｅｒ ｆｏｒ ＰＲＭＬ ｒｅａｄ ｃｈａｎｎｅｌ ａｐｐｌｉｃａｔｉｏｎｓ ａｔ １５０Ｍｂ／ｓ ａｎｄ ｂｅｙｏｎｄ，”ＩＥＥＥ Ｊ．Ｓｏｌｉｄ－Ｓｔａｔｅ Ｃｉｒｃｕｉｔｓ，ｖｏｌ．３２，ＰＰ．４９９－５１３，Ａｐｒ．１９９７

【非特許文献２】Ｍａｒｅｎｄｒａ Ｍ．Ｋ．Ｒａｏ ａｎｄ Ｖｉｓｈｎｕ Ｂａｌａｎ，“Ｍａｇｎｉｔｕｄｅ ａｎｄ ｇｒｏｕｐ ｄｅｌａｙ ｓｈａｐｐｉｎｇ ｃｉｒｃｕｉｔ ｉｎ ｃｏｎｔｉｎｕｏｕｓ－ｔｉｍｅ ｒｅａｄ ｃｈａｎｎｅｌｓ ｆｉｌｔｅｒｓ，”Ｕ．Ｓ．Ｐａｔｅｎｔ ６，１８４，７４８ Ｂ１．Ｆｅｂ．２００１

【発明の開示】

【発明が解決しようとする課題】

【００２２】

本発明が解決しようとする技術的課題は、フィルタの帯域幅を増加させ、一定のブースティングゲインを維持しつつ回路のサイズを減らすことのできる等化器を実現することである。

【００２３】

本発明が解決しようとする他の技術的課題は、キャパシタンスのスケーリング及びブースティングゲインの調節が容易であり、キャパシタンスのスケーリング及びブースティングゲインの調節時にも寄生キャパシタンスの発生を少なくすることによって、等化器特性が変化しない等化器を実現することである。

【課題を解決するための手段】
【００２４】
前述したような本発明の目的を達成するために、本発明の一特徴によれば、第１入力ノード、第１バイクワッドバンドパスノード、及び第１バイクワッドローパスノードを備えた第１バイクワッド回路、前記第１バイクワッドローパスノードと連結された第２入力ノード、第２バイクワッドバンドパスノード及び第２バイクワッドローパスノードを備えた第２バイクワッド回路、前記第２バイクワッドバンドパスノードの出力及び前記第２バイクワッドローパスノードの出力を合算する第１合算回路、前記第１合算回路の出力から前記第１バイクワッドローパスノードの出力を差し引いて所定の定数だけ増幅させる第２合算回路、及び前記第２合算回路の出力と前記第２バイクワッドローパスノードの出力とを合算する第３合算回路を備え、第１及び第２バイクワッド回路は、自己フィードバック構造に連結されたトランスコンダクタが各々前記第１及び第２バイクワッドバンドパスノードに連結されたＧｍ－Ｃバイクワッド回路である。
【００２５】
望ましくは、第１合算回路及び第３合算回路は、各々２個の入力を合算する第１及び第２演算増幅器であり、前記第２合算回路は、前記第１合算回路の出力から前記第１バイクワッドローパスノードの出力を差し引く第３演算増幅器、及び前記第１増幅器の出力を所定の定数倍に増幅させる第４演算増幅器を備える。
【００２６】
前記各バイクワッド回路は、入力ノードとバイクワッドバンドパスノードとの間に連結された第１トランスコンダクタ、バイクワッドバンドパスノードと接地電圧との間に連結された第１キャパシタ、バイクワッドバンドパスノードに自己フィードバック構造に連結された第２トランスコンダクタ、バイクワッドバンドパスノードとバイクワッドローパスノードとの間に連結された第３トランスコンダクタ、バイクワッドバンドパスノードとバイクワッドローパスノードとの間に連結され、前記第３トランスコンダクタとフィードバック構造を形成する第４トランスコンダクタ、及びバイクワッドローパスノードと前記接地電圧との間に連結された第２キャパシタを備える。第１及び第３トランスコンダクタは、非反転トランスコンダクタであり、前記第２及び第４トランスコンダクタは、反転トランスコンダクタである。
【００２７】
望ましくは、前記等化器は、最後のバイクワッド回路が前記第１バイクワッド回路の第１入力ノードに連結される複数のバイクワッド回路、及び前記複数のバイクワッド回路のうち、最初のバイクワッド回路に連結されるロッシ積分（ｌｏｓｓｙ　ｉｎｔｅｇｒａｔｏｒ）回路をさらに備える。
【００２８】
前記ロッシ積分回路は、入力ノードと積分ノードとの間に連結された第１トランスコンダクタ、前記積分ノードに自己フィードバック構造に連結された第２トランスコンダクタ、及び前記積分ノードと接地電圧との間に連結された第１キャパシタンスを備える。第１トランスコンダクタは、非反転トランスコンダクタであり、第２トランスコンダクタは、反転トランスコンダクタである。
【００２９】
本発明のさらに他の特徴によれば、等化器は、入力ノード、バイクワッドバンドパスノード及びバイクワッドローパスノードを備えたｎ個のバイクワッド回路、ｎ番目のバイクワッド回路のバイクワッドバンドパスノードの出力及び前記ｎ番目のバイクワッド回路のバイクワッドローパスノードの出力を合算する第１合算回路、前記第１合算回路の出力からｎ－１番目のバイクワッド回路のバイクワッドローパスノードの出力を差し引いて所定の定数ほど増幅させる第２合算回路、及び前記第２合算回路の出力と前記ｎ番目のバイクワッド回路のバイクワッドローパスノードの出力とを合算する第３合算回路を備え、前記ｎ個のバイクワッド回路は、自己フィードバック構造に連結されたトランスコンダクタが各バイクワッド回路のバイクワッドバンドパスノードに連結されたＧｍ－Ｃバイクワッド

回路である。

【００３０】

本発明のさらに他の特徴による等化方法は、入力電圧をフィルタリングし、少なくとも１つのトランスコンダクタを用いて少なくとも１つの媒介電圧及びフィルタリング電圧を出力する段階と、前記少なくとも１つの媒介電圧を受信し、少なくとも１つの演算増幅器を用いて等化された電圧をブーストする段階と、を含む。

【発明の効果】

【００３１】

本発明による等化器によれば、等化器を構成する回路のサイズを縮めつつ、フィルタの帯域幅を増加させ、一定のブースティングゲインを維持させることができる。また、キャパシタンスのスケーリング及びブースティングゲインの調節が容易であり、キャパシタンスのスケーリング及びブースティングゲインの調節時にも寄生キャパシタンスの発生が小さいために等化器特性が変化しない。

【発明を実施するための最良の形態】

【００３２】

本発明と本発明の動作性の利点及び本発明の実施によって達成される目的を十分に理解するためには、本発明の望ましい実施形態を例示する添付図面及び添付図面に記載された内容を参照しなければならない。

以下、添付された図面を参照して本発明の望ましい実施形態を説明することによって、本発明を詳細に説明する。各図面に付された同一参照符号は同一部材を示す。

【００３３】

図２は、一般的な４次Ｇｍ－Ｃフィルタを示す回路図である。

図２に示された従来の一般的な等化器に用いられる４次Ｇｍ－Ｃフィルタ２００は、第１Ｇｍ－Ｃバイクワッド回路２０２と第２Ｇｍ－Ｃバイクワッド回路２０４との直列連結で構成される。各バイクワッド回路２０２、２０４は、各々１つの非反転トランスコンダクタと２つの反転トランスコンダクタと２つの積分キャパシタンスとで構成される。

【００３４】

等化器の機能は、フィルタリングの機能と同時にブースティング機能を有さねばならず、フィルタリング機能は、Ｃｍ－Ｃフィルタを通じて達成され、ブースティング機能は、各ノードの出力信号にブースティングのためのトランスコンダクタの連結または出力信号に対する所定の演算を通じて得られる。

また、等化器のフィルタリング及びブースティング特性は、伝達関数のゼロ及びポールの値によって決定される。伝達関数のポール値はフィルタリングされる周波数帯域を決定し、ゼロ値はブースティング特性を決定する。

【００３５】

図２に示されたＧｍ－Ｃフィルタ２００において、第１Ｇｍ－Ｃバイクワッド回路２０２の入力ノードＶ$_{in}$から第１Ｇｍ－Ｃバイクワッド回路２０２のバイクワッドローパスノードＶ３への伝達関数は、

【００３６】

【数１】

$$\frac{V_3}{V_{in}} = \frac{gm^2}{S^2 C_1 C_2 + SC_1 gm + gm^2}$$

となる。

そして、第１Ｇｍ－Ｃバイクワッド回路２０２の入力ノードＶ$_{in}$から第２Ｇｍ－Ｃバイクワッド回路２０４のバイクワッドバンドパスノードＶ４への伝達関数は、

【００３７】

【数２】

$$\frac{V_4}{V_{in}} = \frac{SC_2gm^3 + gm^4}{(S^2C_1C_2 + SC_1gm + gm^2)(S^2C_3C_4 + SC_3gm + gm^2)}$$

となり、

そして、第１Ｇｍ－Ｃバイクワッド回路２０２の入力ノードＶ$_{in}$で第２Ｇｍ－Ｃバイクワッド回路２０４のバイクワッドローパスノードＶ$_{out}$への伝達関数は、

【００３８】

【数３】

$$\frac{V_{out}}{V_{in}} = \frac{gm^4}{(S^2C_1C_2 + SC_1gm + gm^2)(S^2C_3C_4 + SC_3gm + gm^2)}$$

となる。

【００３９】

一方、ブースティング動作で周波数に関係なく位相シフトの比率を一定にするためには、伝達関数でリアルゼロが生成されなければならない。すなわち、ブースティング動作のためには伝達関数の分子が－ＡＳ^2＋Ｂの形態にならねばならない。

【００４０】

しかし、上の数式１乃至３にそれぞれの係数を乗算して出た式を加減しても、伝達関数の分子は－ＡＳ^2＋ＢＳ＋Ｃの形態となってコンプレックスゼロが生成される。すなわち、分子にＳ項が残存する。すなわち、図２のＧｍ－Ｃフィルタを用いて等化器を構成する場合、伝達関数の分子にコンプレックスゼロが生成される。

【００４１】

図２に示されたＧｍ－Ｃフィルタを使用すれば、従来のブースティングゲインを得るためのトランスコンダクタを利用せず、単純な演算増幅器を用いて等化器を構成しようとしても、リアルゼロを得られない。したがって、本発明は変形されたＧｍ－Ｃフィルタを利用して等化器を構成する。すなわち、本発明は、前記問題点を解決するために、図２のバイクワッド回路を図３のバイクワッド回路に変形して等化器を構成する。

【００４２】

図３は、本発明による等化器に使われるＧｍ－Ｃフィルタ回路を示す。

図３を参照すれば、４次Ｇｍ－Ｃフィルタ３００は、第１Ｇｍ－Ｃバイクワッド回路３０２及び第２Ｇｍ－Ｃバイクワッド回路３０４の直列連結で構成される。

【００４３】

第１Ｇｍ－Ｃバイクワッド回路３０２は、第１入力ノード３０６と第１バイクワッドバンドパスノード３０８との間に連結された第１トランスコンダクタ３１２、第１バイクワッドバンドパスノード３０８と接地電圧との間に連結された第１キャパシタ３１４、第１バイクワッドバンドパスノード３０８に自己フィードバック構造に連結された第２トランスコンダクタ３１６、第１バイクワッドバンドパスノード３０８と第１バイクワッドローパスノード３１０との間に連結された第３トランスコンダクタ３１８、第１バイクワッドバンドパスノード３０８と第１バイクワッドローパスノード３１０との間に連結され、第３トランスコンダクタ３１８とフィードバック構造を形成する第４トランスコンダクタ３２０、及び第１バイクワッドローパスノード３１０と接地電圧との間に連結された第２キャパシタ３２２を備える。

【００４４】

ここで、第１及び第３トランスコンダクタ３１２、３１８は、非反転トランスコンダクタであり、前記第２及び第４トランスコンダクタ３１６、３２０は、反転トランスコンダクタである。

【００４５】
同様に、第２Ｇｍ－Ｃバイクワッド回路３０４は、第１バイクワッドローパスノード３１０と第２バイクワッドバンドパスノード３２４との間に連結された第５トランスコンダクタ３２８、第２バイクワッドバンドパスノード３２４と接地電圧との間に連結された第３キャパシタ３３０、第２バイクワッドバンドパスノード３２４に自己フィードバック構造に連結された第６トランスコンダクタ３３２、第２バイクワッドバンドパスノード３２４と第２バイクワッドローパスノード３２６との間に連結された第７トランスコンダクタ３３４、第２バイクワッドバンドパスノード３２４と第２バイクワッドローパスノード３２６との間に連結され、前記第７トランスコンダクタ３３４とフィードバック構造を形成する第８トランスコンダクタ３３６、及び第２バイクワッドローパスノード３２６と接地電圧との間に連結された第４キャパシタ３３８を備える。
【００４６】
ここで、第５及び第７トランスコンダクタ３２８、３３４は、非反転トランスコンダクタであり、第６及び第８トランスコンダクタ３３２、３３６は反転トランスコンダクタである。
すなわち、図３に示されたバイクワッド回路３０２、３０４は、図２に示されたバイクワッド回路２０２、２０４と比較すると、自己フィードバック構造を有する反転トランスコンダクタがバイクワッドローパスノードに連結されず、バイクワッドバンドパスノードに連結される構成を有する。
【００４７】
図３に示されたＧｍ－Ｃフィルタ３００で第１Ｇｍ－Ｃバイクワッド回路３０２の入力ノードＶ$_{in}$から第１Ｇｍ－Ｃバイクワッド回路３０２のバイクワッドローパスノードＶ３への伝達関数は、
【００４８】
【数４】

$$\frac{V_3}{V_{in}} = \frac{gm^2}{S^2C_1C_2 + SC_2gm + gm^2}$$

となる。
【００４９】
そして、第１Ｇｍ－Ｃバイクワッド回路３０２の入力ノードＶ$_{in}$から第２Ｇｍ－Ｃバイクワッド回路３０４のバイクワッドバンドパスノードＶ４への伝達関数は、
【００５０】
【数５】

$$\frac{V_4}{V_{in}} = \frac{SC_4gm^3}{(S^2C_1C_2 + SC_2gm + gm^2)(S^2C_3C_4 + SC_4gm + gm^2)}$$

【００５１】
となり、第１Ｇｍ－Ｃバイクワッド回路３０２の入力ノードＶ$_{in}$から第２Ｇｍ－Ｃバイクワッド回路３０４のバイクワッドローパスノードＶ$_{out}$への伝達関数は、
【００５２】
【数６】

$$\frac{V_{out}}{V_{in}} = \frac{gm^4}{(S^2C_1C_2 + SC_2gm + gm^2)(S^2C_3C_4 + SC_4gm + gm^2)}$$

となる。

【００５３】
等化器の伝達関数の分子がＳの自乗項と定数項との和でのみ構成されるようにするために、上の数式４、５及び６に各々－Ｋ、Ｋ、及びＫ＋１を乗算した後、その結果をいずれも合わせれば、次の数式７のような結果を得る。
【００５４】
【数７】

$$-K\frac{V_3}{V_{in}}+K\frac{V_4}{V_{in}}+(K+1)\frac{V_{out}}{V_{in}}=\frac{-S^2KC_3C_4gm^2+gm^4}{(S^2C_1C_2+SC_2gm+gm^2)(S^2C_3C_4+SC_4gm+gm^2)}$$

【００５５】
すなわち、数式４、５及び６に各々－Ｋ、Ｋ及びＫ＋１を乗算すれば、数式７から分子の値は－Ｓ^{2}ＫＣ$_3$Ｃ$_4$ｇｍ^2＋ｇｍ^{4}となって－ＡＳ^2＋Ｂの形態となる。すなわち、Ｓ項がなくなり、伝達関数はリアルゼロを得られる。数式７で得たゼロ周波数は数式８と同じである。
【００５６】
【数８】

$$S=\pm\frac{gm}{\sqrt{KC_3C_4}}$$

【００５７】
一方、数式８を参照すれば、ブースティングゲインは、定数Ｋにより決定されるということが分かる。すなわち、Ｋが増加すれば、ゼロ周波数が小さくなってブースティングゲインは増加し、逆に、Ｋが減少すれば、ゼロ周波数が増加してブースティングゲインは減少する。
【００５８】
また、Ｋが変わっても、数式７の分母には影響を及ぼさないために、ポール周波数は変わらない。したがって、Ｋが変わっても、Ｇｍ－Ｃフィルタ３００の－３ｄＢ周波数は変わらず、ブースティングゲインだけ変化させることが可能である。すなわち、ポール周波数が変わらないために、フィルタリングされる周波数範囲を変えずとも、ブースティングゲインのみを調節しうる。
【００５９】
一方、ブースティング解像度は、定数Ｋの変化量によって決定され、Ｋの変化量が増加することによって解像度はさらに細密になる。数式７に表れる算術演算は、合算演算増幅器とゲインがＫである演算増幅器とを介して簡単に実現しうる。
【００６０】
図４は、本発明の一実施形態による等化器回路を示す。
図４は、図３に示されたＧｍ－Ｃフィルタを用いて数式７を実現する等化器を示す。
【００６１】
図４を参照すれば、本発明による等化器４００は、第１入力ノード４１４、第１バイクワッドバンドパスノード４１６、及び第１バイクワッドローパスノード４１８を備えた第１バイクワッド回路４０２、第１バイクワッドローパスノード４１８と連結された第２入力ノード、第２バイクワッドバンドパスノード４３２及び第２バイクワッドローパスノード４３４を備えた第２バイクワッド回路４０４、第２バイクワッドバンドパスノード４３２の出力及び第２バイクワッドローパスノード４３４の出力を合算する第１演算増幅器４０６、第１演算増幅器４０６の出力から第１バイクワッドローパスノード４１８の出力を差し引く第２演算増幅器４０８、第２演算増幅器４０８の出力を所定の定数Ｋで増幅させる第３演算増幅器４１０、及び/または前記第３演算増幅器４１０の出力と第２バイクワッドローパスノード４３４の出力とを合算する第４演算増幅器４１２を備える。

【００６２】
一方、第１バイクワッド回路４０２は、第１入力ノード４１６と第１バイクワッドバンドパスノード４１６との間に連結された第１トランスコンダクタ４２０、第１バイクワッドバンドパスノード４１６と接地電圧との間に連結された第１キャパシタ４２２、第１バイクワッドバンドパスノード４１６に自己フィードバック構造に連結された第２トランスコンダクタ４２４、第１バイクワッドバンドパスノード４１６と第１バイクワッドローパスノード４１８との間に連結された第３トランスコンダクタ４２６、第１バイクワッドバンドパスノード４１６と第１バイクワッドローパスノード４１８との間に連結され、前記第３トランスコンダクタ４２６とフィードバック構造を形成する第４トランスコンダクタ４２８、及び/または第１バイクワッドローパスノード４１８と接地電圧との間に連結された第２キャパシタ４３０を備える。

【００６３】
ここで、第１及び第３トランスコンダクタ４２０、４２６は、非反転トランスコンダクタであり、前記第２及び第４トランスコンダクタ４２４、４２８は、反転トランスコンダクタである。

【００６４】
これと同様に、第２バイクワッド回路４０４は、第２入力ノード４１８と第２バイクワッドバンドパスノード４３２との間に連結された第５トランスコンダクタ４３６、第２バイクワッドバンドパスノード４３２と接地電圧との間に連結された第３キャパシタ４３８、第２バイクワッドバンドパスノード４３２に自己フィードバック構造に連結された第６トランスコンダクタ４４０、第２バイクワッドバンドパスノード４３２と第２バイクワッドローパスノード４３４との間に連結された第７トランスコンダクタ４４２、第２バイクワッドバンドパスノード４３２と第２バイクワッドローパスノード４３４との間に連結され、前記第７トランスコンダクタ４４２とフィードバック構造を形成する第８トランスコンダクタ４４４及び/または第２バイクワッドローパスノード４３４と接地電圧との間に連結された第４キャパシタ４４６を備える。

【００６５】
ここで、第５及び第７トランスコンダクタ４３６、４４２は、非反転トランスコンダクタであり、前記第６及び第８トランスコンダクタ４４０、４４４は、反転トランスコンダクタである。

【００６６】
図４で等化器の出力は、第４演算増幅器４１２の出力V_{out_eq}であり、ローパスフィルタの出力は、第２バイクワッドローパスノード４３４の出力V_{out_flt}である。
図４を参照すれば、ブースティングゲインを実現するために添加される構成要素は、３個の合算演算増幅器４０６、４０８及び４１２と１個のゲインＫの演算増幅器４１０だけであるために、チップサイズの大きなトランスコンダクタを使用する従来の等化器に比べて小さなサイズに簡単に実現しうる。

【００６７】
前述したように、Ｇｍ－Ｃフィルタの帯域幅は、g_m／Ｃにより決定される。周波数帯域幅を広げるために、トランスコンダクタンスg_m値を大きくするか、キャパシタンスＣの値を減らしても、積分ノードに添加される寄生キャパシタンスが小さくて全体キャパシタンス値にはあまり影響を与えない。等化器の周波数帯域を広げるために、キャパシタンスを減らしても、添加される寄生キャパシタンスが相対的に小さいために、トランスコンダクタンスの小さなトランスコンダクタを使用しても、広い周波数帯域幅でのフィルタリング及び等化が可能である。

【００６８】
また、従来の等化器のブースティングゲインは、g_{mk}／g_mにより決定されるが（ここでg_{mk}はブースティングのために添加されたトランスコンダクタのトランスコンダクタンス）、本発明は別途のブースティングゲインを得るためにトランスコンダクタンスｇ

$_{mk}$を有するトランスコンダクタが存在しないために、g_m値を大きくして、帯域幅を広げても、ブースティングゲインには影響がない。また、図４に示された等化器４００は、ブースティングゲインを調節するために、演算増幅器のゲインＫだけ調節すれば良いために、トランスコンダクタのサイズを調節する必要がなく、ブースティングを得るために添加されるトランスコンダクタが存在しないために、添加されるトランスコンダクタによる大きな寄生キャパシタンスが発生しない。

【００６９】

また、従来のブースティングのために別途のトランスコンダクタを添加した等化器は、高周波数フィルタを実現するためにサイズの大きなトランスコンダクタを使用する場合、ブースティングを実現するために添加されるトランスコンダクタも同じ割合で大きくならなければ、一定したブースティングゲインが得られないという問題があったが、本発明による等化器４００は、このような別途のトランスコンダクタを使用しないために、高周波数フィルタを実現しても、添加されるトランスコンダクタを同じ割合で大きくしなければならないという問題点は発生しない。

【００７０】

図５は、本発明の他の実施形態による等化器回路を示す。

図５に示す等化器５００は、ロッシ積分回路５０２、第１ないし第３バイクワッド回路５０４、５０６、５０８、３つの合算演算増幅器５１０、５１２、５１６及び/または１つのゲイン演算増幅器５１４を備える。

【００７１】

等化器５００は、３つのバイクワッド回路と１つのロッシ積分回路とを通じて７次Ｇｍ－Ｃフィルタを構成し、４つの演算増幅器５１０、５１２、５１４、５１６を通じて等化器を形成する。

図５で等化器の出力は、第４演算増幅器５１６の出力V_{out_eq}であり、ローパスフィルタの出力は、第３バイクワッドローパスノードの出力V_{out_flt}となる。

【００７２】

ロッシ積分回路５０２は、入力ノード５１８と積分ノード５２０との間に連結された非反転トランスコンダクタ５２２、積分ノード５２０に自己フィードバック構造に連結された反転トランスコンダクタ５２４、及び/または積分ノード５２０と接地電圧との間に連結されたキャパシタンス５２６を含む。第１乃至第３バイクワッド回路５０４、５０６、５０８は、図３及び図４に示されたバイクワッド回路と類似した構成を有する。

【００７３】

また、第１演算増幅器５１０は、第３バイクワッド回路５０８のバイクワッドバンドパスノードの出力とバイクワッドローパスノードの出力とを合算し、第２演算増幅器５１２は、第１演算増幅器５１０の出力から第２バイクワッド回路５０６のバイクワッドローパスノードの出力を差し引き、第３演算増幅器５１４は第２演算増幅器５１２の出力に定数Ｋで増幅させる機能を行い、第４演算増幅器５１６は第３演算増幅器５１４の出力と第３バイクワッド回路５０８のバイクワッドローパスノードの出力とを合算する機能を行う。

【００７４】

図５の等化器５００は、図４の等化器の前端にロッシ積分回路２０２とバイクワッド回路とを直列に連結したために、数式７の分子にＳ項を生成しない。したがって、第４演算増幅器５１６の出力は、リアルゼロを通じてブースティングゲインを得られる。また、等化器５００は、ブースティングのための別途のトランスコンダクタを添加せず、演算増幅器のみで等化器を実現しうる。したがって、回路のサイズを縮められるだけでなく、演算増幅器による寄生キャパシタンスはＭＯＳＦＥＴのゲートキャパシタンスのみ存在するので、従来の寄生キャパシタンスに比べてはるかに小さく、全体積分キャパシタンスに及ぼす影響は無視できるほどである。

【００７５】

また、キャパシタンスのスケーリング調節が容易なために、高周波数フィルタリングが容易であり、周波数帯域幅を広げられる効果が得られる。

図５に示された等化器５００に使われる積分キャパシタの正規化キャパシタンスは、次の表２のようである。

【００７６】

【表２】

キャパシタ	正規化キャパシタンス
Ｃ１	１．１６１０
Ｃ２	０．５９３８
Ｃ３	１．２７９５
Ｃ４	０．６４８５
Ｃ５	０．５２２４
Ｃ６	０．８７２９
Ｃ７	０．２１３３

【００７７】

表２に示された正規化キャパシタンス値を表１と比較すると、各バイクワッド回路でのキャパシタ対の位置が変わったということが分かる。すなわち、ロッシ積分回路５０２を構成するキャパシタＣ１を除いた残りの６個のキャパシタはそれぞれのバイクワッドを構成する時、互いに大きさが変わる。

【００７８】

図６乃至図９は、図５に示された等化器５００に表２の正規化キャパシタンスをスケーリングして実際等化器を設計してシミュレーションした結果を示すグラフである。

図６は、図５の等化器５００での第３バイクワッド５０８のローパスノードの出力Ｖ$_{ut_flt}$周波数応答を示す。

【００７９】

図６は、正規化キャパシタンスとトランスコンダクタンスとをスケーリングし、－３ｄＢ周波数が各々１．３５ＭＨｚ、９５、５ＭＨｚ、及び１７３．８ＭＨｚに調節される例を示した。図６を参照すれば、第１演算増幅器５１０により第３バイクワッド５０８のバンドパスノードとローパスノードとに添加される寄生キャパシタンスが小さいということが分かる。また、Ｋ＝０にし、一定のスケーリングファクタでキャパシタンスをスケーリングして固定させ、トランスコンダクタンスを可変することによって、最小１．３５ＭＨｚから最大１７３．８ＭＨｚの領域でフィルタリング動作が可能であるということが分かる。

【００８０】

図７は、図５の等化器５００を利用して－３ｄＢ周波数が１．３５ＭＨｚである時、定数Ｋを可変してブースティングゲインが変わる結果を示す。

すなわち、図７は、図６で－３ｄＢ周波数が１．３５ＭＨｚになるようにキャパシタンスをスケーリングした後、ブースティングのための演算増幅器を利用して定数Ｋを可変させつつ、ブースティングゲインが変わる結果を示した。図７のシミュレーションは、ＫをＫ＝０，１，２，…，１０に可変させた結果であり、Ｋ＝０であれば、ブースティングゲインの効果がなく、Ｋ＝１０であれば、ブースティングゲインの効果が大きくなる。すなわち、図７から分かるように、本発明による等化器５００はゲイン定数Ｋの調節を通じてブースティングゲインを容易に調節でき、ゲイン定数Ｋが可変されても他のトランスコンダクタンスには影響を及ぼさないために、他のトランスコンダクタのサイズを変化させず、単に定数Ｋのみを調節して所望のブースティングゲインを得られる。

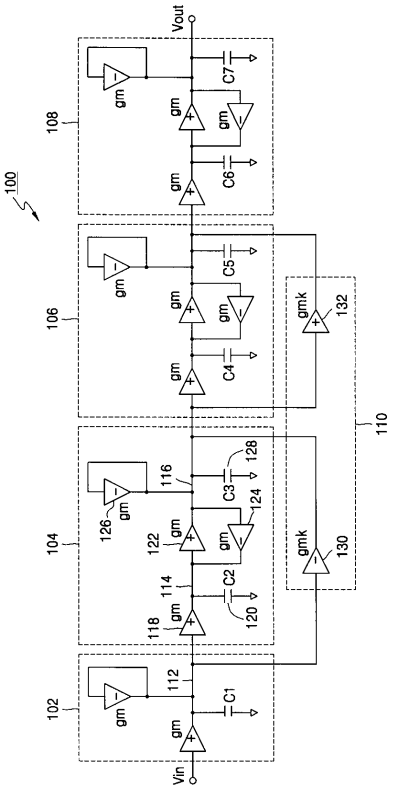
【００８１】

図８は、図５の等化器５００を利用して－３ｄＢ周波数が９５．５ＭＨｚである時、定数Ｋを可変してブースティングゲインが変わる結果を示し、図９は、－３ｄＢ周波数が１７３．８ＭＨｚである時、定数Ｋを可変してブースティングゲインが変わる結果を示す。

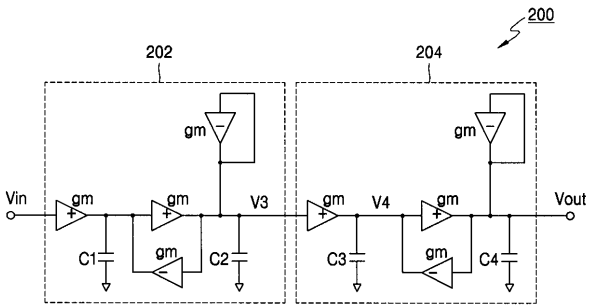
【００８２】
図７乃至図９を参照すれば、本発明による等化器５００は、一定のスケーリングファクタでキャパシタンスをスケーリングして固定させ、トランスコンダクタンスを可変して－３ｄＢ周波数を可変でき、それぞれの－３ｄＢ周波数で相異なるブースティングゲインに可変しても、等化器のブースティング特性を保持できるということが分かる。また、添加される寄生キャパシタンスが小さいためにキャパシタンススケーリングファクタを小さくすることができて、小さなトランスコンダクタンスでも所望の－３ｄＢ周波数を具現しうる。すなわち、前述したように本発明による等化器は、キャパシタンスのスケーリング及びブースティングゲインの調節が容易であり、キャパシタンスのスケーリング及びブースティングゲインの調節時にも、寄生キャパシタンスの発生が小さいために、等化器特性が変化しない。
【００８３】
本発明の一実施形態では、４次及び７次Ｇｍ－Ｃフィルタを用いた等化器を例として説明したが、本発明の等化器は４次及び７次等化器に限定されず、多様な次数のＧｍ－Ｃフィルタを用いた等化器にも適用されうる。
【００８４】
本発明は、図面に図示された一実施形態を参考に説明されたが、これは例示的なものに過ぎず、当業者ならば、これより多様な変形及び均等な他実施形態が可能であるという点を理解できるであろう。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想により決まるべきである。
【産業上の利用可能性】
【００８５】
本発明は、等化器関連の技術分野に好適に適用されうる。
【図面の簡単な説明】
【００８６】
【図１】従来の等化器の構成を示す回路図である。
【図２】一般的な４次Ｇｍ－Ｃフィルタを示す回路図である。
【図３】本発明による等化器に使われるＧｍ－Ｃフィルタ回路を示す図である。
【図４】本発明の一実施形態による等化器回路を示す図である。
【図５】本発明の他の実施形態による等化器回路を示す図である。
【図６】図５の等化器でブースティングのための演算増幅器を除いたＧｍ－Ｃフィルタを利用して得た周波数応答を示すグラフである。
【図７】図５の等化器を用いて－３ｄＢが１．３５ＭＨｚである時、定数Ｋを可変してブースティングゲインが変わる結果を示すグラフである。
【図８】図５の等化器を用いて－３ｄＢが９５．５ＭＨｚである時、定数Ｋを可変してブースティングゲインが変わる結果を示すグラフである。
【図９】図５の等化器を用いて－３ｄＢが１７３．８ＭＨｚである時、定数Ｋを可変してブースティングゲインが変わる結果を示すグラフである。
【符号の説明】
【００８７】
４００　等化器
４０２　第１バイクワッド回路
４０４　第２バイクワッド回路
４０６　第１演算増幅器
４０８　第２演算増幅器
４１０　第３演算増幅器
４１２　第４演算増幅器
４１４　第１入力ノード
４１６　第１バイクワッドバンドパスノード
４１８　第１バイクワッドローパスノード

４２０　第１トランスコンダクタ
４２２　第１キャパシタ
４２４　第２トランスコンダクタ
４２６　第３トランスコンダクタ
４２８　第４トランスコンダクタ
４３０　第２キャパシタ
４３２　第２バイクワッドバンドパスノード
４３４　第２バイクワッドローパスノード
４３６　第５トランスコンダクタ
４４０　第６トランスコンダクタ
４４２　第７トランスコンダクタ
４４４　第８トランスコンダクタ
４４６　第４キャパシタ

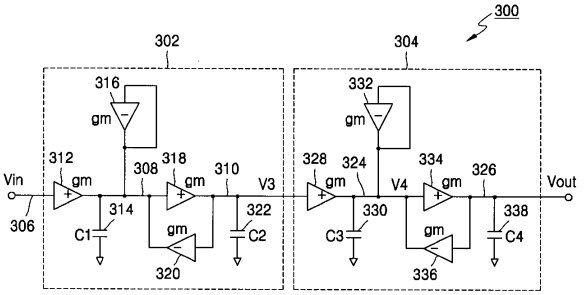
【図１】



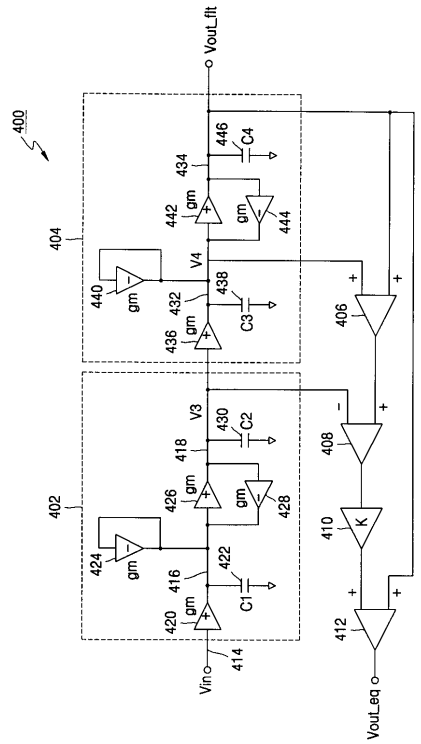
【図２】



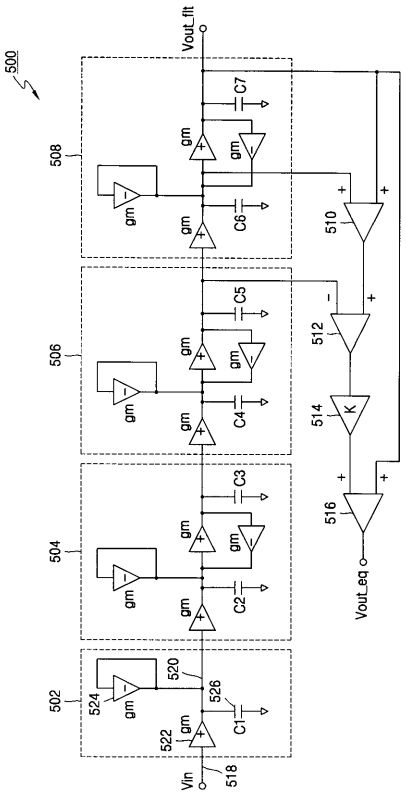
【図３】



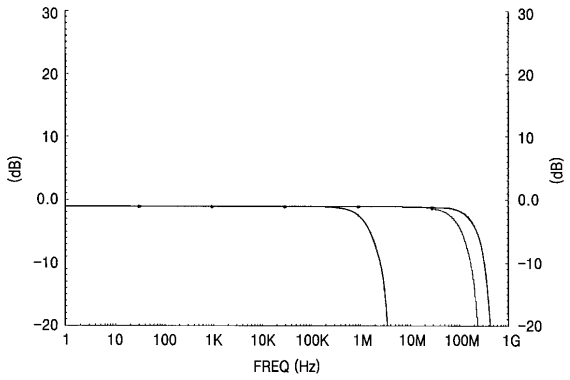
【図４】



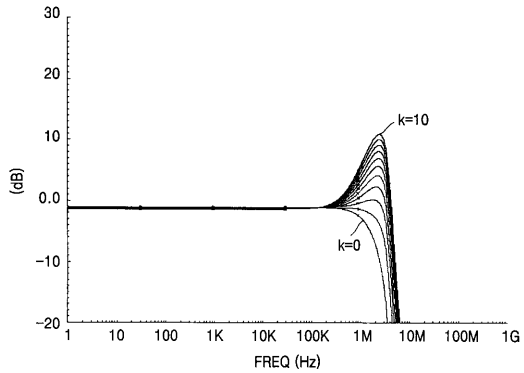
【図５】



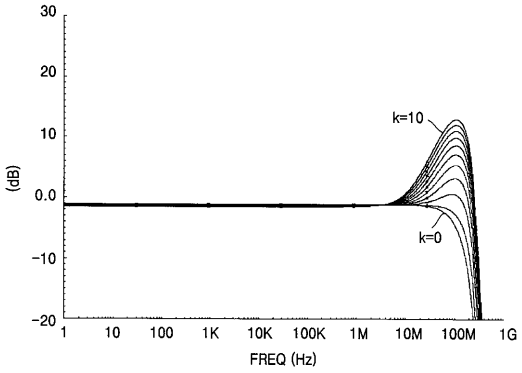
【図６】



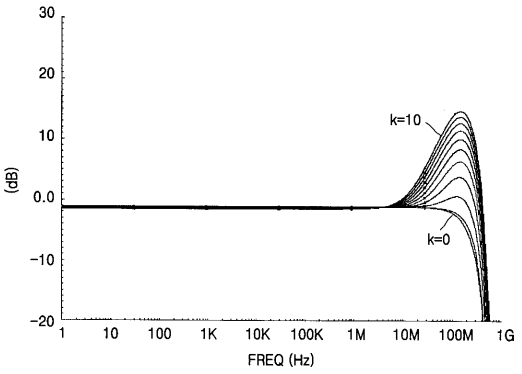
【図７】



【図８】



【図９】



フロントページの続き

審査官　前田　典之

(56)参考文献　米国特許第０６３０４１３４（ＵＳ，Ｂ１）
特開２００３－１８８６８４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｂ　　３／１８
Ｈ０３Ｈ　１１／０４