

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-293751

(P2005-293751A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int. Cl.<sup>7</sup>

G 1 1 C 11/413

F I

G 1 1 C 11/34 3 3 5 Z

テーマコード (参考)

5 B 0 1 5

審査請求 未請求 請求項の数 7 O L (全 15 頁)

(21) 出願番号 特願2004-109059 (P2004-109059)

(22) 出願日 平成16年4月1日(2004. 4. 1)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(74) 代理人 100083194

弁理士 長尾 常明

(72) 発明者 柴田 信太郎

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

Fターム(参考) 5B015 HH01 HH03 HH04 JJ02 KA06

KB25 KB64 KB72

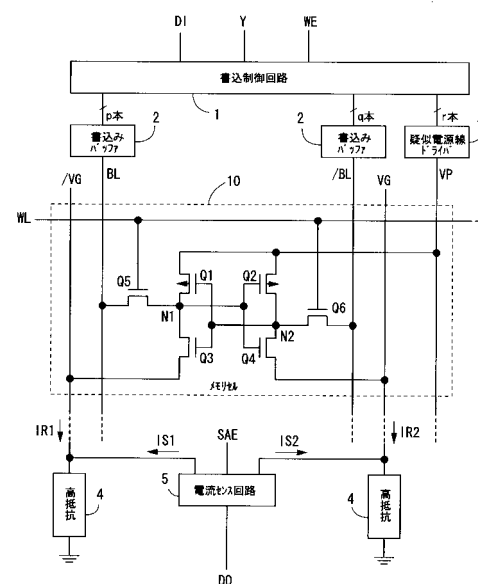
(54) 【発明の名称】 半導体メモリ

(57) 【要約】

【課題】 半導体メモリの高速化と低消費電力化を図る。

【解決手段】 メモリセル10と、擬似電源線VPと、一対の擬似GND線VG、/VGと、一対のビット線BL、/BLに接続された一対の書込みバッファ2と、電流センス回路5とを有する半導体メモリにおいて、VDDとVLL( $VDD > VLL$ )の電源をもち、書込みバッファ2のHigh出力レベルを読み出し時はVDDに、書込み時はVLLに切り替え、擬似電源線VPのレベルを読み出し時はVDDに、書込み時はVLLに切り替える。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

一対の負荷用 M O S F E T および一対の駆動用 M O S F E T からなるフリップフロップ回路並びに該フリップフロップ回路の一方と他方の入出力側にそれぞれ接続した一対のセル選択用 M O S F E T からなるメモリセルと、前記一対のセル選択用 M O S F E T の前記フリップフロップ回路に接続される側と反対のドレイン又はソースにそれぞれ接続した一対のビット線と、前記一対の負荷用 M O S F E T のソースに共通接続した擬似電源線と、前記一対の駆動用 M O S F E T のソースにそれぞれ接続した一対の擬似 G N D 線と、前記一対のビット線にそれぞれ接続した一対の書込みバッファと、前記一対の擬似 G N D 線に共通接続した電流センス回路とを有する半導体メモリにおいて、

10

出力電圧が異なる第 1 および第 2 の電源と、前記各書込みバッファの H i g h 出力レベルを前記第 1 又は第 2 の電源の電圧に対応する電圧に個々に切り替える手段と、前記擬似電源線のレベルを前記第 1 又は第 2 電源の電圧に対応する電圧に切り替える手段を設けたことを特徴とする半導体メモリ。

## 【請求項 2】

請求項 1 に記載の半導体メモリにおいて、

前記擬似電源線を開放状態にする手段を設けたことを特徴とする半導体メモリ。

## 【請求項 3】

請求項 1 又は 2 に記載の半導体メモリにおいて、

スタンバイ状態時に、前記擬似電源線と前記一対のビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする半導体メモリ。

20

## 【請求項 4】

請求項 1 又は 2 に記載の半導体メモリにおいて、

メモリセルからのデータの読み出しの際に、当該メモリセルの擬似電源線と一対のビット線を、前記第 1 および第 2 の電源のうちの高い電圧の電源に対応する第 2 の H i g h レベルに制御し、非選択状態のメモリセルの擬似電源線と一対のビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする半導体メモリ。

## 【請求項 5】

請求項 1 に記載の半導体メモリにおいて、

メモリセルへのデータの書き込みの際に、当該メモリセルの擬似電源線と一対のビット線のうちの H i g h 側ビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする半導体メモリ。

30

## 【請求項 6】

請求項 1 に記載の半導体メモリにおいて、

前記擬似電源線を開放状態にする手段を設け、

メモリセルへのデータの書き込みの際に、当該メモリセルの擬似電源線を開放状態に制御し、かつ当該メモリセルの一対のビット線のうちの H i g h 側ビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする半導体メモリ。

40

## 【請求項 7】

請求項 3 乃至 6 のいずれか 1 つに記載の半導体メモリにおいて、

前記第 1 の H i g h レベルに制御する手段に前記第 1 の電源を使用し、前記第 2 の H i g h レベルに制御する手段に前記第 2 の電源を使用することを特徴とする半導体メモリ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、極微細 L S I 製造プロセスを用いた半導体メモリに関するものであり、特に高速なスタティック形ランダムアクセスメモリ (Static Random Access Memory; SRAM) に

50

適用して有効な低消費電力化技術に関する。

【背景技術】

【0002】

上記の技術分野に属する従来の半導体メモリとして、例えば、特許文献1に記載のものがある。図10はその特許文献1に記載された半導体メモリの回路図である。以下の説明において、特に断らない限り、High状態とはVDDもしくはVDD近傍の高レベルのことであり、Low状態とはGNDもしくはGND近傍の低レベルのことを示す。

【0003】

メモリセル10は、フリップフロップ回路を構成する一対の負荷用pMOSFETQ1, Q2と一対の駆動用nMOSFETQ3, Q4に、セル選択用のnMOSTransファゲートQ5, Q6を組み合わせて構成される。フリップフロップ回路の一対の回路節点N1, N2は何れか一方がHighレベル状態、他方がLowレベル状態となり、その状態の違いによってメモリセル10は1ビットのデータを記憶する。WLはワード線、BL, /BLは対となるビット線、VG, /VGは対となる擬似GND線である。

【0004】

ワード線WLはメモリセル10の選択信号を伝送する線路であり、非選択状態でGNDレベル、選択状態でVDDレベルに制御される。一対のビット線BL, /BLは、書込み時に入力データに対応した電圧信号を差動信号の形態で当該メモリセル10まで伝送する線路である。このビット線BL, /BLは、非書込み期間中は共にVDDもしくはVDD近傍の高レベルに制御されており、メモリセル10にデータを書き込む時のみ、入力データに応じて何れか一方のビット線だけがGNDもしくはGND近傍の低レベルに制御される。一対の擬似GND線VG, /VGは、読出し時にメモリセル10の記憶内容に応じた電流信号を差動信号の形態で電流センス回路5まで伝送する線路である。擬似GND線VG, /VGのレベルは、GNDもしくはGND近傍の低レベルである。

【0005】

なお、通常は複数のワード線と複数のビット線ペア（および擬似GND線ペア）を用意し、それらの交点にメモリセル10を配置してメモリセルアレイが構成される。図10では説明図の煩雑さを避ける意味で、着目しているワード線、ビット線ペア、擬似GND線ペア、そしてメモリセルだけを図示し、その他のワード線、ビット線ペア、擬似GND線ペア、メモリセルについては省略している。

【0006】

図10において、DI、Y、WE、SAEは入力端子、DOは出力端子である。入力端子DIには入力データDI、入力端子Yには当該ビット線ペアに対応したコラム選択信号Y、入力端子WEには書込要求信号WE、入力端子SAEには当該擬似GND線ペアに対応した電流センス回路活性化信号SAEを入力する。出力端子DOからは読出しデータDOが出力される。これらの入力信号又は出力信号は、何れも2値の電圧信号（VDD又はGNDレベル）である。その他、図10では省略しているが、半導体メモリの入力信号のひとつにチップ選択信号CSがある。チップ選択信号CSは半導体メモリをスタンバイ状態もしくは動作状態に切り替える特別な制御信号である。データの読出し又は書込みを行う際は、当該半導体メモリを事前に動作状態に制御する必要があるが、以下で述べる読出し動作もしくは書込み動作に直接関与しないので、記述を省略する。

【0007】

図10の構成要素の内、1'は入力データDIの書込み動作を制御する書込制御回路、2'はビット線BL, /BLをドライブする反転形の一対の書込みバッファであり、これらで書込み回路を構成している。データの非書込み時は、書込みバッファ2'はビット線BL, /BLをVDDもしくはVDD近傍のHighレベルにプルアップする。3'は固定電源であり、メモリセル10に電圧VDDを供給する。4は擬似的に定電流源として機能する高抵抗、5は電流センス回路であり、これらで読出し回路を構成している。電流センス回路5は、入力端子から流出する電流（IS1, IS2）の大小比較を行い、その結果を2値の電圧信号（VDD又はGNDレベル）の形態で出力端子DOに出力する。

## 【 0 0 0 8 】

図 1 1 は図 1 0 における反転型の書込みバッファ 2 ' の回路図である。この書込みバッファ 2 ' は p M O S F E T Q 1 5 と n M O S F E T Q 1 6 より構成されるインバータからなり、入力端子 P D が H i g h 状態 ( V D D レベル ) のとき出力端子 O U T は G N D レベルである。逆に、入力端子 P D が L o w 状態 ( G N D レベル ) のとき出力端子 O U T は V D D レベルである。

## 【 0 0 0 9 】

半導体メモリに対して、データを書き込む又は読み出す操作を以下に概説する。図 1 0 のメモリセル 1 0 にはデータ “ 1 ” が記憶されており、回路節点 N 1 は H i g h レベル状態、N 2 は L o w レベル状態にあるとする。

10

## 【 0 0 1 0 】

< 読み出し動作 >

図 1 0 の従来例において、メモリセル 1 0 に記憶されたデータ “ 1 ” を出力端子 D O に読み出す動作は以下の通りである。読出し動作を通じて、書込要求信号 W E は非書込み状態 ( G N D レベル ) である。

## 【 0 0 1 1 】

図 1 2 は図 1 0 の半導体メモリの主要な回路節点の動作波形である。一連の読出し動作の初期状態として、活性化信号 S A E は非活性化状態 ( G N D レベル ) とする。ワード線 W L は非選択状態 ( G N D レベル ) 、ビット線 B L , / B L は V D D レベル、擬似 G N D 線 V G , / V G は G N D レベルである。メモリセル 1 0 内の M O S F E T に関しては、Q 1 , Q 4 は導通状態、Q 2 , Q 3 , Q 5 , Q 6 は非導通状態である。

20

## 【 0 0 1 2 】

読出し動作は、当該コラムの活性化信号 S A E を V D D レベルに制御して、電流センス回路 5 を活性化状態にすることから始まる。その際、電流センス回路 5 から擬似 G N D 線 V G , / V G に定常的に流出する電流によって高抵抗 4 の両端に逆起電力が発生し、擬似 G N D 線 V G , / V G のレベルが G N D から G N D 近傍の低レベルまで上昇する。しかる後、ワード線 W L を選択状態 ( V D D レベル ) に制御する。このとき、記憶内容を反映して M O S F E T Q 6 が導通し、ビット線 / B L から擬似 G N D 線 V G への電流経路が形成される。M O S F E T Q 5 については非導通状態を維持するので、対となるビット線 B L から擬似 G N D 線 / V G への電流経路は形成されない。メモリセル 1 0 から擬似 G N D 線へ流出した読出し電流は、定電流源として機能する高抵抗 4 で折り返されて、電流センス回路 5 に入力される。議論を簡単にする為に、高抵抗 4 を理想定電流源と見なすと、メモリセル 1 0 から擬似 G N D 線 / V G , V G へ流出する読出し電流 I R 1 , I R 2 と電流センス回路 5 から流出する電流 I S 1 , I S 2 には、以下の関係がある。

30

$$I R 1 + I S 1 = I R 2 + I S 2$$

上述の例では、「 I R 2 > 0 かつ I R 1 = 0 」であるので、電流センス回路 5 の入力信号には「 I S 1 > I S 2 > 0 」の関係がある。これを電流センス回路 5 は検出して、データ “ 1 ” に相当する V D D レベルの信号を出力端子 D O から出力する。

## 【 0 0 1 3 】

一方、メモリセル 1 0 にデータ “ 0 ” が記憶されている場合は、回路節点 N 1 が L o w 状態、N 2 が H i g h 状態になるので、電流センス回路 5 はデータ “ 0 ” に相当する G N D レベルの信号を出力端子 D O から出力する。

40

## 【 0 0 1 4 】

図 1 0 では省略されているが、ビット線ペアが複数ある場合は、出力端子 D O からの読出しデータ D O を多重化して外部へ出力する為のマルチプレクサが電流センス回路 5 の後段に設けられる。その際、非選択コラムについては、電流センス回路 5 が活性化されないため、ワード線 W L が選択されてもデータは読み出されない。

## 【 0 0 1 5 】

< 書込み動作 >

データ “ 1 ” が記憶された図 1 0 のメモリセル 1 0 に、入力端子 D I から入力された逆

50

データ“0”を書き込む動作について以下に述べる。書込み動作を通じて、活性化信号SAEは非活性状態（GNDレベル）である。

【0016】

図13は図10の半導体メモリの主要な回路節点の動作波形である。一連の書込み動作の初期状態として、コラム選択信号Yは非選択状態（Lowレベル）、ワード線WLは非選択状態（GNDレベル）、書込要求信号WEは非書込み状態（GNDレベル）とする。ビット線BL側の書込みバッファ2'の入力とビット線/BL側の書込みバッファ2'の入力は共にLowレベルであり、ビット線BL、/BLは共にVDDレベルに設定されている。擬似GND線VG、/VGはGNDレベルである。メモリセル10内のMOSFETに関しては、Q1、Q4は導通状態、Q2、Q3、Q5、Q6は非導通状態である。

10

【0017】

入力端子DIに入力されたデータ“0”の書込み動作は、入力端子Yの当該コラム選択信号Yを選択状態（VDDレベル）にして、ビット線ペアを特定することから始まる。しかる後、ワード線WLを選択状態（VDDレベル）、書込要求信号WEを書込み状態（VDDレベル）に制御する。その際、書込制御回路1'の動作により、ビット線BL側の書込みバッファ2'の入力がHighレベル状態に制御されるので、ビット線BLはGNDレベルにドライブされる。ビット線/BL側の書込みバッファ2'については、その入力はLowレベル状態から変化しないので、ビット線/BLはVDDレベルを維持する。ビット線BLの電位の低下と共に、MOSFETQ5のゲート・ソース（ビット線BL側のMOSFET節点）間にはMOSFETの閾値電圧を超える十分大きな電圧が印加されることになり、MOSFETQ5は導通状態になる。その結果、回路節点N1の電位は低下し、MOSFETQ2、Q4で構成されるインバータの論理閾値を下回ると、フリップフロップ回路の状態は反転し、回路節点N1がLowレベル状態、回路節点N2がHighレベル状態に変化して、メモリセル10は更新データを保持可能になる。しかる後、書込要求信号WEを非書込み状態（GNDレベル）に制御し、それに続いてワード線WLを非選択状態（GNDレベル）に復帰させる。書込要求信号WEを非書込み状態に制御することにより、書込制御回路1'はビット線BL側および/BL側の書込みバッファ2'の入力を共にLowレベルに制御するので、書込みバッファ2'の動作により、ビット線BLは初期のVDDレベルまで回復する。書込要求信号WEを非書込み状態（Lowレベル）に制御するタイミングは、メモリセル10内のフリップフロップ回路の状態が反転した後であれば、特に制約はない。入力データDI、コラム選択信号Y、ワード線WLに関しては、ビット線BLが初期のレベルに回復した後であれば、状態を変化させるタイミングに特に制約はない。

20

30

【0018】

なお、非選択コラムのビット線については、書込み動作を通じて、ビット線BL側も/BL側も書込みバッファ2'によってVDD又はその近傍の高レベルにプルアップされている。

【0019】

【特許文献1】特開2000-057778号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0020】

ところで、半導体メモリの動作速度と消費電力、そして使用するMOSFETのゲート長には密接な関係がある。ゲート長の短いMOSFETを利用可能な極微細LSI製造プロセスを適用することは、半導体メモリの動作速度を改善する有効な手段ではあるが、同時にMOSFETのサブスレッショルドリーク電流の増大を招く。サブスレッショルドリーク電流とは、オフ状態のMOSFETに流れるゲート・ソース間のリーク電流のことであり、スタンバイ状態/動作状態の別なく、半導体メモリの消費電力増の原因になる。その為、大規模な半導体メモリでは、高速化手段としての極微細LSIプロセスの適用が制限されてしまうという問題があった。

50

## 【 0 0 2 1 】

また、サブスレッショルドリーク電流にはゲート長の他に、ソース・ドレイン間に印加される電圧にも依存する性質があるので、電源電圧を下げることである程度低減可能である。しかし、電源電圧を下げると、オン状態の M O S F E T のゲート・ソース間に印加される電圧が低下する為に、M O S F E T のオン電流（ドレイン電流）が減少し、デジタル回路、アナログ回路を問わず遅延時間は増大する。これは、半導体メモリの動作速度の低下に繋がるので、動作電圧の低電圧化だけでは解決できないという問題があった。

## 【 0 0 2 2 】

本発明の目的は、上述の問題点を解決するべく、極微細 L S I 製造プロセスを適用して有効な、動作速度の低下のない、低消費電力な半導体メモリを提供することにある。

10

## 【課題を解決するための手段】

## 【 0 0 2 3 】

請求項 1 にかかる発明は、一对の負荷用 M O S F E T および一对の駆動用 M O S F E T からなるフリップフロップ回路並びに該フリップフロップ回路の一方と他方の入出力側にそれぞれ接続した一对のセル選択用 M O S F E T からなるメモリセルと、前記一对のセル選択用 M O S F E T の前記フリップフロップ回路に接続される側と反対のドレイン又はソースにそれぞれ接続した一对のビット線と、前記一对の負荷用 M O S F E T のソースに共通接続した擬似電源線と、前記一对の駆動用 M O S F E T のソースにそれぞれ接続した一对の擬似 G N D 線と、前記一对のビット線にそれぞれ接続した一对の書込みバッファと、前記一对の擬似 G N D 線に共通接続した電流センス回路とを有する半導体メモリにおいて、出力電圧が異なる第 1 および第 2 の電源と、前記各書込みバッファの H i g h 出力レベルを前記第 1 又は第 2 の電源の電圧に対応する電圧に個々に切り替える手段と、前記擬似電源線のレベルを前記第 1 又は第 2 電源の電圧に対応する電圧に切り替える手段を設けたことを特徴とする。

20

## 【 0 0 2 4 】

請求項 2 にかかる発明は、請求項 1 に記載の半導体メモリにおいて、前記擬似電源線を開放状態にする手段を設けたことを特徴とする。

## 【 0 0 2 5 】

請求項 3 にかかる発明は、請求項 1 又は 2 に記載の半導体メモリにおいて、スタンバイ状態時に、前記擬似電源線と前記一对のビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする。

30

## 【 0 0 2 6 】

請求項 4 にかかる発明は、請求項 1 又は 2 に記載の半導体メモリにおいて、メモリセルからのデータの読み出しの際に、当該メモリセルの擬似電源線と一对のビット線を、前記第 1 および第 2 の電源のうちの高い電圧の電源に対応する第 2 の H i g h レベルに制御し、非選択状態のメモリセルの擬似電源線と一对のビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする。

## 【 0 0 2 7 】

請求項 5 にかかる発明は、請求項 1 に記載の半導体メモリにおいて、メモリセルへのデータの書き込みの際に、当該メモリセルの擬似電源線と一对のビット線のうちの H i g h 側ビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする。

40

## 【 0 0 2 8 】

請求項 6 にかかる発明は、請求項 1 に記載の半導体メモリにおいて、前記擬似電源線を開放状態にする手段を設け、メモリセルへのデータの書き込みの際に、当該メモリセルの擬似電源線を開放状態に制御し、かつ当該メモリセルの一对のビット線のうちの H i g h 側ビット線を、前記第 1 および第 2 の電源のうちの低い電圧の電源に対応する第 1 の H i g h レベルに制御する手段を設けたことを特徴とする。

50

## 【0029】

請求項7にかかる発明は、請求項3乃至6のいずれか1つに記載の半導体メモリにおいて、前記第1のHighレベルに制御する手段に前記第1の電源を使用し、前記第2のHighレベルに制御する手段に前記第2の電源を使用することを特徴とする。

## 【発明の効果】

## 【0030】

本発明によれば、出力電圧の異なる第1および第2の電源を使用するので、動作速度を低下させることなく、サブスレッショルドリーク電流によるメモリセルアレイの消費電力と、書込み時のビット線の充放電による消費電力を下げるができる利点がある。その為、大規模で高速なメモリを必用とする際に本発明の半導体メモリを適用すれば、ゲート長の短いMOSFETを利用可能な極微細LSI製造プロセスを適用しても消費電力の増大を極力抑えることができ効果大である。

10

## 【発明を実施するための最良の形態】

## 【0031】

本発明では、出力電圧が異なる第1および第2の電源を使用することにより、非選択状態のメモリセルに印加される電圧を下げられるので、サブスレッショルドリーク電流による無駄な消費電力を低減できること、また書込み時のビット線の振幅を下げられるので、ビット線の寄生容量の充放電による消費電力を低減できることが、従来技術と異なる。

## 【実施例1】

## 【0032】

図1は、出力電圧が異なる第1および第2の高電位電源VDD、VLL ( $VDD > VLL$ )を使用した本発明の実施例1の半導体メモリの構成を示す図である。以下の説明において、特に断らない限り、High状態とはVDDもしくはVDD近傍の高レベルのことであり、Low状態とはGNDもしくはGND近傍の低レベルのことを示す。

20

## 【0033】

図1において、6トランジスタ構成(Q1~Q6)のメモリセル10を使用すること、入力データDIの書込みを制御する書込制御回路1と一对のビット線BL、/BLをドライブする一对の書込みバッファ2で書込み回路を構成すること、擬似的な定電流源として機能する高抵抗4と電流センス回路5で読出し回路を構成することは、基本的に図10の従来例と同じである。但し、書込制御回路1と書込みバッファ2の機能は従来例よりも拡張されており、書込制御回路1の制御によって、書込みバッファ2の出力はVDDとGNDレベルの他に、第3の状態としてVLLレベル(VDDとGNDの中間レベル)をとることが異なる。さらに、メモリセル10の高電位側電源端子を擬似電源線VPに接続すること、擬似電源線VPに接続された擬似電源線ドライバ3の出力電圧(VDDもしくはVLL)を書込制御回路1によって制御できることことが異なる。

30

## 【0034】

図2(a)は書込みバッファ2の回路図、図3(a)~(f)は図2(a)中の低電圧プルアップ回路6の構成例である。図3(a)のpMOSFET Q10を使う構成、図3(d)のnMOSFET Q10'を使う構成の何れも適用可能である。また、図3(b), (c), (e), (f)のように、MOSFET Q10又はQ10'のオン電流を制限する手段として、MOSFETのソース又はドレインに直列に抵抗8を設けた構成も適用可能である。抵抗8は、抵抗素子その他、MOSFETのチャネル抵抗でも代用できる。図2(a)に示す書込みバッファ2の3個の制御入力(PD、/PUH、/PUL)は、High状態でVDDレベル、Low状態でGNDレベルをとる。これらの入力信号PD、/PUH、/PULと出力信号OUTの関係は、図14に示す通りである。

40

## 【0035】

図5は擬似電源線ドライバ3の構成例である。2個の制御入力(/SH、/SL)は、High状態でVDDレベル、Low状態でGNDレベルをとる。これらの入力信号/SH、/SLと出力電圧VPの関係は、図15に示す通りである。

## 【0036】

50

上記の半導体メモリに対して、データを書き込む又は読み出す動作を以下に概説する。  
図1のメモリセル10にはデータ“1”が記憶されており、回路節点N1はHighレベル状態、回路節点N2はLowレベル状態にあるとする。

【0037】

<スタンバイ状態>

図1の実施例1において、スタンバイ状態すなわちメモリセルアレイに対してデータの読出しも書込みも行わない状態における各部の電位関係について、以下に説明する。書込要求信号WEは非書込み状態（GNDレベル）、活性化信号SAEは非活性化状態（GNDレベル）、擬似電源線VPはVLLレベルである。ワード線WLは非選択状態（GNDレベル）、ビット線BL、/BLはVLLレベル、擬似GND線VG、/VGはGNDレベルである。メモリセル10内のMOSFETに関しては、Q1、Q4は導通状態、Q2、Q3、Q5、Q6は非導通状態である。

10

【0038】

スタンバイ状態では、ビット線ペアBL、/BLと擬似電源線VPが共にVLLレベルに制御される。それ故、VDDが印加される従来例に比べると、MOSFETのサブスレッショルドリーク電流による無駄な消費電力は減少する。

【0039】

<読出し動作>

図1の実施例1において、メモリセル10に記憶されたデータ“1”を出力端子DOに読み出す動作は以下の通りである。読出し動作を通じて、書込要求信号WEは非書込み状態（GNDレベル）である。

20

【0040】

図6は図1の半導体メモリの主要な回路節点の動作波形である。一連の読出し動作の初期状態として、活性化信号SAEは非活性化状態（GNDレベル）、擬似電源線VPはVLLレベルとする。ワード線WLは非選択状態（GNDレベル）、ビット線BL、/BLは共にVLLレベル、擬似GND線VG、/VGはGNDレベルである。メモリセル10内のMOSFETに関しては、Q1、Q4は導通状態、Q2、Q3、Q5、Q6は非導通状態である。

【0041】

読出し動作は、当該コラムの活性化信号SAEをVDDレベルに制御して、電流センス回路5を活性化状態にすると共に、擬似電源線ドライバ3を用いて当該コラムの擬似電源線VPの電位をVLLからVDDに昇圧することから始まる。その際、電流センス回路5から擬似GND線に定常的に流出する電流によって高抵抗4の両端に逆起電力が発生し、擬似GND線のレベルがGNDからGND近傍の低レベルまで上昇する。しかる後、ワード線WLを選択状態（VDDレベル）に制御する。以降の動作は、図12の従来例の説明と同じであり、重複を避ける為に説明を省略する。読出し対象のメモリセル10の擬似電源線VPには、従来例と同じくVDDなる電圧が印加されるので、本実施例によって動作速度は低下しない。

30

【0042】

図1の半導体メモリでは省略されているが、ビット線ペアが複数ある場合は、出力端子DOの読出しデータDOを多重化して外部へ出力する為のマルチプレクサが電流センス回路5の後段に設けられる。その際、非選択コラムについては、電流センス回路が活性化されないで、ワード線が選択されてもデータは読み出されない。また、非選択コラムの擬似電源線VPは、VDDに昇圧されることはなく、VLLレベルを維持する。

40

【0043】

<書込み動作>

データ“1”が記憶された図1のメモリセル10に、入力端子DIから入力された逆データ“0”を書き込む動作について以下に述べる。書込み動作を通じて、活性化信号SAEは非活性化状態（GNDレベル）、擬似電源線VPはVLLレベルである。

【0044】

50



図7は図1の半導体メモリの主要な回路節点の動作波形である。一連の書込み動作の初期状態として、コラム選択信号Yは非選択状態（Lowレベル）、ワード線WLは非選択状態（GNDレベル）、書込要求信号WEは非書込み状態（GNDレベル）とする。ビット線BL側の書込みバッファ2の入力とビット線/BL側の書込みバッファ2の入力は共にLowレベルであり、ビット線BL、/BLは共にVLLレベルに設定されている。擬似GND線VG、/VGはGNDレベルである。メモリセル10内のMOSFETに関しては、Q1、Q4は導通状態、Q2、Q3、Q5、Q6は非導通状態である。

#### 【0045】

入力端子DIに入力されたデータ“0”の書込み動作は、コラム選択信号Yを選択状態（VDDレベル）にして、ビット線ペアを特定することから始まる。しかる後、ワード線WLを選択状態（VDDレベル）、書込要求信号WEを書込み状態（VDDレベル）に制御する。その際、書込制御回路1の動作により、ビット線BL側の書込みバッファ2の入力がHighレベル状態に制御されるので、ビット線BLはGNDレベルにドライブされる。ビット線/BL側の書込みバッファ2については、その入力Lowレベル状態から変化しないので、ビット線/BLはVLLレベルを維持する。ビット線BLの電位の低下と共に、MOSFET Q5のゲート・ソース（ビット線BL側のMOSFET節点）間にはMOSFETの閾値電圧を超える十分大きな電圧が印加されることになり、MOSFET Q5は導通状態になる。その結果、回路節点N1の電位は低下し、Q2、Q4で構成されるインバータの論理閾値を下回ると、フリップフロップ回路の状態は反転し、回路節点N1がLowレベル状態、回路節点N2がHighレベル状態に変化して、メモリセル10は更新データを保持可能になる。上記の動作は、電源電圧が異なるだけで、書込み動作そのものは図13の従来例と同じある。重複を避ける為に、以降の動作説明を省略する。

#### 【0046】

書込み期間に続くリカバリ期間（図7参照）において、擬似電源線VPとビット線（BL、/BL）をVLLもしくはVLL近傍のレベルに制御できるのは、例えばOE信号とWE信号間で論理をとることで、リカバリ動作と読出し動作を区別できることによる。ここで、OE信号とは、入出力ピンを共通化したデータI/Oバッファに関して、データ入力モードとデータ出力モードを切り替える信号である。書込み期間とリカバリ期間は共にデータ入力モード、読出し期間はデータ出力モードに制御する。

#### 【0047】

ビット線BL、/BLには大きな寄生容量があり、その充放電電流が書き込み時の消費電力の大半を占める。従って、実施例1のように、書込み時のビット線BL、/BLの振幅をVDD（従来例）からVLLに低減することで、書込み時の消費電力を $(VLL/VDD)^2$ に低減できる。

#### 【0048】

なお、非選択コラムのビット線については、書込み動作を通じて、BL側も/BL側も書込みバッファ2によってVLL又はその近傍の中間レベルにプルアップされている。

#### 【0049】

本発明の実施例1の変形例として、書込みバッファ2の別構成を図2(b)～(d)に示す。これらの変形例は、選択状態のワード線WLの電位がVDDの場合、ビット線BL、/BLのレベルを「VDD - V<sub>thn</sub>」以上に昇圧してもデータ読出し時の動作速度の改善に寄与しないという理論限界に着目して低電力化を図ったものである。書込みバッファ2の出力のHighレベルをVDDから「VDD - V<sub>thn</sub>」に低減することで、データ読出し時のビット線の充放電による消費電力を

$$(VDD - V_{thn}) / VDD$$

に低減できる。ここで、V<sub>thn</sub>はnMOSFETの閾値電圧である。

#### 【0050】

書込みバッファ2の出力のHighレベルを「VDD - V<sub>thn</sub>」に抑える手段として、図2(b)はダイオード接続されたnMOSFET Q9をMOSFET Q7に直列に接続している。また、図2(c)は、MOSFET Q7をpMOSからnMOSFET Q7

10

20

30

40

50

’に置き換えている。構成は異なるが、図2(b)と(c)は同等の効果がある。さらに、図2(d)は、図2(b)のMOSFET Q9の挿入位置を変えた変形例であり、MOSFET Q7だけではなく低電圧プルアップ回路6に対しても直列になる位置にMOSFET Q9’を配置していることに特徴がある。データ読出し時に出力OUTのHighレベルを「VDD - V<sub>thn</sub>」に抑えることは、図2(b)又は(c)の構成と同じである。差異はデータ書込み時の出力OUTのHighレベルにあり、図2(b)および(c)の構成がV<sub>LL</sub>であるのに対して、図2(d)の構成は「V<sub>LL</sub> - V<sub>thn</sub>」となる。その結果、書込み時の消費電力を、図2(b)又は(c)の構成に比べて

$$(V_{LL} - V_{thn}) / V_{LL}$$

に低減できる。

10

#### 【0051】

また、図2(d)の第2の特徴として、ダイオード接続されたMOSFET Q9’の両端に、書込制御回路1からのリセット信号 / RSTで制御されるリセット回路7を具備することが挙げられる。VDD近傍に昇圧された擬似電源線VPのレベルをV<sub>LL</sub>もしくはV<sub>LL</sub>近傍に復帰させる際に、リセット信号 / RSTをGNDレベルに制御してMOSFET Q9’のソースとドレインを短絡させる。

#### 【0052】

図4(a)と(b)はリセット回路7の具体例であり、pMOSFET Q11、nMOSFET Q11’の何れも適用可能である。その他、図4(c)、(d)のようにダイオード接続されたnMOSFET Q11”又はpMOSFET Q11’”も利用可能である。復帰される電圧は、ダイオード接続されたnMOSを用いる場合は「V<sub>LL</sub> + V<sub>thn</sub>」、ダイオード接続されたpMOSを用いる場合は「V<sub>LL</sub> + |V<sub>thp</sub>|」になる。ここで、V<sub>thp</sub>はpMOSFETの閾値電圧(負値)である。

20

#### 【実施例2】

#### 【0053】

本発明の実施例2として、特に低消費電力化を追求する場合の構成について以下に述べる。サブスレッショルドリーク電流によるメモリセルアレイの消費電力を低減するには、V<sub>LL</sub>の値をできる限り低く設定することが有効である。V<sub>LL</sub>の理論上の下限は、

$$V_{LL} > \max(V_{thn}, |V_{thp}|)$$

で与えられる。このような低動作電圧条件では、書込みバッファ2の駆動力が低下する為に、ビット線BL、/BLをLowレベルに制御してもメモリセル10内のフリップフロップ回路を反転できないという現象が発生する。実施例2は、上記の問題に対処するものである。

30

#### 【0054】

半導体メモリの構成は、図1に示す実施例1と同じである。実施例1とは、書込制御回路1および擬似電源線ドライバ3の機能が拡張されていることが異なり、データ書込み時の擬似電源線VPを開放状態(フローティング状態)に制御可能である。図8(a)~(c)は、機能拡張された擬似電源線ドライバ3の回路図である。図8(a)はMOSFET Q13のドレイン側、図8(b)はMOSFET Q13のソース側にpMOSFET Q14を付加している。当該コラムの読出し時を除いて、/SH節点はVDDレベルに制御されているので、データを書き込む際は、SF入力をVDDレベルに制御することで出力VPをハイインピーダンス状態に設定できる。その結果、擬似電源線VPは開放状態になる。図8(c)は、論理ゲートOR1を使用した別構成であり、機能上は図8(a)又は(b)と同じである。

40

#### 【0055】

図9は、機能拡張された擬似電源線ドライバ3を使用した際の半導体メモリの書込み動作波形である。データ書込み期間中、擬似電源線VPを開放状態に制御して電源からの電荷の供給を遮断することで、メモリセル10内のフリップフロップ回路の回路節点N1の電位をGNDレベルまで低下させられる。図7に示した実施例1の書込み動作波形との違いは、擬似電源線VPとメモリセル10内の回路節点N2の波形である。擬似電源線VP

50

が開放状態の期間は、メモリセル 10 内のフリップフロップ回路の High 側節点の電位は (V<sub>LL</sub> - V<sub>th</sub>) であり、擬似電源線 VP の開放状態が解除された時点で、V<sub>LL</sub> まで上昇する。このように機能拡張された擬似電源線ドライバ 3 を用いることで、書込みバッファ 2 の駆動力が低下する低電圧動作条件においても、データの確実な書込みを保証できる。

【図面の簡単な説明】

【0056】

【図 1】本発明の実施例 1 の半導体メモリの回路図である。

【図 2】(a) ~ (d) は実施例 1 における書込みバッファの構成例を示す回路図である。

10

【図 3】(a) ~ (f) は図 2 の書込みバッファ内の低電圧プルアップ回路 6 の構成例を示す回路図である。

【図 4】(a) ~ (d) は図 2 (d) の書込みバッファ内のリセット回路 7 の構成例を示す回路図である。

【図 5】実施例 1 における擬似電源線ドライバの構成例を示す回路図である。

【図 6】実施例 1 における読出し動作波形図である。

【図 7】実施例 1 における書込み動作波形図である。

【図 8】(a) ~ (c) は実施例 2 における擬似電源線ドライバの構成例を示す回路図である。

【図 9】実施例 2 における書込み動作波形図である。

20

【図 10】従来の半導体メモリの回路図である。

【図 11】従来の半導体メモリで使用されている書込みバッファの回路図である。

【図 12】従来の半導体メモリの読出し動作波形図である。

【図 13】従来の半導体メモリの書込み動作波形図である。

【図 14】実施例 1 における書込みバッファの入出力関係の説明図である。

【図 15】実施例 1 における擬似電源線ドライバの入出力関係の説明図である。

【符号の説明】

【0057】

1, 1' : 書込み制御回路

2, 2' : 書込みバッファ

30

3 : 擬似電源線ドライバ

3' : 固定電源

4 : 高抵抗

5 : 電流センス回路

6 : 低電圧プルアップ回路

7 : リセット回路

8 : 電流制限抵抗

10 : メモリセル

WL : ワード線

BL, /BL : ビット線ペア

40

VG, /VG : 擬似 GND 線ペア

VP : 擬似電源線

Q1, Q2, Q7, Q10, Q11, Q12, Q13, Q14, Q15 : pMOSFET

T

Q3, Q4, Q5, Q6, Q7', Q8, Q9, Q9', Q10', Q11', Q11"

"', Q16 : nMOSFET

INV1, INV2, INV3 : インバータ

OR1 : オアゲート

Y : コラム選択信号、入力端子、

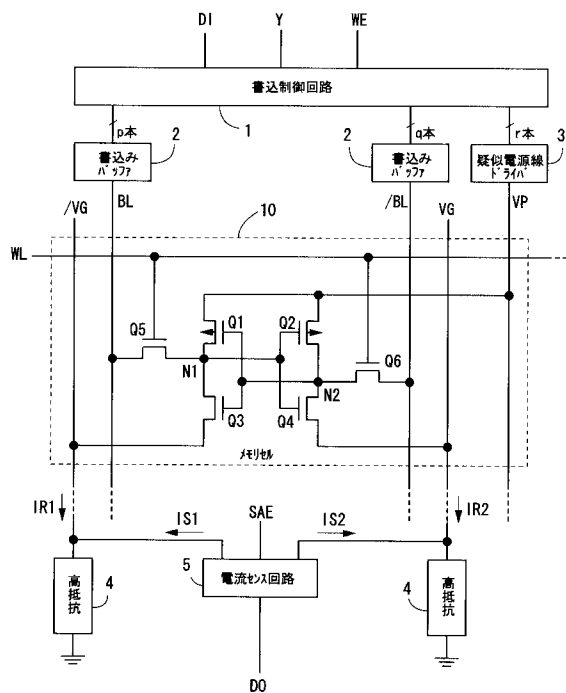
SAE : 活性化信号、入力端子

50

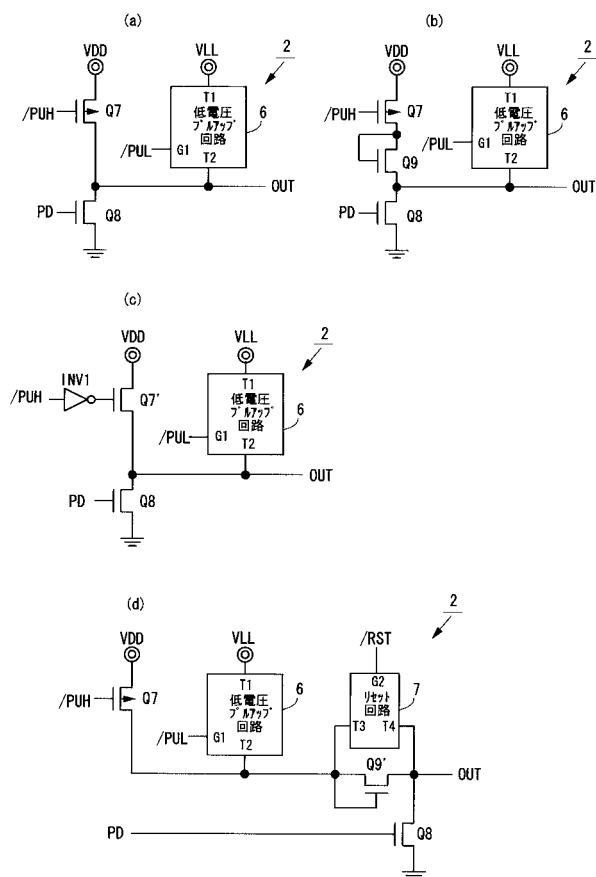
WE : 書込要求信号、入力端子  
 DI : データの入力端子  
 DO : 出力データ、出力端子  
 /PUH : ビット線の High レベルプルアップ信号  
 /PUL : ビット線の Low レベルプルアップ信号  
 PD : ビット線のプルダウン信号  
 /RST : リセット信号  
 /SH : 擬似電源線の High レベル制御信号  
 /SL : 擬似電源線の Low レベル制御信号  
 SF : 擬似電源線の開放 (フローティング) 制御信号  
 N1, N2, G1, G2, T1, T2, T3, T4 : 回路節点

10

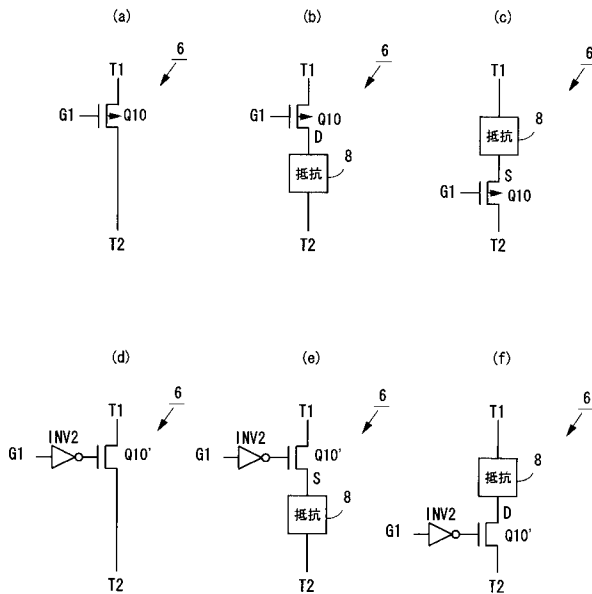
【図 1】



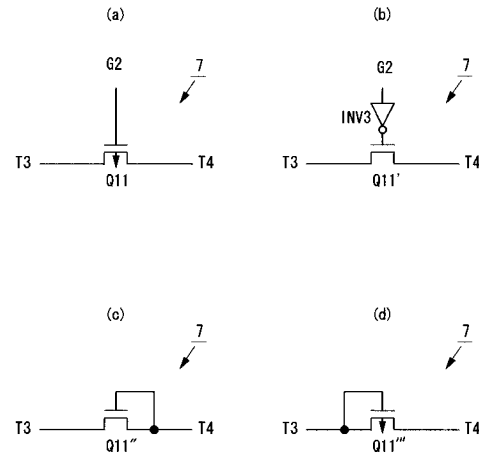
【図 2】



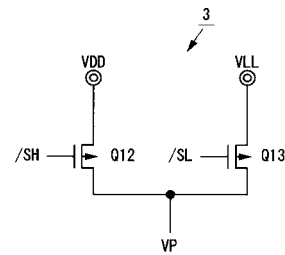
【図3】



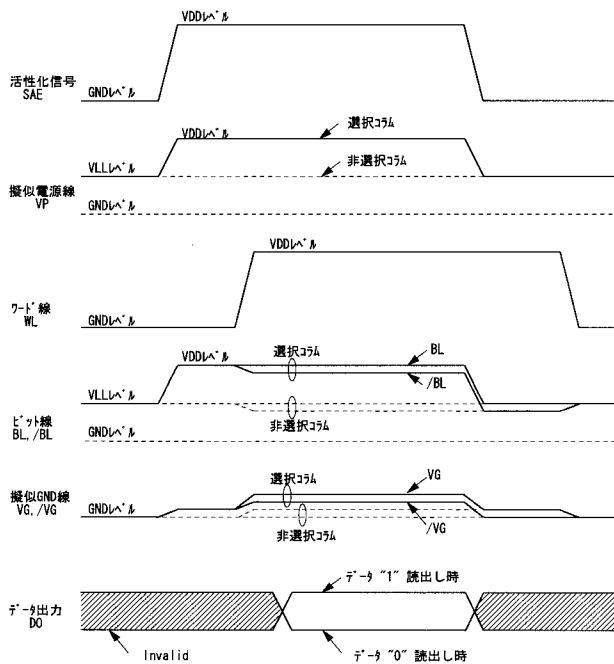
【図4】



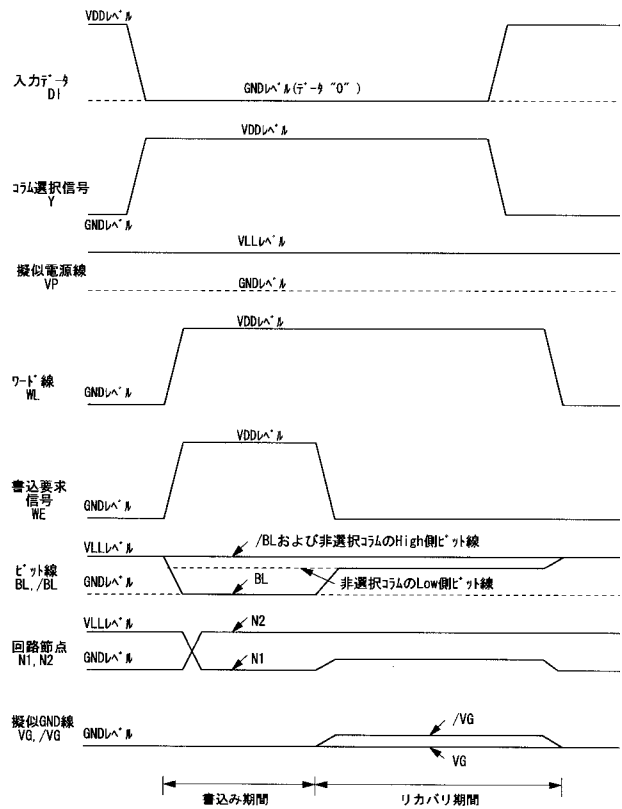
【図5】



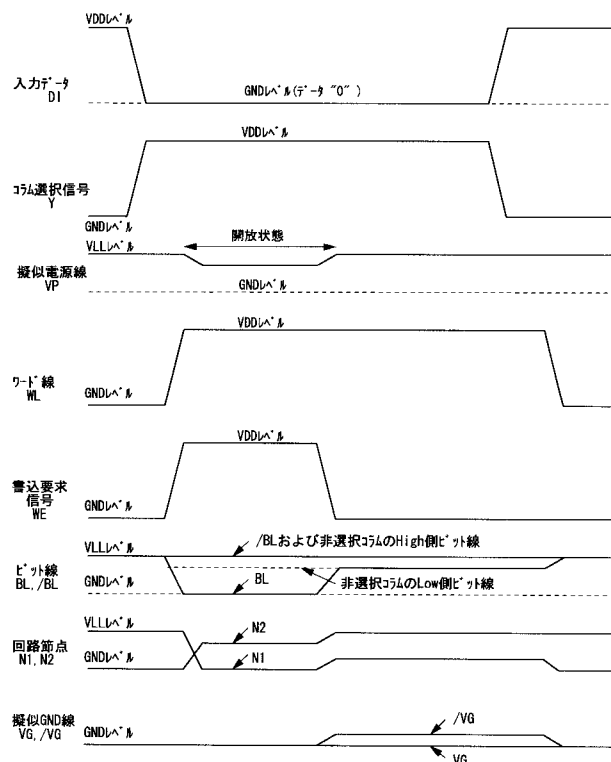
【図6】



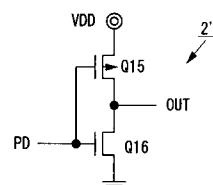
【図7】



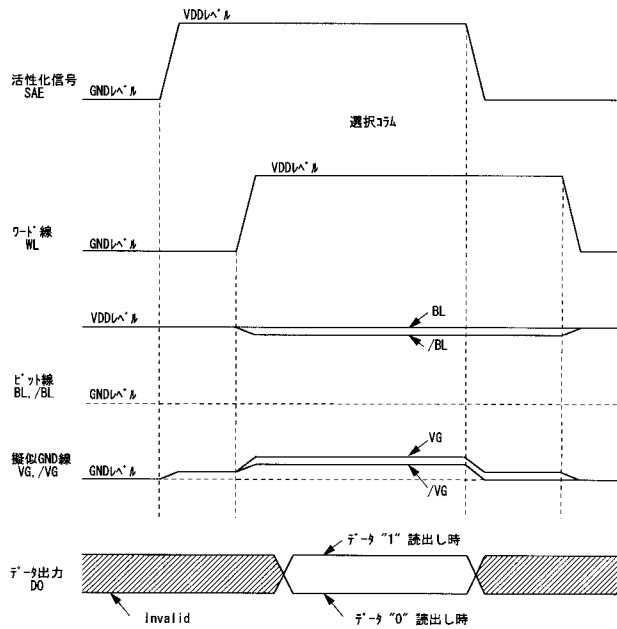
【图 9】



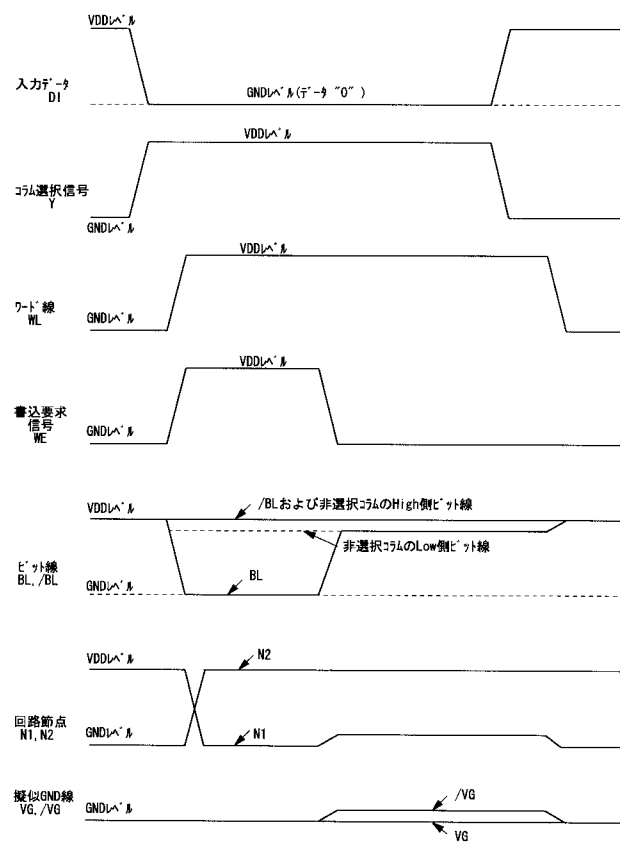
【 ㊦ 1 1 】



【図 12】



【図 13】



【図 14】

書き込み回路 2 の入出力関係

入力信号			出力信号
PD	/PUH	/PUL	OUT
High	High	High	GNDレベル
Low	Low	High	VDDレベル
Low	High	Low	VLLレベル

【図 15】

擬似電源線 3 の入出力関係

入力信号		出力電圧
/SH	/SL	VP
Low	High	VDD
High	Low	VLL