

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6558990号
(P6558990)

(45) 発行日 令和1年8月14日 (2019.8.14)

(24) 登録日 令和1年7月26日 (2019.7.26)

(51) Int.Cl.

F I

H O 1 L 21/3205 (2006.01)

H O 1 L 21/88 Z

H O 1 L 21/768 (2006.01)

G O 2 F 1/1345

H O 1 L 23/522 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1345 (2006.01)

G O 9 F 9/00 3 3 8

G O 2 F 1/1368 (2006.01)

G O 9 F 9/30 3 3 6

請求項の数 12 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2015-142652 (P2015-142652)
 (22) 出願日 平成27年7月17日 (2015.7.17)
 (65) 公開番号 特開2017-28002 (P2017-28002A)
 (43) 公開日 平成29年2月2日 (2017.2.2)
 審査請求日 平成30年6月15日 (2018.6.15)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 青木 理
 熊本県菊池市泗水町住吉1576番地1
 メルコ・ディスプレイ・テクノロジー株式
 会社内
 (72) 発明者 野海 茂昭
 熊本県菊池市泗水町住吉1576番地1
 メルコ・ディスプレイ・テクノロジー株式
 会社内

最終頁に続く

(54) 【発明の名称】 電子装置およびその製造方法とリペア方法

(57) 【特許請求の範囲】

【請求項 1】

多層配線構造を有する電子装置であって、
 下地層と、
 前記下地層の上に配設されたパターンニングされた配線と、
 前記下地層および前記配線の上に形成された絶縁膜と、を備え、
 前記絶縁膜は、
 少なくとも前記配線の上方に対応する部分の膜厚が周囲より薄くなった、前記配線の接
 続リペアのための薄膜部を有する、電子装置。

【請求項 2】

前記薄膜部は、
 前記薄膜部の前記配線の延在方向とは直交する方向の端縁部が、前記配線の幅方向の 2
 つの端縁部より内側に収まるように設けられる、請求項 1 記載の電子装置。

【請求項 3】

前記薄膜部は、
 前記薄膜部の前記配線の延在方向とは直交する方向の端縁部が、前記配線の幅方向の 2
 つの端縁部の外側まで延在するように設けられる、請求項 1 記載の電子装置。

【請求項 4】

前記薄膜部は、
 前記薄膜部の前記配線の延在方向とは直交する方向の端縁部の一方が、前記配線の幅方

向の２つの端縁部のうち一方の外側まで延在するように設けられる、請求項１記載の電子装置。

【請求項５】

前記薄膜部は、

前記薄膜部の前記配線の延在方向とは直交する方向の端縁部の一方が、前記配線の幅方向の２つの端縁部のうち一方の外側まで延在するように設けられた第１の薄膜部と、

前記薄膜部の前記配線の延在方向とは直交する方向の前記端縁部の他方が、前記配線の幅方向の２つの前記端縁部のうち他方の外側まで延在するように設けられた第２の薄膜部とで一組をなし、前記第１の薄膜部と前記第２の薄膜部とは間を開けて並べて設けられる、請求項１記載の電子装置。

10

【請求項６】

前記薄膜部は、

前記配線の幅方向の前記端縁部を越えて延在する延在部の厚みが、前記配線の厚みと同程度に設定される、請求項３から請求項５の何れか１項に記載の電子装置。

【請求項７】

前記薄膜部は、

前記配線の幅方向の前記端縁部を越えて延在する延在部の長さが、前記絶縁膜の厚み以上に設定される、請求項３から請求項５の何れか１項に記載の電子装置。

【請求項８】

前記薄膜部は、

前記配線の延在方向に沿って複数設けられる、請求項１記載の電子装置。

20

【請求項９】

請求項１記載の電子装置の製造方法であって、

前記絶縁膜に前記薄膜部を形成する工程は、

(a) 写真製版工程により、前記絶縁膜上の前記薄膜部に対応する部分が凹部となって他の部分よりも薄くなったレジストパターンを形成する工程と、

(b) 前記凹部が消滅して開口部が形成されるように前記レジストパターンの膜厚を減じる工程と、

(c) 前記工程(b)の後、膜厚を減じた前記レジストパターンを用いて、エッチングにより、前記開口部下の前記絶縁膜の厚さを薄くして前記薄膜部を形成する工程と、を備える、電子装置の製造方法。

30

【請求項１０】

前記工程(a)は、

前記薄膜部に対応する部分が、露光光を全て透過させる透過部より透過率の低い半透過部となったグレートンマスクを用いてフォトリソを露光する工程を含む、請求項９記載の電子装置の製造方法。

【請求項１１】

請求項８記載の電子装置のリペア方法であって、

(a) 前記配線の欠陥部分を挟む少なくとも２箇所の前記薄膜部にそれぞれレーザー光を照射して前記薄膜部の前記絶縁膜を除去し、前記配線に達する貫通孔を形成する工程と

40

(b) 前記貫通孔に露出する前記配線を少なくとも覆って、前記少なくとも２箇所の前記薄膜部に渡るように導体膜を形成して、前記欠陥部分を電氣的に短絡する工程と、を備える、リペア方法。

【請求項１２】

前記工程(b)は、

レーザーＣＶＤにより前記導体膜を形成する、請求項１１記載のリペア方法。

【発明の詳細な説明】

【技術分野】

【０００１】

50

本発明は液晶表示装置などの電子装置に関し、特に、配線等のリペアを容易とした電子装置に関する。

【背景技術】

【0002】

電子装置の1つである液晶表示装置の表示方式としては、TN (Twisted Nematic) モードが広く用いられてきた。しかし、昨今では、画素電極と、それに対向するように設けられた対向電極(共通電極)との間に電圧を印加し、パネル面に水平な電界を発生させ、当該水平電界により液晶分子を水平方向に駆動する横電界方式が使用されつつある。

【0003】

横電界方式は、広視野角化、高精細度化および高輝度化に有利であり、今後はスマートフォンやタブレット機器などを代表とする中小型パネルを有する機器で主流になるものと考えられる。

【0004】

横電界方式としては、IPS (In Plane Switching) 方式およびFFS (Fringe Field Switching) 方式が知られている (IPSは登録商標である)。FFS方式は、絶縁膜を間に介して下部電極と、スリットを有する上部電極とを配置し、何れか一方を画素電極とし、他方を共通電極として使用する。

【0005】

IPS方式は、対向する基板間に挟持された液晶層に横電界を印加して表示を行うが、横電界を印加する画素電極と共通電極とが同一層に設けられている。

【0006】

何れの方式を採用する場合でも、一对の透明基板に液晶層を挟持し、一对の透明基板のうちの一方の液晶層側には、間に絶縁膜を介してマトリクス状に配置された複数の走査線および複数の信号線と、走査線と信号線の交点近傍に設けられた薄膜トランジスタ (TFT) と、信号線を介して映像信号が与えられる画素電極とが設けられたTFT基板を有し、走査線からの走査信号によりTFTのオン、オフが制御されることで、画素電極への映像信号の供給が制御される。

【0007】

近年、表示装置においては小型化や高精密度化が進んでいるが、一方で市場の品質要求も高まっている。表示装置の不良としては様々な要因に基づいたものがあるが、その一つとして、製造工程での異物などにより、信号線、走査線および電極が部分的に断線して電気信号が遮断されることで、表示画面上で線状の欠陥となる線欠陥不良が挙げられる。

【0008】

対策として、検査工程で断線を検知し、断線箇所を導電性のメタルデポジション膜で短絡接続する所謂 " 接続リペア " が有効な手段として用いられている。

【0009】

例えば、特許文献1には、断線部を挟む2箇所にレーザー光を照射して、配線を覆う絶縁膜を部分的に除去し、当該絶縁膜を貫通する2つのコンタクトホールを形成する。そして、その断線部を挟む2つのコンタクトホールに渡るように導電膜を形成して断線箇所を短絡して導通させる技術が開示されている。

【0010】

また、特許文献2には、配線を覆う絶縁膜に配線を露出させるコンタクトホールを予め設けておき、配線に断線が生じた場合には、断線部を挟む2つのコンタクトホールに渡るように導電膜を形成し、断線箇所を短絡することで、所定の信号が導電膜を介して断線箇所より先の画素電極などに供給されるように修復するというリペア方法が開示されている。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開平5 - 88191号公報

10

20

30

40

50

【特許文献2】特開平11-190858号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

特許文献1に開示されているように、配線上の絶縁膜にレーザーなどで孔を開けてからリペア用金属膜の形成を行う場合、絶縁膜に孔を開ける際に、レーザーパワーのばらつきなどでパワーが不十分な場合は、絶縁膜を貫通できないことがある。また、同じ理由でパワーが過剰な場合、周辺や下層パターンにダメージを与え、また、孔の断面形状が乱れて上層に形成するリペア用のメタルデポジション膜のカバレッジ性が低下し、接続リペアを行っても十分な電氣的導通が得られない場合があった。また、一見問題なくリペアできたように見えても、導通経路が細く不完全となっており、経時劣化により、出荷後において再度断線状態になってしまうなど、リペア成功率や接続信頼性が不十分であるという課題があった。

10

【0013】

また、特許文献2に開示されているように、配線を覆う絶縁膜に配線を露出させるリペア用のコンタクトホールを予め設けたリペア方法では、写真製版工程などで予めリペア用のコンタクトホールを形成する必要がある、製造工程数が増え製造コストが上昇するという問題があった。また、リペアできるのは、リペア用のコンタクトホール形成後から上層膜形成前までの工程で発生した不具合に限られるため、工程設計上の自由度が小さくなるという問題があった。また、断線部以外にもリペア用のコンタクトホールが存在し、該当部では配線が露出しているため、液晶ディスプレイなどの場合、ソース配線などの液晶層に近い信号線のリペアのためにリペア用のコンタクトホールを設けると、液晶に直流成分の電流が流れ、その結果、液晶が劣化して表示不良を引き起こすという問題があった。また、これを回避するために、断線部のリペア後に上層に絶縁膜を形成する場合、さらに製造工程が増え、製造コストが上昇するという問題があった。

20

【0014】

本発明は上記のような問題を解決するためになされたものであり、電子装置における配線等のリペアを容易かつ確実に行うことができ、リペアに伴う製造工程数の増加を抑制して、製造コストの上昇を抑制できるリペア技術を提供する。

【課題を解決するための手段】

30

【0015】

本発明に係る電子装置は、多層配線構造を有する電子装置であって、下地層と、前記下地層の上に配設されたパターンニングされた配線と、前記下地層および前記配線の上に形成された絶縁膜と、を備え、前記絶縁膜は、少なくとも前記配線の上方に対応する部分の膜厚が周囲より薄くなった、前記配線の接続リペアのための薄膜部を有する。

【発明の効果】

【0016】

本発明に係る電子装置によれば、配線上の絶縁膜に薄膜部を設けるため、配線のリペアに際して、除去する絶縁膜の膜厚が薄く、除去用のレーザーパワーが比較的弱いエネルギーで除去できるので、リペアにかかる時間が短縮でき生産性が向上する。また、リペアする箇所のみ絶縁膜を除去するため、それ以外の薄膜部は配線上は絶縁膜で覆われているので配線の金属が露出することがなく、配線に流れる直流成分の電流が表示特性に影響を及ぼすことがない。

40

【図面の簡単な説明】

【0017】

【図1】一般的な液晶表示パネルの1つの画素部の構成を示す平面図である。

【図2】一般的な液晶表示パネルの1つの画素部の部分構成を示す断面図である。

【図3】従来のリペア方法を説明する図である。

【図4】従来のリペア方法を説明する図である。

50

【図 5】従来のリペア方法を説明する図である。

【図 6】従来のリペア方法を説明する図である。

【図 7】従来のリペア方法を説明する図である。

【図 8】本発明に係る実施の形態 1 の液晶表示パネルの 1 つの画素部の構成を示す平面図である。

【図 9】本発明に係る実施の形態 1 の液晶表示パネルの 1 つの画素部の部分構成を示す断面図である。

【図 10】本発明に係る実施の形態 1 におけるソース配線のリペア前の図である。

【図 11】本発明に係る実施の形態 1 のリペア工程を説明する図である。

【図 12】本発明に係る実施の形態 1 のリペア工程を説明する図である。

10

【図 13】本発明に係る実施の形態 1 のリペア工程を説明する図である。

【図 14】本発明に係る実施の形態 1 におけるソース配線のリペア後の図である。

【図 15】本発明に係る実施の形態 1 の液晶表示パネルの製造方法を説明する図である。

【図 16】本発明に係る実施の形態 1 の液晶表示パネルの製造方法を説明する図である。

【図 17】本発明に係る実施の形態 1 の液晶表示パネルの製造方法を説明する図である。

【図 18】本発明に係る実施の形態 1 の液晶表示パネルの製造方法を説明する図である。

【図 19】本発明に係る実施の形態 1 の液晶表示パネルの製造方法を説明する図である。

【図 20】本発明に係る実施の形態 1 の液晶表示パネルの製造方法を説明する図である。

【図 21】本発明に係る実施の形態 1 の液晶表示パネルの製造方法を説明する図である。

【図 22】リペア用薄膜部の形成方法を説明する図である。

20

【図 23】リペア用薄膜部の形成方法を説明する図である。

【図 24】リペア用薄膜部の形成方法を説明する図である。

【図 25】リペア用薄膜部の形成方法を説明する図である。

【図 26】リペア用薄膜部の形成方法を説明する図である。

【図 27】本発明に係る実施の形態 2 におけるソース配線のリペア前の図である。

【図 28】本発明に係る実施の形態 2 のリペア工程を説明する図である。

【図 29】本発明に係る実施の形態 2 のリペア工程を説明する図である。

【図 30】本発明に係る実施の形態 2 におけるソース配線のリペア後の図である。

【図 31】本発明に係る実施の形態 2 のリペア工程を説明する図である。

【図 32】本発明に係る実施の形態 2 の変形例におけるソース配線のリペア後の図である

30

。【図 33】本発明に係る実施の形態 2 の変形例におけるソース配線のリペア後の断面図である。

【図 34】本発明に係る実施の形態 3 におけるソース配線のリペア前の図である。

【図 35】本発明に係る実施の形態 3 のリペア工程を説明する図である。

【図 36】本発明に係る実施の形態 3 のリペア工程を説明する図である。

【図 37】本発明に係る実施の形態 3 におけるソース配線のリペア後の図である。

【図 38】本発明に係る実施の形態 3 のリペア工程を説明する図である。

【図 39】本発明に係る実施の形態 3 の変形例におけるソース配線のリペア後の図である

40

。【図 40】本発明に係る実施の形態 3 の変形例におけるソース配線のリペア後の断面図である。

【図 41】本発明に係る実施の形態 4 におけるソース配線のリペア前の図である。

【図 42】本発明に係る実施の形態 4 のリペア工程を説明する図である。

【図 43】本発明に係る実施の形態 4 のリペア工程を説明する図である。

【図 44】本発明に係る実施の形態 4 におけるソース配線のリペア後の図である。

【図 45】本発明に係る実施の形態 4 のリペア工程を説明する図である。

【図 46】本発明に係る実施の形態 4 の変形例におけるソース配線のリペア後の図である

。【図 47】本発明に係る実施の形態 4 の変形例におけるソース配線のリペア後の断面図で

50

ある。

【図４８】本発明に係る実施の形態５の液晶表示パネルの１つの画素部の構成を示す平面図である。

【図４９】本発明に係る実施の形態５におけるソース配線のリペア前の図である。

【図５０】本発明に係る実施の形態５のリペア工程を説明する図である。

【図５１】本発明に係る実施の形態５のリペア工程を説明する図である。

【図５２】本発明に係る実施の形態５におけるソース配線のリペア後の図である。

【図５３】本発明に係る実施の形態５におけるソース配線のリペア後の図である。

【発明を実施するための形態】

【００１８】

<はじめに>

実施の形態の説明に先立って従来のリペア方法についてさらに説明する。図１は、一般的なＴＮ（Twisted Nematic）方式の透過型の液晶表示パネル９０の１つの画素部の構成を示す平面図であり、薄膜トランジスタ（ＴＦＴ）３０がマトリックス状に配列されるＴＦＴ基板側の構成を示している。また、図２は、図１におけるＡ－Ａ線での断面構成を示す図である。

【００１９】

以下、図１および図２を用いて、液晶表示パネル９０の構成を説明する。図１に示されるように液晶表示パネル９０は、信号線であるソース配線４１と走査線であるゲート配線２１とが直交するように交わっており、両者が交差する部分の近傍にＴＦＴ３０が設けられている。ＴＦＴ３０は、画素電極７に外部から入力された映像信号に基づいた表示電圧を印加させるために、表示電圧の供給を制御する。

【００２０】

図２に示されるように、ＴＦＴ３０は、ガラス等の透明絶縁性基板１上に配置されたゲート電極２と、ゲート電極２の上を覆うゲート絶縁膜１１と、ゲート絶縁膜１１上のゲート電極２の上方に設けられた半導体膜３と、半導体膜３上のオーミックコンタクト膜６と、半導体膜３上にオーミックコンタクト膜６を介して設けられたソース電極４およびドレイン電極５とを備えている。そして、ドレイン電極５を覆うように層間絶縁膜１２が設けられ、層間絶縁膜１２上には画素電極７が設けられ、画素電極７はコンタクトホールＣＨ１を介してドレイン電極５に電氣的に接続されている。

【００２１】

図１に示されるように、ソース電極４は、ソース配線４１とゲート配線２１の直交部において、ソース配線４１から、ソース配線４１に直交する方向に延在するように設けられ、半導体膜３の上方に達している。ドレイン電極５は、ソース電極４に対して平面視で対向する位置に設けられており、ドレイン電極５は、半導体膜３の上方から画素電極７の下方にまで延在している。

【００２２】

ＴＦＴ３０はゲート配線２１の上方に設けられ、ゲート配線２１がゲート電極２となる。

【００２３】

画素電極７は、ソース配線４１とゲート配線２１とで規定される画素領域をほぼ覆う大きさおよび平面形状に形成されている。なお、画素電極７と上下の関係で液晶層（図示せず）を挟んで対向するように共通電極（図示せず）が対向基板側に設けられ、当該共通電極は、ゲート配線２１と同層で形成された共通配線（図示せず）に電氣的に接続される。

【００２４】

次に、図３～図７を用いて、従来のリペア方法について説明する。図３は、図１に示した液晶表示パネル９０において、ソース配線４１に生じた断線欠陥の一例を示している。図３に示すように、欠陥部分である断線部ＢＬにおいてソース配線４１が破断し、電気信号をソース電極４に与えることができない状態となっている。このような場合、断線部ＢＬを挟む２箇所のソース配線４１上の層間絶縁膜にレーザー光を照射し、照射部分の層間

10

20

30

40

50

絶縁膜を除去し、ソース配線 4 1 に達する貫通孔 L P を形成する。そして、図 4 に示されるように、断線部 B L を挟む 2 つの貫通孔 L P に渡るようにリペア用導電膜 R L を形成し、断線部 B L を電氣的に短絡する。

【 0 0 2 5 】

ここで、図 5 ～ 図 7 を用いて、従来のリペア工程を説明する。なお、図 5 ～ 図 7 においては、図 4 に示す B - B 線での断面に相当する構成を (a) 部として示し、C - C 線での断面に相当する構成を (b) 部として示している。

【 0 0 2 6 】

図 5 においては、断線欠陥が生じたソース配線 4 1 を示している。次に、図 6 に示す工程において、断線部 B L を挟む 2 箇所のソース配線 4 1 上の層間絶縁膜 1 2 にレーザー光 L Z を照射することでレーザー蒸散加工法 (Z a p p i n g 法) により、照射部分の層間絶縁膜 1 2 を除去し、ソース配線 4 1 に達する貫通孔 L P を形成する。

【 0 0 2 7 】

図 6 に示すように、貫通孔 L P の内面に凹凸が生じ、断面形状が乱れた状態となっている。これは、レーザー光 L Z のパワーが過剰な場合にはより顕著に発生しやすく、場合によってはソース配線 4 1 にもダメージによる凹凸および断線が生じる場合がある。一方、レーザー光 L Z のパワーが不十分な場合は、層間絶縁膜 1 2 を貫通できず、貫通孔 L P が未形成となる場合がある。前者の場合は、一旦は断線部 B L を電氣的に短絡できても、経時劣化などによって後に断線状態となる可能性があり、後者の場合は、リペア用導電膜 R L を形成しても断線部 B L を電氣的に短絡することができない。

【 0 0 2 8 】

次に、図 7 に示す工程において、2 つの貫通孔 L P に渡るようにリペア用導電膜 R L を形成することで、断線部 B L を電氣的に短絡するが、貫通孔 L P の断面形状が乱れているので、リペア用導電膜 R L のカバレッジ性が低くなっており、信頼性が不十分である。

【 0 0 2 9 】

< 実施の形態 1 >

< 装置構成 >

以下、本発明に係る電子装置の実施の形態 1 について説明する。図 8 は実施の形態 1 の T N (Twisted Nematic) 方式の透過型の液晶表示パネル 1 0 0 の 1 つの画素部の構成を示す平面図であり、T F T 3 0 がマトリックス状に配列される T F T 基板側の構成を示している。また、図 9 は、図 8 における A - A 線での断面構成を示す断面図であり、ソース配線部、T F T 部および画素部の断面構成を示している。

【 0 0 3 0 】

以下、図 8 および図 9 を用いて、液晶表示パネル 1 0 0 の構成を説明する。なお、図 8 および図 9 においては、図 1 および図 2 を用いて説明した液晶表示パネル 9 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 3 1 】

図 8 に示されるように液晶表示パネル 1 0 0 においては、ソース配線 4 1 を覆う層間絶縁膜 1 2 (図示せず) に、ソース配線 4 1 に沿って、複数のリペア用薄膜部 2 0 が設けられている。なお、図 8 においては、ソース配線 4 1 に生じた断線欠陥の一例を示しており、断線部 B L が形成されているが、これは本発明に係るリペア方法を説明するためのものであり、発明の構成ではない。

【 0 0 3 2 】

図 9 に示すようにリペア用薄膜部 2 0 は、ソース配線 4 1 を覆う層間絶縁膜 1 2 の厚みが部分的に他の部分よりも薄くなった部位である。

【 0 0 3 3 】

図 1 0 は、図 8 におけるソース配線 4 1 の断線部 B L を挟む 2 つのリペア用薄膜部 2 0 を含むソース配線 4 1 のリペア前の拡大図である。図 1 0 に示すように、リペア用薄膜部 2 0 は、ソース配線 4 1 の上部からはみ出ない大きさ、すなわち、リペア用薄膜部 2 0 のソース配線 4 1 の延在方向とは直交する方向の端縁部が、ソース配線 4 1 の幅方向の 2 つ

の端縁部より内側に収まるように設けられている。なお、図10においては、2つのリペア用薄膜部20に渡るように、ソース配線41の延在方向に設けられたB-B線、および1つのリペア用薄膜部20を配線幅方向に横切るように設けられたC-C線を付している。

【0034】

次に、図11～図13を用いて、本発明に係るリペア工程を説明する。なお、図11～図13においては、図10に示すB-B線での断面に相当する構成を(a)部として示し、C-C線での断面に相当する構成を(b)部として示している。

【0035】

図11に示すように、層間絶縁膜12には、断線部BLを挟むように2つのリペア用薄膜部20が設けられている。図11では2つのリペア用薄膜部20の中間に断線部BLが生じた例を示しているが、これは一例に過ぎない。

【0036】

また、図11では、1つの画素のソース配線41について4つのリペア用薄膜部20を設けた構成を示しているが、リペア用薄膜部20の個数はこれに限定されるものではなく、さらに多く設けても良い。多い方が配線上のどこに断線部が発生しても対応しやすく、また、リペア用導体膜の形成経路が短くできるので、リペア用導体膜の信頼性が向上し、また、リペア処理時間が短くできることにより生産性が向上するので、より好ましい。ただし、リペア用導体膜の形成経路が長くなってもその他の効果に変わりはなく、1つの画素あたり4つより少なくても良いし、1つの画素に1つでも、また、複数の画素で1つを設ける構成でも良い。

【0037】

次に、図12に示す工程において、断線部BLを挟む2箇所のソース配線41上のリペア用薄膜部20にレーザー光LZを照射することでZapping法により、リペア用薄膜部20の層間絶縁膜12を除去し、ソース配線41に達する貫通孔LPを形成する。なお、層間絶縁膜12の除去には、例えば、最大出力エネルギーが $0.5\mu\text{J}$ /パルスを超えるレーザー装置を用いる。

【0038】

すなわち、パルスレーザーを使用し、照射エネルギーと時間を制御して層間絶縁膜12を除去する。なお、レーザー光のスポットはスリットで照射範囲を設定して、リペア用薄膜部20の平面視の大きさと同じかやや大きめに設定し、例えば、 $2\times 2\mu\text{m}$ から $10\times 10\mu\text{m}$ 程度とする。また、レーザー光の波長は、 266nm 、 355nm 、 532nm および 1064nm から選択できるが、波長 266nm のレーザー光を使用することが多い。

【0039】

リペア用薄膜部20では、層間絶縁膜12が薄くなっているため、レーザー光LZのパワーを従来のリペア方法に比べて低いエネルギーに設定しても、除去に費やす時間を短縮でき、生産性が向上する。

【0040】

また、レーザー光LZのパワーを低いエネルギーとすることで、図12に示すように貫通孔LPの内面に凹凸が生じることを抑制でき、貫通孔LPの断面形状が乱れることを抑制できる。このため、次に形成するリペア用導電膜RLのカバレッジ性が良好となり、導通経路が細く不完全となって、経時劣化により、出荷後において再度断線状態になることを防止でき、リペア成功率および接続信頼性を高めることができる。

【0041】

また、リペアする箇所のみリペア用薄膜部20の層間絶縁膜12を除去するので、それ以外のリペア用薄膜部20は配線上の絶縁膜で覆われており、配線の金属が露出することはない。このため、液晶ディスプレイなどの場合、ソース配線などの液晶層に近い信号線のリペアのための複数のリペア用薄膜部20を設けても、液晶に直流成分の電流が流れることがなく、液晶の劣化が防止され、ディスプレイとしての信頼性および表示品質が損な

10

20

30

40

50

われることがない。

【 0 0 4 2 】

次に、図 1 3 に示す工程において、2つの貫通孔 L P に渡るようにリペア用導電膜 R L を形成することで、断線部 B L を電氣的に短絡するが、貫通孔 L P の断面形状が乱れていないので、リペア用導電膜 R L のカバレッジ性が高く、接続リペアの十分に高い信頼性が得られる。図 1 3 に対応する平面図を図 1 4 に示す。

【 0 0 4 3 】

リペア用導電膜 R L は、レーザー C V D (chemical vapor deposition)) 装置を用いて、導電性に優れたタングステン (W) を主成分とする金属膜を堆積させて得ることができる。リペア用導電膜 R L の堆積には、レーザー光源として、連続発振の半導体レーザー (ダイオードレーザー) 装置を用い、その基本波の 1 / 3 波長に波長変換した第 3 高調波 (3 5 1 n m) を使用し、最大平均出力が 2 . 0 m W (4 k H z) 以上であるものを使用した。

10

【 0 0 4 4 】

リペア用導電膜 R L の形成には、タングステンを局所的に堆積させるため、ソースガスとしてタングステン含有カルボニル化合物 (例えば W (C O) ₆) を使用し、キャリアガスとしてアルゴンガス (A r) を用いる。

【 0 0 4 5 】

より具体的には、タングステン含有カルボニル化合物をガス化して、貫通孔 L P が設けられた部分に供給する。ここに、可変スリットで大きさ (幅) を規定したレーザー光を照射することで、レーザー光が当たっている部分のタングステン含有カルボニル化合物が光化学反応してタングステン膜が堆積形成される。なお、膜厚はレーザー光の照射時間で制御し、0 . 1 ~ 0 . 5 μ m の膜厚とした。

20

【 0 0 4 6 】

タングステン含有カルボニル化合物は、レーザー光による分解、堆積効率が高く、成膜安定性に優れている。しかし、クロムカルボニル等の他のソースガスも使用可能である。従って、リペア用導電膜 R L をクロム (C r) その他の金属により形成することも可能である。なお、キャリアガスとしては、不活性であるアルゴンガスが好ましいが、窒素ガス等の不活性ガスも使用可能である。

【 0 0 4 7 】

リペア用導電膜 R L の幅は、レーザー光の大きさを規定する可変スリットの幅およびレーザー光のエネルギーレベルを調整して、例えば 1 ~ 2 5 μ m の範囲から適宜選択することができる。なお、リペア用導電膜 R L の膜厚は、例えば 1 . 5 μ m 以下の範囲から適宜選択することができる。

30

【 0 0 4 8 】

ここで、リペア用導電膜 R L の形成にレーザー C V D を用いる場合は、Z a p p i n g に用いるレーザー装置とレーザー C V D に用いるレーザー装置の両方を備えたレーザー加工装置を用いることが可能となり、Z a p p i n g とリペア用導電膜 R L の形成とを、連続して行うことができ、効率的な作業が可能となる。

【 0 0 4 9 】

また、リペア用薄膜部 2 0 は、ソース配線 4 1 の上部からはみ出ない大きさに形成される。よって、リペア用薄膜部 2 0 に形成されるリペア用コンタクトホール の底面はソース配線 4 1 の上面のみなのでほぼ平面であり、リペア用導電膜 R L のカバレッジが良好である。

40

【 0 0 5 0 】

なお、リペア用導電膜 R L の形成はレーザー C V D に限定されるものではなく、例えば、導電性ペースト (金属材料を含む有機溶液) を 2 つのリペア用薄膜部 2 0 に渡るように塗布し、その後、加熱、乾燥させることでリペア用導電膜 R L を形成しても良い。断線部 B L を電氣的に短絡できるのであれば、リペア用導電膜 R L の形成方法は限定されず、従来の技術を用いることができる。

50

【 0 0 5 1 】

< 製造方法 >

< 液晶表示パネルの製造方法 >

次に、製造工程を順に示す断面図である図 1 5 ~ 図 2 1 を用いて、リペア用薄膜部の製造方法を含めて液晶表示パネル 1 0 0 の製造方法について説明する。なお、図 1 5 ~ 図 2 1 のそれぞれは、図 9 に示した断面図に対応し、図 8 における A - A 線での断面構成を示している。

【 0 0 5 2 】

まず、図 1 5 に示すように、ガラス等の透明絶縁性基板 1 を準備する。その後、下地層となる透明絶縁性基板 1 上全面に、第 1 の金属膜 M L 1 として、例えば A l N i N d 膜または A l N i N d に対して N (窒素) を添加した A l N i N d N 膜を、スパッタリング法により 2 1 0 n m 程度の厚さに形成する。

10

【 0 0 5 3 】

次に、第 1 の金属膜 M L 1 上にフォトリソグロフィー工程を塗布した後、露光および現像を行ってレジストパターン R M 1 をパターンニングする。以後、これらの一連の工程をフォトリソグロフィー工程と呼称する。

【 0 0 5 4 】

この第 1 のフォトリソグロフィー工程では、ゲート電極 2 およびゲート配線 2 1 をパターンニングするためのレジストパターン R M 1 が形成され、その後、このレジストパターン R M 1 をエッチングマスクとして第 1 の金属膜 M L 1 をエッチングし、レジストパターン R M 1 を除去することで、図 1 6 に示すように、ゲート電極 2 およびゲート配線 2 1 が得られる。以後、これらの一連の工程をエッチング、レジスト除去工程と呼称する。

20

【 0 0 5 5 】

次に、図 1 7 に示す工程において、透明絶縁性基板 1 上全面を覆うように、例えば C V D 法により、厚さ 4 0 0 n m 程度の窒化シリコン (S i N) 膜を形成してゲート絶縁膜 1 1 とする。

【 0 0 5 6 】

次に、下地層となるゲート絶縁膜 1 1 上全面に、半導体膜およびオーミックコンタクト膜をこの順に形成し、その上にフォトリソグロフィー工程を塗布した後、フォトリソグロフィー工程 (第 2 のフォトリソグロフィー工程) を行って、レジストパターン (図示せず) を形成する。

30

【 0 0 5 7 】

ここで、半導体膜は、例えば C V D 法により、真性半導体のアモルファスシリコン (a - S i (i)) で厚さ 1 5 0 n m 程度に形成され、オーミックコンタクト膜は、例えば C V D 法により、N 型の不純物がドーピングされたアモルファスシリコン (a - S i (n)) で厚さ 3 0 n m 程度に形成される。なお、不純物としては、リン (P) やヒ素 (A s) などがドーピングされる。

【 0 0 5 8 】

その後、レジストパターンをエッチングマスクとして、オーミックコンタクト膜および半導体膜をエッチングし、レジストパターンを除去することで、図 1 8 に示すように、ゲート電極 2 とその周辺の上部のみに半導体膜 3 およびオーミックコンタクト膜 6 が残ったパターンが得られる。

40

【 0 0 5 9 】

次に、下地層となるゲート絶縁膜 1 1 上全面を覆うように、第 2 の金属膜として、例えば C r 膜を、スパッタリング法により 2 0 0 n m 程度の厚さに形成する。そして、その上にレジストを塗布した後、フォトリソグロフィー工程 (第 3 のフォトリソグロフィー工程) を行って、レジストパターン R M 2 を形成する。

【 0 0 6 0 】

このレジストパターン R M 2 は、ソース電極 4、ドレイン電極 5 およびソース配線 4 1 をパターンニングするためのレジストパターンであり、このレジストパターン R M 2 をエッ

50

チングマスクとして第2の金属膜をエッチングすることで、図19に示されるように、ソース電極4、ドレイン電極5およびソース配線41が形成される。

【0061】

さらに、レジストパターンRM2を用いて、チャンネル領域上のオーミックコンタクト膜6をエッチングにより完全に除去し、また、半導体膜3を所定深さまでエッチングにより除去し、レジストパターンRM2を除去することで、図20に示すように、チャンネル領域が形成される半導体膜3の厚さが所定厚さとなる。

【0062】

次に、透明絶縁性基板1上全面を覆うように、例えばCVD法により、厚さ400nm程度のSiN膜を形成して層間絶縁膜12とする。その後、フォトリソグラフィ工程（第4のフォトリソグラフィ工程）を行って、レジストパターン（図示せず）を形成し、当該レジストパターンをエッチングマスクとして層間絶縁膜12をエッチングし、レジストパターンを除去することで、図21に示すように、画素部においてドレイン電極5に達するコンタクトホールCH1を形成すると共に、ソース配線41の上方にリペア用薄膜部20を形成する。

10

【0063】

次に、透明絶縁性基板1上全面を覆うように、透明導電膜、例えばITO（Indium Tin Oxide）膜をスパッタリング法により80nm程度の厚さに形成する。その後、フォトリソグラフィ工程（第5のフォトリソグラフィ工程）を行って、レジストパターン（図示せず）を形成し、当該レジストパターンをエッチングマスクとして透明導電膜をエッチングし、レジストパターンを除去することで、画素部において画素電極7がパターンニングされ、図9に示した断面構成を得る。なお、図11～図13を用いて説明したリペア工程は、この段階で実施すれば良い。

20

【0064】

そして、完成したTFT基板の上に、その後のセル工程において配向膜を形成する。また、別途作製され対向電極を有する対向基板の上にも配向膜を形成する。そして、これらの配向膜に対して、ラビングなどの手法を用いて、液晶との接触面に一方向に微細な傷をつける配向処理を施す。

【0065】

次に、TFT基板または対向基板の周縁部にシール材を塗布して、TFT基板と対向基板とを、互いの配向膜が向き合うように所定の間隔で貼り合わせる。その後、真空注入法等を用いて、液晶注入口から液晶を注入し、液晶注入口を封止する。このようにして形成した液晶セルの両面に偏光板を貼り付け、駆動回路を接続した後、バックライトユニットを取り付けることで液晶表示装置が完成する。

30

【0066】

<リペア用薄膜部の形成方法>

次に、第4のフォトリソグラフィ工程におけるリペア用薄膜部20の形成方法について、図22～図26を用いてさらに説明する。

【0067】

第4のフォトリソグラフィ工程では、透明絶縁性基板1上全面を覆うように層間絶縁膜12を形成した後、層間絶縁膜12上にレジストを塗布し、プリベークを行った後に図22に示すように、グレートンマスクGMを用いて露光を行う。

40

【0068】

すなわち、グレートンマスクGMは、層間絶縁膜12においてリペア用薄膜部20を形成するためのグレートンパターンGTと、画素部においてコンタクトホールCH1を形成するための全透過パターンTPとを有しており、これら以外は遮光膜パターンLBとなっている。

【0069】

全透過パターンTPは、露光光の光強度を低減させることなく全て透過させる透過部であり、グレートンパターンGTは、透過部よりも透過率が低く、透過後の光強度が全透

50

過パターンＴＰよりも低くなる半透過部あり、遮光膜パターンＬＢは、露光光を完全に遮る遮光部である。なお、図示されていないが、ゲート配線２１と同層で形成された共通配線に到達するコンタクトホール形成に対応する部分にも全透過パターンＴＰが形成され、当該コンタクトホールを介して共通電極と共通配線とが電氣的に接続されることとなる。

【００７０】

図２２に示す工程においては、このようなグレートンマスクＧＭを用いて、透明絶縁性基板１上に塗布形成したフォトレジストＰＲを露光し、現像することで、図２３に示すレジストパターンＲＭ１１がパターンニングされる。すなわち、レジストパターンＲＭ１１は、グレートンパターンＧＴを通して露光された部分が他の未露光部のレジスト膜厚より薄くなった凹部ＣＰ１となり、全透過パターンＴＰを通して露光された部分が完全に除去されて開口部ＯＰ１となっている。

10

【００７１】

次に、図２４に示す工程において、レジストパターンＲＭ１１をエッチングマスクとして、層間絶縁膜１２をドライエッチングすることで、開口部ＯＰ１が設けられた部分ではエッチングが進み、ドレイン電極５に達するコンタクトホールＣＨ１が形成される。一方、凹部ＣＰ１が設けられた部分ではレジストが残っているので層間絶縁膜１２はエッチングされない。

【００７２】

次に、図２５に示す工程において、 O_2 アッシングを用いてレジストパターンＲＭ１１の膜厚を全体的に減少させ、凹部ＣＰ１となっている部分のレジストを完全に除去する。これによって、層間絶縁膜１２のリペア用薄膜部２０を形成する部分の上部が開口部ＯＰ２となったレジストパターンＲＭ１２が形成される。

20

【００７３】

次に、図２６に示す工程において、レジストパターンＲＭ１２をエッチングマスクとして、層間絶縁膜１２をドライエッチングすることで、開口部ＯＰ２が設けられた部分ではエッチングが進み、層間絶縁膜１２の厚みが他の部分よりも薄くなったリペア用薄膜部２０が形成される。なお、このエッチングでは、開口部ＯＰ２が設けられた部分に残る層間絶縁膜１２の厚さが予め定めた厚さとなるように、エッチング条件、エッチング時間を厳密に管理する。最後に、レジストパターンＲＭ１２を除去することで、図２１に示した断面構成が得られる。なお、リペア用薄膜部２０の周縁の段差部は、リソグラフィー工程とエッチング工程で形成したので、カバレッジ性は良好である。

30

【００７４】

以上説明したように、第４のフォトリソグラフィー工程では、グレートンマスクを用いてレジストを露光することにより、フォトリソグラフィー工程の追加なしでリペア用薄膜部２０を形成でき、製造コストの上昇を防止できる。

【００７５】

<実施の形態２>

以下、本発明に係る電子装置の実施の形態２について図２７～図３１を用いて説明する。なお、以下では、実施の形態１と異なる構成について説明し、共通する構成については説明を省略する。

40

【００７６】

図２７は、ソース配線４１の断線部ＢＬを挟む２つのリペア用薄膜部２０Ａを含むソース配線４１のリペア前の拡大図である。図２７においては、リペア用薄膜部２０Ａを配線幅方向に横切るように設けられたＣ－Ｃ線を付している。

【００７７】

図２７に示されるように、リペア用薄膜部２０Ａはソース配線４１の上部からはみ出る大きさ、すなわち、リペア用薄膜部２０Ａのソース配線４１の延在方向とは直交する方向の端縁部が、ソース配線４１の幅方向の２つの端縁部を越える大きさに形成されている。

【００７８】

50

リペア用薄膜部 20A のソース配線 41 の幅方向の端縁部を越えた部分を延在部と呼称し、図 27 では、延在部の長さ（配線の幅方向の長さ）を延在長として示している。また、図 28 には、図 27 における C - C 線での断面構成を示している。

【0079】

図 28 に示されるように、リペア用薄膜部 20A は、ソース配線 41 の上部の層間絶縁膜 12 の厚みが薄くなっていると共に、延在部においても同様に層間絶縁膜 12 の厚みが薄くなっている。なお、リペア用薄膜部 20A の周縁の段差部は、リソグラフィ工程とエッチング工程で形成したので、カバレッジ性は良好である。また、薄くなった層間絶縁膜 12 の厚みは、ソース配線 41 とほぼ同じ膜厚となっている。この理由について以下に説明する。

10

【0080】

Zapping 法によりレーザー光の照射部分の層間絶縁膜 12 を除去する場合、金属膜の表面ではレーザー光が反射され、反射したレーザー光も作用するので、金属膜と絶縁膜との界面の化学結合を切って絶縁膜を除去するのに必要十分なレーザーパワーは、金属膜がない部分の絶縁膜を除去するのに必要なレーザーパワーと比較して十分に小さい。このため、リペア用薄膜部 20A に残る絶縁膜の除去に際しては、金属膜上部の絶縁膜を除去するのに必要十分な最小限レベルのレーザーパワーのレーザー光を照射する。

【0081】

これにより、金属膜、すなわちソース配線 41 へのダメージによる断線が防止できると共に、ソース配線 41 がいない部分の層間絶縁膜 12 は殆ど除去されず、一方、ソース配線 41 の上部に残る層間絶縁膜 12 は除去されてソース配線 41 が露出するので、リペア用薄膜部 20A の延在部の層間絶縁膜 12 の上面と露出したソース配線 41 の上面はほぼ同一平面となる。

20

【0082】

すなわち、延在部に残る層間絶縁膜 12 の厚みは、ソース配線 41 がいない部分での層間絶縁膜 12 が殆ど除去されないことを考慮すると、ソース配線 41 とほぼ同じ膜厚となるように設定することで、ソース配線 41 の上部に残る層間絶縁膜 12 が除去された時点で、延在部の層間絶縁膜 12 の上面とソース配線 41 の上面とがほぼ同一平面となる。これが、延在部においてはソース配線 41 の上部よりも深い位置まで層間絶縁膜 12 が除去され、残った層間絶縁膜 12 の厚みが、ソース配線 41 とほぼ同じ膜厚に設定されている理由である。

30

【0083】

図 29 は、Zapping 法によりリペア用薄膜部 20A 内の層間絶縁膜 12 を除去した貫通孔 LP の底面にソース配線 41 が露出した状態を示す断面図である。図 29 に示されるように、貫通孔 LP の底面では、リペア用薄膜部 20A の延在部の層間絶縁膜 12 の上面とソース配線 41 の上面はほぼ同一平面となっている。

【0084】

また、リペア用薄膜部 20A の延在部の延在長は、薄膜化される前の層間絶縁膜 12 の膜厚以上に設定することが望ましい。すなわち、延在長を薄膜化される前の層間絶縁膜 12 の膜厚より小さくすると、リペア対象となっている下層の金属膜、すなわちソース配線 41 の配線幅方向の端縁部近傍において延在部の層間絶縁膜 12 の上面とソース配線 41 の上面とがほぼ同一平面とならない可能性があるのが好ましくない。しかし、延在長を薄膜化される前の層間絶縁膜 12 の膜厚以上とすることにより延在部の層間絶縁膜 12 の上面とソース配線 41 の上面とがほぼ同一平面となるのでより好ましい。

40

【0085】

リペア用薄膜部 20A 内を平坦化した後は、実施の形態 1 と同様に、レーザー CVD 装置を用いて、図 30 に示すように、断線部 BL を挟んだ 2 箇所のリペア用薄膜部 20A に渡るように導電性に優れたタンゲステンを主成分とするリペア用導電膜 RL を形成する。この場合、2 つのリペア用薄膜部 20A を全て覆うようにリペア用導電膜 RL を堆積させる。図 30 における C - C 線での断面構成を図 31 に示す。

50

【 0 0 8 6 】

以上説明したように、本発明に係る電子装置の実施の形態 2 においては、リペア用薄膜部 2 0 A を、ソース配線 4 1 の幅方向の 2 つの端縁部を越える大きさとしているので、リペア用薄膜部 2 0 A に貫通孔 L P を設けた場合、ソース配線 4 1 の露出面積が広く取れ、上層に形成するリペア用導電膜 R L とのコンタクト抵抗が低くでき、接続リペアの信頼性が向上する。

【 0 0 8 7 】

また、リペア用薄膜部 2 0 A は、延在部に残る層間絶縁膜 1 2 の厚み を、ソース配線 4 1 の膜厚とほぼ同じとすることで、リペア用薄膜部 2 0 A に貫通孔 L P を設けた場合、延在部の層間絶縁膜 1 2 の上面とソース配線 4 1 の上面とがほぼ同一平面となって段差が低減されている。このため、上層に形成するリペア用導電膜 R L のカバレッジ性が良好となり、接続リペアの信頼性がさらに向上する。

【 0 0 8 8 】

また、リペア用薄膜部 2 0 A の延在部の延在長 を、薄膜化される前の層間絶縁膜 1 2 の膜厚以上に設定することで、ソース配線 4 1 の配線幅方向の端縁部近傍において、延在部の層間絶縁膜 1 2 の上面とソース配線 4 1 の上面はさらに平坦となり、接続リペアの信頼性がさらに向上する。

【 0 0 8 9 】

< 変形例 >

以上説明した実施の形態 2 においては、図 3 0 および図 3 1 に示したように、リペア用導電膜 R L は、リペア用薄膜部 2 0 A を完全に覆うように形成されていたが、図 3 2 に示すように、リペア用薄膜部 2 0 A のうちリペア用導電膜 R L で覆われない部分があるように、リペア用導電膜 R L の堆積範囲を狭くしても良い。図 3 2 における C - C 線での断面構成を図 3 3 に示す。図 3 3 に示されるようにソース配線 4 1 上はリペア用導電膜 R L で覆われるが、リペア用薄膜部 2 0 A の延在部には、リペア用導電膜 R L で覆われない部分がある。

【 0 0 9 0 】

リペア用導電膜 R L の堆積範囲を狭くすることで、堆積に費やす時間を短縮でき、生産性が向上する。なお、リペア用導電膜 R L の幅は、レーザー光の大きさを規定する可変スリットの幅およびレーザー光のエネルギーレベルを調整することで、容易に変更できる。

【 0 0 9 1 】

< 実施の形態 3 >

以下、本発明に係る電子装置の実施の形態 3 について図 3 4 ~ 図 3 8 を用いて説明する。なお、以下では、実施の形態 1 と異なる構成について説明し、共通する構成については説明を省略する。

【 0 0 9 2 】

図 3 4 は、ソース配線 4 1 の断線部 B L を挟む 2 つのリペア用薄膜部 2 0 B を含むソース配線 4 1 のリペア前の拡大図である。図 3 4 においては、リペア用薄膜部 2 0 B を配線幅方向に横切るように設けられた C - C 線を付している。

【 0 0 9 3 】

図 3 4 に示されるように、リペア用薄膜部 2 0 B は、リペア用薄膜部 2 0 B のソース配線 4 1 の延在方向とは直交する方向の端縁部の一方が、ソース配線 4 1 の幅方向の 2 つの端縁部のうち一方を越えるように形成されている。

【 0 0 9 4 】

リペア用薄膜部 2 0 B のソース配線 4 1 の幅方向の端縁部を越えた部分を延在部と呼称し、図 3 4 では、延在部の長さ（配線の幅方向の長さ）を延在長 として示している。また、図 3 5 には、図 3 4 における C - C 線での断面構成を示している。

【 0 0 9 5 】

図 3 5 に示されるように、リペア用薄膜部 2 0 B は、ソース配線 4 1 の上部の層間絶縁膜 1 2 の厚みが薄くなっていると共に、同様に延在部においても層間絶縁膜 1 2 の厚みが

10

20

30

40

50

薄くなっている。延在部に残る層間絶縁膜 12 の厚み は、ソース配線 41 とほぼ同じ膜厚となっている。この理由については実施の形態 2 において説明したので説明は省略する。なお、リペア用薄膜部 20B の周縁の段差部は、リソグラフィ工程とエッチング工程で形成したので、カバレッジ性は良好である。

【0096】

図 36 は、Zapping 法によりリペア用薄膜部 20B 内の層間絶縁膜 12 を除去した貫通孔 LP の底面にソース配線 41 が露出した状態を示す断面図である。図 36 に示されるように、貫通孔 LP の底面では、リペア用薄膜部 20B の延在部の層間絶縁膜 12 の上面とソース配線 41 の上面はほぼ同一平面となっている。

【0097】

また、リペア用薄膜部 20B の延在部の延在長 を、薄膜化される前の層間絶縁膜 12 の膜厚以上に設定することで、ソース配線 41 の配線幅方向の一方の端縁部近傍において、延在部の層間絶縁膜 12 の上面とソース配線 41 の上面はさらに平坦となり、接続リペアの信頼性がさらに向上する。

【0098】

リペア用薄膜部 20B 内を平坦化した後は、実施の形態 1 と同様に、レーザー CVD 装置を用いて、図 37 に示すように、断線部 BL を挟んだ 2 箇所のリペア用薄膜部 20B に渡るように導電性に優れたタングステン主成分とするリペア用導電膜 RL を形成する。この場合、2 つのリペア用薄膜部 20B を全て覆うようにリペア用導電膜 RL を堆積させる。図 37 における C - C 線での断面構成を図 38 に示す。

【0099】

ソース配線 41 の幅方向の 2 つの端縁部のうち一方を越えるようにリペア用薄膜部 20B を形成することで、層間絶縁膜 12 除去のためのレーザー照射で生じる可能性があるソース配線 41 へのダメージが、リペア接続されるソース配線 41 の片側部分にのみ生じることとなる。換言すれば、リペア接続されない部分のソース配線 41 にはダメージは生じないため、レーザー照射で生じるソース配線 41 へのダメージに起因する断線が発生する可能性を低減できる。

【0100】

また、リペア用薄膜部 20B は、延在部に残る層間絶縁膜 12 の厚み を、ソース配線 41 の膜厚とほぼ同じとすることで、リペア用薄膜部 20B に貫通孔 LP を設けた場合、延在部の層間絶縁膜 12 の上面とソース配線 41 の上面とがほぼ同一平面となって段差が低減されている。このため、上層に形成するリペア用導電膜 RL のカバレッジ性が良好となり、接続リペアの信頼性がさらに向上する。

【0101】

< 変形例 >

以上説明した実施の形態 3 においては、図 37 および図 38 に示したように、リペア用導電膜 RL は、リペア用薄膜部 20B を完全に覆うように形成されていたが、図 39 に示すように、ソース配線 41 上はリペア用導電膜 RL で覆われるが、リペア用薄膜部 20B のうちリペア用導電膜 RL で覆われない部分があるように、リペア用導電膜 RL の堆積範囲を狭くしても良い。図 39 における C - C 線での断面構成を図 40 に示す。図 40 に示されるようにリペア用薄膜部 20B の延在部には、リペア用導電膜 RL で覆われない部分がある。

【0102】

リペア用導電膜 RL の堆積範囲を狭くすることで、堆積に費やす時間を短縮でき、生産性が向上する。

【0103】

< 実施の形態 4 >

以下、本発明に係る電子装置の実施の形態 4 について図 41 ~ 図 45 を用いて説明する。なお、以下では、実施の形態 1 と異なる構成について説明し、共通する構成については説明を省略する。

【 0 1 0 4 】

図 4 1 は、ソース配線 4 1 の断線部 B L を挟む 4 つのリペア用薄膜部 2 0 C を含むソース配線 4 1 のリペア前の拡大図である。図 4 1 においては、リペア用薄膜部 2 0 C を配線幅方向に横切るように設けられた C - C 線を付している。

【 0 1 0 5 】

図 4 1 に示されるように、リペア用薄膜部 2 0 C は、ソース配線 4 1 の幅方向の 2 つの端縁部のそれぞれを越えるように設けられた 2 つのリペア用薄膜部 2 0 C (第 1 および第 2 の薄膜部) で一組をなしており、両者は間を開けて並んで配設されている。なお、断線部 B L を挟んで反対側にも同様に一組のリペア用薄膜部 2 0 C が形成されている。

【 0 1 0 6 】

個々のリペア用薄膜部 2 0 C のソース配線 4 1 の幅方向の端縁部を越えた部分を延在部と呼称し、図 4 1 では、延在部の長さ (配線の幅方向の長さ) を延在長 として示している。また、図 4 2 には、図 4 1 における C - C 線での断面構成を示している。

【 0 1 0 7 】

図 4 2 に示されるように、リペア用薄膜部 2 0 C は、ソース配線 4 1 の上部の層間絶縁膜 1 2 の厚みが薄くなっていると共に、同様に延在部においても層間絶縁膜 1 2 の厚みが薄くなっている。延在部に残る層間絶縁膜 1 2 の厚み は、ソース配線 4 1 とほぼ同じ膜厚となっている。この理由については実施の形態 2 において説明したので説明は省略する。なお、リペア用薄膜部 2 0 B C 周縁の段差部は、リソグラフィー工程とエッチング工程で形成したので、カバレッジ性は良好である。

【 0 1 0 8 】

図 4 3 は、Z a p p i n g 法によりリペア用薄膜部 2 0 C 内の層間絶縁膜 1 2 を除去した貫通孔 L P の底面にソース配線 4 1 が露出した状態を示す断面図である。図 4 3 に示されるように、貫通孔 L P の底面では、リペア用薄膜部 2 0 C の延在部の層間絶縁膜 1 2 の上面とソース配線 4 1 の上面はほぼ同一平面となっている。

【 0 1 0 9 】

また、リペア用薄膜部 2 0 C の延在部の延在長 を、薄膜化される前の層間絶縁膜 1 2 の膜厚以上に設定することで、ソース配線 4 1 の配線幅方向の一方の端縁部近傍において、延在部の層間絶縁膜 1 2 の上面とソース配線 4 1 の上面はさらに平坦となり、接続リペアの信頼性がさらに向上する。

【 0 1 1 0 】

リペア用薄膜部 2 0 C 内を平坦化した後は、実施の形態 1 と同様に、レーザー C V D 装置を用いて、図 4 4 に示すように、断線部 B L を挟んだ 2 組のリペア用薄膜部 2 0 C に渡るように導電性に優れたタンゲステンを主成分とするリペア用導電膜 R L を形成する。この場合、2 組のリペア用薄膜部 2 0 C を全て覆うようにリペア用導電膜 R L を堆積させる。図 4 4 における C - C 線での断面構成を図 4 5 に示す。

【 0 1 1 1 】

リペア用薄膜部 2 0 C は、ソース配線 4 1 の幅方向の 2 つの端縁部のそれぞれを越えるように設けられた 2 つのリペア用薄膜部 2 0 C で一組をなしており、ソース配線 4 1 の中央には配置されていない。すなわち、ソース配線 4 1 の中央には層間絶縁膜 1 2 を残すように設定したので、層間絶縁膜 1 2 除去のためのレーザー照射で生じる可能性があるソース配線 4 1 へのダメージが、リペア接続されるソース配線 4 1 の片側部分にのみ生じることとなる。換言すれば、リペア接続されない中央のソース配線 4 1 にはダメージは生じないため、レーザー照射で生じるソース配線 4 1 へのダメージに起因する断線が発生する可能性を低減できる。

【 0 1 1 2 】

また、2 つのリペア用薄膜部 2 0 C で一組をなすので、実施の形態 3 のリペア用薄膜部 2 0 B のように、ソース配線 4 1 の幅方向の 2 つの端縁部のうち一方側のみに配設される構成に比べて、ソース配線 4 1 の露出面積が広く取れ、上層に形成するリペア用導電膜 R L とのコンタクト抵抗が低くでき、接続リペアの信頼性が向上する。

10

20

30

40

50

【 0 1 1 3 】

また、リペア用薄膜部 2 0 C は、延在部に残る層間絶縁膜 1 2 の厚み を、ソース配線 4 1 の膜厚とほぼ同じとすることで、リペア用薄膜部 2 0 C に貫通孔 L P を設けた場合、延在部の層間絶縁膜 1 2 の上面とソース配線 4 1 の上面とがほぼ同一平面となって段差が低減されている。このため、上層に形成するリペア用導電膜 R L のカバレッジ性が良好となり、接続リペアの信頼性がさらに向上する。

【 0 1 1 4 】

< 変形例 >

以上説明した実施の形態 4 においては、図 4 4 および図 4 5 に示したように、リペア用導電膜 R L は、2 組のリペア用薄膜部 2 0 C を完全に覆うように形成されていたが、図 4 6 に示すように、2 組のリペア用薄膜部 2 0 C のうちリペア用導電膜 R L で覆われない部分があるように、リペア用導電膜 R L の堆積範囲を狭くしても良い。図 4 6 における C - C 線での断面構成を図 4 7 に示す。図 4 7 に示されるように、ソース配線 4 1 上はリペア用導電膜 R L で覆われるが、リペア用薄膜部 2 0 C の延在部には、リペア用導電膜 R L で覆われない部分がある。リペア用導電膜 R L の堆積範囲を狭くすることで、堆積に費やす時間を短縮でき、生産性が向上する。

【 0 1 1 5 】

< 実施の形態 5 >

以上説明した本発明に係る実施の形態 1 ~ 4 においては、ソース配線 4 1 のリペアについて説明したが、本発明はソース配線のリペアへの適用に限定されるものではなく、ゲート配線 2 1 のリペアに適用しても良い。

【 0 1 1 6 】

以下、本発明に係る電子装置の実施の形態 5 について図 4 8 ~ 図 5 3 を用いて説明する。なお、以下では、実施の形態 1 と異なる構成について説明し、共通する構成については説明を省略する。

【 0 1 1 7 】

図 4 8 は実施の形態 5 の T N 方式の透過型の液晶表示パネル 2 0 0 の 1 つの画素部の構成を示す平面図であり、T F T 3 0 がマトリックス状に配列される T F T 基板側の構成を示している。

【 0 1 1 8 】

図 4 8 に示されるように液晶表示パネル 2 0 0 においては、ゲート配線 2 1 を覆うゲート絶縁膜 1 1 (図示せず) と、その上の層間絶縁膜 1 2 (図示せず) との積層膜に、ゲート配線 2 1 に沿って、複数のリペア用薄膜部 5 0 が設けられている。なお、図 4 8 においては、ゲート配線 2 1 に生じた断線欠陥の一例を示しており、断線部 B L が形成されているが、これは本発明に係るリペア方法を説明するためのものであり、発明の構成ではない。

【 0 1 1 9 】

図 4 9 は、図 4 8 におけるゲート配線 2 1 の断線部 B L を挟む 2 つのリペア用薄膜部 5 0 を含むゲート配線 2 1 のリペア前の拡大図である。図 4 9 においては、1 つのリペア用薄膜部 5 0 を配線幅方向に横切るように設けられた D - D 線を付している。

【 0 1 2 0 】

図 4 9 に示されるように、リペア用薄膜部 5 0 は、リペア用薄膜部 5 0 のゲート配線 2 1 の延在方向とは直交する方向の端縁部の一方が、ゲート配線 2 1 の幅方向の 2 つの端縁部のうち一方を越えるように形成されている。リペア用薄膜部 5 0 のゲート配線 2 1 の幅方向の端縁部を越えた部分を延在部と呼称する。また、図 5 0 には、図 4 9 における D - D 線での断面構成を示している。

【 0 1 2 1 】

図 5 0 に示されるように、リペア用薄膜部 5 0 は、層間絶縁膜 1 2 を貫通し、ゲート配線 2 1 の上部のゲート絶縁膜 1 の厚みが薄くなっていると共に、同様に延在部においてもゲート絶縁膜 1 1 の厚みが薄くなっている。延在部に残るゲート絶縁膜 1 1 の厚み は、

ゲート配線 2 1 とほぼ同じ膜厚となっている。この理由については実施の形態 2 において説明したので説明は省略する。なお、リペア用薄膜部 5 0 の周縁の段差部は、リソグラフィ工程とエッチング工程で形成したので、カバレッジ性は良好である。

【 0 1 2 2 】

図 5 1 は、Z a p p i n g 法によりリペア用薄膜部 5 0 内のゲート絶縁膜 1 1 を除去した貫通孔 L P 1 の底面にゲート配線 2 1 が露出した状態を示す断面図である。図 5 1 に示されるように、貫通孔 L P 1 の底面では、リペア用薄膜部 5 0 の延在部のゲート絶縁膜 1 1 の上面とゲート配線 2 1 の上面はほぼ同一平面となっている。

【 0 1 2 3 】

また、リペア用薄膜部 5 0 の延在部の延在長 を、薄膜化される前のゲート絶縁膜 1 1 の膜厚以上に設定することで、ゲート配線 2 1 の配線幅方向の一方の端縁部近傍において、延在部のゲート絶縁膜 1 の上面とゲート配線 2 1 の上面はさらに平坦となり、接続リペアの信頼性がさらに向上する。

【 0 1 2 4 】

リペア用薄膜部 5 0 内を平坦化した後は、実施の形態 1 と同様に、レーザー C V D 装置を用いて、図 5 2 に示すように、断線部 B L を挟んだ 2 箇所のリペア用薄膜部 5 0 に渡るように導電性に優れたタングステンを主成分とするリペア用導電膜 R L 1 を形成する。この場合、2 つのリペア用薄膜部 5 0 を全て覆うようにリペア用導電膜 R L 1 を堆積させる。図 5 2 における D - D 線での断面構成を図 5 3 に示す。

【 0 1 2 5 】

ゲート配線 2 1 の幅方向の 2 つの端縁部のうち一方を越えるようにリペア用薄膜部 5 0 を形成することで、ゲート絶縁膜 1 1 除去のためのレーザー照射で生じる可能性があるゲート配線 2 1 へのダメージが、リペア接続されるゲート配線 2 1 の片側部分にのみ生じることとなる。換言すれば、リペア接続されない部分のゲート配線 2 1 にはダメージは生じないため、レーザー照射で生じるゲート配線 2 1 へのダメージに起因する断線が発生する可能性を低減できる。

【 0 1 2 6 】

また、リペア用薄膜部 5 0 は、延在部に残るゲート絶縁膜 1 1 の厚み を、ゲート配線 2 1 の膜厚とほぼ同じとすることで、リペア用薄膜部 5 0 に貫通孔 L P 1 を設けた場合、延在部のゲート絶縁膜 1 1 の上面とゲート配線 2 1 の上面とがほぼ同一平面となって段差が低減されている。このため、上層に形成するリペア用導電膜 R L 1 のカバレッジ性が良好となり、接続リペアの信頼性がさらに向上する。

【 0 1 2 7 】

なお、ゲート配線 2 1 の上層にはゲート絶縁膜 1 1 と層間絶縁膜 1 2 との積層膜が存在し、その厚さはソース配線 4 1 よりも厚いので、従来のようにリペア用薄膜部 5 0 を設けずにレーザー光を照射することでレーザー蒸散加工法 (Z a p p i n g 法) により、照射部分の上層の絶縁膜を除去し貫通孔を形成する場合は貫通孔の内面の凹凸が大きくなり、断面形状がさらに乱れた状態となるので、リペア用薄膜部 5 0 を設けることによる接続リペアの信頼性の向上効果は、層間絶縁膜 1 2 にリペア用薄膜部を設けることによる接続リペアの信頼性の向上効果よりもさらに高いものとなる。

【 0 1 2 8 】

< 変形例 >

以上説明した実施の形態 5 においては、ゲート配線 2 1 のリペアのために、ゲート配線 2 1 の幅方向の 2 つの端縁部のうち一方を越えるように形成されたりリペア用薄膜部 5 0 を設けた構成を示したが、これに限定されるものではなく、実施の形態 1、2、4 およびそれぞれの変形例で説明した、それぞれのリペア用薄膜部の構成をゲート配線のリペアに適用しても同様の効果が得られる。

【 0 1 2 9 】

また、実施の形態 5 においては、ゲート配線 2 1 上のみにはリペア用薄膜部を設けた構成を説明した、実施の形態 1 ~ 4 およびそれぞれの変形例で説明したように、ソース配線 4

10

20

30

40

50

1 上にも同時にリペア用薄膜部を設けることで、より様々な断線欠陥に対応できるようにしても良い。

【0130】

また、本発明は共通配線のリペアに適用しても、端子配線のリペアに適用しても同様の効果を有する。

【0131】

<適用例>

以上の説明においては本発明をTN方式の透過型の液晶表示装置に適用した構成について説明したが、本発明はFFS (Fringe Field Switching) 方式、IPS (登録商標) 方式、MVA (Multi-domain Vertical Alignment) 方式などの液晶表示装置にも適用でき、また、透過型に限定されず、反射型、半透過型でも適用可能である。また、カラーフィルタを有さないフィールドシーケンシャル方式の液晶表示装置への適用も可能である。また、TFTモアモルファスシリコンTFTに限定されず、ポリシリコンTFT、低温ポリシリコンTFTなどを使用した液晶表示装置への適用も可能である。

10

【0132】

また、本発明の適用は液晶表示装置に限定されるものではなく、タッチパネル、X線フォトディテクタなど多層配線構造を有する電子装置であれば適用可能であり、電気配線のリペアにおいて同様の効果を有する。

【0133】

以上の説明は、本発明の実施の形態の一例を説明するものであり、本発明が上述した実施形態に記載の内容に限定されるものではない。また、当業者であれば、上述した実施形態の各要素を、本発明の範囲において、容易に変更、追加、変換することが可能である。

20

【0134】

また、上記実施形態では種々の段階の発明が含まれており、開示される複数の構成要件の適当な組合せにより種々の発明が成立し得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、上述したような課題を解決でき、上述したような効果が得られる場合には、この構成要件が削除された構成も発明として成立する。

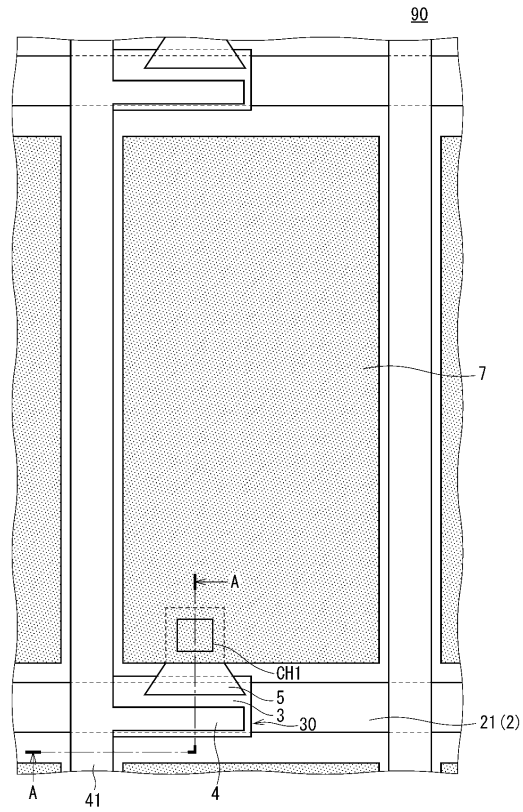
【符号の説明】

【0135】

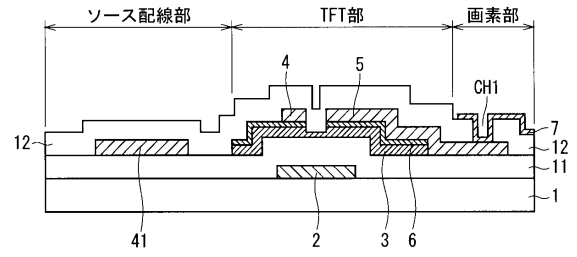
1 透明絶縁性基板、11 ゲート絶縁膜、12 層間絶縁膜、20, 20a, 20b, 20c, 50 リペア用薄膜部、21 ゲート配線、41 ソース配線。

30

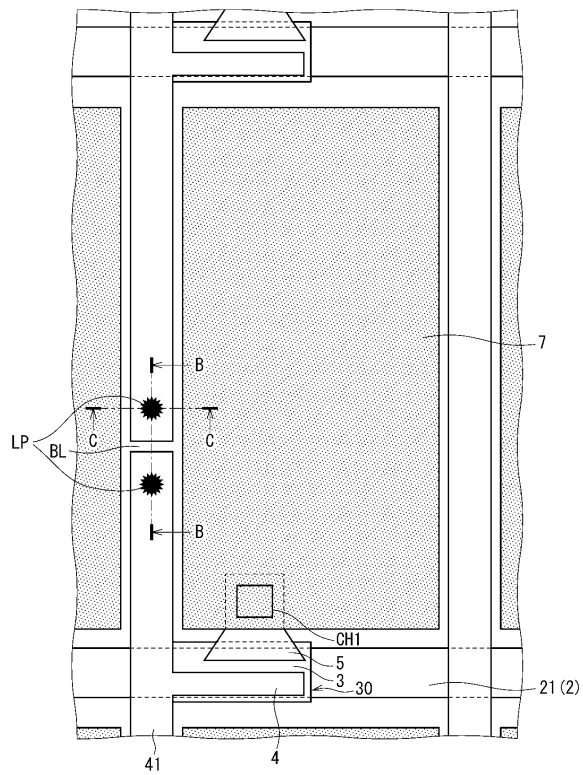
【図 1】



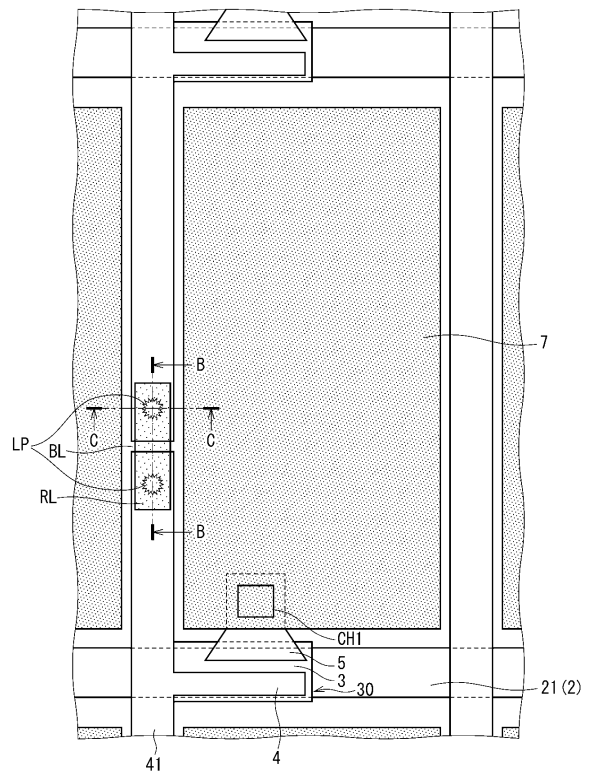
【図 2】



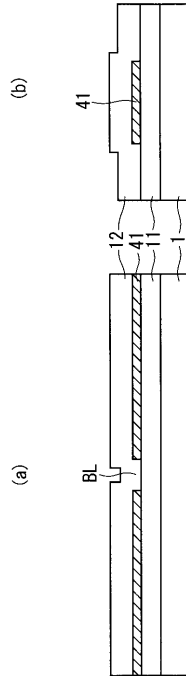
【図 3】



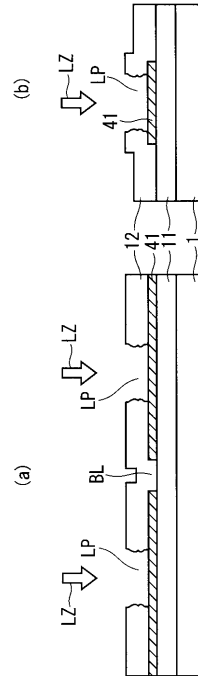
【図 4】



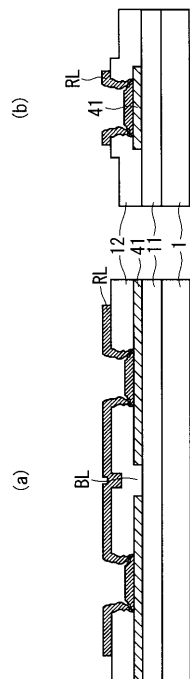
【図 5】



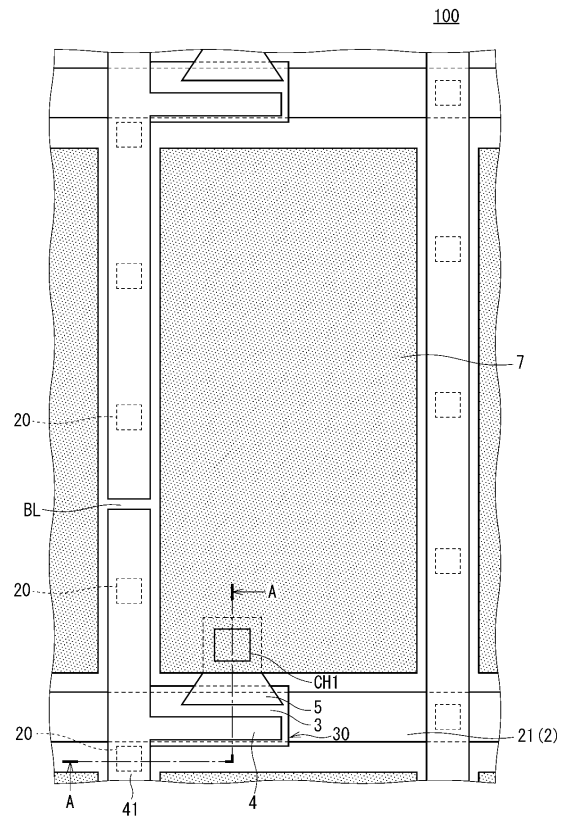
【図 6】



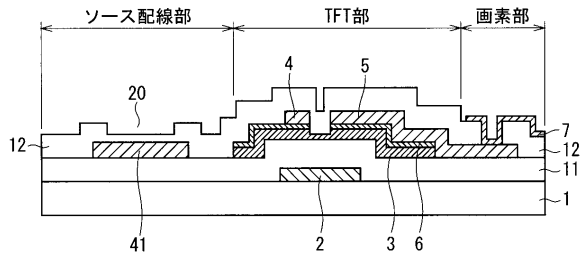
【図 7】



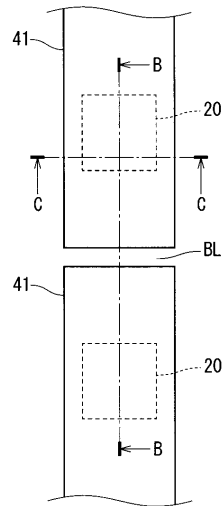
【図 8】



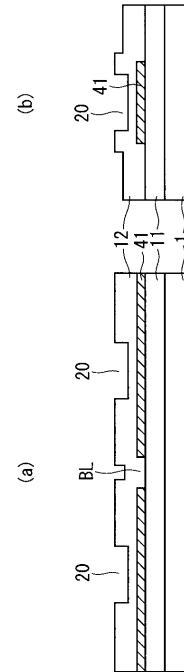
【図 9】



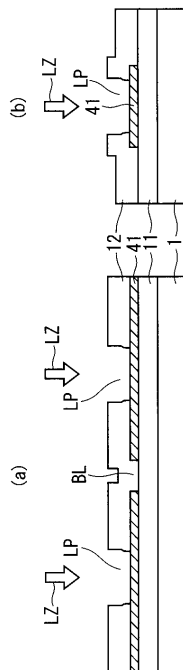
【図 10】



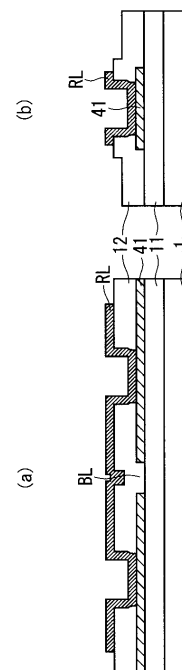
【図 11】



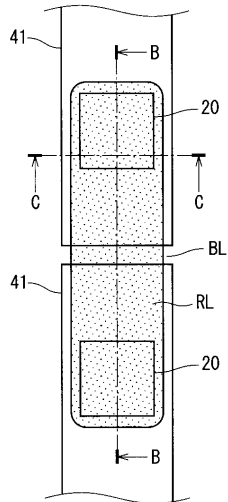
【図 12】



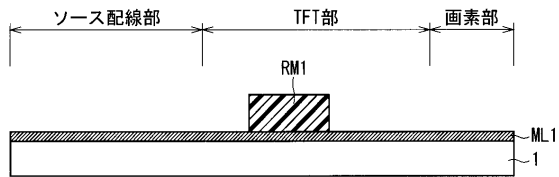
【図 13】



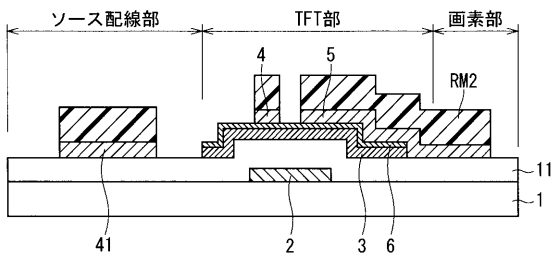
【図 14】



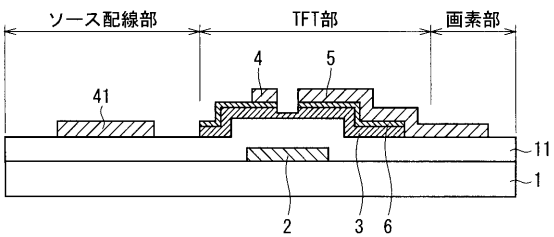
【図 15】



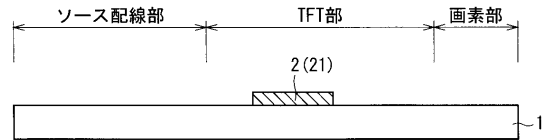
【図 19】



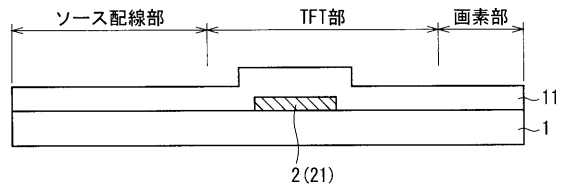
【図 20】



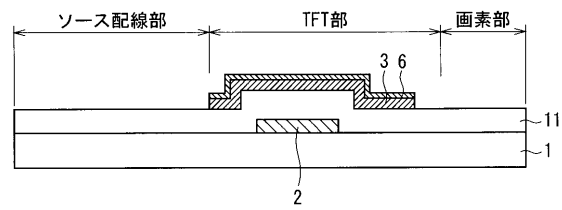
【図 16】



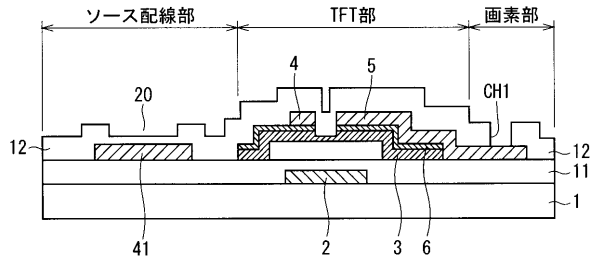
【図 17】



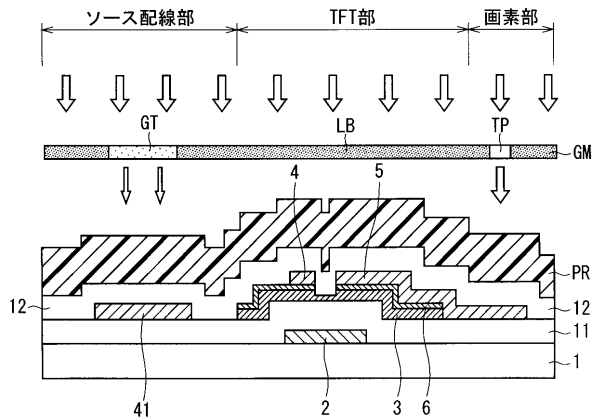
【図 18】



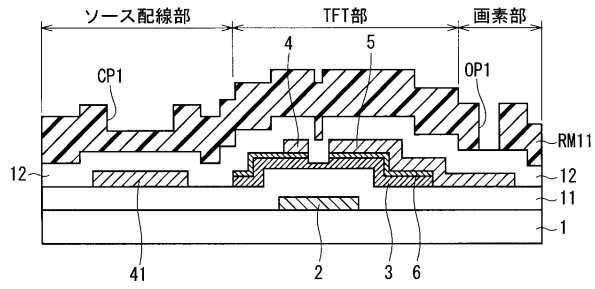
【図 21】



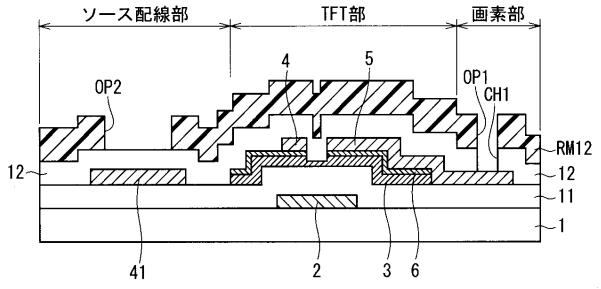
【図 22】



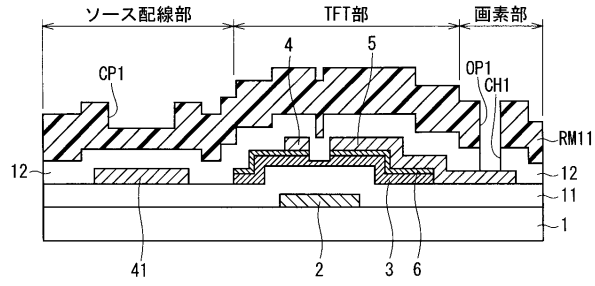
【図 23】



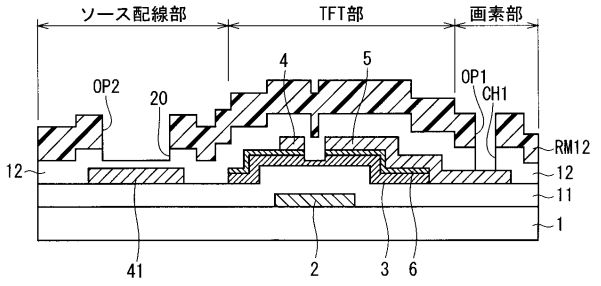
【図 25】



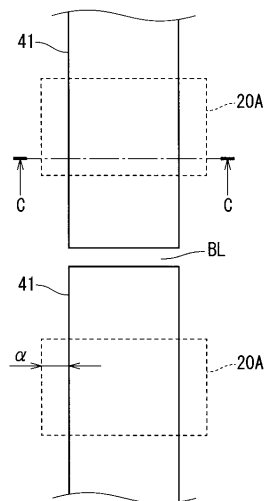
【図 24】



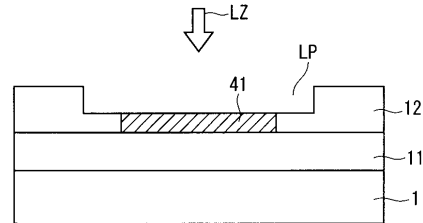
【図 26】



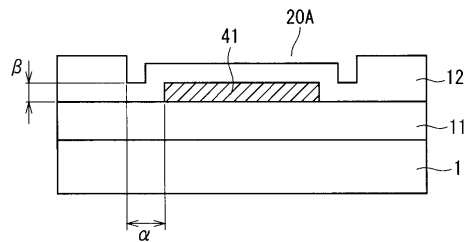
【図 27】



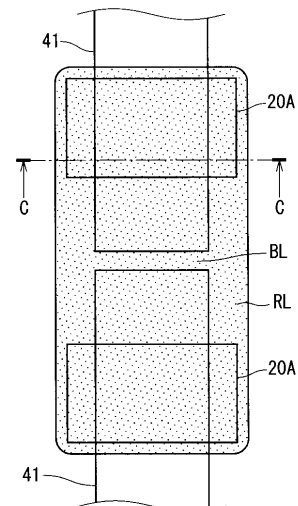
【図 29】



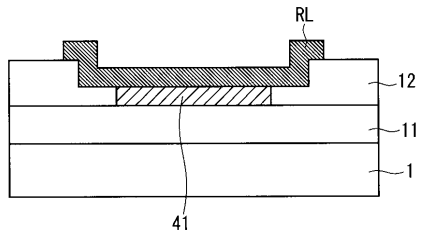
【図 28】



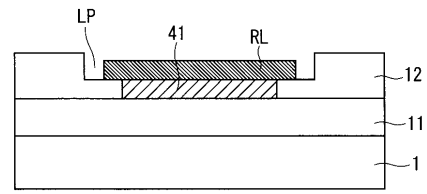
【図 30】



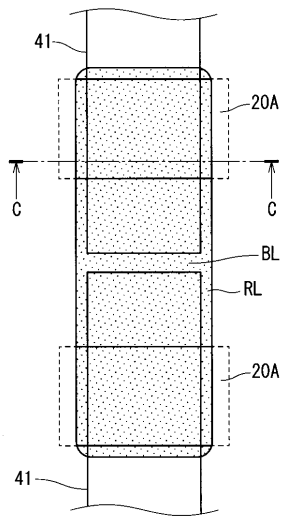
【図 3 1】



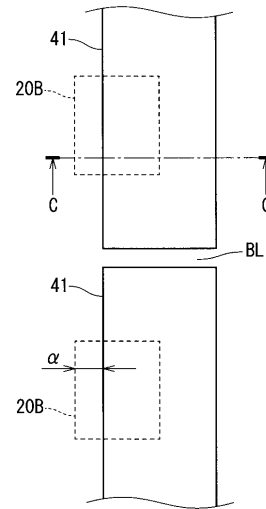
【図 3 3】



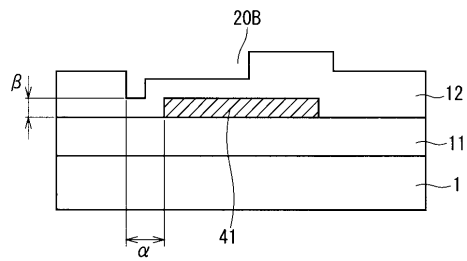
【図 3 2】



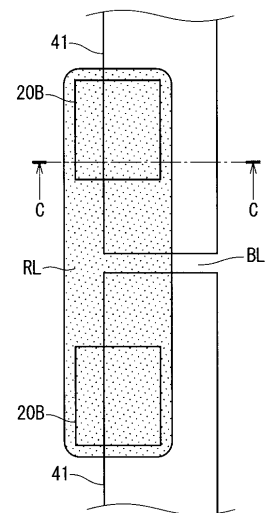
【図 3 4】



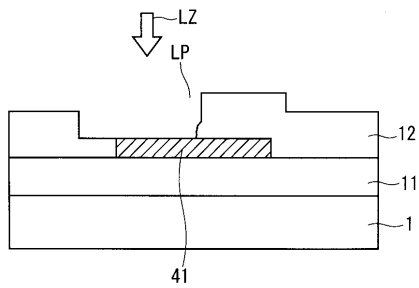
【図 3 5】



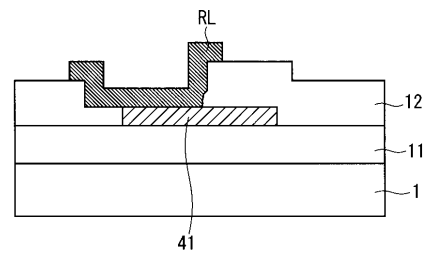
【図 3 7】



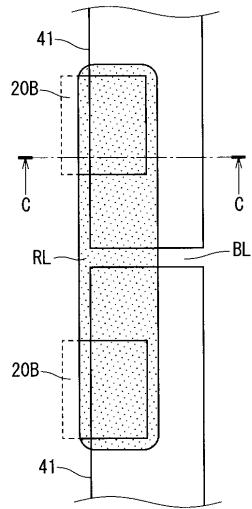
【図 3 6】



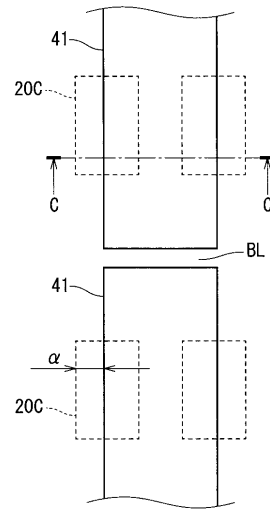
【図 3 8】



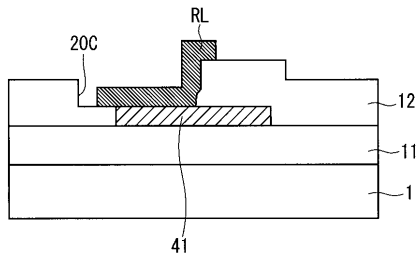
【図 39】



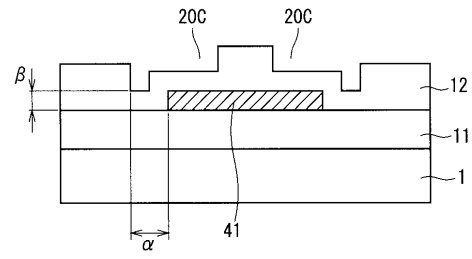
【図 41】



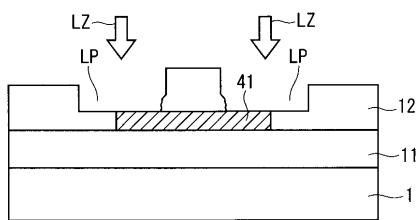
【図 40】



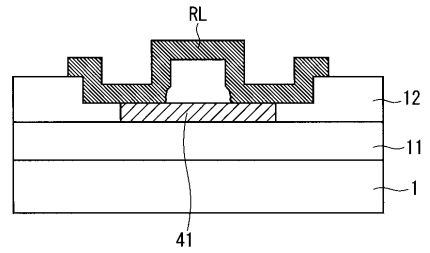
【図 42】



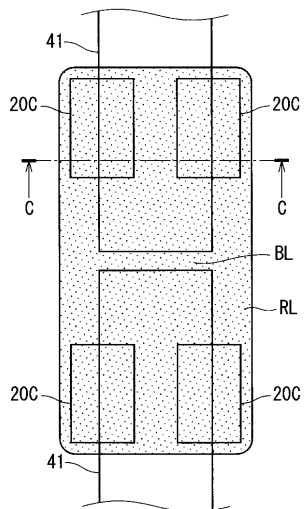
【図 43】



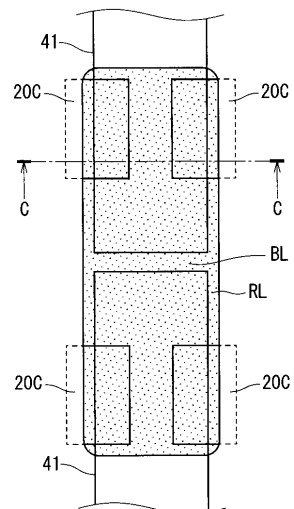
【図 45】



【図 44】



【図 46】



フロントページの続き

| | | | | | |
|----------------|---------------|------------------|----------------|---------------|----------------|
| (51)Int.Cl. | | | F I | | |
| G 0 9 F | 9/00 | (2006.01) | G 0 9 F | 9/30 | 3 4 8 A |
| G 0 9 F | 9/30 | (2006.01) | H 0 1 L | 23/12 | Z |
| H 0 1 L | 23/12 | (2006.01) | H 0 1 L | 21/285 | C |
| H 0 1 L | 21/285 | (2006.01) | H 0 1 L | 21/90 | J |

(72)発明者 村上 雄亮

熊本県菊池市泗水町住吉 1 5 7 6 番地 1 メルコ・ディスプレイ・テクノロジー株式会社内

審査官 宇多川 勉

(56)参考文献 特開平 1 0 - 0 0 3 0 8 8 (J P , A)
 特開 2 0 0 8 - 0 6 0 2 6 4 (J P , A)
 特開 2 0 0 1 - 0 7 7 2 0 2 (J P , A)
 特開 2 0 0 4 - 1 0 3 9 6 0 (J P , A)
 特開 2 0 0 4 - 2 6 6 2 2 4 (J P , A)
 特開平 0 1 - 1 4 0 7 4 2 (J P , A)
 特開 2 0 0 0 - 0 1 2 5 4 1 (J P , A)
 特開 2 0 0 5 - 1 0 9 2 2 3 (J P , A)
 特開 2 0 1 4 - 0 2 2 6 0 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 2 0 5
 G 0 2 F 1 / 1 3 4 5
 G 0 2 F 1 / 1 3 6 8
 G 0 9 F 9 / 0 0
 G 0 9 F 9 / 3 0
 H 0 1 L 2 1 / 2 8 5
 H 0 1 L 2 1 / 7 6 8
 H 0 1 L 2 3 / 1 2
 H 0 1 L 2 3 / 5 2 2