

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

between adjacent edges of a first control pulse Sp1 and a second control pulse Sp2 in accordance with the sense voltage Vs between the two ends of the capacitor Cs.

(57) 要約: スイッチングコントローラ 130 は、第1トランジスタ M1 および第2トランジスタ M2 のオン、オフを指示する制御パルス Sp1, Sp2 を生成する。キャパシタ Cs の一端は、スイッチングノード Nsw と接続され、その他端には、整流素子 Ds を介して、定電圧が印加される。デッドタイムコントローラ 120 は、キャパシタ Cs の両端間のセンス電圧 Vs に応じて、第1制御パルス Sp1 と第2制御パルス Sp2 の隣接するエッジ間の遅延時間を制御する。

明 細 書

発明の名称：

スイッチング回路、スイッチング電源、スイッチング電源のゲートドライバ回路、スイッチング電源の制御回路

技術分野

[0001] 本開示は、スイッチング回路に関する。

背景技術

[0002] DC／DCコンバータや、AC／DCコンバータ、インバータをはじめとするパワーエレクトロニクス分野において、ハーフブリッジ回路やフルブリッジ回路などのスイッチング回路が用いられる。

[0003] スwitchング回路の制御において、貫通電流を防止するために、デッドタイムが挿入される。デッドタイムを長くするほど、貫通電流のリスクが低下するが、デッドタイムの間は、電流がトランジスタのボディダイオードあるいは還流ダイオード（フライホイールダイオード）に流れるため、効率が低下する。

[0004] したがって、デッドタイムは、貫通電流が流れない限度において、なるべく短くすることが好ましい。

先行技術文献

非特許文献

[0005] 非特許文献1：“Predictive Gate Drive Frequency Asked Questions”、[online]、February, 2003、[20200327検索]、インターネット<URL：<https://www.ti.com/lit/an/slva285/slva285.pdf>>

発明の概要

発明が解決しようとする課題

[0006] スwitchングトランジスタ（パワートランジスタ）が、スイッチングトランジスタを制御するパルス信号を生成する制御回路とは別のディスクリート

素子で構成される場合がある。またスイッチングトランジスタを駆動するゲートドライバが、制御回路とは別 IC (Integrated Circuit) である場合もある。さらに、制御回路と、スイッチングトランジスタの間にトランスが挿入される場合もある。このようなケースでは、スイッチングトランジスタのゲート容量、ゲートドライバの遅延時間、トランスの遅延時間を考慮して、デッドタイムを定める必要がある。従来は、スイッチング回路の設計者が、周辺回路の特性を考慮して、デッドタイムを経験的に、あるいは試行錯誤で決定する必要があった。

[0007] 特に近年、スイッチングトランジスタとして使用される Si-FET や IGBT (Insulated Gate Bipolar Transistor) を、より高速なスイッチングが可能な GaN-HEMT に置換する動きが見られる。この場合、スイッチング周期が短くなるため、デッドタイムの長さの調整は一層シビアになる。

[0008] 本開示に係る状況においてなされたものであり、そのある態様の例示的な目的のひとつは、デッドタイムを最適化可能なスイッチング回路の提供にある。

課題を解決するための手段

[0009] 本開示のある態様はスイッチング回路に関する。スイッチング回路は、第 1 トランジスタおよび第 2 トランジスタと、第 1 トランジスタがオン、第 2 トランジスタがオフの期間、ハイレベル電圧が発生し、第 2 トランジスタがオフ、第 2 トランジスタがオンの期間、ローレベル電圧が発生し、第 1 トランジスタおよび第 2 トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、第 1 端がスイッチングノードと接続されるキャパシタと、キャパシタの第 2 端に、定電圧を印加する整流素子と、第 1 トランジスタおよび第 2 トランジスタのオン、オフを指示する第 1 制御パルスおよび第 2 制御パルスを生成するスイッチングコントローラと、第 1 制御パルスに応じて第 1 トランジスタを駆動する第 1 ゲートドライバと、第 2 制御パルスに応じて第 2 トランジスタを駆動する第 2 ゲートドライバと、キャパシタの両端間のセンス電圧に応じて、第 1 制御パルスと第 2 制御パルスの隣接するエッ

ジ間の遅延時間を制御するデッドタイムコントローラと、を備える。

[0010] 本開示の別の態様も、スイッチング回路に関する。スイッチング回路は、第1トランジスタおよび第2トランジスタと、第1トランジスタがオン、第2トランジスタがオフの期間、ハイレベル電圧が発生し、第2トランジスタがオフ、第2トランジスタがオンの期間、ローレベル電圧が発生し、第1トランジスタおよび第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、第1端がスイッチングノードと接続されるキャパシタと、キャパシタの第2端に、定電圧を印加する整流素子と、第1トランジスタおよび第2トランジスタのオン、オフを指示する第1制御パルスおよび第2制御パルスを生成するスイッチングコントローラと、第1制御パルスに応じて第1トランジスタを駆動する第1ゲートドライバと、第2制御パルスに応じて第2トランジスタを駆動する第2ゲートドライバと、キャパシタの両端間のセンス電圧に応じて、第1ゲートドライバおよび第2ゲートドライバの少なくとも一方の遅延時間を制御するデッドタイムコントローラと、を備える。

[0011] 本開示の別の態様はスイッチング電源の制御回路である。スイッチング電源は、第1トランジスタおよび第2トランジスタと、第1トランジスタがオン、第2トランジスタがオフの期間、ハイレベル電圧が発生し、第2トランジスタがオフ、第2トランジスタがオンの期間、ローレベル電圧が発生し、第1トランジスタおよび第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、第1端がスイッチングノードと接続されるキャパシタと、キャパシタの第2端に、定電圧を印加する整流素子と、第1制御パルスに応じて前記第1トランジスタを駆動する第1ゲートドライバと、第2制御パルスに応じて前記第2トランジスタを駆動する第2ゲートドライバと、を備える。制御回路は、第1トランジスタおよび第2トランジスタのオン、オフを指示する第1制御パルスおよび第2制御パルスを生成するスイッチングコントローラと、キャパシタの両端間のセンス電圧に応じて、第1制御パルスと第2制御パルスの隣接するエッジ間の遅延時間を制御するデッド

タイムコントローラと、を備える。

[0012] 本開示のさらに別の態様は、スイッチング電源のゲートドライバ回路に関する。スイッチング電源は、第1トランジスタおよび第2トランジスタと、第1トランジスタがオン、第2トランジスタがオフの期間、ハイレベル電圧が発生し、第2トランジスタがオフ、第2トランジスタがオンの期間、ローレベル電圧が発生し、第1トランジスタおよび第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、第1端がスイッチングノードと接続されるキャパシタと、キャパシタの第2端に、定電圧を印加する整流素子と、スイッチング電源の電氣的状態が所定の目標状態に近づくように、第1トランジスタおよび第2トランジスタのデューティサイクルを指示する制御信号を生成するスイッチングコントローラと、を備える。ゲートドライバ回路は、制御信号に応じたデューティサイクルを有する第1制御パルスおよび第2制御パルスを生成するパルス生成部と、第1制御パルスに応じて第1トランジスタを駆動する第1ゲートドライバと、第2制御パルスに応じて第2トランジスタを駆動する第2ゲートドライバと、キャパシタの両端間のセンス電圧に応じて、第1制御パルスおよび第2制御パルスの隣接するエッジ間の遅延時間を制御するデッドタイムコントローラと、を備える。

[0013] なお、以上の構成要素を任意に組み合わせたもの、構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0014] 本開示のある態様によれば、二つのトランジスタが両方オフとなるデッドタイムの長さを最適化できる。

図面の簡単な説明

[0015] [図1]図1は、実施形態1に係るスイッチング回路の回路図である。

[図2]図2は、図1のスイッチング回路の動作波形図である。

[図3]図3は、センスキャパシタ C_s の充電を説明する図である。

[図4]図4は、デッドタイム t_D の長さ、と、センス電圧 V_s の関係を示す図で

ある。

[図5]図5 (a) ~ (c) は、スイッチング回路の利点を説明する図である。

[図6]図6は、図1のデッドタイムコントローラによる制御遅延 T_d の最適化処理のフローチャートである。

[図7]図7は、実施例1に係るスイッチング電源の回路図である。

[図8]図8は、図7のスイッチング電源の動作波形図である。

[図9]図9は、実施例2に係るスイッチング電源の回路図である。

[図10]図10は、実施例3に係るスイッチング電源のブロック図である。

[図11]図11は、図10のスイッチング電源の動作波形図である。

[図12]図12は、実施例4に係るスイッチング電源のブロック図である。

[図13]図13は、図12のスイッチング電源の動作波形図である。

[図14]図14は、実施形態2に係るスイッチング回路の回路図である。

[図15]図15は、実施形態3に係るスイッチング回路の回路図である。

[図16]図16 (a) ~ (f) は、スイッチング電源のバリエーションを示す図である。

発明を実施するための形態

[0016] (実施形態の概要)

一実施形態に係るスイッチング回路は、第1トランジスタおよび第2トランジスタと、第1トランジスタがオン、第2トランジスタがオフの期間、ハイレベル電圧が発生し、第2トランジスタがオフ、第2トランジスタがオンの期間、ローレベル電圧が発生し、第1トランジスタおよび第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、第1端がスイッチングノードと接続されるキャパシタと、キャパシタの第2端に、定電圧を印加する整流素子と、第1トランジスタおよび第2トランジスタのオン、オフを指示する第1制御パルスおよび第2制御パルスを生成するスイッチングコントローラと、キャパシタの両端間のセンス電圧に応じて、第1制御パルスと第2制御パルスの隣接するエッジ間の遅延時間を制御するデッドタイムコントローラと、第1制御パルスに応じて第1トランジスタを駆動する

第1ゲートドライバと、第2制御パルスに応じて第2トランジスタを駆動する第2ゲートドライバと、を備える。

[0017] この構成では、第1トランジスタおよび第2トランジスタが両方オフとなるデッドタイム（ハイインピーダンス期間ともいう）の長さと、キャパシタの両端間電圧が正の相関を有する。そこで、キャパシタの両端間のセンス電圧を監視することで、実際のデッドタイムの長さを検出できる。そして、検出したセンス電圧（つまりデッドタイムの長さ）に応じて、制御パルスのエッジ間の遅延時間を最適化することにより、第1トランジスタおよび第2トランジスタが実際にオフとなるデッドタイムの長さを最適化できる。

[0018] 別の実施形態に係るスイッチング回路は、第1トランジスタおよび第2トランジスタと、第1トランジスタがオン、第2トランジスタがオフの期間、ハイレベル電圧が発生し、第2トランジスタがオフ、第2トランジスタがオンの期間、ローレベル電圧が発生し、第1トランジスタおよび第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、第1端がスイッチングノードと接続されるキャパシタと、キャパシタの第2端に、定電圧を印加する整流素子と、第1トランジスタおよび第2トランジスタのオン、オフを指示する第1制御パルスおよび第2制御パルスを生成するスイッチングコントローラと、第1制御パルスに応じて第1トランジスタを駆動する第1ゲートドライバと、第2制御パルスに応じて第2トランジスタを駆動する第2ゲートドライバと、キャパシタの両端間のセンス電圧に応じて、第1ゲートドライバおよび第2ゲートドライバの少なくとも一

[0019] この構成では、ゲートドライバの遅延時間を最適化することにより、第1トランジスタおよび第2トランジスタが実際にオフとなるデッドタイムの長さを最適化できる。

[0020] デッドタイムコントローラは、キャパシタの両端間電圧を所定の目標電圧と比較するコンパレータを含み、コンパレータの出力に応じて、エッジ間の遅延時間を増減してもよい。なお、コンパレータはデジタルコンパレータであってもよいし、アナログコンパレータであってもよい。

- [0021] デッドタイムコントローラは、キャパシタの両端間電圧が所定の目標電圧に近づくように、エッジ間の遅延時間をフィードバック制御してもよい。デッドタイムコントローラは、PI制御器やPID制御器を含むデジタル回路で構成してもよいし、エラーアンプを含むアナログ回路で構成してもよい。
- [0022] デッドタイムコントローラは、第1トランジスタがターンオンするときの遅延時間と、第2トランジスタがターンオンするときの遅延時間と、を独立に制御してもよい。
- [0023] スイッチング回路は、キャパシタと接続され、第1トランジスタがオンの期間に、キャパシタの電荷を放電する放電回路をさらに備えてもよい。
- [0024] スイッチング電源は、一次巻線および二次巻線を含むトランスをさらに備えてもよい。第1トランジスタは、一次巻線と接続され、第2トランジスタは、二次巻線と接続され、スイッチングノードは、二次巻線と第2トランジスタの接続ノードであってもよい。
- [0025] 第1トランジスタおよび第2トランジスタは直列に接続され、スイッチングノードは、第1トランジスタと第2トランジスタの接続ノードであってもよい。
- [0026] (実施形態の詳細)

以下、本発明を好適な実施形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施形態は、発明を限定するものではなく例示であって、実施形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

- [0027] 本明細書において、「部材Aが、部材Bと接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合のほか、部材Aと部材Bが、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわない、その他の部材を介して間接的に接続される場合も含む。
- [0028] 同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材

Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、それらの電氣的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

[0029] (実施形態1)

図1は、実施形態1に係るスイッチング回路100の回路図である。スイッチング回路100は、主回路110、センスキャパシタCs、整流素子Ds、デッドタイムコントローラ120、スイッチングコントローラ130、ゲートドライバ140__1, 140__2を備える。

[0030] 主回路110は、第1トランジスタM1および第2トランジスタM2を含む。主回路110には負荷2が接続され、負荷2には、第1トランジスタM1および第2トランジスタM2のオン、オフに応じた電力が供給される。典型的には、主回路110は、DC/DCコンバータやインバータ、コンバータなどのスイッチング電源の一部であり得る。後述するように、主回路110の回路構成にはさまざまなバリエーションが存在し、その構成は特に限定されない。第1トランジスタM1と第2トランジスタM2は直接接続される場合もあれば、トランスを介して接続される場合もある。

[0031] スwitchングコントローラ130は、負荷2に供給される電圧、電流あるいは電力、あるいは負荷の状態の少なくともひとつを制御対象とし、制御対象が目標値に近づくように、第1トランジスタM1および第2トランジスタM2のオン、オフを規定する制御パルスSp1, Sp2を生成する。ゲートドライバ140__1は、第1制御パルスSp1に応じて第1トランジスタM1を駆動する。またゲートドライバ140__2は、第2制御パルスSp2に応じて第2トランジスタM2を駆動する。

[0032] スwitchングコントローラ130において、第1制御パルスSp1と第2制御パルスSp2のエッジ間には、意図的な制御遅延Tdが設定される。この制御遅延（この制御遅延をデッドタイムと称する場合もある）Tdは、第1トランジスタM1と第2トランジスタM2が両方オフとなる期間（デッド

タイム τ_D)を挿入するために設けられている。ただし、制御遅延 T_d は、設計上のデッドタイムであるが、実際のデッドタイム τ_D の長さは、制御遅延 T_d とは一致するとは限らない。なぜなら、2つの制御パルス S_{p1} 、 S_{p2} が、対応するゲートに到達するまでの遅延時間は等しいとは限らず、また第1トランジスタ $M1$ と第2トランジスタ $M2$ のゲート容量が違えば、ターンオン遅延（ターンオフ遅延）も異なるからである。

[0033] 主回路110は、第1トランジスタ $M1$ がオン、第2トランジスタ $M2$ がオフの期間、ハイレベル電圧 V_H が発生し、第2トランジスタ $M2$ がオン、第1トランジスタ $M1$ がオフの期間、ローレベル電圧 V_L が発生し、第1トランジスタ $M1$ 、第2トランジスタ $M2$ が両方オフとなるデッドタイム（ハインピーダンス区間ともいう） τ_D の間、負電圧 $-V_{NEG}$ が発生するスイッチングノード N_{sw} を含む。

[0034] センسキャパシタ C_s の一端は、スイッチングノード N_{sw} と接続される。センスキャパシタ C_s の他端には、整流素子 D_s を介して、正の定電圧 V_{REG} が印加される。整流素子 D_s は典型的にはダイオードを用いることができるが、トランジスタをそれに代用してもよい。定電圧 V_{REG} は、電源電圧であってもよいし、基準電圧であってもよい。

[0035] デッドタイムコントローラ120は、センスキャパシタ C_s の両端間のセンス電圧 V_s にもとづいて、スイッチングコントローラ130におけるデッドタイム τ_D を検出し、最適化設定する。

[0036] 放電回路122は、センスキャパシタ C_s と接続される。放電回路122は、イネーブルとなると、センスキャパシタ C_s の電荷を放電する。たとえば放電回路122は、センスキャパシタ C_s と並列に接続されるスイッチを含んでもよい。

[0037] スwitchングコントローラ130は、制御パルス S_{p1} 、 S_{p2} のオン、オフと同期して、放電回路122をイネーブル（アクティブ）／ディセーブル（非アクティブ）を制御してもよい。たとえば放電回路122は、第1トランジスタ $M1$ のオン期間、言い換えるとスイッチング電圧 V_{sw} がハイレ

ベル電圧 V_H となる期間に、放電回路 122 をイネーブルとし、残りの期間、放電回路 122 をディセーブルとしてもよい。

[0038] 以上がスイッチング回路 100 の構成である。続いてその動作を説明する。

[0039] 図 2 は、図 1 のスイッチング回路 100 の動作波形図である。第 1 トランジスタ M_1 がオンの期間、スイッチング電圧 V_{sw} はハイレベル電圧 V_H であり、第 2 トランジスタ M_2 がオンの期間、スイッチング電圧 V_{sw} はローレベル電圧 V_L (0 V) であり、両方がオフのデッドタイム τ_D の間、スイッチング電圧 V_{sw} は、負電圧 $-V_{NEG}$ である。負電圧 $-V_{NEG}$ の大きさ V_{NEG} は、第 2 トランジスタ M_2 の種類に依存する。たとえば第 2 トランジスタ M_2 が Si-MOSFET である場合、そのボディダイオードの順方向電圧 V_f が負電圧の大きさ V_{NEG} となり、0.5~1 V 程度である。第 2 トランジスタ M_2 が GaN-HEMT の場合、そのドレインソース間電圧 V_{DS} が負電圧の大きさ V_{NEG} となり、数 V となる。

[0040] センسキャパシタ C_s の一端には、スイッチング電圧 V_{sw} が印加され、その他端には、 $(V_{REG} - V_F)$ が印加される。 V_F は、整流ダイオード D_s の順方向電圧である。したがって、 $(V_{REG} - V_F) > V_{sw}$ の期間、センスキャパシタ C_s の両端間には、 $(V_{REG} - V_F) - V_{sw}$ が印加される。

[0041] 図 3 は、センスキャパシタ C_s の充電を説明する図である。スイッチング電圧 V_{sw} がロー (0 V) の間、センスキャパシタ C_s の一端にはローレベル電圧 V_L (0 V) が、他端には $V_{REG} - V_F$ が印加され、したがってその両端間電圧 V_s は、 $V_{REG} - V_F$ となる。その後のデッドタイム τ_D において、センスキャパシタ C_s の一端の電圧 V_{sw} が、負電圧 $-V_{NEG}$ となると、センスキャパシタ C_s がさらに充電され、その両端間電圧 V_c がさらに上昇する。このときの上昇幅 ΔV は、デッドタイム τ_D が長いほど大きく、デッドタイム τ_D が短いほど小さくなる。つまり、センス電圧 V_s は、デッドタイム τ_D が長いほど高くなり、短いほど低くなる。

[0042] 図 4 は、デッドタイム τ_D の長さと、センス電圧 V_s の関係を示す図である

。センス電圧 V_s は、デッドタイム τ_D に対して単調増加し、センス電圧 V_s と実際のデッドタイム τ_D は1対1で対応付けられる。

[0043] そこで、デッドタイムコントローラ120は、センス電圧 V_s に目標値 $V_{s(REF)}$ を定めて、センス電圧 V_s が目標値 $V_{s(REF)}$ より高いときには制御遅延 T_d を短く、センス電圧 V_s が目標値 $V_{s(REF)}$ より低いときには制御遅延 T_d を長くするような制御を行うことにより、デッドタイム τ_D の長さを、目標値 $V_{s(REF)}$ に応じた長さ $\tau_{D(REF)}$ に最適化することができる。

[0044] 図5(a)～(c)は、スイッチング回路100の利点を説明する図である。図5(a)～(c)には、制御パルス S_{p1} 、 S_{p2} と、第1トランジスタ $M1$ 、第2トランジスタ $M2$ の実際のオン、オフ状態を示す。制御パルス S_{p2} がハイ（オンレベル）からロー（オフレベル）に遷移した後、オフ遅延時間 τ_2 の経過後に、第2トランジスタ $M2$ がターンオフする。また制御パルス S_{p1} がロー（オフレベル）からハイ（オンレベル）に遷移した後、オン遅延時間 τ_1 の経過後に、第1トランジスタ $M1$ がターンオンする。

[0045] 遅延時間 τ_1 、 τ_2 は、ゲートドライバの能力や、第1トランジスタ $M1$ 、第2トランジスタ $M2$ の素子サイズ、配線の寄生インピーダンスなどの影響を受ける。図5(a)～(c)は、遅延時間 τ_1 、 τ_2 が異なる様子を示している。

[0046] 本実施形態では、センス電圧 V_s が目標電圧 $V_{s(REF)}$ に近づくように、言い換えると、第1トランジスタ $M1$ と第2トランジスタ $M2$ が両方オフとなるデッドタイム τ_D の長さが目標値 $\tau_{D(REF)}$ に近づくように、制御パルス S_{p1} 、 S_{p2} のレベル遷移の遅延時間である制御遅延 T_d が調節される。図5(a)は $\tau_1 = \tau_2$ である場合を示す。このとき、デッドタイム τ_D の長さは、制御遅延 T_d と実質的に等しくなる。

[0047] 図5(b)は $\tau_1 > \tau_2$ である場合を示す。この場合、デッドタイム τ_D の長さが目標値に近づくようにフィードバックがかかり、制御遅延 T_d が長くなる。

[0048] 図5(c)は $\tau_1 < \tau_2$ である場合を示す。この場合、デッドタイム τ_D の長

さが目標値に近づくようにフィードバックがかかり、制御遅延 T_d が短くなる。

[0049] このように本実施形態によれば、制御遅延 T_d を最適化することにより、オン遅延時間やオフ遅延時間のばらつきや変動の影響をキャンセルすることができる。

[0050] 図6は、図1のデッドタイムコントローラ120による制御遅延 T_d の最適化処理のフローチャートである。図2に示すように、デッドタイム τ_D には、第2トランジスタM2のターンオフ直後（第1トランジスタM1のターンオン直前）のデッドタイム τ_{D1} と、第1トランジスタM1のターンオフ直後（第2トランジスタM2のターンオン直前）のデッドタイム τ_{D2} が存在し、それらは、独立したばらつき要因の影響を受ける。そこで、デッドタイムコントローラ120は、2つのデッドタイム τ_{D1} 、 τ_{D2} に対応する2つのデッドタイム（制御遅延） T_{d1} 、 T_{d2} を独立に最適化するとよい。制御遅延 T_{d1} は、制御パルス S_{p2} のネガティブエッジと制御パルス S_{p2} のポジティブエッジの遅延時間であり、制御遅延 T_{d2} は、制御パルス S_{p1} のネガティブエッジと制御パルス S_{p2} のポジティブエッジの遅延時間である。

[0051] はじめに2つのデッドタイム T_{d1} 、 T_{d2} に初期値 T_{d1_init} 、 T_{d2_init} がセットされる（S100）。

[0052] 続いて、センス電圧 V_s の初期値 V_{s_init} を測定する（S102）。続いて、デッドタイム T_{d1} に摂動が与えられる（S104）。デッドタイム T_{d1} は、貫通電流が流れない範囲において、なるべく短い方が効率が高くなる。そこで摂動は、デッドタイム T_{d1} を減少させる方向に与えられる。 Δt_{d1} は、所定の摂動幅である。

$$T_{d1} = T_{d1} - \Delta t_{d1}$$

[0053] 摂動付与後のセンス電圧 V_s が測定され（S106）、摂動によるセンス電圧 V_s の変動幅 $\Delta V_s = |V_s - V_{s_init}|$ が計算される（S108）。この状態で、摂動を解除する（S110）。

$$T_{d1} = T_{d1} + \Delta t_{d1}$$

[0054] 図4に示すように、デッドタイム τ_D （すなわちデッドタイム T_{d1} 、 T_{d2} ）が小さい領域では、デッドタイム T_{d1} 、 T_{d2} に対するセンス電圧 V_S の感度が低下する。この領域は、貫通電流が流れるリスクが高くなる。このリスクを避けるために、摂動による変動幅 ΔV_S を微小なしきい値 A と比較する（S112）。 $\Delta V_S < A$ であるとき（S112のY）、貫通電流が流れるおそれがあるため、デッドタイム T_{d1} を増大させる（S116）。

[0055] $\Delta V_S > A$ であるとき（S112のN）、貫通電流が流れるおそれは低いといえる。この場合、 V_S とその目標レベル $V_{S(REF)}$ を比較する（S114）。そして $V_S > V_{S(REF)}$ であれば（S114のY）、デッドタイム T_{d1} を減少させ（S116）、 $V_S < V_{S(REF)}$ であれば（S114のN）、デッドタイム T_{d1} を増大させる（S118）。

[0056] 処理S202～S218においては、処理S102～118と同じ処理が、 T_{d2} に対して実施される。なお、デッドタイム T_{d1} 、 T_{d2} の最適化の手法は、上述のそれに限定されない。

[0057] デッドタイム T_{d1} 、 T_{d2} の最適化は、スイッチング回路100の動作中に常時行うようにしてもよいし、間欠的に行うようにしてもよい。あるいは、スイッチング回路100を備える最終製品の出荷前に実行し、そこで得られたデッドタイム T_{d1} 、 T_{d2} を、不揮発メモリに格納しておき、動作時には、不揮発メモリからロードしたデッドタイム T_{d1} 、 T_{d2} を使用するようにしてもよい。

[0058] 本発明は、図1のブロック図や回路図として把握され、あるいは上述の説明から導かれるさまざまな装置、方法に及ぶものであり、特定の構成に限定されるものではない。以下、本発明の範囲を狭めるためではなく、発明の本質や動作の理解を助け、またそれらを明確化するために、より具体的な構成例や実施例を説明する。

[0059] （実施例1）

図7は、実施例1に係るスイッチング電源300Aの回路図である。スイッチング電源300Aは、フォワードコンバータであり、上述のスイッチン

グ回路100のアーキテクチャが実装されている。

- [0060] スイッチング電源300Aは、トランスTRN1、4個のトランジスタMA~MD、ゲートドライバ340A~340D、アイソレータ342A, 342B、デッドタイムコントローラ320、スイッチングコントローラ330を備える。スイッチング電源300Aは、1次側と2次側が、トランスTRN1およびアイソレータ342A, 342Bによって絶縁されている。デッドタイムコントローラ320およびスイッチングコントローラ330は、単一の制御回路310Aに集積化されていてもよい。放電回路122も、この制御回路310Aに集積化してもよい。
- [0061] スイッチングコントローラ330は、スイッチング電源300Aの出力電圧 V_{OUT} （あるいは別の電气的状態）が目標値に近づくように、制御パルスSpA~SpDを生成する。スイッチングコントローラ330の構成や制御方式は特に限定されず、公知技術を用いればよい。たとえばスイッチングコントローラ330は、出力電圧 V_{OUT} が目標値に近づくように、デューティサイクルや周波数などが調節されるデューティサイクル指令値を生成し、このデューティサイクル指令値に応じた内部パルスdpwmを生成してもよい。そしてこの内部パルスdpwmのポジティブエッジ、ネガティブエッジに適切な制御遅延を与えることにより、制御パルスSpA~SpDを生成してもよい。あるいは、デューティサイクル指令値から、制御パルスSpA~SpDに直接変換してもよい。
- [0062] ゲートドライバ340A, 340Bは、アイソレータ342A, 342Bを介して制御パルスSpA, Sp2を受け、一次側のトランジスタMA, MBを駆動する。ゲートドライバ340C, 340Dは、制御パルスSpC, SpDを受け、二次側のトランジスタMC, MDを駆動する。
- [0063] この実施例において、1次側のトランジスタMBと2次側のトランジスタMDのペアが、上述の第1トランジスタM1および第2トランジスタM2に対応しており、トランスTRN2の二次巻線WsとトランジスタM2の接続ノードが、上述のスイッチングノードNswとなる。センスキャパシタCs

の一端は、このスイッチングノード N_{sw} と接続される。

[0064] デッドタイムコントローラ320は、センスキャパシタ C_s の両端間のセンス電圧 V_s にもとづいて、制御パルス S_{pA} と S_{pD} の間の制御遅延 T_d を最適化する。

[0065] 以上がスイッチング電源300Aの構成である。図8は、図7のスイッチング電源300Aの動作波形図である。A～Dは、トランジスタMA～MDの実際のオン、オフ状態を示す。またスイッチング電圧 V_{sw} のハイレベルは、 V_{IN}/N である。Nは、トランスTRN1の巻線比であり、ローレベルは接地電圧である。デッドタイム τ_D の間、スイッチング電圧 V_{sw} は、負電圧となる。このスイッチング電源300Aによれば、デッドタイム τ_D を最適化することができる。

[0066] 図9は、実施例2に係るスイッチング電源300Bの回路図である。このスイッチング電源300Bは、非絶縁型のDC/DCコンバータ（降圧コンバータ）である。降圧コンバータは、ハイサイドトランジスタMB（スイッチングトランジスタ）、ローサイドトランジスタ（同期整流トランジスタ）MA、インダクタL1、キャパシタC1、センスキャパシタ C_s 、整流素子Ds、デッドタイムコントローラ320、スイッチングコントローラ330、ゲートドライバ340A、340Bを備える。

[0067] デッドタイムコントローラ320およびスイッチングコントローラ330は、単一の制御回路210Bに集積化されていてもよい。さらにゲートドライバ340A、340B、放電回路122も、この制御回路210Bに集積化してもよい。

[0068] スwitchングコントローラ330は、スイッチング電源300Bの出力電圧 V_{OUT} （あるいは別の電氣的状態）が目標値に近づくように、制御パルス S_{pA} 、 S_{pB} を生成する。スイッチングコントローラ330の構成や制御方式は特に限定されず、公知技術を用いればよい。たとえばスイッチングコントローラ330は、出力電圧 V_{OUT} が目標値に近づくように、デューティサイクルや周波数などが調節されるデューティサイクル指令値を生成し、このデ

ューティサイクル指令値に応じた内部パルス $d p w m$ を生成してもよい。そしてこの内部パルス $d p w m$ のポジティブエッジ、ネガティブエッジに適切な制御遅延を与えることにより、制御パルス $S p A$, $S p B$ を生成してもよい。あるいは、デューティサイクル指令値から、制御パルス $S p A$, $S p B$ に直接変換してもよい。

[0069] ゲートドライバ 340A, 340B は、制御パルス $S p A$, $S p 2$ に応じてトランジスタ $M A$, $M B$ を駆動する。

[0070] この実施例において、ハイサイドトランジスタ $M B$ とローサイドトランジスタ $M A$ が、上述の第1トランジスタ $M 1$ および第2トランジスタ $M 2$ に対応しており、2つのトランジスタの接続ノードが、スイッチングノード $N s w$ となる。センスキャパシタ $C s$ の一端は、このスイッチングノード $N s w$ と接続される。

[0071] デッドタイムコントローラ 320 は、センスキャパシタ $C s$ の両端間のセンス電圧 $V s$ にもとづいて、制御パルス $S p A$ と $S p B$ の間の制御遅延 $T d$ を最適化する。

[0072] (実施例3)

図10は、実施例3に係るスイッチング電源400のブロック図である。このスイッチング電源400は、ハーフブリッジコンバータであり、トランス $T R N 1$ 、トランジスタ $M A \sim M D$ 、キャパシタ $C 1 \sim C 3$ 、制御回路410、ゲートドライバ422A $\sim$ 422D、センスキャパシタ $C s 1$, $C s 2$ 、整流素子 $D s 1$, $D s 2$ を備える。

[0073] 制御回路410は、スイッチングコントローラ412およびデッドタイムコントローラ414を備える。スイッチングコントローラ412は、スイッチング電源400の出力電圧 V_{OUT} (あるいは別の電气的状態) が目標値に近づくように、制御パルス $S p A \sim S p D$ を生成する。

[0074] 制御パルス $S p A$, $S p B$ は、ゲートドライバ422A, 422Bに入力される。絶縁アプリケーションでは、ゲートドライバ422Aおよび422Bと、制御回路410の間に、アイソレータが追加される。

- [0075] ハーフブリッジコンバータでは、トランジスタMAとMCのペアが相補的にスイッチングし、トランジスタMBとMDのペアが相補的にスイッチングする。したがって、制御パルス $S_p A$ と $S_p C$ の間に第1制御遅延 $T_{d_{AC}}$ が導入され、制御パルス $S_p B$ と $S_p D$ の間に第2制御遅延 $T_{d_{BD}}$ が導入される。
- [0076] トランジスタMCのドレインが、第1スイッチングノード N_{sw1} であり、キャパシタ C_{s1} およびダイオード D_{s1} が接続される。デッドタイムコントローラ414は、キャパシタ C_{s1} に生ずるセンス電圧 V_{s1} にもとづいて、第1制御遅延 $T_{d_{AC}}$ を調節する。またトランジスタMDのドレインが、第2スイッチングノード N_{sw2} であり、キャパシタ C_{s2} およびダイオード D_{s2} が接続される。デッドタイムコントローラ414は、キャパシタ C_{s2} に生ずるセンス電圧 V_{s2} にもとづいて、第2制御遅延 $T_{d_{BD}}$ を調節する。
- [0077] たとえばスイッチングコントローラ412は、パルス幅変調器416およびパルス生成部418を含む。パルス幅変調器416は、スイッチング電源400の出力電圧 V_{OUT} （あるいは別の電氣的状態）に応じたフィードバック信号がその目標値に近づくように、デューティサイクル D_{on} をフィードバック制御する。パルス幅変調器416からパルス生成部418には、デューティサイクル D_{on} に応じた信号が供給される。パルス生成部418は、パルス幅変調器416が生成したデューティサイクル D_{on} と、制御遅延 T_{d_Ac} 、 $T_{d_{BD}}$ にもとづいて、制御パルス $S_p A \sim S_p D$ を生成する。スイッチングコントローラ412の構成や制御方式は特に限定されず、公知技術を用いればよい。
- [0078] 図11は、図10のスイッチング電源の動作波形図である。パルス幅変調器416によって、デューティサイクル D_{on} がフィードバック制御される。 pwm_p1 、 pwm_p2 は、デューティサイクル D_{on} を有するパルス信号を示す。 τ_{12} は、制御パルス $S_p B$ （あるいは $S_p A$ ）のエッジの発生から、そのエッジにもとづくスイッチング電圧 V_{sw2} （あるいは V_{sw}

1) の変化が発生するまでの遅延時間を表す。この遅延時間は、ドライバ422B(422A)の遅延、トランジスタMBのターンオン時間、トランスTRNの遅延などを含みうる。

[0079] トランジスタペアMBおよびMDに着目すると、スイッチング電圧 V_{sw2} が負電圧となるデッドタイム τ_{BD1} は、制御遅延 $T_{d_{BD1}}$ と遅延時間 τ_{12} の合計時間となる。

$$\tau_{BD1} = T_{d_{BD1}} + \tau_{12}$$

またデッドタイム τ_{BD2} は、制御遅延 $T_{d_{BD2}}$ から遅延時間 τ_{12} を減じた時間となる。

$$\tau_{BD2} = T_{d_{BD2}} - \tau_{12}$$

[0080] デッドタイムコントローラ414は、 τ_{BD1} の長さに応じたセンス電圧 V_{s2} にもとづいて、制御遅延 $T_{d_{BD1}}$ を最適化する。またデッドタイムコントローラ414は、 τ_{BD2} の長さに応じたセンス電圧 V_{s2} にもとづいて、制御遅延 $T_{d_{BD2}}$ を最適化する。

[0081] トランジスタペアMAおよびMCに着目すると、スイッチング電圧 V_{sw1} が負電圧となるデッドタイム τ_{AC1} は、制御遅延 $T_{d_{AC1}}$ と遅延時間 τ_{12} の合計時間となる。

$$\tau_{AC1} = T_{d_{AC1}} + \tau_{12}$$

またデッドタイム τ_{AC2} は、制御遅延 $T_{d_{AC2}}$ から遅延時間 τ_{12} を減じた時間となる。

$$\tau_{AC2} = T_{d_{AC2}} - \tau_{12}$$

[0082] デッドタイムコントローラ414は、 τ_{AC1} の長さに応じたセンス電圧 V_{s1} にもとづいて、制御遅延 $T_{d_{AC1}}$ を最適化する。またデッドタイムコントローラ414は、 τ_{AC2} の長さに応じたセンス電圧 V_{s1} にもとづいて、制御遅延 $T_{d_{AC2}}$ を最適化する。

[0083] (実施例4)

図12は、実施例4に係るスイッチング電源400Aのブロック図である。このスイッチング電源400Aは、図10のスイッチング電源400と同

様に、ハーフブリッジコンバータであり、スイッチングノードの箇所が異なっている。図12では、トランスTRNの2次巻線のタップとインダクタL1の接続ノードがスイッチングノードとなっている。スイッチング電源400Aは、スイッチングノードNswと接続されたキャパシタCsおよび整流素子Dsを備える。

[0084] 制御回路410Aのデッドタイムコントローラ414は、キャパシタCsに生ずるセンス電圧Vsにもとづいて、制御遅延 T_{dAC} 、 T_{dBD} を制御する。

[0085] 図13は、図12のスイッチング電源400Aの動作波形図である。スイッチング電圧Vswは、図11の2つのスイッチング電圧Vsw1、Vsw2を合成した電圧となる。そこで、 τ_{BD1} の長さに応じたセンス電圧Vsにもとづいて、制御遅延 T_{dBD1} を最適化し、 τ_{BD2} の長さに応じたセンス電圧Vsにもとづいて、制御遅延 T_{dBD2} を最適化する。同様にデッドタイムコントローラ414は、 τ_{AC1} の長さに応じたセンス電圧Vsにもとづいて、制御遅延 T_{dAC1} を最適化し、 τ_{AC2} の長さに応じたセンス電圧Vsにもとづいて、制御遅延 T_{dAC2} を最適化する。

[0086] 実施例4によれば、部品点数および制御回路410Aのピン数を減らすことができる。

[0087] (実施形態2)

図14は、実施形態2に係るスイッチング回路200の回路図である。実施形態1では、2つの制御パルスSp1、Sp2のエッジ間の遅延時間を最適化したのに対して、実施形態2では、ゲートドライバの遅延時間Tdを制御することにより、デッドタイム τ_D を最適化する。

[0088] スwitchング回路200は、主回路110、デッドタイムコントローラ120、コントローラ130、ゲートドライバ140__1、ゲートドライバ140__2を備える。ゲートドライバ140__1、ゲートドライバ140__2の少なくとも一方は、遅延時間Tdが可変に構成されている。

[0089] たとえばゲートドライバ140__1は、制御パルスSp1のポジティブエ

ッジに対する遅延時間と、制御パルス S_{p1} のネガティブエッジに対する遅延時間と、が個別に制御可能であってもよい。同様にゲートドライバ 140__2 は、制御パルス S_{p2} のポジティブエッジに対する遅延時間と、制御パルス S_{p2} のネガティブエッジに対する遅延時間と、が個別に制御可能であってもよい。

[0090] 以上がスイッチング回路 200 の構成である。このスイッチング回路 200 によれば、ゲートドライバの遅延時間を制御することにより、デッドタイム τ_D を最適化することができる。

[0091] (実施形態 3)

図 15 は、実施形態 3 に係るゲートドライバ回路 500 を備えるスイッチング回路 200 の回路図である。ゲートドライバ回路 500 は、デッドタイムコントローラ 510、パルス生成部 520、第 1 ゲートドライバ 530__1、第 2 ゲートドライバ 530__2 を備える。

[0092] スwitchングコントローラ 130 は、パルス幅変調器を含み、第 1 トランジスタ M1 および第 2 トランジスタ M2 のデューティサイクル D_{on} を示す制御信号を生成し、ゲートドライバ回路 500 に供給する。この制御信号は、パルス信号であってもよいし、デジタル値であってもよいし、アナログ信号であってもよい。

[0093] パルス生成部 520 は、スイッチングコントローラ 130 からの制御信号に応じたデューティサイクルを有する第 1 制御パルス S_{p1} および第 2 制御パルス S_{p2} を生成する。

[0094] デッドタイムコントローラ 510 は、キャパシタ C_s の両端間のセンス電圧 V_s に応じて、第 1 制御パルス S_{p1} と第 2 制御パルス S_{p2} の隣接するエッジ間の遅延時間を制御する。

[0095] 第 1 ゲートドライバ 530__1 は、第 1 制御パルス S_{p1} に応じて第 1 トランジスタ M1 を駆動する。第 2 ゲートドライバ 530__2 は、第 2 制御パルス S_{p2} に応じて第 2 トランジスタ M2 を駆動する。

[0096] 以上、本発明について、実施形態をもとに説明した。この実施形態は例示

であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

[0097] スイッチング電源のトポロジーは、実施形態で説明したそれに限定されない。図16(a)～(f)は、スイッチング電源のバリエーションを示す図である。

[0098] 図16(a)は、降圧コンバータであり、これについては、実施例2で説明した。なお、実施形態2あるいは実施形態3のアーキテクチャを、この降圧コンバータに適用してもよい。この場合、トランジスタA、Bの接続ノードをスイッチングノードとして、トランジスタA、Bのゲートドライバの遅延時間を変化させてもよい。

[0099] 図16(b)はフォワードコンバータであり、これについては実施例1で説明した。実施例1では、トランジスタA、D間のデッドタイムの制御を説明したが、それに代えて、あるいはそれに加えて、トランジスタA、C間のデッドタイム(制御遅延 T_{AC})を制御してもよい。実施形態2あるいは実施形態3のアーキテクチャをこのフォワードコンバータに適用してもよい。

[0100] 図16(c)はハーフブリッジコンバータであり、実施例3、実施例4で説明した。実施形態2あるいは実施形態3のアーキテクチャを、このハーフブリッジコンバータに適用してもよい。

[0101] 図16(d)はフルブリッジブリッジコンバータである。このフルブリッジコンバータは、ハーフブリッジコンバータと2次側の構成は共通である。1次側は、トランジスタペアA1、A2が同時にオンとなり、トランジスタペアB1、B2のペアが同時にオンとなるように制御される。

[0102] したがってデッドタイムの最適化は、実施例3あるいは実施例4のハーフブリッジコンバータと同様に行うことができる。具体的には、トランジスタAの動作を、トランジスタペアA1、A2と読み替え、トランジスタBの動作を、トランジスタペアB1、B2と読み替えればよい。最適化には、実施形態1のアーキテクチャと実施形態2のアーキテクチャのどちらを用いても

よい。

[0103] 図15(e)は、カレントダブラ同期整流器である。この構成では、トランジスタAとCのペアが相補的に動作し、それらの間の制御遅延 $T_{d_{AC}}$ を、トランジスタCのドレインをスイッチング端子として最適化することができる。またトランジスタBとDのペアが相補的に動作し、それらの間の制御遅延 $T_{d_{BD}}$ を、トランジスタDのドレインをスイッチング端子として最適化することができる。

[0104] 図15(f)は、二次側フルブリッジ同期整流器である。1次側のフルブリッジ回路においては、トランジスタペアAとCが同時にオン、オフし、トランジスタペアBとDが同時にオン、オフする。また2次側のフルブリッジ回路においては、トランジスタペアEとGが同時にオン、オフし、トランジスタペアFとHが同時にオン、オフする。この構成では、トランジスタEのドレインをスイッチングノード N_{sw1} として、そのスイッチング電圧 V_{sw1} に応じたセンス電圧 V_{s1} にもとづいて、トランジスタペアA、Cと、トランジスタペアE、G間の制御遅延（デッドタイム） $T_{d_{AE}}$ を最適化することができる。また、トランジスタHのドレインをスイッチングノード N_{sw2} として、そのスイッチング電圧 V_{sw2} に応じたセンス電圧 V_{s2} にもとづいて、トランジスタペアB、Dと、トランジスタペアF、H間の制御遅延 $T_{d_{BF}}$ （デッドタイム）を最適化することができる。

[0105] あるいは図15(f)において、2次側フルブリッジ回路と2次側のインダクタの接続ノードをスイッチングノード N_{sw} として、その電圧にもとづいて、制御遅延 $T_{d_{AE}}$ 、 $T_{d_{BF}}$ を最適化してもよい。

[0106] スwitchング回路は、電源のほか、モータ駆動回路などさまざまな用途で使用されており、本発明は電源以外の用途にも適用可能である。

[0107] 実施形態は、本発明の原理、応用を示しているにすぎず、実施形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

産業上の利用可能性

[0108] 本発明は、スイッチング回路に関する。

符号の説明

- [0109] 100 スwitching回路
- M1 第1トランジスタ
- M2 第2トランジスタ
- Cs キャパシタ
- Ds 整流素子
- 110 主回路
- 120 デッドタイムコントローラ
- 122 放電回路
- 130 スwitchingコントローラ
- 140, 142 ゲートドライバ
- 200 スwitching回路
- 300 スwitching電源
- 310 制御回路
- 320 デッドタイムコントローラ
- 330 スwitchingコントローラ
- 340 ゲートドライバ

請求の範囲

[請求項1]

第1トランジスタおよび第2トランジスタと、
前記第1トランジスタがオン、前記第2トランジスタがオフの期間、
ハイレベル電圧が発生し、前記第2トランジスタがオフ、前記第2トランジスタがオンの期間、ローレベル電圧が発生し、前記第1トランジスタおよび前記第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、
第1端が前記スイッチングノードと接続されるキャパシタと、
前記キャパシタの第2端に、定電圧を印加する整流素子と、
前記第1トランジスタおよび前記第2トランジスタのオン、オフを指示する第1制御パルスおよび第2制御パルスを生成するスイッチングコントローラと、
前記第1制御パルスに応じて前記第1トランジスタを駆動する第1ゲートドライバと、
前記第2制御パルスに応じて前記第2トランジスタを駆動する第2ゲートドライバと、
前記キャパシタの両端間のセンス電圧に応じて、前記第1制御パルスと前記第2制御パルスのエッジ間の遅延時間を制御するデッドタイムコントローラと、
を備える、 スイッチング回路。

[請求項2]

第1トランジスタおよび第2トランジスタと、
前記第1トランジスタがオン、前記第2トランジスタがオフの期間、
ハイレベル電圧が発生し、前記第2トランジスタがオフ、前記第2トランジスタがオンの期間、ローレベル電圧が発生し、前記第1トランジスタおよび前記第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、
第1端が前記スイッチングノードと接続されるキャパシタと、
前記キャパシタの第2端に、定電圧を印加する整流素子と、

前記第1トランジスタおよび前記第2トランジスタのオン、オフを指示する第1制御パルスおよび第2制御パルスを生成するスイッチングコントローラと、

前記第1制御パルスに応じて前記第1トランジスタを駆動する第1ゲートドライバと、

前記第2制御パルスに応じて前記第2トランジスタを駆動する第2ゲートドライバと、

前記キャパシタの両端間のセンス電圧に応じて、前記第1ゲートドライバおよび前記第2ゲートドライバの少なくとも一方の遅延時間を制御するデッドタイムコントローラと、

を備える、スイッチング回路。

[請求項3] 前記デッドタイムコントローラは、前記キャパシタの両端間電圧を所定の目標電圧と比較するコンパレータを含み、前記コンパレータの出力に応じて、前記遅延時間を増減する、請求項1または2に記載のスイッチング回路。

[請求項4] 前記デッドタイムコントローラは、前記キャパシタの両端間電圧が所定の目標電圧に近づくように、前記遅延時間をフィードバック制御する、請求項1または2に記載のスイッチング回路。

[請求項5] 前記デッドタイムコントローラは、前記第1トランジスタがターンオンするときの前記遅延時間と、前記第2トランジスタがターンオンするときの前記遅延時間と、を独立に制御する、請求項1から4のいずれかに記載のスイッチング回路。

[請求項6] 前記キャパシタと接続され、前記第1トランジスタがオンの期間に、前記キャパシタの電荷を放電する放電回路をさらに備える、請求項1から5のいずれかに記載のスイッチング回路。

[請求項7] 一次巻線および二次巻線を含むトランスをさらに備え、
前記第1トランジスタは、前記一次巻線と接続され、
前記第2トランジスタは、前記二次巻線と接続され、

前記スイッチングノードは、前記二次巻線と前記第2トランジスタの接続ノードである、請求項1から6のいずれかに記載のスイッチング回路。

[請求項8] 前記第1トランジスタと前記第2トランジスタは直列に接続され、前記スイッチングノードは、前記第1トランジスタと前記第2トランジスタの接続ノードである、請求項1から6のいずれかに記載のスイッチング回路。

[請求項9] 請求項1から8のいずれかに記載のスイッチング回路を備える、スイッチング電源。

[請求項10] スwitchング電源の制御回路であって、
前記スイッチング電源は、
第1トランジスタおよび第2トランジスタと、
前記第1トランジスタがオン、前記第2トランジスタがオフの期間、ハイレベル電圧が発生し、前記第2トランジスタがオフ、前記第2トランジスタがオンの期間、ローレベル電圧が発生し、前記第1トランジスタおよび前記第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、
第1端が前記スイッチングノードと接続されるキャパシタと、
前記キャパシタの第2端に、定電圧を印加する整流素子と、
第1制御パルスに応じて前記第1トランジスタを駆動する第1ゲートドライバと、
第2制御パルスに応じて前記第2トランジスタを駆動する第2ゲートドライバと、
を備え、
前記制御回路は、
前記第1トランジスタおよび前記第2トランジスタのオン、オフを指示する第1制御パルスおよび第2制御パルスを生成するスイッチングコントローラと、

前記キャパシタの両端間のセンス電圧に応じて、前記第 1 制御パルスと前記第 2 制御パルスの隣接するエッジ間の遅延時間を制御するデッドタイムコントローラと、

を備える、 制御回路。

[請求項11] 前記デッドタイムコントローラは、前記キャパシタの両端間電圧を所定の目標電圧と比較するコンパレータを含み、前記コンパレータの出力に応じて、前記遅延時間を増減する、 請求項 10 に記載の制御回路。

[請求項12] 前記デッドタイムコントローラは、前記キャパシタの両端間電圧が所定の目標電圧に近づくように、前記遅延時間をフィードバック制御する、 請求項 10 または 11 に記載の制御回路。

[請求項13] 前記デッドタイムコントローラは、前記第 1 トランジスタがターンオンするときの前記遅延時間と、前記第 2 トランジスタがターンオンするときの前記遅延時間と、を独立に制御する、 請求項 10 から 12 のいずれかに記載の制御回路。

[請求項14] 前記キャパシタと接続され、前記第 1 トランジスタがオンの期間に、前記キャパシタの電荷を放電する放電回路をさらに備える、 請求項 10 から 13 のいずれかに記載の制御回路。

[請求項15] 前記スイッチング電源は、一次巻線および二次巻線を含むトランスをさらに備え、

前記第 1 トランジスタは、前記一次巻線と接続され、

前記第 2 トランジスタは、前記二次巻線と接続され、

前記スイッチングノードは、前記二次巻線と前記第 2 トランジスタの接続ノードである、 請求項 10 から 14 のいずれかに記載の制御回路。

[請求項16] 前記第 1 トランジスタと前記第 2 トランジスタは直列に接続され、前記スイッチングノードは、前記第 1 トランジスタと前記第 2 トランジスタの接続ノードである、 請求項 10 から 14 のいずれかに記載の

制御回路。

[請求項17] 請求項10から16のいずれかに記載の制御回路を備える、スイッチング電源。

[請求項18] スイッチング電源のゲートドライバ回路であって、
前記スイッチング電源は、
第1トランジスタおよび第2トランジスタと、
前記第1トランジスタがオン、前記第2トランジスタがオフの期間、
ハイレベル電圧が発生し、前記第2トランジスタがオフ、前記第2トランジスタがオンの期間、ローレベル電圧が発生し、前記第1トランジスタおよび前記第2トランジスタが両方オフの期間、負電圧が発生するスイッチングノードと、
第1端が前記スイッチングノードと接続されるキャパシタと、
前記キャパシタの第2端に、定電圧を印加する整流素子と、
前記スイッチング電源の電氣的状態が所定の目標状態に近づくように、前記第1トランジスタおよび前記第2トランジスタのデューティサイクルを指示する制御信号を生成するスイッチングコントローラと、
を備え、
前記ゲートドライバ回路は、
前記制御信号に応じたデューティサイクルを有する第1制御パルスおよび第2制御パルスを生成するパルス生成部と、
前記第1制御パルスに応じて前記第1トランジスタを駆動する第1ゲートドライバと、
前記第2制御パルスに応じて前記第2トランジスタを駆動する第2ゲートドライバと、
前記キャパシタの両端間のセンス電圧に応じて、前記第1制御パルスおよび前記第2制御パルスの隣接するエッジ間の遅延時間を制御するデッドタイムコントローラと、

を備える、 ゲートドライバ回路。

[請求項19] 前記デッドタイムコントローラは、前記キャパシタの両端間電圧を所定の目標電圧との比較結果にもとづいて、前記遅延時間を増減する、 請求項18に記載のゲートドライバ回路。

[請求項20] 前記デッドタイムコントローラは、前記キャパシタの両端間電圧が所定の目標電圧に近づくように、前記遅延時間をフィードバック制御する、 請求項18に記載のゲートドライバ回路。

[請求項21] 前記デッドタイムコントローラは、前記第1トランジスタがターンオンするときの前記遅延時間と、前記第2トランジスタがターンオンするときの前記遅延時間と、を独立に制御する、 請求項18から20のいずれかに記載のゲートドライバ回路。

[請求項22] 前記キャパシタと接続され、前記第1トランジスタがオンの期間に、前記キャパシタの電荷を放電する放電回路をさらに備える、 請求項18から21のいずれかに記載のゲートドライバ回路。

[請求項23] 前記スイッチング電源は、一次巻線および二次巻線を含むトランスをさらに備え、

前記第1トランジスタは、前記一次巻線と接続され、

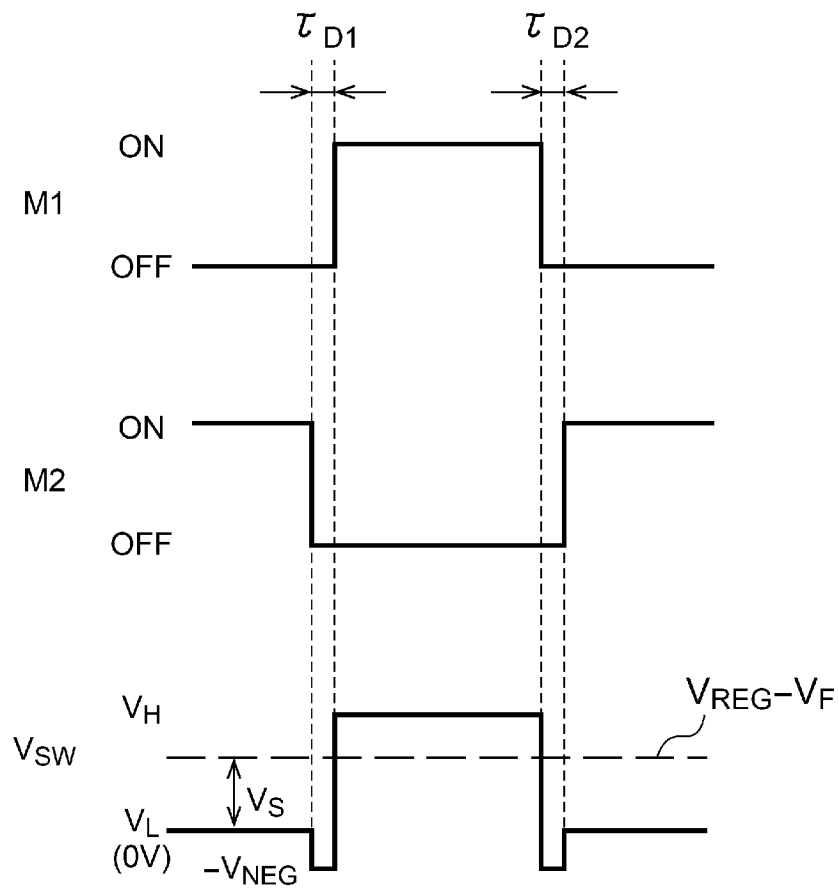
前記第2トランジスタは、前記二次巻線と接続され、

前記スイッチングノードは、前記二次巻線と前記第2トランジスタの接続ノードである、 請求項18から22のいずれかに記載のゲートドライバ回路。

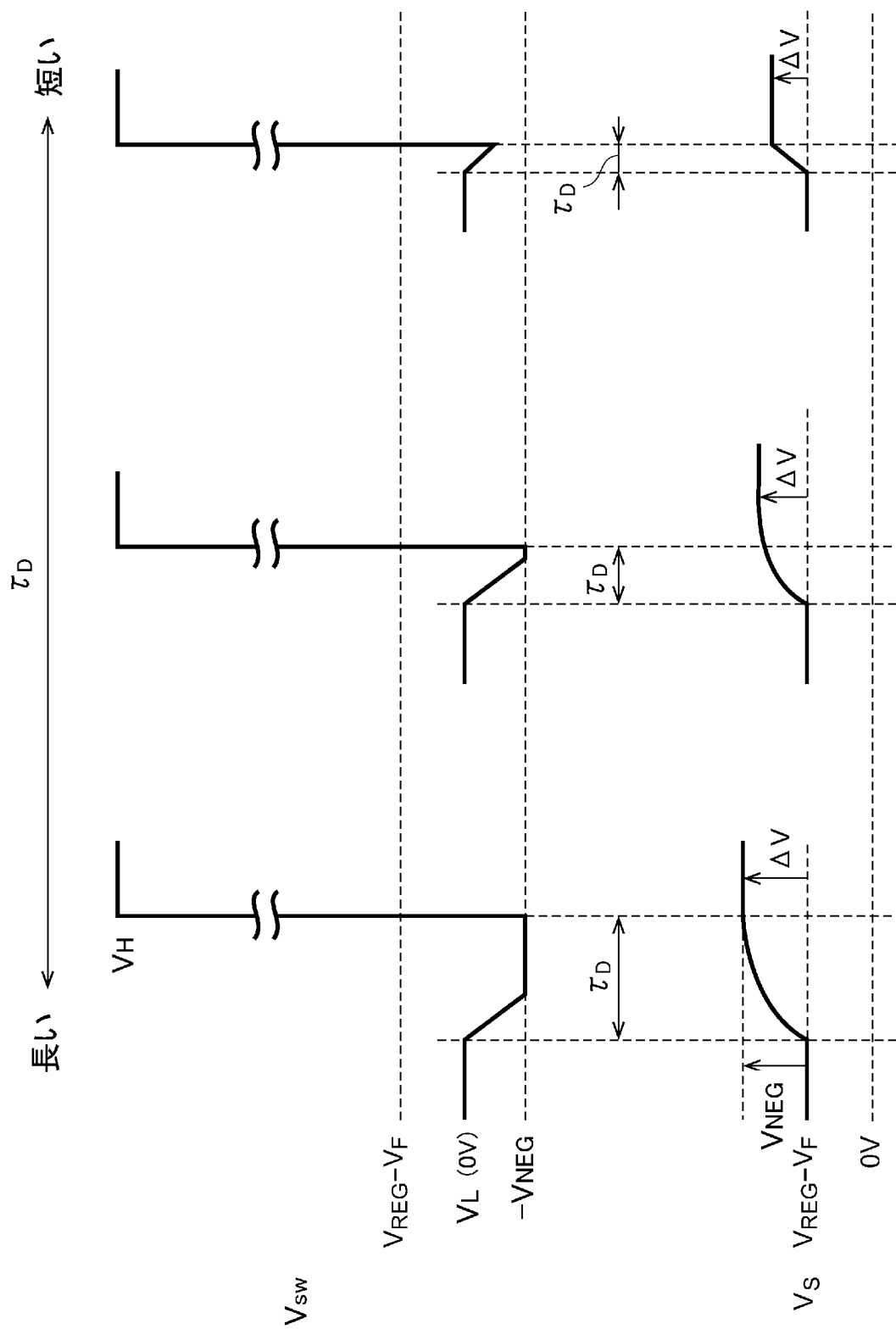
[請求項24] 前記第1トランジスタと前記第2トランジスタは直列に接続され、前記スイッチングノードは、前記第1トランジスタと前記第2トランジスタの接続ノードである、 請求項18から22のいずれかに記載のゲートドライバ回路。

[請求項25] 請求項18から24のいずれかに記載のスイッチング回路を備える、 スイッチング電源。

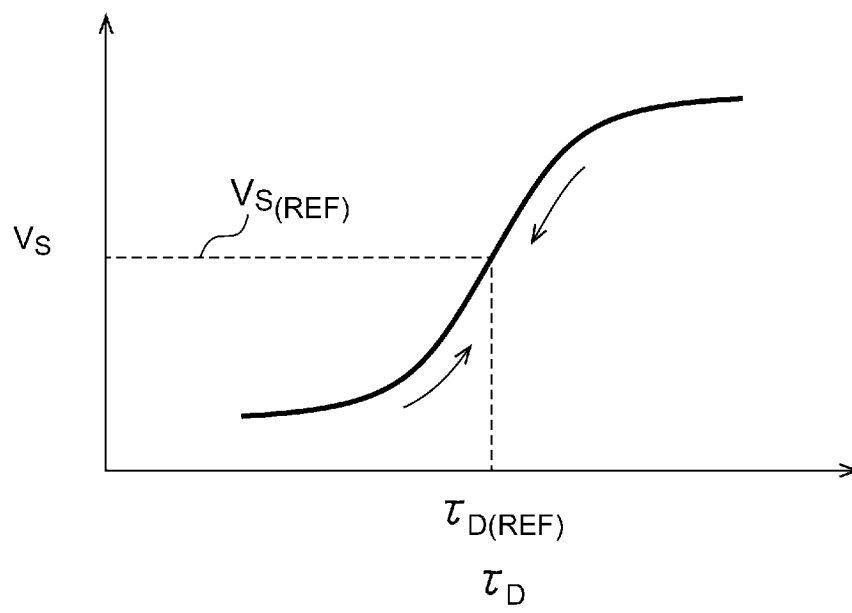
[図2]



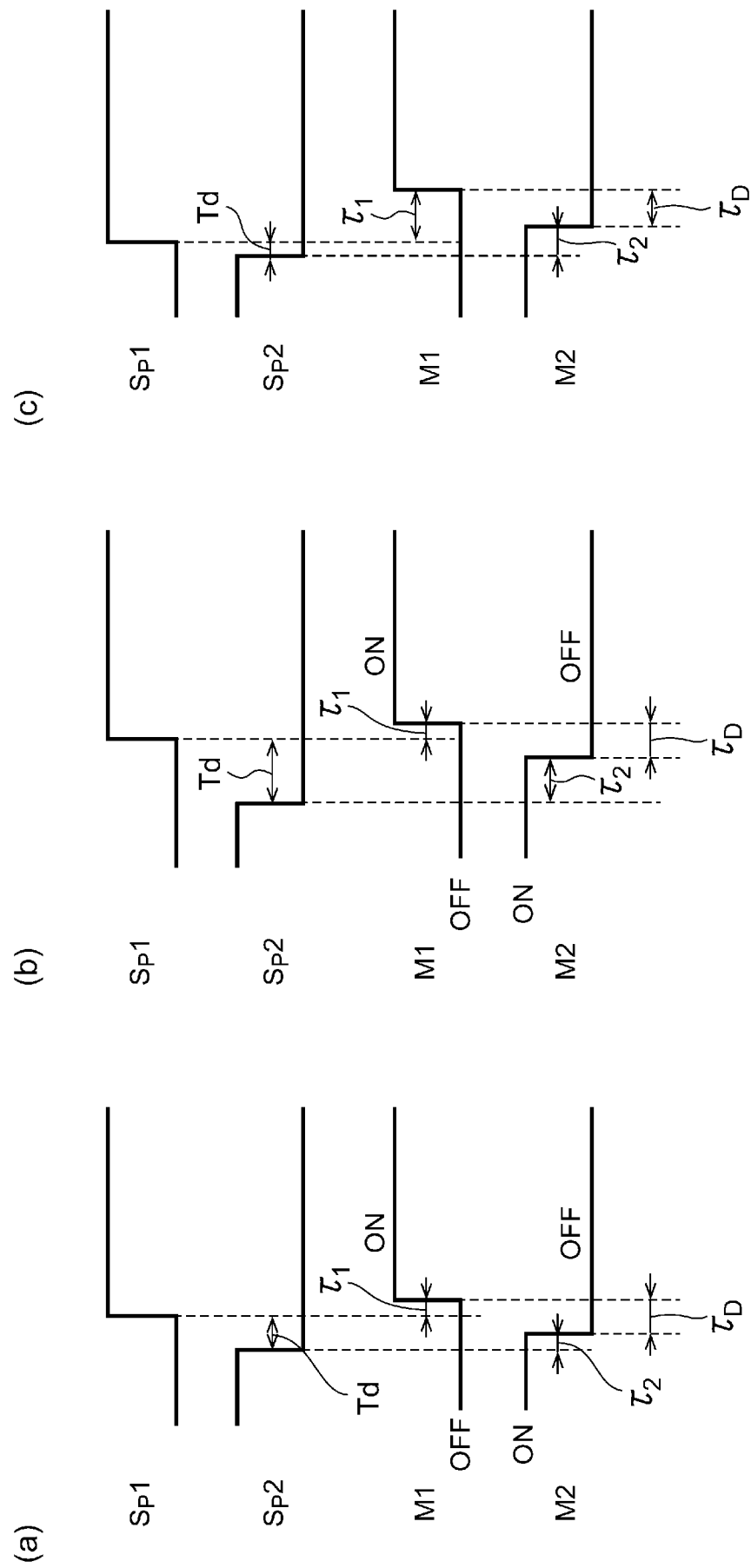
[図3]



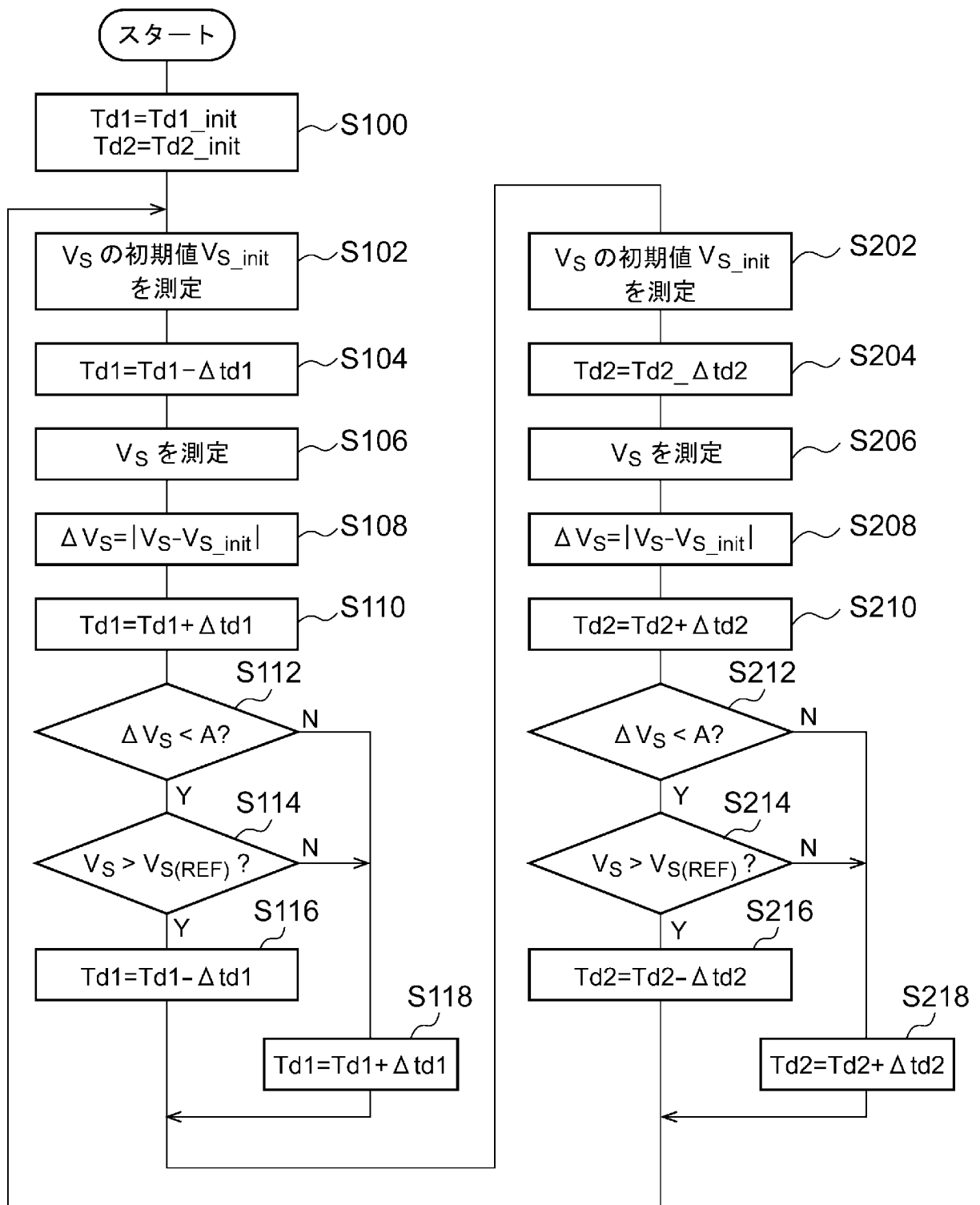
[図4]



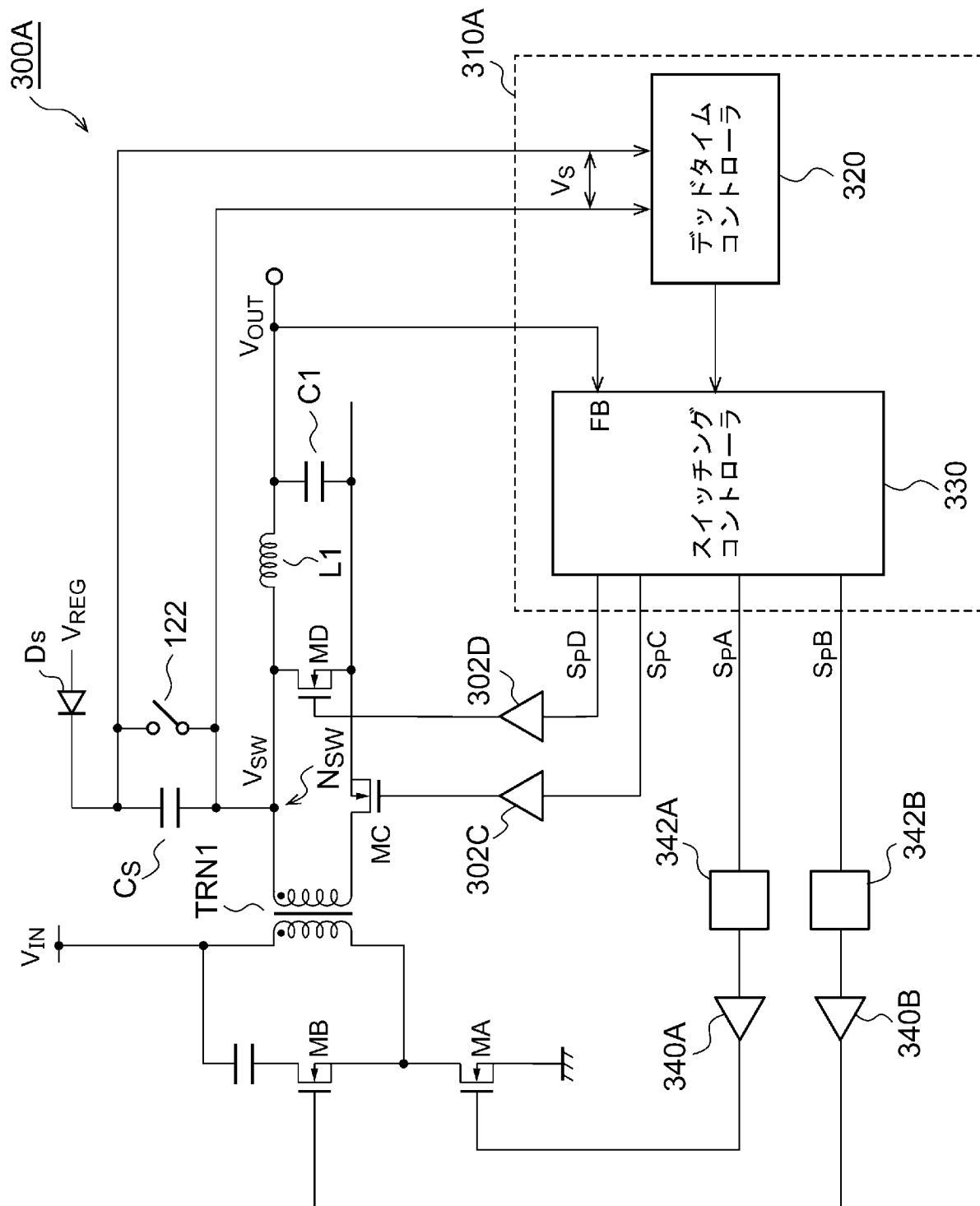
[図5]



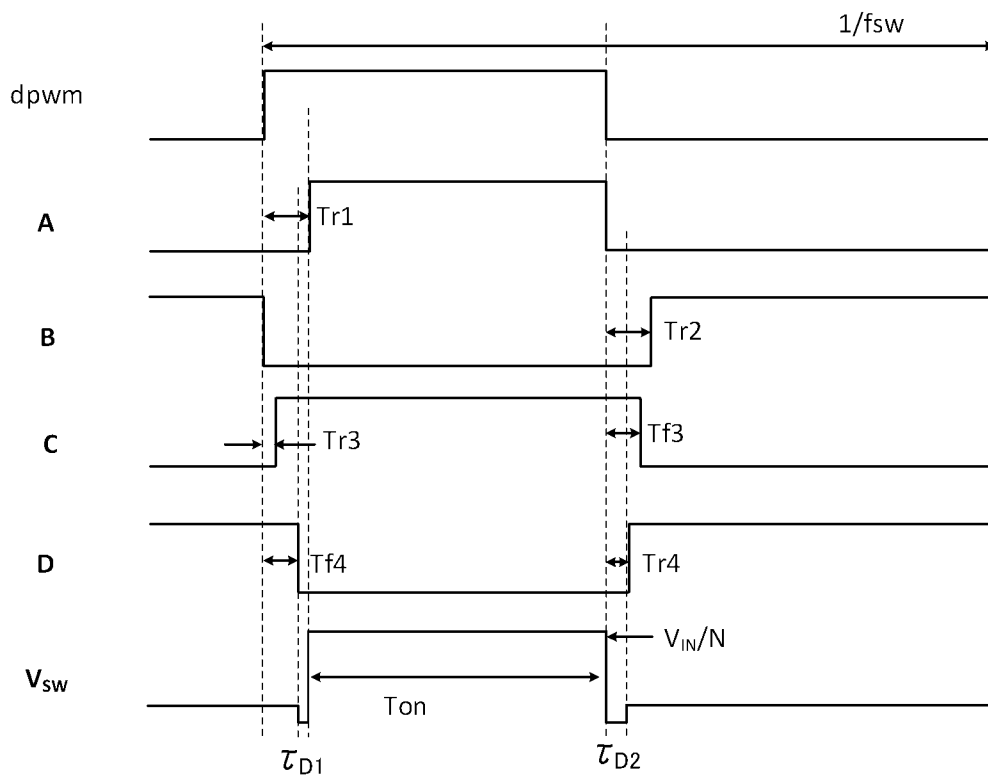
[図6]



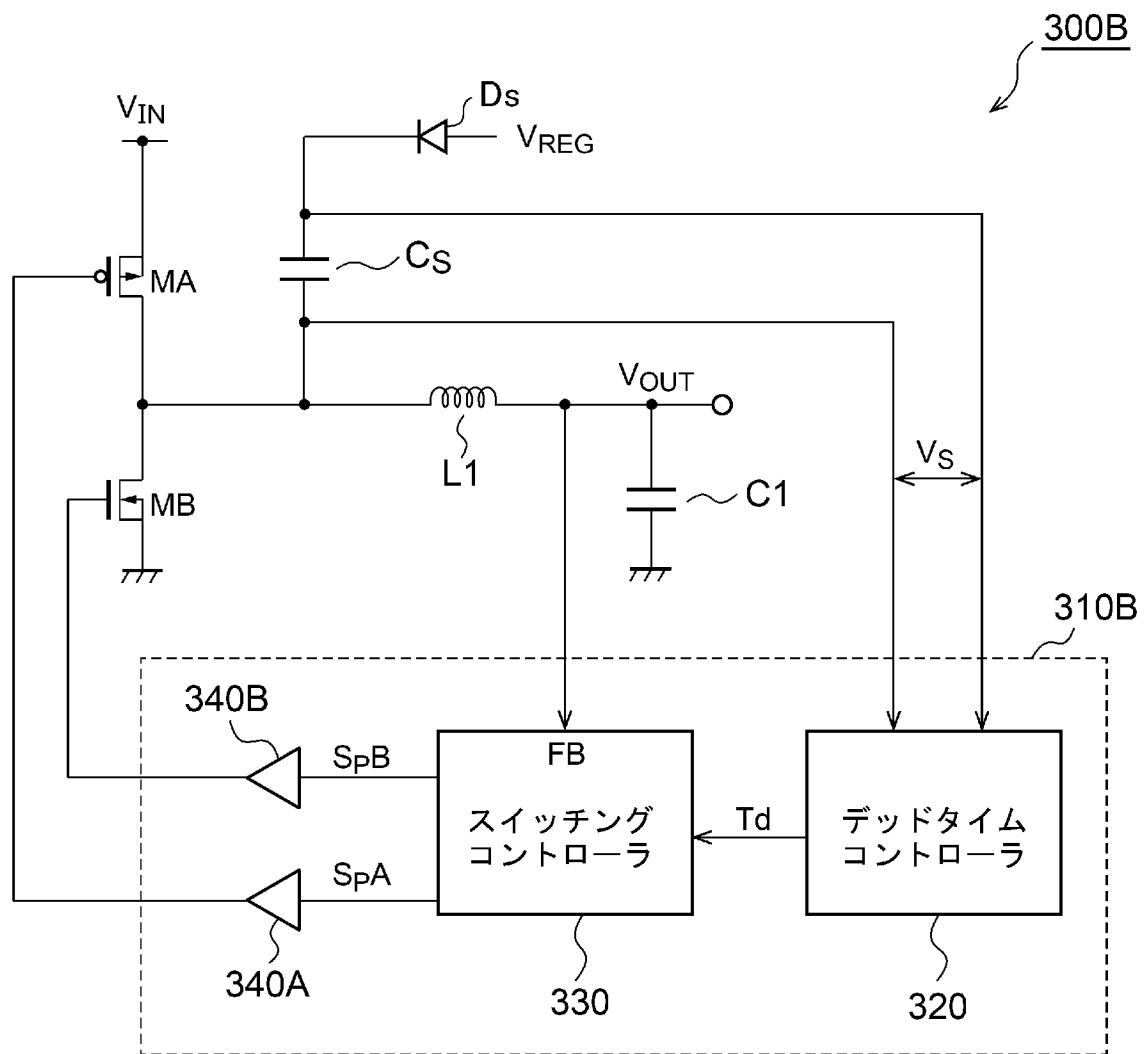
[図7]



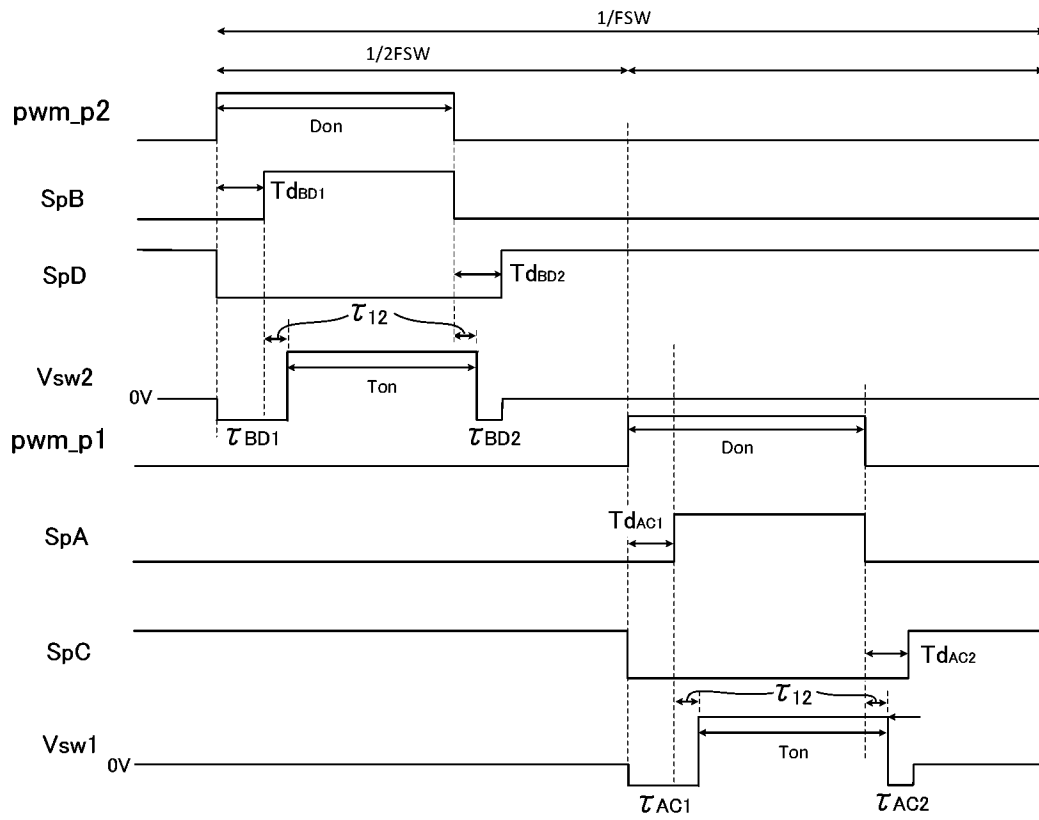
[図8]



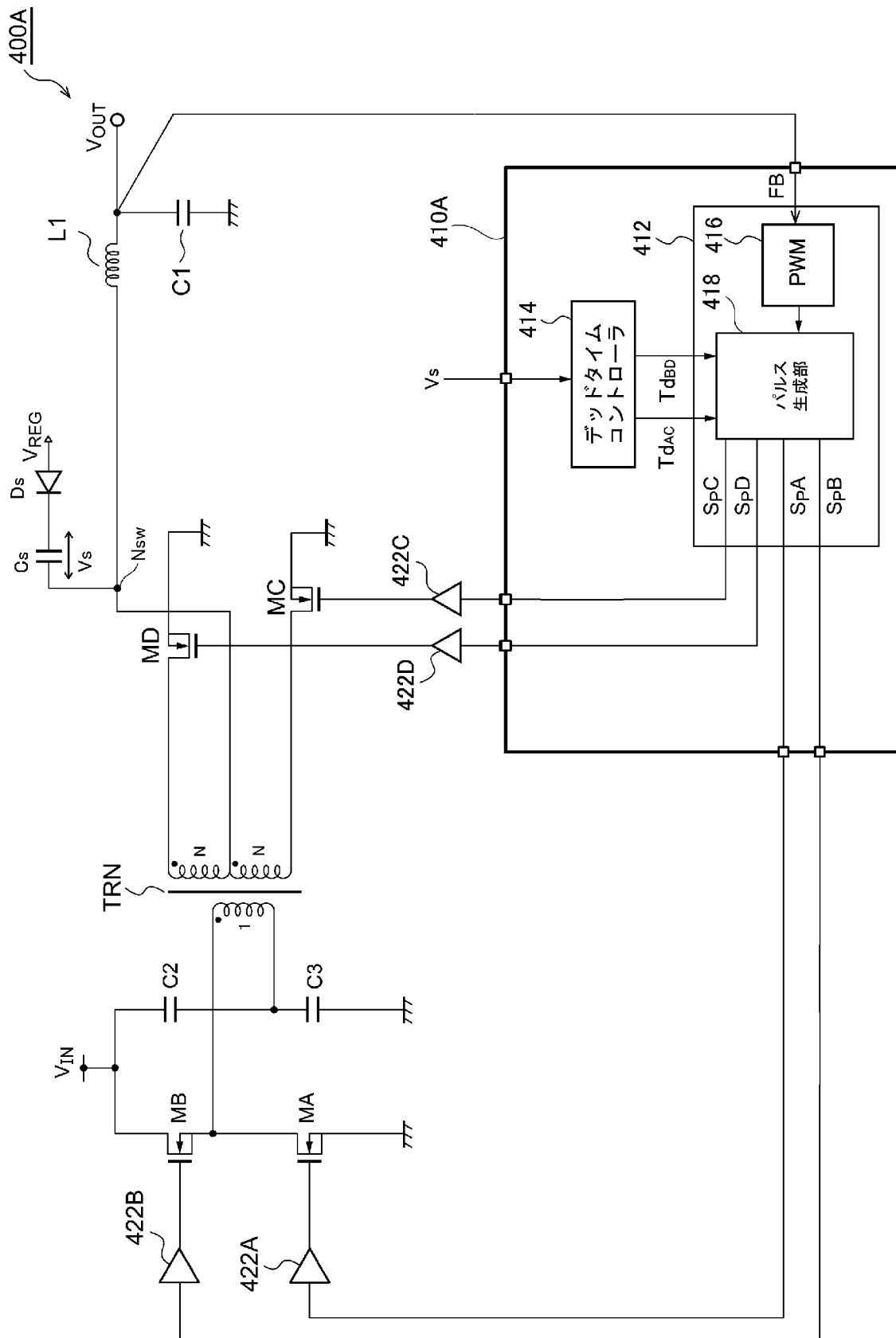
[図9]



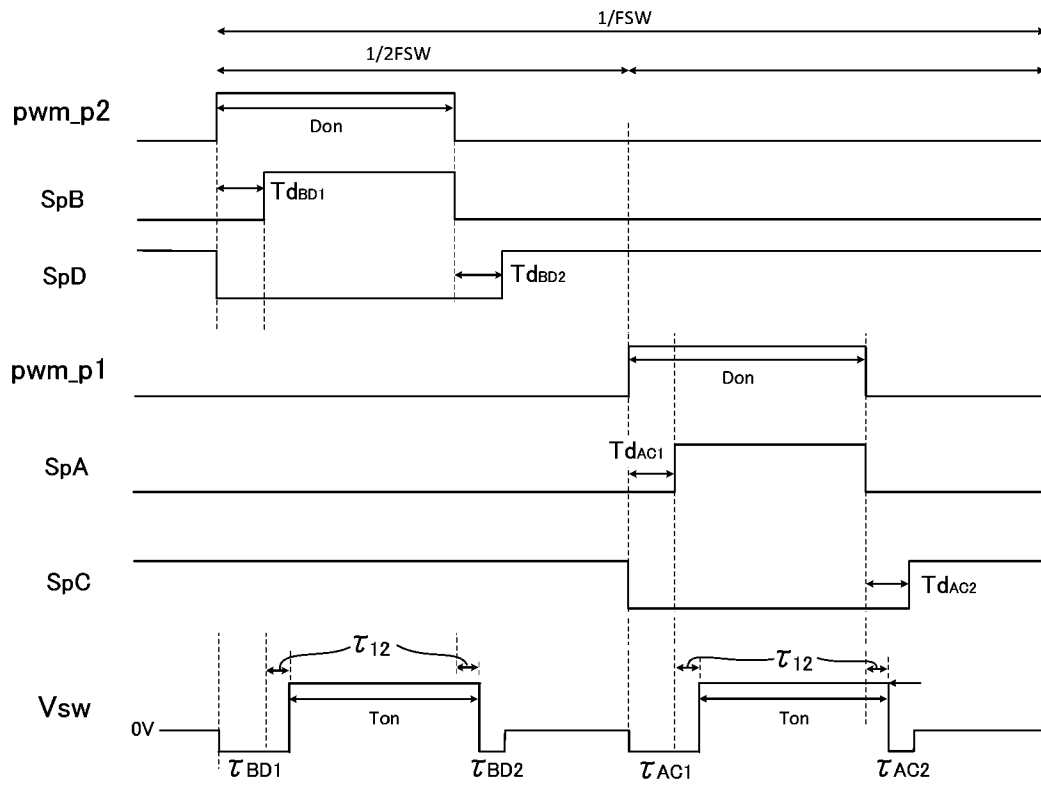
[図11]



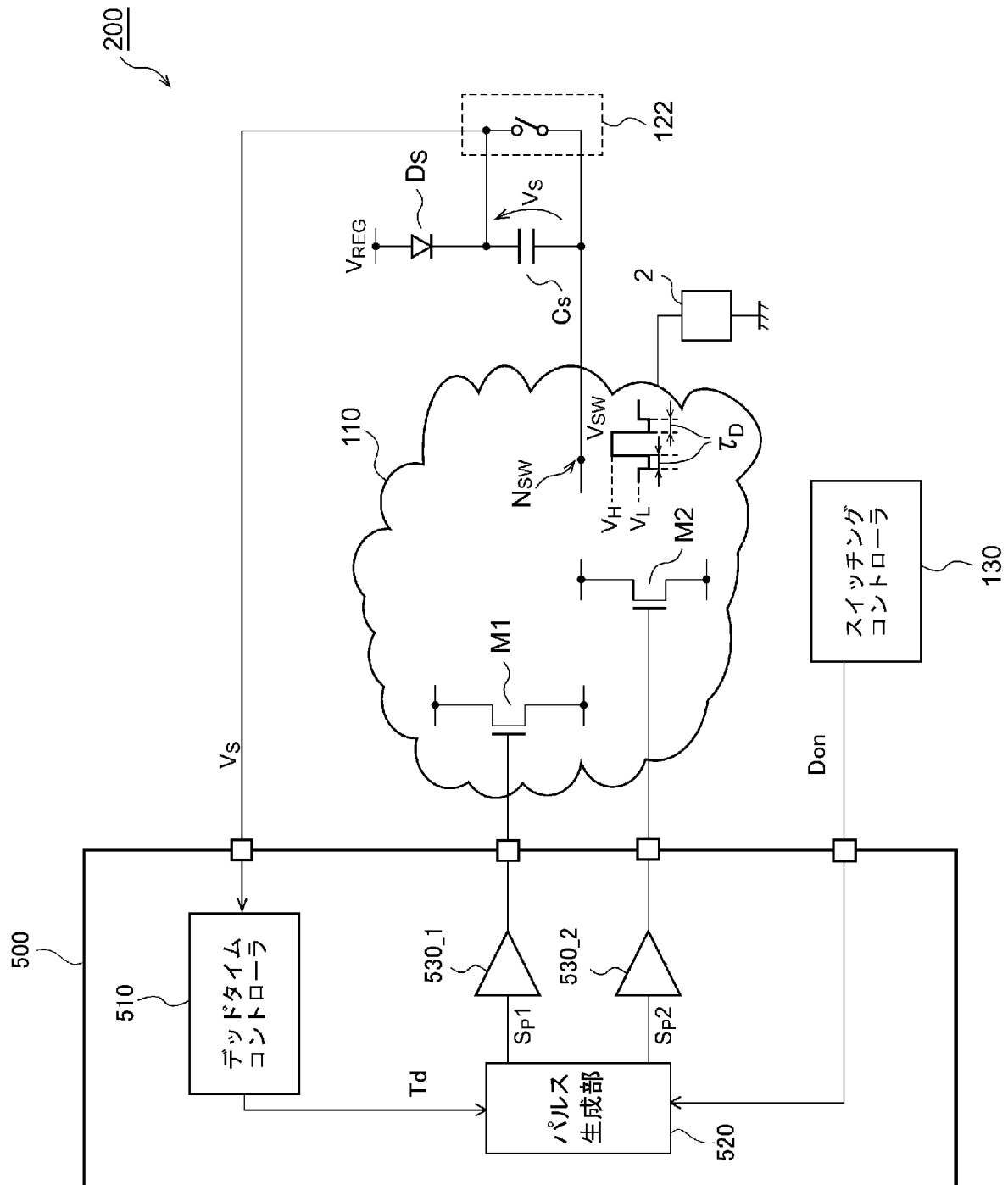
[図12]



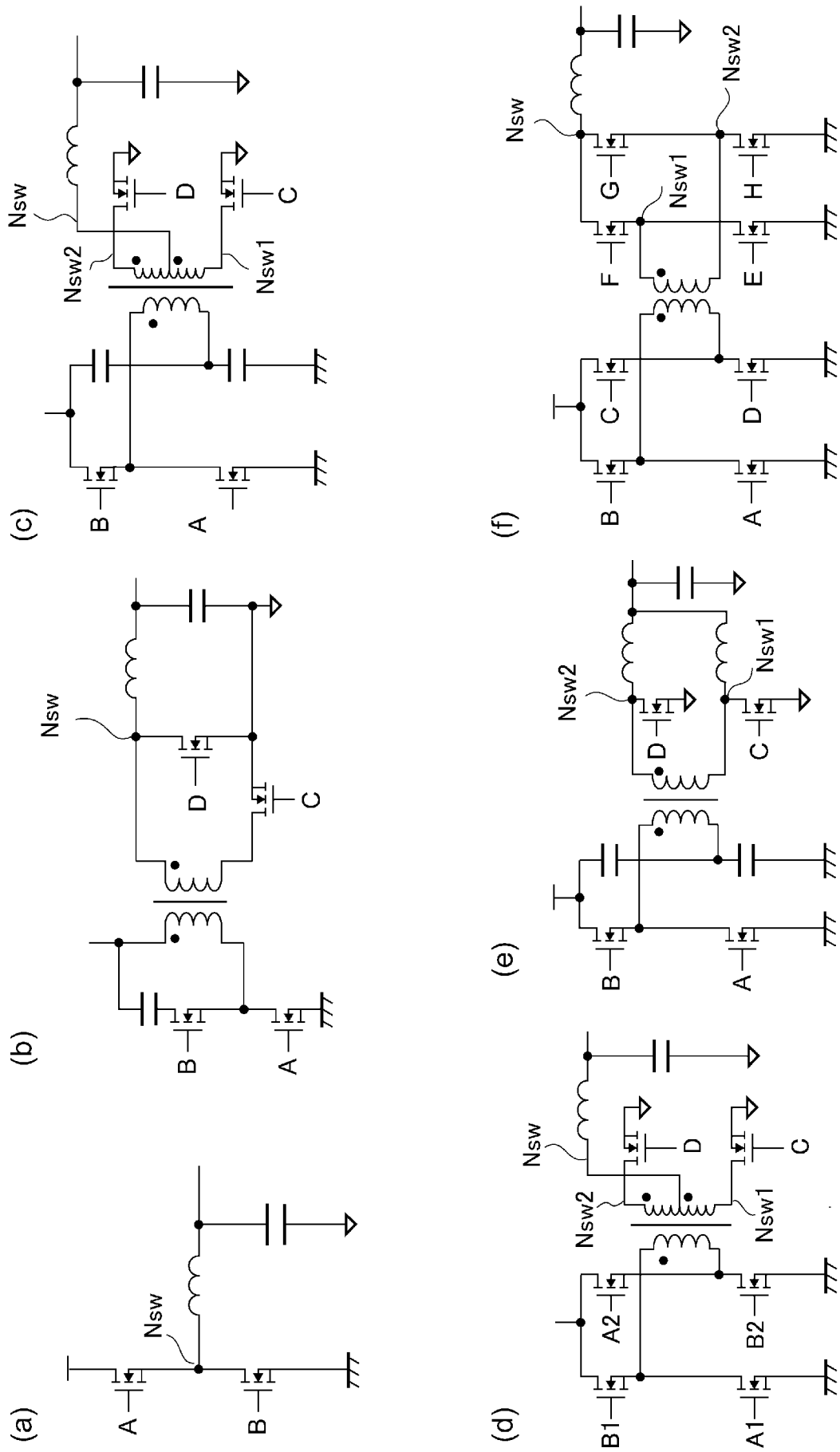
[図13]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/012286

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H03K17/16 (2006.01) i, H02J1/00 (2006.01) i, H02M1/08 (2006.01) i, H02M3/155 (2006.01) i, H02M3/28 (2006.01) i
FI: H02M1/08 A, H02J1/00 309R, H02M1/08 341C, H02M3/28 H, H02M3/155 H, H03K17/16 J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H03K17/16, H02J1/00, H02M1/08, H02M3/155, H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-41999 A (SUMITOMO ELECTRIC DEVICE INNOVATIONS, INC.) 02 March 2015, entire text, all drawings	1-25
A	JP 2020-10414 A (SHINDENGEN ELECTRIC MFG. CO., LTD.) 16 January 2020, entire text, all drawings	1-25
A	JP 2017-99194 A (ROHM CO., LTD.) 01 June 2017, entire text, all drawings	1-25
A	US 2016/0036332 A1 (SPANSION LLC) 04 February 2016, entire text, all drawings	1-25

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31.05.2021

Date of mailing of the international search report
08.06.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2021/012286

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2015-41999 A	02.03.2015	(Family: none)	
JP 2020-10414 A	16.01.2020	(Family: none)	
JP 2017-99194 A	01.06.2017	US 2017/0155323 A1 entire text, all drawings	
US 2016/0036332 A1	04.02.2016	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03K 17/16(2006.01)i; H02J 1/00(2006.01)i; H02M 1/08(2006.01)i; H02M 3/155(2006.01)i; H02M 3/28(2006.01)i FI: H02M1/08 A; H02J1/00 309R; H02M1/08 341C; H02M3/28 H; H02M3/155 H; H03K17/16 J		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03K17/16; H02J1/00; H02M1/08; H02M3/155; H02M3/28		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-41999 A（住友電工デバイス・イノベーション株式会社）02.03.2015 (2015-03-02) 全文、全図	1-25
A	JP 2020-10414 A（新電元工業株式会社）16.01.2020（2020-01-16） 全文、全図	1-25
A	JP 2017-99194 A（ローム株式会社）01.06.2017（2017-06-01） 全文、全図	1-25
A	US 2016/0036332 A1（SPANSION LLC）04.02.2016（2016-02-04） 全文、全図	1-25
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 31.05.2021		国際調査報告の発送日 08.06.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 山崎 雄司 5G 1159 電話番号 03-3581-1101 内線 3526

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/012286

引用文献			公表日	パテントファミリー文献	公表日
JP	2015-41999	A	02.03.2015	(ファミリーなし)	
JP	2020-10414	A	16.01.2020	(ファミリーなし)	
JP	2017-99194	A	01.06.2017	US 2017/0155323 A1	
				全文, 全図	
US	2016/0036332	A1	04.02.2016	(ファミリーなし)	