

【特許請求の範囲】

【請求項 1】

半導体基板の主表面に形成された第 1 の絶縁層と、
 前記第 1 の絶縁層の上に形成された第 1 の導電層と、
 前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、
 前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる 3 層絶縁膜を含んだ第 2 の絶縁層と、
 前記第 2 の絶縁層の上に形成された第 2 の導電層と
 を具備した不揮発性半導体記憶装置であって、
 前記中間絶縁膜に含まれる水素原子及び塩素原子の濃度がそれぞれ、 1.0×10^{-19} atm/cm³ 以下であり、且つ前記中間絶縁膜に含まれる酸素原子の割合が、総原子数の 10% 以上である
 ことを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

半導体基板の主表面に第 1 の絶縁層を形成する工程と、
 前記第 1 の絶縁層の上に第 1 の導電層を形成する工程と、
 前記第 1 の導電層及び前記第 1 の絶縁層のゲート幅方向の両側面をエッチングする工程と、
 前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を絶縁膜で埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように素子分離用の絶縁層を形成する工程と、
 前記第 1 の導電層及び前記素子分離用の絶縁層の上に、
 シリコン酸化膜である下層絶縁膜を形成する工程と、
 前記下層絶縁膜の上に、プラズマ窒化法またはスパッタ法によりシリコン酸化窒化膜である中間絶縁膜を形成する工程と、
 前記中間絶縁膜の上に、シリコン酸化膜である上層絶縁膜を形成する工程と
 からなる 3 層絶縁膜の形成を含んだ第 2 の絶縁層を形成する工程と、
 前記第 2 の絶縁層の上に第 2 の導電層を形成する工程と
 を含むことを特徴とする不揮発性半導体記憶装置の製造方法。

20

30

【請求項 3】

半導体基板の主表面に形成された第 1 の絶縁層と、
 前記第 1 の絶縁層の上に形成された第 1 の導電層と、
 前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、
 前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる 3 層絶縁膜を含んだ第 2 の絶縁層と、
 前記第 2 の絶縁層の上に形成された第 2 の導電層と
 を具備した不揮発性半導体記憶装置であって、
 前記第 1 の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記第 1 の導電層のゲート幅方向の前記両側面の上に形成された前記中間絶縁膜における窒素原子濃度よりも高い
 ことを特徴とする不揮発性半導体記憶装置。

40

【請求項 4】

半導体基板の主表面に形成された第 1 の絶縁層と、
 前記第 1 の絶縁層の上に形成された第 1 の導電層と、

50

前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、

前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる 3 層絶縁膜を含んだ第 2 の絶縁層と、

前記第 2 の絶縁層の上に形成された第 2 の導電層と

を具備した不揮発性半導体記憶装置であって、

前記第 1 の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における窒素原子濃度よりも高い

ことを特徴とする不揮発性半導体記憶装置。

10

【請求項 5】

半導体基板の主表面に形成された第 1 の絶縁層と、

前記第 1 の絶縁層の上に形成された第 1 の導電層と、

前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、

前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる 3 層絶縁膜を含んだ第 2 の絶縁層と、

20

前記第 2 の絶縁層の上に形成された第 2 の導電層と

を具備した不揮発性半導体記憶装置であって、

前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における酸素原子濃度が、前記第 1 の導電層の上に形成された前記中間絶縁膜における酸素原子濃度よりも高い

ことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置及びその製造方法に係わり、特に、電極間絶縁膜として ONO 膜 (酸化膜/窒化膜/酸化膜) 等の多層酸化窒化膜を有する不揮発性半導体記憶装置及びその製造方法に関する。

30

【背景技術】

【0002】

不揮発性半導体記憶素子の微細化に伴って、隣接セル間の干渉の増大、即ち一方のセルの浮遊電極層に蓄積された電荷によって他方のセルの浮遊電極層に電荷が誘起される現象が問題となってきた。

【0003】

不揮発性半導体記憶素子の電極間絶縁膜としては近年、多層酸化窒化膜が用いられている (例えば、特許文献 1 参照。)。従って、上記干渉効果を防ぐためには、多層酸化窒化膜の薄膜化が必要となってきた。電極間絶縁膜の薄膜化により、浮遊電極層同士の間向面積を小さくすることが可能となり、それによって上記干渉効果を抑制できるからである。しかし、電極間絶縁膜の薄膜化により、膜内に生じる電界は強くなってしまいうので、リーク電流の増加や、電氣的ストレスによる膜質の劣化の問題が顕著化している。

40

【0004】

電極間絶縁膜は、アモルファスシリコンまたはポリシリコン上に成膜しなければならぬため、熱酸化、窒化などによる方法では安定した膜厚の膜を成膜することができず、反応ガスを用いた CVD 法を用いて成膜される。その際、反応ガス内に含まれる元素により、電極間絶縁膜内に不純物準位が生じてしまう。ところで、プラズマ窒化、スパッタ成膜により成膜した膜は、反応ガスに不純物となる物質を含まないため、不純物が混入しにくいという特徴がある。

50

【0005】

不純物準位は高電界の印加によって、電子がトラップされ、膜内の電界を緩和する役割を果たす場合もあるが、ほとんどの場合、不純物を介してリーク電流を増大させるという問題の原因となる。さらにまた、不純物はその後の熱工程により拡散して他の膜にダメージを与え、膜特性を劣化させるという問題も引き起こす。また、膜内にある水素とシリコンの結合は、デバイス動作時に生じる長期的な電氣的ストレスにより結合が切れてしまうことがあり、それによってデバイス性能が劣化するという問題点がある。

【特許文献1】特開2005-223198号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0006】

本発明は、浮遊電極間での干渉効果を抑え、電極間絶縁膜に流れるリーク電流を低減し、さらに素子の劣化を防ぐことが可能な不揮発性半導体記憶装置及びその製造方法を提供する。

【課題を解決するための手段】

【0007】

この発明の第1の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記中間絶縁膜に含まれる水素原子及び塩素原子の濃度がそれぞれ、 $1.0 \times 10^{-19} \text{ atm/cm}^3$ 以下であり、且つ前記中間絶縁膜に含まれる酸素原子の割合が、総原子数の10%以上である。

20

【0008】

この発明の第2の態様に係る不揮発性半導体記憶装置の製造方法は、半導体基板の主表面に第1の絶縁層を形成する工程と、前記第1の絶縁層の上に第1の導電層を形成する工程と、前記第1の導電層及び前記第1の絶縁層のゲート幅方向の両側面をエッチングする工程と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を絶縁膜で埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように素子分離用の絶縁層を形成する工程と、前記第1の導電層及び前記素子分離用の絶縁層の上に、シリコン酸化膜である下層絶縁膜を形成する工程と、前記下層絶縁膜の上に、プラズマ窒化法またはスパッタ法によりシリコン酸化窒化膜である中間絶縁膜を形成する工程と、前記中間絶縁膜の上に、シリコン酸化膜である上層絶縁膜を形成する工程とからなる3層絶縁膜の形成を含んだ第2の絶縁層を形成する工程と、前記第2の絶縁層の上に第2の導電層を形成する工程とを含む。

30

【0009】

この発明の第3の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記第1の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記第1の導電層のゲート幅方向の前記両側面の上に形成された前記中間絶縁膜における窒素原子濃度よりも

40

50

高い。

【0010】

この発明の第4の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記第1の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における窒素原子濃度よりも高い。

10

【0011】

この発明の第5の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸化窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における酸素原子濃度が、前記第1の導電層の上に形成された前記中間絶縁膜における酸素原子濃度よりも高い。

20

【発明の効果】

【0012】

本発明によれば、浮遊電極間での干渉効果を抑え、電極間絶縁膜に流れるリーク電流を低減し、さらに素子の劣化を防ぐことが可能な不揮発性半導体記憶装置及びその製造方法を提供することが可能である。

【発明を実施するための最良の形態】

【0013】

以下、図面を参照して本発明の実施形態について詳細に説明する。なお、以下の説明において、同一の機能を有する要素については、同一符号を付す。

30

【0014】

(第1の実施形態)

本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造工程を、図1乃至図7に示す断面図を用いて説明する。

【0015】

まず図1の断面図に示すように、p型シリコン基板1の上(もしくはn型シリコン基板上にp型ウェルを形成したもの)に第1の絶縁層2を1nmから15nm程度形成する。第1の絶縁層2は、例えば、シリコン酸化膜である。その上に化学気相成長法(CVD: Chemical Vapor Deposition)によって電荷蓄積層となる第1の導電層3(浮遊ゲート電極層)を10nmから200nm程度形成する。第1の導電層3は、例えば、アモルファスシリコンまたはポリシリコンである。

40

【0016】

次いで、化学気相成長法によってシリコン窒化膜4を50nmから200nm程度形成し、次いで、化学気相成長法によってシリコン酸化膜5を50nmから400nm程度形成する。次いで、シリコン酸化膜5の上に、フォトレジスト6を塗布し、露光描画によりレジストをパターニングすることで図1の構造断面図を得る。

【0017】

その後、図1に示したフォトレジスト6を耐エッチングマスクにしてシリコン酸化膜5

50

をエッチングする。エッチング後にフォトレジスト 6 を除去し、今度は、シリコン酸化膜 5 をマスクにしてシリコン窒化膜 4 をエッチングする。さらに、第 1 の導電層 3、第 1 の絶縁層 2、およびシリコン基板 1 をエッチングすることにより、図 2 に示すような素子分離のための溝を形成する。

【 0 0 1 8 】

その後、エッチングによって形成された断面のダメージ除去のための高温後酸化工程を行う。次いで、シリコン酸化膜等からなる素子分離用の埋め込み絶縁膜 7 を 2 0 0 nm から 1 5 0 0 nm 形成することによって素子分離溝を埋め込む。さらに、窒素雰囲気もしくは酸素雰囲気で高温の熱処理を行うことにより素子分離用の絶縁膜 7 の高密度化を行う。次いで、化学的機械的研磨法 (C M P : Chemical Mechanical Polishing) によりシリコン窒化膜 4 をストッパーにして平坦化を行い、図 3 の構造を得る。

10

【 0 0 1 9 】

次いで、シリコン窒化膜 4 と選択比を持ってエッチングすることが可能な方法を用いてシリコン酸化膜 7 (埋め込み絶縁膜) をエッチングする。本実施形態においては、図 4 に示すように除去後のシリコン酸化膜 7 の表面が、第 1 の導電層 3 の、例えば約半分の膜厚の高さまで除去する場合を示している。そして、シリコン窒化膜 4 をシリコン酸化膜 7 と選択比のある方法で除去すると、図 4 の構造を得る。

【 0 0 2 0 】

ここで、素子分離用の絶縁膜 7 の上面は、第 1 の導電層 3 の上面と底面との間の高さに位置していることになり、第 1 の導電層 3 の上面が素子分離用の絶縁膜 7 の上面よりも突出した形状になっている。これは、この後形成する電極間絶縁膜 8 と第 1 の導電層 3 との接触面積を増やすためである。

20

【 0 0 2 1 】

次に図 5 に示すように、図 4 の構造からなる下地の上に電極間絶縁膜 8 (第 2 の絶縁膜) を形成する。電極間絶縁膜 8 は 3 層の絶縁膜 8 1 ~ 8 3 から構成されている多層絶縁膜である。図 5 の構造は以下の手順により形成される。

【 0 0 2 2 】

まず、図 4 の構造を持った下地の上に、C V D 法によりシリコン酸化膜 8 1 (下層絶縁膜) を 0 . 5 nm ~ 1 5 nm の厚さで形成する。次いで、シリコン酸化膜 8 1 の上にプラズマ窒化法によりシリコン酸化窒化膜 8 2 (中間絶縁膜) を 0 . 5 nm ~ 5 nm の厚さで形成する。最後に、シリコン酸化窒化膜 8 2 の上に C V D 法によりシリコン酸化膜 8 3 (上層絶縁膜) を 0 . 5 nm ~ 1 0 nm の厚さで形成して、図 5 に示す電極間絶縁膜 8 が形成される。

30

【 0 0 2 3 】

ここで、シリコン酸化窒化膜 8 2 の形成方法について詳細に説明する。シリコン酸化窒化膜 8 2 は、窒素、アルゴン雰囲気下におけるプラズマ窒化により形成する。このとき、シリコン酸化窒化膜 8 2 はシリコン酸化膜 8 1 を窒化して成膜されるため、1 0 % 以上の酸素を含んだ酸窒化膜となる。1 0 % 以上の酸素を含んだ酸窒化膜は窒化膜と比較して誘電率が低くなるため、絶縁膜 7 を挟んで隣接するセルの第 1 の導電層 3 同士の間で生じる電氣的な干渉効果を十分抑えることが可能である。

【 0 0 2 4 】

成膜時の炉内温度は 3 5 0 ~ 6 0 0 の間であり、成膜時の炉内圧力は、5 0 m Torr ~ 2 Torr の間である。プラズマ窒化により生成されたシリコン酸化窒化膜 8 2 は、C V D 法の原料ガスとして用いられるシラン (S i H ₄)、ジクロロシラン (D C S)、ヘキサクロロシラン (T C S)、ヘキサクロロジシラン (H C D) などに含まれる水素、塩素原子を含まないため、塩素、水素の原子濃度がともに $1 . 0 \times 1 0^{-19}$ atm/cm³ 以下の低濃度の膜が成膜される。

40

【 0 0 2 5 】

塩素濃度が、 $1 . 0 \times 1 0^{-19}$ atm/cm³ 以下と低い場合には、塩素濃度が、 $1 . 0 \times 1 0^{-19}$ atm/cm³ より多い場合に比べて、塩素によって形成されるトラップ準位の数が大幅に減少するため、トラップ準位を介して生じるリーク電流を抑えることができる。ま

50

た、その後のデバイス素子作成時の熱工程により塩素が拡散し、酸化膜にダメージを与える影響を抑えることができる。

【0026】

また、水素は、窒化膜内においてSi-H結合を形成して存在する。このSi-H結合は、デバイス素子使用時に生じる電氣的ストレスによって切断され、Siのダングリングボンドが生じ、閾値のずれなど、素子の信頼性を著しく悪化させる。水素濃度が、 $1.0 \times 10^{-19} \text{ atm/cm}^3$ 以下と低い場合には、水素濃度が、 $1.0 \times 10^{-19} \text{ atm/cm}^3$ より多い場合に比べてSi-Hの量も大幅に減少することから、Si-Hが切断される影響も少なくなる。その結果、素子の信頼性の劣化を抑制できる。

【0027】

従って、シリコン酸化窒化膜82をプラズマ窒化によって成膜することにより、リーク電流の少ない、信頼性の劣化の少ない素子特性を得ることができる。

【0028】

また、プラズマ窒化によってシリコン酸化窒化膜82を形成すると、第1の導電層3の上にあるシリコン酸化膜81の上部は、多くの窒化ラジカルが衝突するため十分な窒化がなされる。しかし一方、第1の導電層3の側面部を覆っているシリコン酸化膜81には窒化ラジカルがあまり当たらないため、その上に形成されたシリコン酸化窒化膜82の窒素原子濃度が、第1の導電層3の上部のシリコン酸化窒化膜82と比較して低くなる。

【0029】

言い換えると、第1の導電層3の側面部を覆っているシリコン酸化窒化膜82の酸素原子濃度は、第1の導電層3の上部のシリコン酸化窒化膜82の酸素原子濃度に比べると高い。

【0030】

従って、第1の導電層3の上にあるシリコン酸化窒化膜82は窒素原子濃度が高いため、誘電率が高くなっている。誘電率が高くなることにより物理的な膜厚を厚くすることができるので、リーク電流の低減が図れる。またそれと同時に、窒素によって生じるトラップ準位が電子トラップとして機能するので、それによって電界が緩和されてリーク電流が減少する効果も期待できる。

【0031】

一方、第1の導電層3の側面に位置して第1の導電層3の上部と比較して相対的に窒素原子濃度が低い、即ち酸素原子濃度が高いシリコン酸化窒化膜82は、誘電率が低いいため、絶縁膜7を挟んで隣接するセルの第1の導電層3同士の間で生じる電氣的な干渉効果を抑えることができる。

【0032】

そして、図6に示すように、電極間絶縁膜8の上に、例えば、ポリシリコン或いはアモルファスシリコンからなる第2の導電層9を10nm~200nm形成する。第2の導電層9は、不揮発性半導体記憶装置における制御ゲート電極となる。第2の導電層9の上にマスク材10を形成し、図6の断面構造図を得る。

【0033】

その後、マスク材10の上にレジストを塗布し(図示せず)、露光描画によりレジストをパターニングする。このレジストをマスクにして加工を行い、マスク材10、第2の導電層9、電極間絶縁膜8(第2の絶縁層)、第1の導電層3、第1の絶縁層2をエッチング除去する(図示せず)。さらにレジストを除去すると、図6のA-A'線に沿った紙面に垂直な断面図として図7に示した構造を得る。そして、図7のエッチングされた領域の底部となる基板1の表面に、イオン注入によってソース及びドレイン領域20を形成する。

【0034】

本実施形態においては、電極間絶縁膜8としてはONO(酸化膜/(酸化)窒化膜/酸化膜)からなる3層構造の場合について説明したが、これに限定されるものではない。例えば、3層構造の上下、即ち、第1の導電層3とシリコン酸化膜81の間、および第2の導

10

20

30

40

50

電層 9 とシリコン酸化膜 8 3 の間の両方に S i N 膜を形成して N O N O N 構造にした電極間絶縁膜の場合、もしくはいずれかの界面に S i N 膜を形成した電極間絶縁膜においても、同様な効果を得ることができる。

【 0 0 3 5 】

(第 2 の実施形態)

本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の製造工程を説明する。

【 0 0 3 6 】

まず、第 1 の実施形態と同様な工程により図 4 の構造を作成する。

【 0 0 3 7 】

次に図 5 に示すように、図 4 の構造からなる下地の上に電極間絶縁膜 8 (第 2 の絶縁層) を形成する。電極間絶縁膜 8 は 3 層の絶縁膜 8 1 ~ 8 3 から構成されている多層絶縁膜である。本実施形態における図 5 の構造は第 1 の実施形態とは異なり以下の手順により形成される。

10

【 0 0 3 8 】

まず、図 4 の構造を持った下地の上に、C V D 法によりシリコン酸化膜 8 1 (下層絶縁膜) を 0 . 5 nm ~ 1 0 nm の厚さで形成する。次いで、シリコン酸化膜 8 1 の上にスパッタ法によりシリコン酸化窒化膜 8 2 (中間絶縁膜) を 0 . 5 nm ~ 1 5 nm の厚さで形成する。最後に、シリコン酸化窒化膜 8 2 の上に C V D 法によりシリコン酸化膜 8 3 (上層絶縁膜) を 0 . 5 nm ~ 1 0 nm の厚さで形成して、図 5 に示す電極間絶縁膜 8 が形成される。

【 0 0 3 9 】

20

ここで、シリコン酸化窒化膜 8 2 の形成方法について詳細に説明する。シリコン酸窒化膜 8 2 は、酸素、窒素雰囲気下でのスパッタにより形成する。このとき、チャンパー雰囲気内には、酸素、窒素が存在するため、シリコン酸化窒化膜 8 2 は 1 0 % 以上の酸素を含んだ酸窒化膜となる。1 0 % 以上の酸素を含んだ酸窒化膜は窒化膜と比較し誘電率が低いため、絶縁膜 7 を挟んで隣接するセルの第 1 の導電層 3 同士の間で生じる電氣的な干渉効果を抑えることができる。

【 0 0 4 0 】

成膜時のウェハ温度は 3 0 0 °C、RF パワー 3 kW で成膜を行った。スパッタ成膜により成膜したシリコン酸化窒化膜 8 2 は、C V D 法の原料ガスとして用いられるシラン (S i H ₄)、ジクロロシラン (D C S)、ヘキサクロロシラン (T C S)、ヘキサクロロジシラン (H C D) などに含まれる水素、塩素原子を含まないため、塩素、水素の原子濃度がともに $1 . 0 \times 1 0^{-19}$ atm/cm³ 以下と低濃度の膜が成膜される。

30

【 0 0 4 1 】

塩素濃度が、 $1 . 0 \times 1 0^{-19}$ atm/cm³ 以下と低い場合には、塩素が形成するトラップ準位を介して生じるリーク電流を抑えることができる。また、その後のデバイス素子作成時の熱工程により塩素が拡散し、酸化膜にダメージを与える影響を抑えることができる。

【 0 0 4 2 】

また、水素が窒化膜内において形成する S i - H 結合は、デバイス素子使用時に生じる電氣的ストレスによって切断され、S i のダングリングボンドが生じ、閾値のずれなど、素子の信頼性を著しく悪化させる。水素濃度が、 $1 . 0 \times 1 0^{-19}$ atm/cm³ 以下と低い場合には、S i - H の量も少なくなることから、S i - H が切断された影響も少なくなり、素子の信頼性に及ぼす影響が少なくなる。

40

【 0 0 4 3 】

従って、シリコン酸化窒化膜 8 2 をスパッタ成膜することにより、リーク電流の少ない、信頼性の劣化の少ない素子特性を得ることができる。

【 0 0 4 4 】

この後の工程は、図 6、図 7 に示すように第 1 の実施形態と同様である。

【 0 0 4 5 】

本実施形態においても、電極間絶縁膜 8 としては O N O (酸化膜 / (酸化) 窒化膜 / 酸化膜) からなる 3 層構造の場合について説明したが、これに限定されるものではない。例え

50

ば、3層構造の上下、即ち、第1の導電層3とシリコン酸化膜81の間、および第2の導電層9とシリコン酸化膜83の間の両方にSiN膜を形成してNONON構造にした電極間絶縁膜の場合、もしくはいずれかの界面にSiN膜を形成した電極間絶縁膜においても上記と同様な効果を得ることができる。

【0046】

また、本実施形態においては、電極間絶縁膜8の酸化膜83をCVDで形成した例について述べたが、その他の形成方法によって形成してもよい。たとえば、第1の導電層3の上に形成したシリコン酸化膜81とシリコン酸化窒化膜82からなるON膜を酸化することによって、Top-SiO₂膜を形成してシリコン酸化膜83とすることも可能である。

【0047】

本実施形態においては、スパッタ成膜により膜厚の厚いシリコン酸化窒化膜82を形成することができるためこのような方法が可能となる。このような方法によって形成したインターポリ絶縁膜によっても上記と同様な効果を得ることができる。

【0048】

(第3の実施形態)

本発明の第3の実施形態に係る不揮発性半導体記憶装置の製造工程を説明する。

【0049】

まず、第1の実施形態と同様な工程により図4の構造を作成する。

【0050】

次に図5に示すように、図4の構造からなる下地の上に電極間絶縁膜8(第2の絶縁層)を形成する。電極間絶縁膜8は3層の絶縁膜81~83から構成されている多層絶縁膜である。本実施形態における図5の構造は以下の手順により形成される。

【0051】

まず、図8に示すように、図4の構造を持った下地の上に、CVD法によりシリコン酸化膜81(下層絶縁膜)を0.5nm~15nmの厚さで形成する。次いで、シリコン酸化膜81の上にプラズマ窒化法によりシリコン酸化窒化膜82(中間絶縁膜)を0.5nm~5nmの厚さで形成する。

【0052】

シリコン酸化窒化膜82は第1の実施形態と同様にしてプラズマ窒化により生成されるため、10%以上の酸素を含んだ酸窒化膜となる。10%以上の酸素を含んだ酸窒化膜は窒化膜と比較し誘電率が低くなるため、絶縁膜7を挟んで隣接するセルの第1の導電層3同士の間で生じる電氣的な干渉効果を抑えることができる。

【0053】

また、第1及び第2の実施形態と同様に、シリコン酸化窒化膜82の水素原子濃度、塩素原子濃度はそれぞれ、ともに $1.0 \times 10^{-19} \text{ atm/cm}^3$ 以下と低いため、リーク電流の少ない、信頼性の劣化の少ない素子特性を得ることができる。

【0054】

また、第1の実施形態と同様に、プラズマ窒化によってシリコン酸化窒化膜82を形成しているので、第1の導電層3の上にあるシリコン酸化窒化膜82の窒素原子濃度が、第1の導電層3の側面部の上に形成されたシリコン酸化窒化膜82の窒素原子濃度と比較して高くなる。

【0055】

言い換えると、第1の導電層3の側面部を覆っているシリコン酸化窒化膜82の酸素原子濃度は、第1の導電層3の上部のシリコン酸化窒化膜82の酸素原子濃度に比べると高い。

【0056】

従って、電極間絶縁膜8を流れるリーク電流が減少すると同時に、絶縁膜7を挟んで隣接するセルの第1の導電層3同士の間で生じる電氣的な干渉効果を抑えることができる。

【0057】

次いで、図9に示すように、化学気相成長法によってシリコン酸化膜11を50nmから

10

20

30

40

50

400 nm程度形成する。次いで、シリコン酸化膜 11 の上に、フォトレジスト 12 を塗布し、露光描画によりレジスト 12 をパターニングすることで図 9 の構造断面図を得る。

【0058】

そして、図 9 に示したフォトレジスト 12 を耐エッチングマスクにしてシリコン酸化膜 11 をエッチングした後、フォトレジスト 12 を除去して図 10 の構造を得る。

【0059】

次に、図 11 に示すようにシリコン酸化膜 11 をマスクにして窒素をイオン注入する。これより、シリコン酸化膜 11 によってマスクされた絶縁膜 7 の上に形成されたシリコン酸化窒化膜 82 を除いて、第 1 の導電層 3 の上に形成されたシリコン酸化窒化膜 82 に窒素を導入する。

【0060】

ここで、図 12 に示すように、シリコン酸化膜 11 のマスクをさらに広く形成して、第 1 の導電層 3 の側面部を覆うシリコン酸化窒化膜 82 もマスクしてしまい、第 1 の導電層 3 の上に形成されたシリコン酸化窒化膜 82 のみに窒素を導入するようにしてもよい。

【0061】

本実施例では、イオン注入により窒素を導入したが、プラズマ窒化により窒素を導入しても良い。

【0062】

本実施形態においては、上述した窒素注入工程を経ることにより、第 1 の導電層 3 の上のシリコン酸化窒化膜 82 の窒素原子濃度を、素子分離用の絶縁膜 7 の上に形成されたシリコン酸化窒化膜 82、及び第 1 の導電層 3 の側面部を覆うシリコン酸化窒化膜 82 に比べてさらに高くすることが可能である。

【0063】

これによりさらにリーク電流が減少する効果が期待できる。一方、素子分離用の絶縁膜 7 の上に形成されたシリコン酸化窒化膜 82、及び第 1 の導電層 3 の側面部を覆うシリコン酸化窒化膜 82 は第 1 の導電層 3 の上よりも相対的に窒素原子濃度が低くなっているため相対的に誘電率が低い。よって、絶縁膜 7 を挟んで隣接するセルの第 1 の導電層 3 同士の間で生じる電氣的な干渉効果を抑えることができる。

【0064】

その後、マスクとして用いたシリコン酸化膜 11 をウエットエッチングで剥離することにより、図 13 の断面構造を得る。さらに、シリコン酸化窒化膜 82 の上に CVD 法によりシリコン酸化膜 83 (上層絶縁膜) を 0.5 nm ~ 10 nm の厚さで形成して、図 5 に示す電極間絶縁膜 8 が形成される。

【0065】

この後の工程は、図 6、図 7 に示すように第 1 の実施形態と同様である。

【0066】

本実施形態においては、第 1 の導電層 3 の上に形成されたシリコン酸化窒化膜 82 に対して窒素を注入した場合を説明したが、素子分離用の絶縁膜 7 の上のシリコン酸化窒化膜 82 のみに酸素をイオン注入または、酸素雰囲気化でのアニール、プラズマ酸化により注入して、隣接セル間の干渉効果のさらなる低減を図ってもよい。

【0067】

これによっても、第 1 の導電層 3 の上と素子分離用の絶縁膜 7 の上におけるシリコン酸化窒化膜 82 の窒素と酸素の原子濃度に関して相対的に同様な関係を得ることができるので、上述した場合と同様な効果が期待できる。

【0068】

本実施形態においても、電極間絶縁膜 8 としては ONO (酸化膜 / (酸化)窒化膜 / 酸化膜) からなる 3 層構造の場合について説明したが、これに限定されるものではない。例えば、3 層構造の上下、即ち、第 1 の導電層 3 とシリコン酸化膜 81 の間、および第 2 の導電層 9 とシリコン酸化膜 83 の間の両方に SiN 膜を形成して NONON 構造にした電極間絶縁膜の場合、もしくはいずれかの界面に SiN 膜を形成した電極間絶縁膜においても

10

20

30

40

50

上記と同様な効果を得ることができる。

【0069】

以上説明したように、上記第1乃至第3の実施形態においては、不揮発性半導体記憶素子の電極間絶縁膜として用いられるONO膜（酸化膜/窒化膜/酸化膜）、およびNONON膜（窒化膜/酸化膜/窒化膜/酸化膜/窒化膜）等の多層酸化窒化膜の構造において、少なくとも1つの窒化膜が、酸素を含む酸化窒化膜であり、かつ不純物である水素、塩素の含有量が少ない膜であることを特徴とする。

【0070】

浮遊ゲート電極層の上に形成された酸化窒化膜は、窒素原子濃度を高くすることによりリーク電流を減らすことが可能になる。また、浮遊ゲート電極層の側面部あるいは素子分離絶縁膜の上に形成された酸化窒化膜は、酸素原子濃度を高くすることにより誘電率を下げて、浮遊ゲート電極層間での干渉効果を抑えることができる。

【0071】

さらに、酸化窒化膜内の塩素及び水素の不純物濃度を少なくすることにより、塩素により生じたトラップ準位を介したリーク電流を減らし、水素の脱離により生じる長期間での素子の信頼性の劣化を低減することができる。

【0072】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【図面の簡単な説明】

【0073】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図。

【図2】図1に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図3】図2に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図4】図3に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図5】図4に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図6】図5に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図7】図6に続く不揮発性半導体記憶装置の製造工程を示す図6のA-A'線に沿った断面図。

【図8】本発明の第3の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図。

【図9】図8に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図10】図9に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図11】図10に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図12】本発明の第3の実施形態に係る不揮発性半導体記憶装置の別の製造工程を示す断面図。

【図13】図11に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【符号の説明】

【0074】

1... p型シリコン基板、2... 第1の絶縁層、3... 第1の導電層（浮遊ゲート電極層）、4... シリコン窒化膜、5... シリコン酸化膜、6、12... フォトレジスト、7... 素子分離用の絶縁膜、8... 電極間絶縁膜（第2の絶縁層）、9... 第2の導電層（制御ゲート電極層）、10... マスク材、11... シリコン酸化膜、20... ソース及びドレイン領域、81、83... シリコン酸化膜、

10

20

30

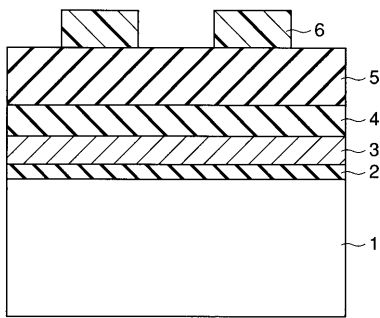
40

50

8 2 ... シリコン酸化窒化膜。

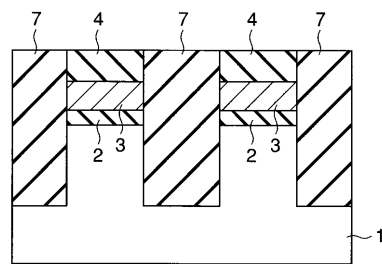
【 図 1 】

図 1



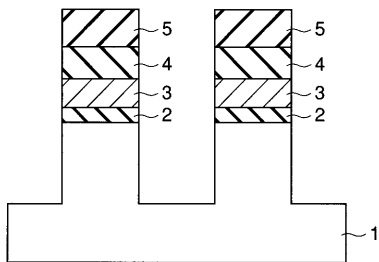
【 図 3 】

図 3



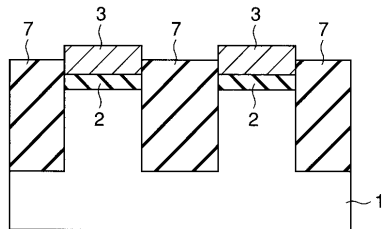
【 図 2 】

図 2

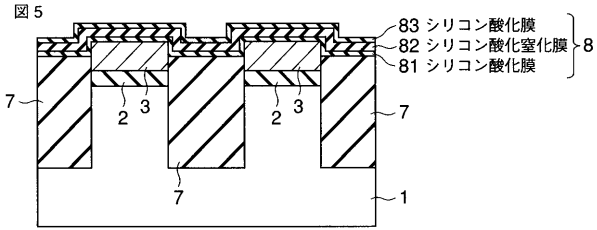


【 図 4 】

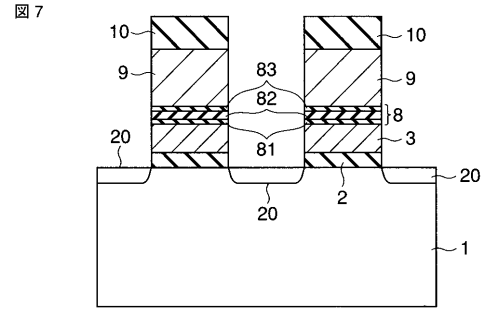
図 4



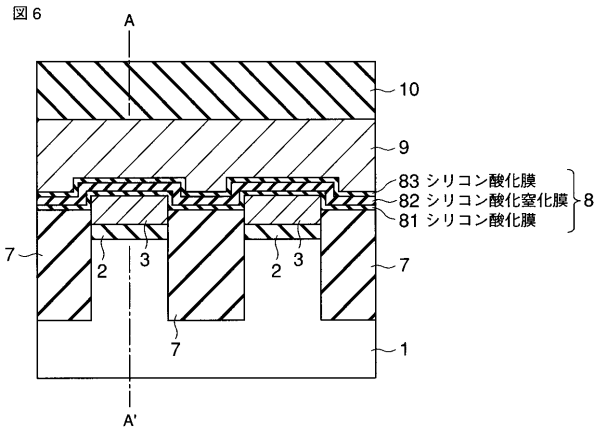
【図 5】



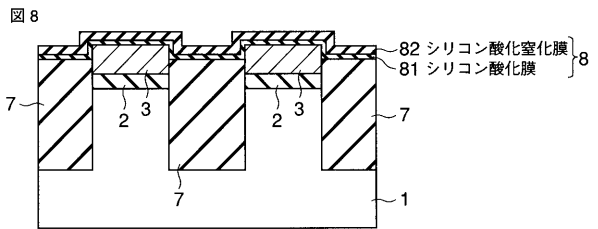
【図 7】



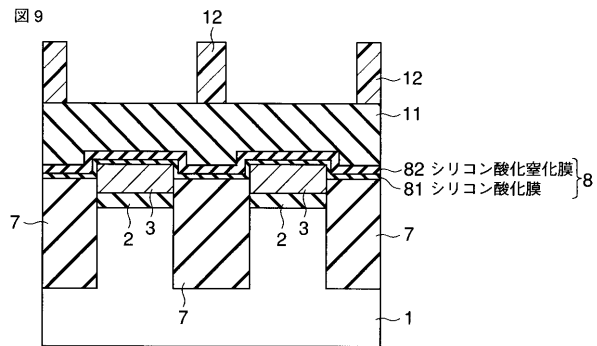
【図 6】



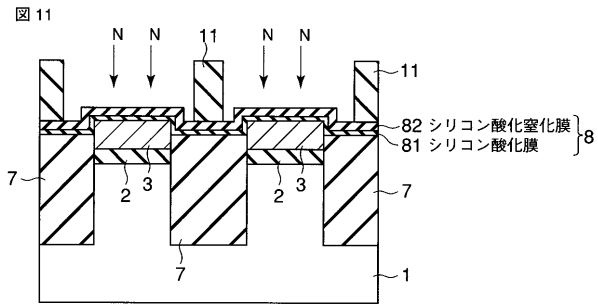
【図 8】



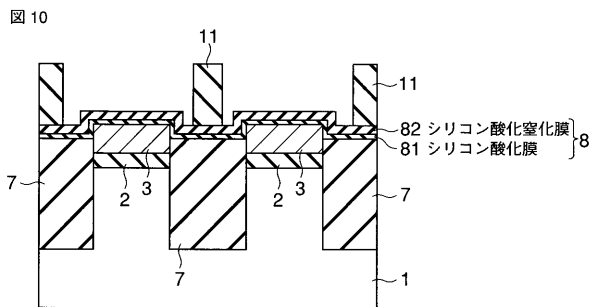
【図 9】



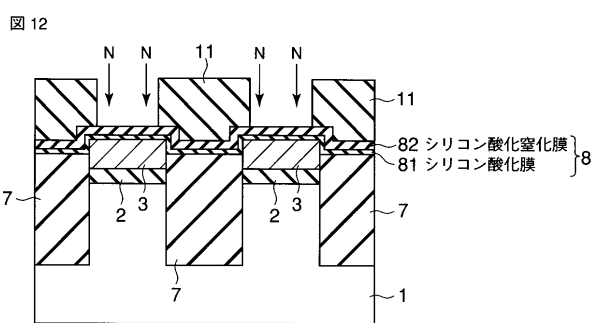
【図 11】



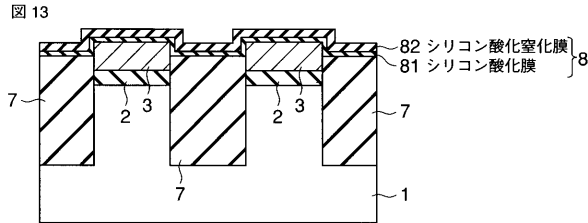
【図 10】



【図 12】



【図 13】



【手続補正書】

【提出日】平成20年2月1日(2008.2.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板の主表面に形成された第 1 の絶縁層と、

前記第 1 の絶縁層の上に形成された第 1 の導電層と、

前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、

前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる 3 層絶縁膜を含んだ第 2 の絶縁層と、

前記第 2 の絶縁層の上に形成された第 2 の導電層と

を具備した不揮発性半導体記憶装置であって、

前記中間絶縁膜に含まれる水素原子及び塩素原子の濃度がそれぞれ、 1.0×10^{19} atoms/cm³ 以下であり、且つ前記中間絶縁膜に含まれる酸素原子の割合が、総原子数の 10% 以上である

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板の主表面に第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層の上に第 1 の導電層を形成する工程と、
前記第 1 の導電層及び前記第 1 の絶縁層のゲート幅方向の両側面をエッチングする工程と、
前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を絶縁膜で埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように素子分離用の絶縁層を形成する工程と、
前記第 1 の導電層及び前記素子分離用の絶縁層の上に、
シリコン酸化膜である下層絶縁膜を形成する工程と、
前記下層絶縁膜の上に、プラズマ窒化法またはスパッタ法によりシリコン酸窒化膜である中間絶縁膜を形成する工程と、
前記中間絶縁膜の上に、シリコン酸化膜である上層絶縁膜を形成する工程と
からなる 3 層絶縁膜の形成を含んだ第 2 の絶縁層を形成する工程と、
前記第 2 の絶縁層の上に第 2 の導電層を形成する工程と
を含むことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 3】

半導体基板の主表面に形成された第 1 の絶縁層と、
前記第 1 の絶縁層の上に形成された第 1 の導電層と、
前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、
前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる 3 層絶縁膜を含んだ第 2 の絶縁層と、
前記第 2 の絶縁層の上に形成された第 2 の導電層と
を具備した不揮発性半導体記憶装置であって、
前記第 1 の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記第 1 の導電層のゲート幅方向の前記両側面の上に形成された前記中間絶縁膜における窒素原子濃度よりも高い
ことを特徴とする不揮発性半導体記憶装置。

【請求項 4】

半導体基板の主表面に形成された第 1 の絶縁層と、
前記第 1 の絶縁層の上に形成された第 1 の導電層と、
前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、
前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる 3 層絶縁膜を含んだ第 2 の絶縁層と、
前記第 2 の絶縁層の上に形成された第 2 の導電層と
を具備した不揮発性半導体記憶装置であって、
前記第 1 の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における窒素原子濃度よりも高い
ことを特徴とする不揮発性半導体記憶装置。

【請求項 5】

半導体基板の主表面に形成された第 1 の絶縁層と、
前記第 1 の絶縁層の上に形成された第 1 の導電層と、
前記第 1 の絶縁層のゲート幅方向の両側面及び、前記第 1 の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第 1 の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、
前記第 1 の導電層及び前記素子分離用の絶縁層の上に形成された第 2 の絶縁層であって

、シリコン酸化膜である下層絶縁膜とシリコン酸化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、

前記第2の絶縁層の上に形成された第2の導電層と

を具備した不揮発性半導体記憶装置であって、

前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における酸素原子濃度が、前記第1の導電層の上に形成された前記中間絶縁膜における酸素原子濃度よりも高い

ことを特徴とする不揮発性半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置及びその製造方法に係わり、特に、電極間絶縁膜としてONO膜(酸化膜/窒化膜/酸化膜)等の多層酸化窒化膜を有する不揮発性半導体記憶装置及びその製造方法に関する。

【背景技術】

【0002】

不揮発性半導体記憶素子の微細化に伴って、隣接セル間の干渉の増大、即ち一方のセルの浮遊電極層に蓄積された電荷によって他方のセルの浮遊電極層に電荷が誘起される現象が問題となってきている。

【0003】

不揮発性半導体記憶素子の電極間絶縁膜としては近年、多層酸化窒化膜が用いられている(例えば、特許文献1参照)。従って、上記干渉効果を防ぐためには、多層酸化窒化膜の薄膜化が必要となってきている。電極間絶縁膜の薄膜化により、浮遊電極層同士の対向面積を小さくすることが可能となり、それによって上記干渉効果を抑制できるからである。しかし、電極間絶縁膜の薄膜化により、膜内に生じる電界は強くなってしまいうので、リーク電流の増加や、電氣的ストレスによる膜質の劣化の問題が顕著化している。

【0004】

電極間絶縁膜は、アモルファスシリコンまたはポリシリコン上に成膜しなければならぬため、熱酸化、窒化などによる方法では安定した膜厚の膜を成膜することができず、反応ガスを用いたCVD法を用いて成膜される。その際、反応ガス内に含まれる元素により、電極間絶縁膜内に不純物が混入し不純物準位が生じてしまう。ところで、プラズマ窒化、スパッタ成膜により成膜した膜は、反応ガスに不純物となる物質を含まないため、不純物が混入しにくいという特徴がある。

【0005】

不純物準位は高電界の印加によって、電子がトラップされ、膜内の電界を緩和する役割を果たす場合もあるが、ほとんどの場合、不純物準位を介してリーク電流を増大させるという問題の原因となる。さらにまた、不純物はその後の熱工程により拡散して他の膜にダメージを与え、膜特性を劣化させるという問題も引き起こす。また、膜内にある水素とシリコンの結合は、デバイス動作時に生じる長期的な電氣的ストレスにより水素とシリコンの結合が切れてしまうことがあり、それによってデバイス性能が劣化するという問題点がある。

【特許文献1】特開2005-223198号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は、浮遊電極間での干渉効果を抑え、電極間絶縁膜に流れるリーク電流を低減し

、さらに素子の劣化を防ぐことが可能な不揮発性半導体記憶装置及びその製造方法を提供する。

【課題を解決するための手段】

【0007】

この発明の第1の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記中間絶縁膜に含まれる水素原子及び塩素原子の濃度がそれぞれ、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下であり、且つ前記中間絶縁膜に含まれる酸素原子の割合が、総原子数の10%以上である。

【0008】

この発明の第2の態様に係る不揮発性半導体記憶装置の製造方法は、半導体基板の主表面に第1の絶縁層を形成する工程と、前記第1の絶縁層の上に第1の導電層を形成する工程と、前記第1の導電層及び前記第1の絶縁層のゲート幅方向の両側面をエッチングする工程と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を絶縁膜で埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように素子分離用の絶縁層を形成する工程と、前記第1の導電層及び前記素子分離用の絶縁層の上に、シリコン酸化膜である下層絶縁膜を形成する工程と、前記下層絶縁膜の上に、プラズマ窒化法またはスパッタ法によりシリコン酸窒化膜である中間絶縁膜を形成する工程と、前記中間絶縁膜の上に、シリコン酸化膜である上層絶縁膜を形成する工程とからなる3層絶縁膜の形成を含んだ第2の絶縁層を形成する工程と、前記第2の絶縁層の上に第2の導電層を形成する工程とを含む。

【0009】

この発明の第3の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記第1の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記第1の導電層のゲート幅方向の前記両側面の上に形成された前記中間絶縁膜における窒素原子濃度よりも高い。

【0010】

この発明の第4の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン酸窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記第1の導電層の上に形成された前記中間絶縁膜における窒素原子濃度が、前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における窒素原子濃度よりも高い。

【 0 0 1 1 】

この発明の第5の態様に係る不揮発性半導体記憶装置は、半導体基板の主表面に形成された第1の絶縁層と、前記第1の絶縁層の上に形成された第1の導電層と、前記第1の絶縁層のゲート幅方向の両側面及び、前記第1の導電層のゲート幅方向の両側面の少なくとも一部を埋め込んで、上面が前記第1の導電層の上面と底面との間の高さに位置するように形成された素子分離用の絶縁層と、前記第1の導電層及び前記素子分離用の絶縁層の上に形成された第2の絶縁層であって、シリコン酸化膜である下層絶縁膜とシリコン窒化膜である中間絶縁膜とシリコン酸化膜である上層絶縁膜とからなる3層絶縁膜を含んだ第2の絶縁層と、前記第2の絶縁層の上に形成された第2の導電層とを具備し、前記素子分離用の絶縁層の上に形成された前記中間絶縁膜における酸素原子濃度が、前記第1の導電層の上に形成された前記中間絶縁膜における酸素原子濃度よりも高い。

【 発明の効果 】

【 0 0 1 2 】

本発明によれば、浮遊電極間での干渉効果を抑え、電極間絶縁膜に流れるリーク電流を低減し、さらに素子の劣化を防ぐことが可能な不揮発性半導体記憶装置及びその製造方法を提供することが可能である。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

以下、図面を参照して本発明の実施形態について詳細に説明する。なお、以下の説明において、同一の機能を有する要素については、同一符号を付す。

【 0 0 1 4 】

(第 1 の 実 施 形 態)

本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造工程を、図1乃至図7に示す断面図を用いて説明する。

【 0 0 1 5 】

まず図1の断面図に示すように、p型シリコン基板1の上(もしくはn型シリコン基板上にp型ウェルを形成したものに)第1の絶縁層2を1nmから15nm程度形成する。第1の絶縁層2は、例えば、シリコン酸化膜である。その上に化学気相成長法(CVD: Chemical Vapor Deposition)によって電荷蓄積層となる第1の導電層3(浮遊ゲート電極層)を10nmから200nm程度形成する。第1の導電層3は、例えば、アモルファスシリコンまたはポリシリコンである。

【 0 0 1 6 】

次いで、化学気相成長法によってシリコン窒化膜4を50nmから200nm程度形成し、次いで、化学気相成長法によってシリコン酸化膜5を50nmから400nm程度形成する。次いで、シリコン酸化膜5の上に、フォトレジスト6を塗布し、露光描画によりレジストをパターニングすることで図1の構造断面図を得る。

【 0 0 1 7 】

その後、図1に示したフォトレジスト6を耐エッチングマスクにしてシリコン酸化膜5をエッチングする。エッチング後にフォトレジスト6を除去し、今度は、シリコン酸化膜5をマスクにしてシリコン窒化膜4をエッチングする。さらに、第1の導電層3、第1の絶縁層2、およびシリコン基板1をエッチングすることにより、図2に示すような素子分離のための溝を形成する。

【 0 0 1 8 】

その後、エッチングによって形成された断面のダメージ除去のための高温後酸化工程を行う。次いで、シリコン酸化膜等からなる素子分離用の埋め込み絶縁膜7を200nmから1500nm形成することによって素子分離溝を埋め込む。さらに、窒素雰囲気もしくは酸素雰囲気で高温の熱処理を行うことにより素子分離用の絶縁膜7の高密度化を行う。次いで、化学的機械的研磨法(CMP: Chemical Mechanical Polishing)によりシリコン窒化膜4をストッパーにして平坦化を行い、図3の構造を得る。

【 0 0 1 9 】

次いで、シリコン窒化膜 4 と選択比を持ってエッチングすることが可能な方法を用いてシリコン酸化膜 7 (埋め込み絶縁膜) をエッチングする。本実施形態においては、図 4 に示すように除去後のシリコン酸化膜 7 の表面が、第 1 の導電層 3 の、例えば約半分の膜厚の高さまで除去する場合を示している。そして、シリコン窒化膜 4 をシリコン酸化膜 7 と選択比のある方法で除去すると、図 4 の構造を得る。

【0020】

ここで、素子分離用の絶縁膜 7 の上面は、第 1 の導電層 3 の上面と底面との間の高さに位置していることになり、第 1 の導電層 3 の上面が素子分離用の絶縁膜 7 の上面よりも突出した形状になっている。これは、この後形成する電極間絶縁膜 8 と第 1 の導電層 3 との接触面積を増やすためである。

【0021】

次に図 5 に示すように、図 4 の構造からなる下地の上に電極間絶縁膜 8 (第 2 の絶縁層) を形成する。電極間絶縁膜 8 は 3 層の絶縁膜 8 1 ~ 8 3 から構成されている多層絶縁膜である。図 5 の構造は以下の手順により形成される。

【0022】

まず、図 4 の構造を持った下地の上に、CVD 法によりシリコン酸化膜 8 1 (下層絶縁膜) を 0.5 nm ~ 1.5 nm の厚さで形成する。次いで、シリコン酸化膜 8 1 の上にプラズマ窒化法によりシリコン酸化膜 8 2 (中間絶縁膜) を 0.5 nm ~ 5 nm の厚さで形成する。最後に、シリコン酸化膜 8 2 の上に CVD 法によりシリコン酸化膜 8 3 (上層絶縁膜) を 0.5 nm ~ 1.0 nm の厚さで形成して、図 5 に示す電極間絶縁膜 8 が形成される。

【0023】

ここで、シリコン酸化膜 8 2 の形成方法について詳細に説明する。シリコン酸化膜 8 2 は、窒素、アルゴン雰囲気下におけるプラズマ窒化により形成する。このとき、シリコン酸化膜 8 2 はシリコン酸化膜 8 1 を窒化して成膜されるため、10% 以上の酸素を含んだ酸化膜となる。10% 以上の酸素を含んだ酸化膜は窒化膜と比較して誘電率が低くなるため、絶縁膜 7 を挟んで隣接するセルの第 1 の導電層 3 同士の間で生じる電氣的な干渉効果を十分抑えることが可能である。

【0024】

成膜時の炉内温度は 350 ~ 600 の間であり、成膜時の炉内圧力は、50 mTorr ~ 2 Torr の間である。プラズマ窒化により生成されたシリコン酸化膜 8 2 は、CVD 法による成膜の原料ガスとして用いられるシラン (SiH_4)、ジクロロシラン (DCS)、テトラキサクロロシラン (TCS)、ヘキサクロロジシラン (HCD) などに含まれる水素、塩素原子を含まないため、塩素、水素の原子濃度がともに $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下の低濃度の膜が成膜される。

【0025】

塩素濃度が、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下と低い場合には、塩素濃度が、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ より多い場合に比べて、塩素によって形成されるトラップ準位の数大幅に減少するため、トラップ準位を介して生じるリーク電流を抑えることができる。また、その後のデバイス素子作成時の熱工程により塩素が拡散し、酸化膜にダメージを与える影響を抑えることができる。

【0026】

また、水素は、窒化膜内において Si-H 結合を形成して存在する。この Si-H 結合は、デバイス素子使用時に生じる電氣的ストレスによって切断され、Si のダングリングボンドが生じ、閾値のずれなど、素子の信頼性を著しく悪化させる。水素濃度が、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下と低い場合には、水素濃度が、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ より多い場合に比べて Si-H 結合の量も大幅に減少することから、Si-H 結合が切断される影響も少なくなる。その結果、素子の信頼性の劣化を抑制できる。

【0027】

従って、シリコン酸化膜 8 2 をプラズマ窒化によって成膜することにより、リーク電流の少ない、信頼性の劣化の少ない素子特性を得ることができる。

【 0 0 2 8 】

また、プラズマ窒化によってシリコン酸窒化膜 8 2 を形成すると、第 1 の導電層 3 の上にあるシリコン酸化膜 8 1 の上部は、多くの窒化ラジカルが衝突するため十分な窒化がなされる。しかし一方、第 1 の導電層 3 の側面部を覆っているシリコン酸化膜 8 1 には窒化ラジカルがあまり当たらないため、その側面に形成されたシリコン酸窒化膜 8 2 の窒素原子濃度が、第 1 の導電層 3 の上部のシリコン酸窒化膜 8 2 と比較して低くなる。

【 0 0 2 9 】

言い換えると、第 1 の導電層 3 の側面部を覆っているシリコン酸窒化膜 8 2 の酸素原子濃度は、第 1 の導電層 3 の上部のシリコン酸窒化膜 8 2 の酸素原子濃度には比べると高い。

【 0 0 3 0 】

従って、第 1 の導電層 3 の上にあるシリコン酸窒化膜 8 2 は窒素原子濃度が高いため、誘電率が高くなっている。誘電率が高くなることにより物理的な膜厚を厚くすることができるので、リーク電流の低減が図れる。またそれと同時に、窒素原子によって生じるトラップ準位が電子トラップとして機能するので、それによって電界が緩和されてリーク電流が減少する効果も期待できる。

【 0 0 3 1 】

一方、第 1 の導電層 3 の側面に位置して第 1 の導電層 3 の上部と比較して相対的に窒素原子濃度が低い、即ち酸素原子濃度が高いシリコン酸窒化膜 8 2 は、誘電率が低いため、絶縁膜 7 を挟んで隣接するセルの第 1 の導電層 3 同士の間で生じる電氣的な干渉効果を抑えることができる。

【 0 0 3 2 】

そして、図 6 に示すように、電極間絶縁膜 8 の上に、例えば、ポリシリコン或いはアモルファスシリコンからなる第 2 の導電層 9 を 1 0 nm ~ 2 0 0 nm 形成する。第 2 の導電層 9 は、不揮発性半導体記憶装置における制御ゲート電極となる。第 2 の導電層 9 の上にマスク材 1 0 を形成し、図 6 の断面構造図を得る。

【 0 0 3 3 】

その後、マスク材 1 0 の上にレジストを塗布し（図示せず）、露光描画によりレジストをパターニングする。このレジストをマスクにして加工を行い、マスク材 1 0、第 2 の導電層 9、電極間絶縁膜 8（第 2 の絶縁層）、第 1 の導電層 3、第 1 の絶縁層 2 をエッチング除去する（図示せず）。さらにレジストを除去すると、図 6 の A - A' 線に沿った紙面に垂直な断面図として図 7 に示した構造を得る。そして、図 7 のエッチングされた領域の底部となる基板 1 の表面に、イオン注入によってソース及びドレイン領域 2 0 を形成する。

【 0 0 3 4 】

本実施形態においては、電極間絶縁膜 8 としては ONO（酸化膜 /（酸化）窒化膜 / 酸化膜）からなる 3 層構造の場合について説明したが、これに限定されるものではない。例えば、3 層構造の上下、即ち、第 1 の導電層 3 とシリコン酸化膜 8 1 の間、および第 2 の導電層 9 とシリコン酸化膜 8 3 の間の両方に SiN 膜を形成して NONON 構造にした電極間絶縁膜の場合、もしくはいずれかの界面に SiN 膜を形成した電極間絶縁膜においても、同様な効果を得ることができる。

【 0 0 3 5 】

（第 2 の実施形態）

本発明の第 2 の実施形態に係る不揮発性半導体記憶装置の製造工程を説明する。

【 0 0 3 6 】

まず、第 1 の実施形態と同様な工程により図 4 の構造を作成する。

【 0 0 3 7 】

次に図 5 に示すように、図 4 の構造からなる下地の上に電極間絶縁膜 8（第 2 の絶縁層）を形成する。電極間絶縁膜 8 は 3 層の絶縁膜 8 1 ~ 8 3 から構成されている多層絶縁膜である。本実施形態における図 5 の構造は第 1 の実施形態とは異なり以下の手順により形成される。

【0038】

まず、図4の構造を持った下地の上に、CVD法によりシリコン酸化膜81(下層絶縁膜)を0.5nm~10nmの厚さで形成する。次いで、シリコン酸化膜81の上にスパッタ法によりシリコン酸化膜82(中間絶縁膜)を0.5nm~15nmの厚さで形成する。最後に、シリコン酸化膜82の上にCVD法によりシリコン酸化膜83(上層絶縁膜)を0.5nm~10nmの厚さで形成して、図5に示す電極間絶縁膜8が形成される。

【0039】

ここで、シリコン酸化膜82の形成方法について詳細に説明する。シリコン酸化膜82は、酸素、窒素雰囲気下でのスパッタにより形成する。このとき、チャンパー雰囲気内には、酸素、窒素が存在するため、シリコン酸化膜82は10%以上の酸素を含んだ酸化膜となる。10%以上の酸素を含んだ酸化膜は窒化膜と比較し誘電率が低いため、絶縁膜7を挟んで隣接するセルの第1の導電層3同士の間で生じる電氣的な干渉効果を抑えることができる。

【0040】

成膜時のウェハー温度は300、RFパワー3kWで成膜を行った。スパッタ成膜により成膜したシリコン酸化膜82は、CVD法の原料ガスとして用いられるシラン(SiH_4)、ジクロロシラン(DCS)、テトラクロロシラン(TC S)、ヘキサクロロジシラン(HC D)などに含まれる水素、塩素原子を含まないため、塩素、水素の原子濃度がともに $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下と低濃度の膜が成膜される。

【0041】

塩素濃度が、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下と低い場合には、塩素が形成するトラップ準位を介して生じるリーク電流を抑えることができる。また、その後のデバイス素子作成時の熱工程により塩素が拡散し、酸化膜にダメージを与える影響を抑えることができる。

【0042】

また、水素が窒化膜内において形成するSi-H結合は、デバイス素子使用時に生じる電氣的ストレスによって切断され、Siのダングリングボンドが生じ、閾値のずれなど、素子の信頼性を著しく悪化させる。水素濃度が、 $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以下と低い場合には、Si-H結合の量も少なくなることから、Si-H結合が切断された影響も少なくなり、素子の信頼性に及ぼす影響が少なくなる。

【0043】

従って、シリコン酸化膜82をスパッタ成膜することにより、リーク電流の少ない、信頼性の劣化の少ない素子特性を得ることができる。

【0044】

この後の工程は、図6、図7に示すように第1の実施形態と同様である。

【0045】

本実施形態においても、電極間絶縁膜8としてはONO(酸化膜/(酸化)窒化膜/酸化膜)からなる3層構造の場合について説明したが、これに限定されるものではない。例えば、3層構造の上下、即ち、第1の導電層3とシリコン酸化膜81の間、および第2の導電層9とシリコン酸化膜83の間の両方にSiN膜を形成してNONON構造にした電極間絶縁膜の場合、もしくはいずれかの界面にSiN膜を形成した電極間絶縁膜においても上記と同様な効果を得ることができる。

【0046】

また、本実施形態においては、電極間絶縁膜8の酸化膜83をCVDで形成した例について述べたが、その他の形成方法によって形成してもよい。たとえば、第1の導電層3の上に形成したシリコン酸化膜81とシリコン酸化膜82からなるON膜を酸化することによって、Top-SiO₂膜を形成してシリコン酸化膜83とすることも可能である。

【0047】

本実施形態においては、スパッタ成膜により膜厚の厚いシリコン酸化膜82を形成することができるためこのような方法が可能となる。このような方法によって形成したインターポリ絶縁膜によっても上記と同様な効果を得ることができる。

【0048】

(第3の実施形態)

本発明の第3の実施形態に係る不揮発性半導体記憶装置の製造工程を説明する。

【0049】

まず、第1の実施形態と同様な工程により図4の構造を作成する。

【0050】

次に図5に示すように、図4の構造からなる下地の上に電極間絶縁膜8(第2の絶縁層)を形成する。電極間絶縁膜8は3層の絶縁膜81~83から構成されている多層絶縁膜である。本実施形態における図5の構造は以下の手順により形成される。

【0051】

まず、図8に示すように、図4の構造を持った下地の上に、CVD法によりシリコン酸化膜81(下層絶縁膜)を0.5nm~1.5nmの厚さで形成する。次いで、シリコン酸化膜81の上にプラズマ窒化法によりシリコン酸窒化膜82(中間絶縁膜)を0.5nm~5nmの厚さで形成する。

【0052】

シリコン酸窒化膜82は第1の実施形態と同様にしてプラズマ窒化により生成されるため、10%以上の酸素を含んだ酸窒化膜となる。10%以上の酸素を含んだ酸窒化膜は窒化膜と比較し誘電率が低くなるため、絶縁膜7を挟んで隣接するセルの第1の導電層3同士の間で生じる電氣的な干渉効果を抑えることができる。

【0053】

また、第1及び第2の実施形態と同様に、シリコン酸窒化膜82の水素原子濃度、塩素原子濃度はそれぞれ、ともに 1.0×10^{19} atoms/cm³以下と低いため、リーク電流の少ない、信頼性の劣化の少ない素子特性を得ることができる。

【0054】

また、第1の実施形態と同様に、プラズマ窒化によってシリコン酸窒化膜82を形成しているので、第1の導電層3の上にあるシリコン酸窒化膜82の窒素原子濃度が、第1の導電層3の側面部の上に形成されたシリコン酸窒化膜82の窒素原子濃度と比較して高くなる。

【0055】

言い換えると、第1の導電層3の側面部を覆っているシリコン酸窒化膜82の酸素原子濃度は、第1の導電層3の上部のシリコン酸窒化膜82の酸素原子濃度に比べると高い。

【0056】

従って、電極間絶縁膜8を流れるリーク電流が減少すると同時に、絶縁膜7を挟んで隣接するセルの第1の導電層3同士の間で生じる電氣的な干渉効果を抑えることができる。

【0057】

次いで、図9に示すように、化学気相成長法によってシリコン酸化膜11を50nmから400nm程度形成する。次いで、シリコン酸化膜11の上に、フォトレジスト12を塗布し、露光描画によりレジスト12をパターニングすることで図9の構造断面図を得る。

【0058】

そして、図9に示したフォトレジスト12を耐エッチングマスクにしてシリコン酸化膜11をエッチングした後、フォトレジスト12を除去して図10の構造を得る。

【0059】

次に、図11に示すようにシリコン酸化膜11をマスクにして窒素をイオン注入する。これより、シリコン酸化膜11によってマスクされた絶縁膜7の上に形成されたシリコン酸窒化膜82を除いて、第1の導電層3の上に形成されたシリコン酸窒化膜82に窒素を導入する。

【0060】

ここで、図12に示すように、シリコン酸化膜11のマスクをさらに広く形成して、第1の導電層3の側面部を覆うシリコン酸窒化膜82もマスクしてしまい、第1の導電層3の上に形成されたシリコン酸窒化膜82のみに窒素を導入するようにしてもよい。

【0061】

本実施例では、イオン注入により窒素を導入したが、プラズマ窒化により窒素を導入しても良い。

【0062】

本実施形態においては、上述した窒素注入工程を経ることにより、第1の導電層3の上のシリコン酸窒化膜82の窒素原子濃度を、素子分離用の絶縁膜7の上に形成されたシリコン酸窒化膜82、及び第1の導電層3の側面部を覆うシリコン酸窒化膜82に比べてさらに高くすることが可能である。

【0063】

これによりさらにリーク電流が減少する効果が期待できる。一方、素子分離用の絶縁膜7の上に形成されたシリコン酸窒化膜82、及び第1の導電層3の側面部を覆うシリコン酸窒化膜82は第1の導電層3の上よりも相対的に窒素原子濃度が低くなっているため相対的に誘電率が低い。よって、絶縁膜7を挟んで隣接するセルの第1の導電層3同士の間で生じる電氣的な干渉効果を抑えることができる。

【0064】

その後、マスクとして用いたシリコン酸化膜11をウエットエッチングで剥離することにより、図13の断面構造を得る。さらに、シリコン酸窒化膜82の上にCVD法によりシリコン酸化膜83(上層絶縁膜)を0.5nm~10nmの厚さで形成して、図5に示す電極間絶縁膜8が形成される。

【0065】

この後の工程は、図6、図7に示すように第1の実施形態と同様である。

【0066】

本実施形態においては、第1の導電層3の上に形成されたシリコン酸窒化膜82に対して窒素を注入した場合を説明したが、素子分離用の絶縁膜7の上のシリコン酸窒化膜82のみに酸素をイオン注入または、酸素雰囲気化でのアニール、プラズマ酸化により注入して、隣接セル間の干渉効果のさらなる低減を図ってもよい。

【0067】

これによっても、第1の導電層3の上と素子分離用の絶縁膜7の上におけるシリコン酸窒化膜82の窒素と酸素の原子濃度に関して相対的に同様な関係を得ることができるので、上述した場合と同様な効果が期待できる。

【0068】

本実施形態においても、電極間絶縁膜8としてはONO(酸化膜/(酸化)窒化膜/酸化膜)からなる3層構造の場合について説明したが、これに限定されるものではない。例えば、3層構造の上下、即ち、第1の導電層3とシリコン酸化膜81の間、および第2の導電層9とシリコン酸化膜83の間の両方にSiN膜を形成してNONON構造にした電極間絶縁膜の場合、もしくはいずれかの界面にSiN膜を形成した電極間絶縁膜においても上記と同様な効果を得ることができる。

【0069】

以上説明したように、上記第1乃至第3の実施形態においては、不揮発性半導体記憶素子の電極間絶縁膜として用いられるONO膜(酸化膜/窒化膜/酸化膜)、およびNONON膜(窒化膜/酸化膜/窒化膜/酸化膜/窒化膜)等の多層酸化窒化膜の構造において、少なくとも1つの窒化膜が、酸素を含む酸窒化膜であり、かつ不純物である水素、塩素の含有量が少ない膜であることを特徴とする。

【0070】

浮遊ゲート電極層の上に形成された酸窒化膜は、窒素原子濃度を高くすることによりリーク電流を減らすことが可能になる。また、浮遊ゲート電極層の側面部あるいは素子分離絶縁膜の上に形成された酸窒化膜は、酸素原子濃度を高くすることにより誘電率を下げて、浮遊ゲート電極層間での干渉効果を抑えることができる。

【0071】

さらに、酸窒化膜内の塩素及び水素の不純物濃度を少なくすることにより、塩素により

生じたトラップ準位を介したリーク電流を減らし、水素の脱離により生じる長期間での素子の信頼性の劣化を低減することができる。

【0072】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出されうる。

【図面の簡単な説明】

【0073】

【図1】本発明の第1の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図。

【図2】図1に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図3】図2に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図4】図3に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図5】図4に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図6】図5に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図7】図6に続く不揮発性半導体記憶装置の製造工程を示す図6のA - A'線に沿った断面図。

【図8】本発明の第3の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図。

【図9】図8に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図10】図9に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図11】図10に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【図12】本発明の第3の実施形態に係る不揮発性半導体記憶装置の別の製造工程を示す断面図。

【図13】図11に続く不揮発性半導体記憶装置の製造工程を示す断面図。

【符号の説明】

【0074】

1 ... p型シリコン基板、2 ... 第1の絶縁層、3 ... 第1の導電層（浮遊ゲート電極層）、
4 ... シリコン窒化膜、5 ... シリコン酸化膜、6、12 ... フォトレジスト、
7 ... 素子分離用の絶縁膜、8 ... 電極間絶縁膜（第2の絶縁層）、
9 ... 第2の導電層（制御ゲート電極層）、10 ... マスク材、11 ... シリコン酸化膜、
20 ... ソース及びドレイン領域、81、83 ... シリコン酸化膜、
82 ... シリコン酸化窒化膜。

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 石田 浩一

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 田中 正幸

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小澤 良夫

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP02 EP27 EP53 EP55 EP56 EP57 GA06 GA12 GA19 GA27
JA03 JA04 JA05 JA33 NA01 NA06 PR06 PR15 PR22 PR36
PR40
5F101 BA01 BA26 BA29 BA36 BB05 BF09 BH05 BH06 BH09