

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年10月10日(10.10.2019)



(10) 国際公開番号

WO 2019/193986 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 23/28* (2006.01)
H01L 21/60 (2006.01)

(21) 国際出願番号: PCT/JP2019/011947

(22) 国際出願日: 2019年3月21日(21.03.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-071779 2018年4月3日(03.04.2018) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 安藤 幸太郎 (ANDO Kotaro); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 細野 智史 (HOSONO Toshifumi); 〒4488661 愛知県刈谷市昭和町1

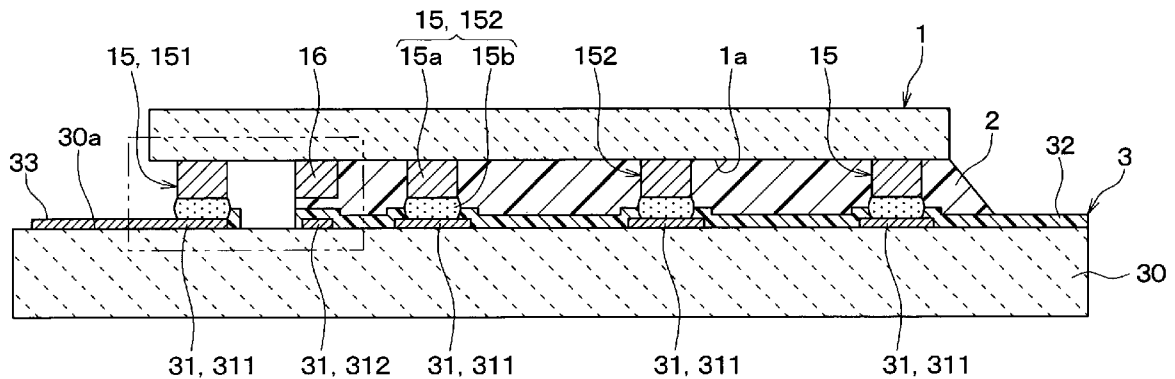
丁目1番地 株式会社デンソー内 Aichi (JP). 柏崎 篤志 (KASHIWAZAKI Atsushi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 城崎 俊文 (SHIROSAKI Toshifumi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).

(74) 代理人: 特許業務法人ゆうあい特許事務所 (YOU-I PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device is provided with: a semiconductor chip (1) having a one surface (1a), the semiconductor chip having a plurality of connecting parts (15) provided on the one-surface side; a substrate (3) on which the semiconductor chip is mounted via the connecting parts; and an underfill (2) disposed in a gap between the semiconductor chip and the substrate. Some of the connecting parts are high-frequency connecting parts (151) that transmit a high frequency. As viewed from a direction normal to the one surface, a wall part (16) is disposed between the high-frequency connecting parts and the other connecting parts. The wall part partitions the high-frequency connecting parts and the other connecting parts as viewed from the direction normal to the one surface. The high-frequency connecting parts are exposed from the underfill. From among the plurality of connecting parts, connecting parts different from the high-frequency connecting parts are covered by the underfill.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、一面 (1 a) を有し、複数の接続部 (1 5) を一面側に備える半導体チップ (1) と、接続部を介して半導体チップが搭載される基板 (3) と、半導体チップと基板との隙間に配置されるアンダーフィル (2) と、を備える。接続部の一部は、高周波を伝送する高周波用接続部 (1 5 1) であり、一面に対する法線方向から見て、高周波用接続部と他の接続部との間には壁部 (1 6) が配置されている。壁部は、法線方向から見て、該高周波用接続部と他の接続部とを区画している。高周波用接続部は、アンダーフィルから露出している。複数の接続部のうち高周波用接続部と異なる接続部は、アンダーフィルにより覆われている。

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2018年4月3日に提出された日本特許出願番号2018-71779号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、接続部およびアンダーフィルを介して半導体チップが基板に搭載された半導体装置に関する。

背景技術

[0003] 従来、この種の半導体装置としては、例えば特許文献1に記載のものが挙げられる。特許文献1に記載の半導体装置は、複数の端子およびこれに電気的に接続されたはんだバンプを有するBGA（Ball Grid Arrayの略）型の半導体チップが基板上に搭載され、半導体チップと基板に形成された配線とがはんだバンプを介して接続された構成とされている。この半導体装置は、さらにアンダーフィルを備え、アンダーフィルが基板と半導体チップとの隙間を充填するように配置されている。この半導体装置では、アンダーフィルは、基板と半導体チップとの隙間に配置されることで、基板と半導体チップとの線膨張係数差に起因する応力が、基板と半導体チップとを電気的に接続するはんだバンプに集中することを緩和する役割を果たす。

先行技術文献

特許文献

[0004] 特許文献1：特開2005-203488号公報

発明の概要

[0005] ところで、この種の半導体装置では、半導体チップが備える複数の端子の一部が高周波信号の伝送に用いられる場合において、アンダーフィルが所定の箇所に配置されたときには、当該高周波信号の損失が生じ得る。

- [0006] 具体的には、アンダーフィルは、半導体チップのうち高周波信号の伝送に用いられる端子もしくはこれと電氣的に接続された部材、または基板上の配線のうち該端子と電氣的に接続された配線、に接触している場合には、高周波信号の損失を生じさせる。これは、半導体チップおよび基板のうち高周波信号の伝送に用いられる部材に、これらを構成する材料とは異なる誘電率の材料で構成されたアンダーフィルが接触し、高周波信号の伝送経路における特性インピーダンスが変化することが原因である。
- [0007] また、アンダーフィルは、半導体チップが例えばスイッチや物理量に応じた信号を出力するセンサなどの機能を果たす素子部を備える場合において、この素子部を覆ったときには、素子部が正常に作動しない等の不具合を生じさせ得る。
- [0008] 上記のように、この種の半導体装置では、はんだバンプと基板との間の応力集中を緩和すると共に、高周波信号の損失や素子部の動作不良などの特性低下を抑制するためには、アンダーフィルは、所定の部材とは接触しない選択的な配置とされなければならない。しかしながら、特許文献1に記載の半導体装置は、アンダーフィルが半導体チップと基板との隙間に単に充填されているに過ぎず、上記の特性低下を効果的に抑制することができない構造である。
- [0009] 本開示は、アンダーフィルが選択的に配置され、アンダーフィルによる半導体チップと基板との接合部における応力緩和と、アンダーフィルによる特性低下の抑制とが両立する構造の半導体装置を提供することを目的とする。
- [0010] 上記目的を達成するため、第1の観点による半導体装置は、一面を有し、複数の接続部を一面側に備える半導体チップと、接続部を介して半導体チップが搭載される基板と、半導体チップと基板との隙間に配置されるアンダーフィルと、を備える。このような構成において、接続部の一部は、高周波を伝送する高周波用接続部であり、一面に対する法線方向から見て、高周波用接続部と他の接続部との間には壁部が配置され、壁部は、該法線方向から見て、該高周波用接続部と他の接続部とを区画しており、高周波用接続部は、

アンダーフィルから露出しており、複数の接続部のうち高周波用接続部と異なる接続部は、アンダーフィルにより覆われている。

[0011] これにより、アンダーフィルが半導体チップと基板との間に配置されつつも、半導体チップのうち高周波信号を伝送する接続部が該アンダーフィルから露出した構成の半導体装置となる。そのため、アンダーフィルによる接続部への応力集中の緩和と高周波信号の損失低減とが両立した半導体装置となる。

[0012] なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0013] [図1]第1実施形態の半導体装置を示す概略平面図である。

[図2]図1中に一点鎖線で示すII-II間の断面を示す概略断面図である。

[図3]図2中に二点鎖線で示す領域の断面構成を拡大して示す概略断面図である。

[図4]第1実施形態の半導体装置における壁部の平面形状およびソルダーレジスト層の配置の一例を示す概略平面図である。

[図5A]第1実施形態の半導体装置の製造工程のうちベアチップの用意工程を示す概略断面図である。

[図5B]図5Aに続く製造工程であって、絶縁層の一部を形成する工程を示す概略断面図である。

[図5C]図5Bに続く製造工程であって、所定のパターンとされたレジスト膜を形成する工程を示す概略断面図である。

[図5D]図5Cに続く製造工程であって、再配線層の形成およびレジスト膜の除去の工程を示す概略断面図である。

[図5E]図5Dに続く製造工程であって、絶縁層の残部を形成する工程を示す概略断面図である。

[図6A]図5Eに続く製造工程であって、所定のパターンとされたレジスト膜

を形成する工程を示す概略断面図である。

[図6B]図6 Aに続く製造工程であって、接続部の一部および壁部を形成する工程を示す概略断面図である。

[図6C]図6 Bに続く製造工程であって、接続部の残部を形成する工程を示す概略断面図である。

[図6D]図6 Cに続く製造工程であって、レジスト膜の除去およびリフローの工程を示す概略断面図である。

[図7A]図6 Dに続く製造工程であって、基板の用意および半導体チップの位置合わせの工程を示す概略断面図である。

[図7B]図7 Aに続く製造工程であって、基板の接合およびアンダーフィルの形成の工程を示す概略断面図である。

[図8]第2実施形態の半導体装置を示す概略平面図である。

[図9]図8中に一点鎖線で示すIX-IX間の断面を示す概略断面図である。

[図10]第2実施形態の半導体装置の変形例を示す概略断面図である。

[図11]第3実施形態の半導体装置を示す概略平面図である。

[図12]図11中に一点鎖線で示すXII-XII間の断面を示す概略断面図である。

[図13]第4実施形態の半導体装置を示す概略平面図である。

[図14]第4実施形態の半導体装置の製造工程のうちアンダーフィルの充填工程を示す概略平面図である。

[図15]第5実施形態の半導体装置を示す概略平面図である。

[図16]第6実施形態の半導体装置を示す概略平面図である。

[図17]図16中に一点鎖線で示すXVII-XVII間の断面を示す概略断面図である。

[図18]第7実施形態の半導体装置を示す概略平面図である。

[図19]他の実施形態の半導体装置における壁部と基板との間の断面構成の一例を示す概略断面図である。

[図20]他の実施形態の半導体装置における壁部と基板との間の断面構成の一例を示す概略断面図である。

[図21]他の実施形態の半導体装置における断面構成の一例を示す概略断面図である。

[図22]他の実施形態の半導体装置における壁部の平面形状を示す概略平面図である。

[図23]他の実施形態の半導体装置における半導体チップの構成例を示す概略断面図である。

発明を実施するための形態

[0014] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0015] (第1実施形態)

第1実施形態について、図1～図7Bを参照して述べる。本実施形態の半導体装置は、例えば、自動車などの車両に搭載されるミリ波レーダなどの半導体装置に適用されることができる。

[0016] 図1では、構成を分かり易くするため、後述する半導体チップ1および基板3の構成要素であって、上面視では見えないものを破線または二点鎖線で示している。図1～図7Bでは、構成を分かり易くするため、構成要素の寸法や厚みなどをデフォルメして誇張したものを示している。また、図2では、見易くするため、半導体チップ1のうち後述する端子12、絶縁層13および再配線層14を省略している。

[0017] 本実施形態の半導体装置は、図1もしくは図2に示すように、半導体チップ1と、アンダーフィル2と、基板3とを備え、基板3のうち基材30の上面30a上に半導体チップ1が搭載されると共に、これらの隙間にアンダーフィル2が選択的に配置されている。

[0018] 半導体チップ1は、例えば、Wafer level Chip Size Package、すなわちWL CSPとされており、通常の半導体プロセスで形成される。半導体チップ1は、例えば、図3に示すように、一面1aを有する略板状とされ、ベアチップ11、端子12、絶縁層13、再配線層14、接続部15および壁部1

6を備える。半導体チップ1の一面1a側には、図3で示すように、端子12、絶縁層13、再配線層14、接続部15および壁部16が配置されている。

[0019] ベアチップ11は、例えば、主としてシリコンなどの半導体材料によりなり、図示しない集積回路（IC）を備えると共に、図3に示すように、表面11aを有する矩形板状とされ、表面11a側に端子12が形成されている。

[0020] 端子12は、例えば、Al（アルミニウム）などの金属材料により構成され、表面11aに対する法線方向から見て、アレイ状に複数配置されている。端子12は、図3に示すように、再配線層14と接続されると共に、絶縁層13により覆われている。複数の端子12は、その数や配置については用途に応じて適宜変更される。

[0021] 絶縁層13は、例えば、通常の再配線工程にて用いられる絶縁性材料、例えばポリイミドなどの樹脂材料などで構成される。

[0022] 再配線層14は、通常の再配線工程にて用いられる導電性材料、例えばCu（銅）、Al、Ag（銀）やAu（金）などの金属材料などで構成される。再配線層14は、例えば、電解メッキや無電解メッキなどにより形成され、図3に示すように、複数の端子12とこれらに対応する接続部15とをそれぞれ電氣的に接続している。

[0023] 接続部15は、半導体チップ1を基板3に搭載する際に用いられ、半導体チップ1の端子12と基板3上に形成された配線とを電氣的に接続する部材であり、例えば、図1に示すように、複数形成されると共に、アレイ状に配置される。接続部15は、例えば、図2に示すように、CuやAgなどの金属材料によりなる下地層15aとはんだによりなるバンプ15bとが積層された構成とされ、電解メッキや無電解メッキなどにより形成される。なお、下地層15aおよびバンプ15bは、半導体チップ1の一面1aに対する法線方向における高さについては任意である。以下、一面1aに対する法線方向を「一面法線方向」と称し、一面法線方向における高さを単に「高さ」と

称する。

[0024] 複数の接続部15は、本実施形態では、その一部が例えば周波数30GHz～300GHzのミリ波帯などの高周波用信号の伝送に用いられる高周波用接続部151とされ、残部が他の用途に用いられる他の接続部152とされている。

[0025] 高周波用接続部151は、本実施形態では、図1に示すように、上面視にて、複数の接続部15のうち半導体チップ1の外郭に隣接する位置、すなわち最外周に2つ配置されている。高周波用接続部151は、必ずしも最外周に配置されていなくてもよいが、高周波信号の伝送における損失低減の観点から、最外周に配置されることが好ましい。

[0026] 高周波用接続部151は、本実施形態では、例えば、図1もしくは図2に示すように、後述する高周波用配線33にそれぞれ接続されると共に、後述する壁部16に部分的に囲まれ、アンダーフィル2から露出している。2つの高周波用接続部151は、例えば、一方が半導体チップ1から基板3へ高周波信号を伝送する出力用の接続部とされ、他方が基板3から半導体チップ1へ高周波信号を伝送する入力用の接続部とされる。これにより、高周波信号を伝送する高周波用接続部151に、誘電率の異なる材料により構成されるアンダーフィル2が接触することによる高周波信号の損失が抑制される。

[0027] 壁部16は、後述する本実施形態の半導体装置の製造工程のうちアンダーフィル2の形成工程において、アンダーフィル2が高周波用接続部151に接触することを防止する壁としての役割を果たす部材である。壁部16は、本実施形態では、接続部15のうち下地層15aと同じ材料によりなり、接続部15の形成工程において接続部15と共に電解メッキや無電解メッキなどにより形成される。

[0028] 壁部16は、図1に示すように、上面視にて、高周波用接続部151と他の接続部152との間であって、高周波用接続部151から離れた位置に配置されると共に、これらを区画している。具体的には、壁部16は、例えば図1に示すように、上面視にて、略U字形状とされると共に、高周波用接続

部 1 5 1 が接続される高周波用配線 3 3 の延設方向と異なる方向において、高周波用接続部 1 5 1 を部分的に囲む配置とされている。

[0029] 壁部 1 6 は、本実施形態では、図 2 もしくは図 3 に示すように、基板 3 と隙間を隔てて配置され、一面法線方向における高さが接続部 1 5 の高さよりも小さい。言い換えると、壁部 1 6 は、本実施形態では、半導体チップ 1 を基板 3 上に搭載する際に、基板 3 に接触せず、かつ後述するアンダーフィル 2 の形成工程においてアンダーフィル 2 を構成する材料が壁部 1 6 と基板 3 との隙間に留まる程度の高さとされている。壁部 1 6 の高さや形状の詳細については、後述する。

[0030] アンダーフィル 2 は、半導体チップ 1 と基板 3 との接合部分の補強、当該接合部分への応力集中の緩和や封止による保護等の役割を果たすものであり、例えばエポキシ樹脂などの樹脂材料によりなる。アンダーフィル 2 は、半導体チップ 1 を基板 3 上に搭載した後、樹脂材料を溶媒に混合することなどにより液状とされた材料を、半導体チップ 1 の端面側から半導体チップ 1 の直下に注入して加熱硬化することで配置される。以下、アンダーフィル 2 の形成に用いられる液状の材料を「アンダーフィル材」と称する。

[0031] アンダーフィル 2 は、高周波信号の損失低減のため、図 2 に示すように、半導体チップ 1 と基板 3 との隙間においては、高周波用接続部 1 5 1 を含む所定の領域と異なる領域を充填する選択的な配置とされている。アンダーフィル 2 は、図 1 に示すように、上面視にて、半導体チップ 1 の外郭から外側の領域においては、高周波信号の損失低減の観点から、基板 3 のうち高周波用接続部 1 5 1 に電氣的に接続された高周波用配線 3 3 とは接触しない配置とされることが好ましい。

[0032] 基板 3 は、例えば、図 2 に示すように、基材 3 0 と、複数のランド 3 1 と、ソルダーレジスト層 3 2 と、高周波用配線 3 3 とを備える。基板 3 は、他の図示しない配線や電子部品が搭載されていてもよい。

[0033] 基材 3 0 は、例えば、主としてポリイミド樹脂などの合成樹脂により構成され、図 1 もしくは図 2 に示すように、上面 3 0 a を有する矩形板状とされ

ると共に、上面30a側にランド31、ソルダーレジスト層32および高周波用配線33が配置されている。

[0034] ランド31は、例えば、Cuなどの金属材料により構成され、図2に示すように、半導体チップ1の接続部15が接合されている。ランド31は、高周波信号が伝送される高周波用配線33や図示しない他の配線などが接続されている。ランド31は、本実施形態では、例えば、図2に示すように、断面視にて、接続部15の直下に配置される第1のランド311と壁部16の直下に配置される第2のランド312とを有してなる。

[0035] なお、第2のランド312は、本実施形態では、後述する壁部16と基板3との隙間の高さ方向における寸法を調整するダミーとして用いられており、第1のランド311およびこれに接続される配線と電氣的に分離している。

[0036] ソルダーレジスト層32は、例えば、ポリイミド樹脂などの絶縁性材料によりなり、図2に示すように、上面30a側に形成され、第1のランド311の一部、第2のランド312および図示しない配線の一部などを覆っている。

[0037] ソルダーレジスト層32は、本実施形態では、液状のアンダーフィル材の濡れ性が良好な任意の絶縁性材料で構成され、このアンダーフィル材が壁部16を超えて高周波用接続部151に到達することを抑制するための所定の配置とされている。この詳細については後述する。また、ソルダーレジスト層32は、例えば、上面30aに対する法線方向における厚みが50 μ m程度とされるが、適宜調整されてもよい。

[0038] 高周波用配線33は、Cuなどの金属材料により構成され、第1のランド311のうち高周波用接続部151が接続されるものに接続されている。高周波用配線33は、本実施形態では、例えば、図示しないアンテナなどに接続されると共に、図1に示すように、アンダーフィル2から露出している。

[0039] 以上が本実施形態の半導体装置の構成である。

[0040] 次に、壁部16と基板3との隙間について、図3を参照して説明する。

- [0041] 基板3のうち断面視にて壁部16の直下に位置する部分を「壁直下部」として、壁部16と壁直下部との間には、本実施形態では、例えば、図3に示すように、隙間が存在している。
- [0042] 図3に示すように、半導体チップ1の一面1aと基板3の上面30aとの隙間をギャップ G_0 とし、壁部16と壁直下部との隙間をギャップ G_1 として、ギャップ G_1 は、ギャップ G_0 の10%以下とされることが好ましい。具体的には、ギャップ G_0 が例えば $100\mu\text{m}\sim 150\mu\text{m}$ である場合には、ギャップ G_1 は、 $15\mu\text{m}$ 以下、好ましくは $5\mu\text{m}\sim 10\mu\text{m}$ とされることがとなる。これにより、アンダーフィル2の形成工程において、壁部16と壁直下部との間において毛細管現象が生じることとなる。
- [0043] 次に、壁部16および基板3のうち壁直下部の形状等およびその効果について、図3を参照して説明する。
- [0044] 壁部16と壁直下部との隙間には、後述する製造工程のうちアンダーフィル材を流し込む工程において、毛細管現象が働く結果、図3に示すように、アンダーフィル2が充填される。このとき、アンダーフィル材が壁部16を超えて高周波用接続部151に到達しないようにするため、壁部16は、図3に示すように、壁部16のうち基板3側の先端部分の断面形状が角を有する形状、好ましくは直角形状とされる。
- [0045] 一方、基板3のうち壁直下部は、本実施形態では、図3に示すように、第2のランド312とこれを覆うソルダーレジスト層32の一部とにより構成されている。壁直下部は、図3に示すように、断面視にて基板3の上面30aのうち壁部16を一面法線方向に沿って投影した領域に形成されている。この壁直下部のうち壁部16側、かつ高周波用接続部151側の先端部分は、壁部16と同様に、その断面形状が角を有する形状、好ましくは直角形状とされる。
- [0046] なお、壁部16および壁直下部は、図3に示すように、断面視にて、高周波用接続部151側の端面が揃えられることが好ましい。
- [0047] これにより、壁部16の先端部分の面および壁直下部の先端部分の面のう

ち高周波用接続部 1 5 1 側の端部において、これらの面に沿って、アンダーフィル材が高周波用接続部 1 5 1 側にはみ出しにくい形状となる。そのため、アンダーフィル 2 と高周波用接続部 1 5 1 との接触が防止され、高周波用接続部 1 5 1 がアンダーフィル 2 から露出した構造となる。

[0048] 次に、壁部 1 6 の形状および基材 3 0 上のソルダーレジスト層 3 2 の配置について、図 4 を参照して説明する。

[0049] 図 4 では、壁部 1 6 やソルダーレジスト層 3 2 の形状等を分かり易くするため、上面視では見えない壁部 1 6、高周波用接続部 1 5 1、第 1 のランド 3 1 1 の一部、ソルダーレジスト層 3 2 および高周波用配線 3 3 の一部を実線で示している。また、図 4 では、上記の目的で、半導体チップ 1 の外郭を一点鎖線で示すと共に、第 1 のランド 3 1 1 のうちソルダーレジスト層 3 2 に覆われて見えない外郭を破線で示している。

[0050] なお、以下、説明の簡略化のため、図 4 に示すように、上面視にて、壁部 1 6 のうち高周波用接続部 1 5 1 側の壁面を「内壁面 1 6 a」と称し、その反対側の壁面を「外壁面 1 6 b」と称する。また、図 4 に示すように、便宜的に、図 4 紙面中の左右方向を「X 方向」と称し、図 4 紙面中において X 方向と垂直な方向を「Y 方向」と称する。

[0051] 壁部 1 6 の内壁面 1 6 a は、図 4 に示すように、上面視にて、X 方向に沿った部分と Y 方向に沿った部分との交差部分が湾曲形状とされることが好ましい。これは、アンダーフィル材の注入時に、当該交差部分と基板 3 との隙間に到達したアンダーフィル材が、交差部分の形状に沿って滑らかに流動し、高周波用接続部 1 5 1 側にはみ出すことが抑制されるためである。

[0052] なお、当該交差部分は、角のない形状とされていればよく、図 4 に示すような R 形状だけでなく、適宜変更されてもよい。

[0053] 一方、本実施形態では、図 4 に示すように、基材 3 0 の上面 3 0 a のうち上面視にて半導体チップ 1 の直下領域、かつ、壁部 1 6 の直下領域と高周波用接続部 1 5 1 に接続される第 1 のランド 3 1 1 との間の一部領域は、ソルダーレジスト層 3 2 から露出している。具体的には、図 4 に示すように、基

材 3 0 の上面 3 0 a のうち少なくとも壁部 1 6 の直下の領域に隣接する部分を含む領域は、ソルダーレジスト層 3 2 から露出している。言い換えると、ソルダーレジスト層 3 2 のうち壁部 1 6 の直下領域と第 1 のランド 3 1 1 との間に、ソルダーレジスト層 3 2 を貫通する溝が形成され、第 1 のランド 3 1 1 がこの溝に部分的に囲まれているとも言える。

[0054] また、基材 3 0 の上面 3 0 a のうち上記のソルダーレジスト層 3 2 から露出する領域を「露出領域」として、露出領域は、ソルダーレジスト層 3 2 よりもアンダーフィル材の濡れ性が悪い状態とされている。具体的には、例えば、基材 3 0 を主にソルダーレジスト層 3 2 よりもアンダーフィル材の濡れ性が悪い絶縁性材料により構成したり、アンダーフィル材の濡れ性が悪くなるように任意の撥液処理を施したりすることが挙げられる。

[0055] これにより、壁部 1 6 と基板 3 との隙間に進入したアンダーフィル材は、高周波用接続部 1 5 1 側にはみ出そうとしても、アンダーフィル材の濡れ性の悪い露出領域における表面張力の作用によりその進行が阻まれる。

[0056] したがって、壁部 1 6 の内壁面 1 6 a の形状によるアンダーフィル材の流動への影響、および基材 3 0 の露出領域によるアンダーフィル材の濡れ広がりへの影響により、アンダーフィル材が高周波用接続部 1 5 1 に接触することが防止される。

[0057] 次に、本実施形態の半導体装置の製造方法の一例について、図 5 A ないし図 7 B を参照して説明する。

[0058] なお、本実施形態の半導体装置では、半導体チップ 1 の製造において壁部 1 6 を形成する点を除き、任意の半導体プロセスを採用できるため、この点以外の工程については簡単に説明する。また、図 5 A ないし図 6 D では、工程を分かり易くするため、半導体チップ 1 のうち高周波用接続部 1 5 1 および壁部 1 6 を備える一部の断面を示し、他の領域については省略している。

[0059] まず、図 5 A に示すように、通常の半導体プロセスにより複数の端子 1 2 が表面 1 1 a 側に形成されたベアチップ 1 1 を用意する。そして、図 5 B に示すように、ベアチップ 1 1 の表面 1 1 a 上に、ポリイミドなどの感光性の

絶縁性材料によりなり、絶縁層 1 3 の一部である第 1 絶縁膜 1 3 1 を形成した後、フォトリソグラフィエッチング法によってパターニングし、端子 1 2 の一部を露出させる。

[0060] 続けて、第 1 絶縁膜 1 3 1 および端子 1 2 の一部を覆う図示しないシード層をスパッタリングなどにより成膜する。このシード層は、例えば、T i (チタン) と C u とがこの順に積層されてなる。その後、図 5 C に示すように、このシード層上に感光性の絶縁性材料によりなるレジスト膜 4 を塗布法により成膜し、フォトリソグラフィエッチング法によりパターニングして、シード層のうち端子 1 2 およびその周囲を覆う部分を露出させる。

[0061] 次いで、図 5 D に示すように、例えば、電解メッキなどにより C u など再配線層 1 4 を形成した後、レジスト剥離液などによりレジスト膜 4 を剥離し、図示しないシード層をエッチング液などにより除去する。その後、例えば、図 5 B での説明と同様の手順により、再配線層 1 4 および第 1 絶縁膜 1 3 1 を覆う第 2 絶縁膜 1 3 2 の成膜およびパターニングを行い、ベアチップ 1 1 の表面 1 1 a および再配線層 1 4 の一部を覆う絶縁層 1 3 を形成する。

[0062] そして、再配線層 1 4 のうち第 2 絶縁膜 1 3 2 から露出した部分を「露出部」として、露出部および第 2 絶縁膜 1 3 2 を覆う図示しないシード層をスパッタリングなどにより成膜する。その後、例えば、図 5 C での説明と同様の手順により、このシード層上にレジスト膜 4 の成膜およびパターニングを行う。このとき、図 6 A に示すように、図示しないシード層のうち再配線層 1 4 の露出部およびその周囲を覆う部分を露出させる開口部 4 a と、図示しないシード層のうち該露出部から離れた部分を覆う部分を露出させる開口部 4 b と、を備えるレジスト膜 4 とする。

[0063] その後、例えば、図 5 D での説明と同様の手順により、図 6 B に示すように、C u などによりなる下地層 1 5 a および壁部 1 6 を形成した後、下地層 1 5 a および壁部 1 6 上に図示しない N i (ニッケル) の薄膜を電解メッキなどにより形成する。そして、図 6 C に示すように、絶縁層 1 3 上のレジスト膜 4 を第 1 レジスト膜 4 1 として、例えば、壁部 1 6 を覆う第 2 レジスト

膜42をディスペンサー塗布などにより形成し、電解メッキなどによりはんだによりなるバンプ15bを下地層15a上に形成する。

[0064] 続けて、例えば、図5Dでの説明と同様の手順で、レジスト膜41、42および図示しないシード層を除去した後、はんだによりなるバンプ15bを加熱融解させてから放冷して再度固化させる。これにより、図6Dに示すように、複数の接続部15および高周波用接続部151を部分的に囲む壁部16を備える半導体チップ1を製造することができる。

[0065] 次いで、図7Aに示すように、接続部15が接続される第1のランド311と、壁部16に対応する位置に第2のランド312と、これらを覆うソルダーレジスト層32と、高周波用配線33とを備える基板3を用意し、半導体チップ1と位置合わせをする。そして、例えば、リフロー方式によりバンプ15bを加熱融解させてから放冷により再度固化することで、半導体チップ1と基板3とを接続する。

[0066] そして、図7Bに示すように、エポキシ樹脂などを溶媒等により溶解した液状のアンダーフィル材を半導体チップ1の端面から半導体チップ1の直下に流し込み、加熱硬化させることでアンダーフィル2を形成する。具体的には、半導体チップ1のうち一面1aとその反対面1bとの間の面を端面1c、端面1cのうち上面視にて高周波用接続部151側の部分を第1端面1ca、その反対側の部分を第2端面1cbとして、第2端面1cbからアンダーフィル材を流し込む。このとき、壁部16が高周波用接続部151を部分的に囲んでいるため、液状のアンダーフィル材が高周波用接続部151と接触することが防止される。この状態でアンダーフィル材を加熱硬化してアンダーフィル2を形成することで、アンダーフィル2が選択的に配置された本実施形態の半導体装置を製造することができる。

[0067] 本実施形態によれば、半導体チップ1が基板3上に搭載され、半導体チップ1のうち高周波信号を伝送する高周波用接続部151がアンダーフィル2から露出すると共に、他の接続部152がアンダーフィル2に覆われた構造の半導体装置となる。そのため、アンダーフィル2が壁部16の存在により

選択的に配置され、他の接続部 1 5 2 への応力集中の緩和と、高周波用接続部 1 5 1 を介した高周波信号の伝送における損失低減と、が両立した構造の半導体装置となる。

[0068] (第 2 実施形態)

第 2 実施形態について、図 8、図 9 を参照して述べる。

[0069] 図 8 では、図 1 と同様に、半導体チップ 1 および基板 3 の構成要素であって、上面視では見えないものを破線または二点鎖線で示すと共に、構成要素の大きさなどをデフォルメして誇張したものを示している。図 8、図 9 では、図 1 と同様に、構成要素の厚みなどをデフォルメして誇張したものを示すと共に、半導体チップ 1 の一部を省略している。

[0070] 本実施形態の半導体装置は、図 8 に示すように、壁部 1 6 が他の接続部 1 5 2 のうち高周波用接続部 1 5 1 と隣接するものにより構成され、ソルダレジスト層 3 2 から一部露出した第 2 のランド 3 1 2 と電氣的に接続されている。本実施形態の半導体装置は、上記の点において第 1 実施形態と相違する。本実施形態では、この相違点について主に説明する。

[0071] 壁部 1 6 は、本実施形態では、例えば、図 8 に示すように、他の接続部 1 5 2 のうち高周波用接続部 1 5 1 に隣接するものであって、壁状とされると共に、基板 3 のうちグラウンド電位とされた部分に接続される、グラウンド接続部 1 5 2 a で構成されている。壁部 1 6 は、例えば図 8 に示すように、上面視にて、略 U 字形状とされると共に、高周波用接続部 1 5 1 が接続される高周波用配線 3 3 の延設方向と異なる方向において、高周波用接続部 1 5 1 を部分的に囲む配置とされている。

[0072] 壁部 1 6 は、本実施形態では、図 9 に示すように、他の接続部 1 5 2 と同様に、Cu や Ag などの金属材料により構成される下地層 1 6 c とはんだによりなるバンプ 1 6 d とが積層された構成とされている。壁部 1 6 は、例えば、電解メッキや無電解メッキなどにより接続部 1 5 と同時に形成される。壁部 1 6 は、本実施形態では、例えば、図 9 に示すように、基板 3 のうちグラウンド電位とされた第 2 のランド 3 1 2 に接続されており、基板 3 との間

に隙間が生じない配置とされている。

[0073] なお、本実施形態では、壁部 1 6 と第 2 のランド 3 1 2 とが接続されているため、基板 3 の上面 3 0 a のうち高周波用接続部 1 5 1 と壁部 1 6 との間の領域については、ソルダーレジスト層 3 2 に覆われていてもよい。

[0074] 本実施形態によれば、第 1 実施形態による効果が得られると共に、壁部 1 6 と基板 3 との間に隙間が生じない構造であるため、第 1 実施形態よりもさらにアンダーフィル 2 が高周波用接続部 1 5 1 と接触することが抑制された半導体装置となる。また、本実施形態では、壁部 1 6 と接続部 1 5 とが同じ構成とされ、同時に形成できるため、製造コストが低減された半導体装置となる効果も期待される。

[0075] (第 2 実施形態の変形例)

第 2 実施形態の変形例について、図 1 0 を参照して説明する。図 1 0 では、図 2 と同様に、構成要素の厚みなどをデフォルメして誇張したものを示すと共に、半導体チップ 1 の一部を省略している。

[0076] 本変形例の半導体装置は、高周波用接続部 1 5 1、壁部 1 6 および他の接続部 1 5 2 が、図 1 0 に示すように、はんだによりなるバンプで構成されている点において上記第 2 実施形態と相違する。

[0077] 本変形例の半導体装置は、半導体チップ 1 のうち高周波用接続部 1 5 1、壁部 1 6 および他の接続部 1 5 2 をはんだによりなるバンプのみで構成する点を除き、上記第 1 実施形態の半導体装置と同じ製造方法により製造されることができる。例えば、図 6 B で説明した下地層 1 5 a および壁部 1 6 の形成の代わりに、はんだによりなるバンプを電解メッキで形成した後、レジスト膜 4 および図示しないシード層を除去し、リフローすることで本変形例において用いられる半導体チップ 1 を用意できる。

[0078] 本変形例によれば、上記第 2 実施形態と同様の効果が得られる半導体装置となる。

[0079] (第 3 実施形態)

第 3 実施形態について、図 1 1、図 1 2 を参照して述べる。図 1 1 では、

図 1 と同様に、半導体チップ 1 および基板 3 の構成要素であって、上面視では見えないものを破線または二点鎖線で示すと共に、構成要素の大きさなどをデフォルメして誇張したものを示している。図 1 1、1 2 では、図 1 と同様に、構成要素の厚みなどをデフォルメして誇張したものを示すと共に、半導体チップ 1 の一部を省略している。

[0080] 本実施形態の半導体装置は、例えば、図 1 1 に示すように、上面視にて、高周波用接続部 1 5 1 を部分的に囲む壁部 1 6 を第 1 壁部 1 6 1 として、素子部 1 7 と該素子部 1 7 を囲む第 2 壁部 1 6 2 とをさらに備える点において、上記第 1 実施形態と相違する。本実施形態では、この相違点について主に説明する。

[0081] 第 2 壁部 1 6 2 は、上面視にて素子部 1 7 を囲む配置とされ、図 1 2 に示すように、第 1 壁部 1 6 1 と同様の構成とされている。第 2 壁部 1 6 2 は、第 1 壁部 1 6 1 と同様に、アンダーフィル材が所定の位置に流れ込むことを遮る壁としての役割を果たす。なお、第 2 壁部 1 6 2 は、素子部 1 7 を囲み、素子部 1 7 がアンダーフィル 2 に覆われることを抑制できればよく、その位置や形状などについては適宜変更される。

[0082] 素子部 1 7 は、図 1 2 に示すように、半導体チップ 1 に形成され、例えば、Micro Electro Mechanical Systems、すなわち MEMS などにより構成され、スイッチやセンサなどとして機能する部位である。素子部 1 7 は、例えば、アクチュエータ、加速度センサ、圧力センサなどとして機能する任意の構成とされ、任意の半導体プロセスにより形成される。素子部 1 7 は、図 1 1 もしくは図 1 2 に示すように、第 2 壁部 1 6 2 により囲まれることで、アンダーフィル 2 から露出している。

[0083] 基板 3 は、本実施形態では、図 1 2 に示すように、半導体チップ 1 のうち素子部 1 7 を含む所定の領域、すなわち第 2 壁部 1 6 2 に囲まれる領域を投影した領域を「素子部投影領域」として、素子部投影領域にスルーホール 3 4 が形成されている。

[0084] スルーホール 3 4 は、図 1 2 に示すように、基材 3 0 の上面 3 0 a とその

反対側の面とを繋ぐ貫通孔であり、素子部 17 が出力した信号などを図示しない外部の電子部品などに伝送するために用いられ、必要に応じて壁面に図示しない電極層が形成される。なお、素子部 17 が圧力センサとして機能する構成とされている場合は、基板 3 のうち素子部投影領域には、スルーホール 34 以外に図示しない貫通孔が形成される。

[0085] なお、基板 3 の素子部投影領域のうちその外郭を含む所定の領域については、アンダーフィル材が素子部投影領域に流れ込むことを抑制する目的で、図 12 に示すように、上面 30a が溶剤レジスト層 32 から露出していることが好ましい。これにより、上記第 1 実施形態での説明と同じ理由で、素子部投影領域のうち基材 30 の上面 30a が露出した部分でアンダーフィル材の濡れ性が悪化し、当該部分における表面張力の作用によりアンダーフィル材の流れ込みが抑制される。

[0086] 本実施形態によれば、第 1 実施形態での効果に加えて、素子部 17 を備えつつも、第 2 壁部 162 によりアンダーフィル 2 と素子部 17 との接触およびこれに伴う動作不良が抑制された半導体装置となる。

[0087] (第 4 実施形態)

第 4 実施形態について、図 13、図 14 を参照して述べる。図 13、図 14 では、後述する溶剤レジスト層 32 およびアンダーフィル 2 の配置を分かり易くするため、断面を示すものではないが、アンダーフィル 2 もしくはアンダーフィル材 2a にハッチングを施している。また、図 13、図 14 では、見易くするために、半導体チップ 1 の外郭および構成要素を破線で示し、上面視にて半導体チップ 1 で隠される部分を実線で示すと共に、構成要素の大きさなどをデフォルメして誇張したものを示している。

[0088] ところで、従来、この種の半導体装置では、アンダーフィル 2 が上面視にて半導体チップ 1 の外郭の外側へはみ出した構成とされることが一般的である。このとき、アンダーフィル 2 は、高周波信号の損失低減の観点から、高周波用接続部 151 に接触しないだけでなく、基板 3 のうち高周波用配線 33 にも接触しないか、もしくは接触したとしてもその部分ができるだけ少な

い配置とされることが好ましい。

[0089] しかしながら、従来、アンダーフィル 2 の半導体チップ 1 からはみ出し量を制御することが難しく、高周波用配線 3 3 にアンダーフィル 2 が広範囲で接触してしまい、高周波信号の損失や半導体装置の高周波特性のバラツキが生じていた。

[0090] そこで、本発明者らは、鋭意検討の結果、上面視にてソルダーレジスト層 3 2 のうち半導体チップ 1 からはみ出す部分の幅を調整し、アンダーフィル 2 が半導体チップ 1 からはみ出す量が制御された本実施形態の半導体装置をなすに至った。以下、アンダーフィル 2 が半導体チップ 1 からはみ出す量を「はみ出し量」と称する。

[0091] 本実施形態の半導体装置は、図 1 3 に示すように、上面視にて、アンダーフィル 2 のはみ出し量がソルダーレジスト層 3 2 に制御された構成とされている点で、上記第 1 実施形態と相違する。本実施形態では、この相違点について主に説明する。

[0092] なお、以下、説明の簡略化のため、図 1 3 に示すように、半導体チップ 1 の端面 1 c のうち高周波用接続部 1 5 1 に隣接するものを「第 1 端面 1 c a」と称し、第 1 端面 1 c a と反対側のものを「第 2 端面 1 c b」と称する。また、図 1 3 に示すように、ソルダーレジスト層 3 2 のうち上面視にて半導体チップ 1 の外郭外側の領域を「はみ出し領域 3 2 a」と称し、はみ出し領域 3 2 a のうちアンダーフィル材が滴下される領域を「滴下領域 3 2 a a」と称する。

[0093] 本実施形態の半導体装置では、ソルダーレジスト層 3 2 は、液状のアンダーフィル材の濡れ性が良好な材料、すなわち親液性の材料で構成されている。ソルダーレジスト層 3 2 は、本実施形態では、図 1 4 に示すように、はみ出し領域 3 2 a のうち上面視にて第 2 端面 1 c b の外郭のなす直線よりも半導体チップ 1 の反対側の領域が、アンダーフィル材が滴下される滴下領域 3 2 a a とされている。

[0094] ソルダーレジスト層 3 2 は、例えば、図 1 4 に示すように、はみ出し領域

3 2 a のうち滴下領域 3 2 a a と異なる部分における幅 L 1 が一定とされている。幅 L 1 は、任意であるが、例えば 0. 2 mm ~ 1 mm 程度とされる。

[0095] なお、ここでいう「はみ出し領域 3 2 a の幅」とは、上面視にて、はみ出し領域 3 2 a が接する半導体チップ 1 の外郭に対して直交する方向における幅を意味する。言い換えると、はみ出し領域 3 2 a の幅とは、半導体チップ 1 の外郭の一辺と、はみ出し領域 3 2 a の外郭のうち該一辺の外側における部分と、の間の領域における幅である。

[0096] このようにはみ出し領域 3 2 a の幅 L 1 を一定にすることにより、図 1 4 に示すように、アンダーフィル材 2 a を滴下して、アンダーフィル材 2 a を半導体チップ 1 の直下に配置する際におけるアンダーフィル材 2 a の過剰なはみ出しを抑制できる。

[0097] 具体的には、滴下領域 3 2 a a に滴下されたアンダーフィル材 2 a は、図 1 4 中の白抜き矢印で示すように、第 2 端面 1 c b 側から第 1 端面 1 c a 側に向かう方向に、毛細管現象により濡れ広がっていく。アンダーフィル材 2 a は、半導体チップ 1 と基板 3 との隙間のうち壁部 1 6 により囲まれた部分以外にまず充填された後、この隙間からはみ出し領域 3 2 a にはみ出し始め、はみ出し始めの際に滴下が中止される。

[0098] このとき、はみ出し領域 3 2 a のうち滴下領域 3 2 a a と異なる領域の幅 L 1 が一定であるため、アンダーフィル材 2 a は、当該異なる領域におけるはみ出しにムラが生じることが抑制される。そして、当該異なる領域においては、アンダーフィル材 2 a は、表面張力の作用で留まると共に、はみ出し領域 3 2 a を超えてその外部まではみ出ることが抑制される。この状態でアンダーフィル材 2 a を加熱硬化することにより、アンダーフィル 2 の半導体チップ 1 の外郭より外側へのはみ出し量が制御された構成の本実施形態の半導体装置となる。

[0099] 本実施形態によれば、上記第 1 実施形態の効果に加えて、アンダーフィル 2 の半導体チップ 1 からはみ出し量が制御されることで、高周波特性のバラツキが抑制された半導体装置となる。

[0100] (第5実施形態)

第5実施形態について、図15を参照して述べる。図15では、ソルダーレジスト層32の配置を分かり易くするため、半導体チップ1を破線で示し、上面視にて半導体チップ1に隠れて見えない部分を実線で示している。

[0101] 本実施形態では、ソルダーレジスト層32は、はみ出し領域32aのうち滴下領域32aaと異なる部分に余白領域321、322が形成されている点において、上記第1実施形態と相違する。

[0102] 余白領域321、322は、アンダーフィル材を滴下領域32aaから半導体チップ1の直下に注入した際に、半導体チップ1の直下の領域に意図しないアンダーフィル2の未充填領域、すなわちボイドが生じることを抑制する役割を果たす。

[0103] ここで、アンダーフィル材の注入の際に、はみ出し領域32aにもアンダーフィル材が回り込み、かつこの回り込みのアンダーフィル材のほうが半導体チップ1の直下の領域よりも早く濡れ広がることがある。この場合、上面視にて、はみ出し領域32aで濡れ広がったアンダーフィル材が半導体チップ1の外郭領域付近で半導体チップ1を取り囲み、半導体チップ1の直下の領域に空気が閉じ込められてしまうことで、ボイドが生じてしまう。このようなボイドが生じた場合、ボイドは、温度変化などによりアンダーフィル2や接続部15などにクラックが発生する起点となり、不具合の原因となり得る。

[0104] しかしながら、はみ出し領域32aへのアンダーフィル材の回り込みが生じた場合でも、回り込んだアンダーフィル材が余分に濡れ広がる余白領域321、322が存在することで、アンダーフィル材の濡れ広がる速度を相対的に遅くすることができる。これにより、半導体チップ1の直下の領域でのアンダーフィル材の濡れ広がりが、はみ出し領域32aにおけるアンダーフィル材の濡れ広がりよりも先に完了し、ボイドが生じることが抑制される。

[0105] なお、本実施形態では、余白領域321は、例えば、図15に示すように、一つの長形状とされている。余白領域322は、例えば、図15に示す

ように、長方形の突起が複数備える櫛歯形状とされている。ただ、余白領域 3 2 1、3 2 2 は、アンダーフィル材がはみ出し領域 3 2 a に回り込んだ際にその回り込んだアンダーフィル材の濡れ広がり速度を遅くできればよく、数、配置および形状などについては任意である。この手法は、仮に壁部 1 6 を有さない他の半導体チップを用いた場合には、他の半導体チップとこれが搭載される基板との間をすべてアンダーフィル材で充填し、ボイドを抑制するのに有効である。

[0106] 本実施形態によれば、上記第 1 実施形態の効果に加えて、半導体チップ 1 と基板 3 との隙間において意図しないボイドが生じることが抑制される半導体装置となる。

[0107] (第 6 実施形態)

第 6 実施形態について、図 1 6、図 1 7 を参照して述べる。図 1 6 では、ソルダーレジスト層 3 2 の配置や構成を分かり易くするため、断面を示すものではないが、ソルダーレジスト層 3 2 にハッチングを施している。また、図 1 6 では、見易くするために、半導体チップ 1 を破線で示し、上面視にて半導体チップ 1 で隠される部分を実線で示すと共に、ソルダーレジスト層 3 2 よりも外側の領域を省略している。

[0108] 本実施形態の半導体装置は、図 1 6 に示すように、アンダーフィル 2 のはみ出し量が基板 3 の上面 3 0 a のうちソルダーレジスト層 3 2 から露出した領域によって制御された構成とされている点で、上記第 1 実施形態と相違する。本実施形態では、この相違点について主に説明する。

[0109] ソルダーレジスト層 3 2 は、本実施形態では、例えば、図 1 6 に示すように、上面視にて、半導体チップ 1 を囲む略四角形枠体状とされ、基材 3 0 のうち該ソルダーレジスト層 3 2 に囲まれた部分よりもアンダーフィル材の濡れ性が悪い状態とされている。これは、アンダーフィル材の注入時に、上面視にて、半導体チップ 1 の外郭からはみ出したアンダーフィル材がソルダーレジスト層 3 2 を乗り越えて、さらに外側へ濡れ広がることを抑制するためである。

- [0110] なお、必要に応じて、基材30の上面30aのうちソルダーレジスト層32に囲まれた部分にアンダーフィル材の濡れ性が向上する任意の親液処理を施してもよいし、ソルダーレジスト層32に任意の撥液処理を施してもよい。また、基材30とソルダーレジスト層32とを構成する材料の選定によって、アンダーフィル材の濡れ性の相対的な良し悪しを調整してもよい。
- [0111] アンダーフィル2は、本実施形態では、例えば、図16に示すように、基板3のうちソルダーレジスト層32の内郭により囲まれた領域30bを「レジスト内郭領域30b」として、レジスト内郭領域30bを覆うように配置されている。アンダーフィル2は、図16もしくは図17に示すように、ソルダーレジスト層32から露出したレジスト内郭領域30bに配置され、半導体チップ1と基板3との隙間のうち高周波用接続部151を含む所定の領域と異なる領域を覆っている。
- [0112] 以下、説明の簡略化のため、図16に示すように、レジスト内郭領域30bのうちアンダーフィル2に覆われると共に、半導体チップ1の外郭からはみ出した領域を「はみ出し領域30ba」と称する。また、はみ出し領域30baのうちアンダーフィル材を滴下する領域を「滴下領域30bb」と称する。
- [0113] ここで、図16に示すように、はみ出し領域30baのうち滴下領域30bbと異なる領域における幅をL2として、幅L2は上記第4実施形態と同様に、一定とされている。これは、上記第4実施形態と同様に、アンダーフィル2の半導体チップ1の外郭外側へのはみ出し量を制御するためである。
- [0114] なお、ここでいう「はみ出し領域30baの幅」とは、上面視にて、はみ出し領域30baが接する半導体チップ1の外郭に対して直交する方向における幅を意味する。
- [0115] 本実施形態によれば、上記第1実施形態に加えて、アンダーフィル2の半導体チップ1からのはみ出し量が制御されることで、高周波特性のバラツキが抑制された半導体装置となる。
- [0116] (第7実施形態)

第7実施形態について、図18を参照して述べる。図18では、図17と同様の目的で、半導体チップ1を破線で示し、上面視にて半導体チップ1で隠される部分を実線で示すと共に、ソルダーレジスト層32よりも外側の領域を省略している。

[0117] 本実施形態の半導体装置は、図18に示すように、アンダーフィル2のはみ出し量が基板3の上面30aのうちソルダーレジスト層32に囲まれると共に、ソルダーレジスト層32から露出したレジスト内郭領域30bによって制御される構成とされている。また、本実施形態の半導体装置では、レジスト内郭領域30bは、余白領域30bc、30bdを備える。本実施形態の半導体装置は、これらの点で上記第1実施形態と相違する。本実施形態では、この相違点について主に説明する。

[0118] レジスト内郭領域30bは、上記第6実施形態と同様に、ソルダーレジスト層32よりもアンダーフィル材の濡れ性が良好な領域とされ、本実施形態では、図18に示すように、余白領域30bc、30bdを有してなる。

[0119] 余白領域30bc、30bdは、上記第5実施形態における余白領域321、322と同様に、アンダーフィル材の注入時に、半導体チップ1の直下の領域に意図しないボイドが生じることを抑制する役割を果たす。

[0120] なお、本実施形態では、余白領域30bcは、例えば、図18に示すように、一つの長形状とされている。余白領域30bdは、例えば、図18に示すように、長形状の突起が複数備える櫛歯形状とされている。ただ、余白領域30bc、30bdは、アンダーフィル材がはみ出し領域30baに回り込んだ際にその回り込んだアンダーフィル材の濡れ広がり速度を遅くできればよく、数、配置および形状などについては任意である。

[0121] 本実施形態によれば、上記第1実施形態の効果に加えて、半導体チップ1と基板3との隙間において意図しないボイドが生じることが抑制される半導体装置となる。

[0122] (他の実施形態)

なお、上記した各実施形態に示した半導体装置は、本開示の半導体装置の

一例を示したものであり、上記の各実施形態に限定されるものではなく、適宜変更が可能である。

[0123] (1) 例えば、上記各実施形態では、基板3のうち壁部16の直下である壁直下部が第2のランド312およびソルダーレジスト層32の一部で構成されている例について説明した。ただ、壁直下部は、壁部16とのギャップ G_1 がギャップ G_0 の10%以下となればよく、図19に示すように、第2のランド312のみで構成されていてもよい。また、第2のランド312は、ランドとしての形態だけでなく、配線の形態とされてもよい。さらに、壁直下部は、図20に示すように、ソルダーレジスト層32の一部のみで構成されていてもよい。

[0124] (2) 上記第1実施形態では、アンダーフィル2を樹脂材料のみにより構成した例について説明したが、アンダーフィル2は、図21に示すように、 SiO_2 などの絶縁性材料によりなるフィラー21を含んだ構成とされてもよい。この場合、フィラー21は、図21に示すように、その粒径が壁部16と基板3とのギャップ G_1 よりも大きいものが用いられることが好ましい。

[0125] これにより、図21に示すように、壁部16と基板3との隙間の外側でフィラー21が詰まり、壁部16と基板3との隙間へのアンダーフィル材の進入量が抑さえられることで、高周波用接続部151にアンダーフィル2が接触することを防止する効果がより高まる。そのため、高周波信号の損失をより低減できる半導体装置となる。

[0126] なお、フィラー21の粒径とは、例えば、平均粒径分布における算術平均径をいう。フィラー21は、壁部16と基板3との隙間よりも大きい粒径のものが所定の量以上に含まれていればよく、壁部16と基板3との隙間よりも小さい粒径のものを含んでいてもよい。

[0127] (3) 上記各実施形態では、壁部16が高周波用接続部151を部分的、かつ連続的に取り囲む形状とされた例について説明したが、図22に示すように、高周波用接続部151を断続的に取り囲む形状とされてもよい。この場合、上面視にて隣接する壁部16同士の隙間は、毛細管現象が生じつつ、

アンダーフィル材が容易に通過できない程度とされていればよい。

[0128] (4) 上記各実施形態では、高周波用配線 33 がアンダーフィル 2 から露出した構造とされた例について説明したが、他にも高周波用配線 33 までアンダーフィル材が進入することを抑制するものを備えた半導体装置とされてもよい。例えば、基板 3 のうち高周波用配線 33 の周囲の領域に、液状のアンダーフィル材の進行を遮る凸部や凹部などが形成されていてもよい。

[0129] (5) 上記各実施形態では、半導体チップ 1 が WLCSP とされた半導体装置の構造例について説明したが、図 23 に示すように、半導体チップ 1 が、インターポーザ基板 19 を有し、この他面 19b に壁部 16 が形成された構造とされていてもよい。

[0130] 例えば、この場合、半導体チップ 1 は、図 23 に示すように、シリコンチップ 18 と、一面 19a および他面 19b を有するインターポーザ基板 19 と、を有してなる。

[0131] シリコンチップ 18 は、上記第 1 実施形態と同様に、WLCSP であり、図示しないベアチップ、端子、絶縁層および再配線層並びに接続部 181 を有する構成とされ、通常の半導体プロセスにより製造される。シリコンチップ 18 は、はんだや Cu などの任意の導電性材料によりなる接続部 181 を介して、インターポーザ基板 19 の一面 19a 側に接続されている。

[0132] インターポーザ基板 19 は、例えば、主としてエポキシ樹脂などの絶縁性材料によりなる基材を有してなり、図 23 に示すように、他面 19b 側に接続部 191 と壁部 16 が形成された構成とされる。インターポーザ基板 19 は、図示しない配線およびスルーホールが形成されており、一面 19a 側に形成された図示しない配線と接続部 191 とが電氣的に接続されている。

[0133] つまり、この場合、接続部 191 は、上記各実施形態における接続部 15 に相当し、その一部が高周波信号の伝送に用いられる。そして、接続部 191 と壁部 16 との配置関係は、上記各実施形態における接続部 15 と壁部 16 との配置関係と同様とされる。すなわち、接続部 191 のうち高周波信号の伝送に用いられるものは、壁部 16 によって部分的に囲まれることで、ア

ンダーフィル 2 から露出する。

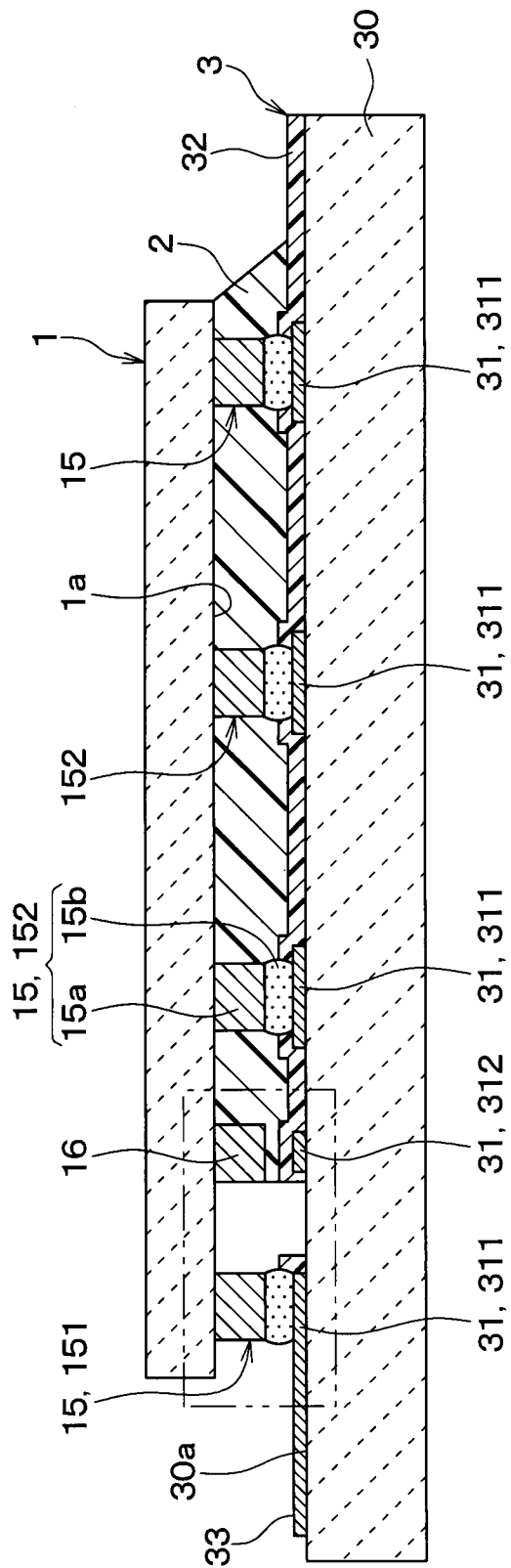
- [0134] なお、シリコンチップ 18 とインターポーザ基板 19 との間には、アンダーフィル 2 と同じまたは別の図示しない充填材が配置されていてもよい。上記各実施形態において、半導体チップ 1 が上記の構造とされた場合であっても、上記各実施形態と同様の効果が得られる。

請求の範囲

- [請求項1] 半導体装置であって、
- 一面（1 a）を有し、複数の接続部（1 5）を前記一面側に備える半導体チップ（1）と、
- 前記接続部を介して前記半導体チップが搭載される基板（3）と、
- 前記半導体チップと前記基板との隙間に配置されるアンダーフィル（2）と、を備え、
- 前記接続部の一部は、高周波を伝送する高周波用接続部（1 5 1）であり、
- 前記一面に対する法線方向から見て、前記高周波用接続部と他の前記接続部との間には壁部（1 6）が配置され、
- 前記壁部は、前記法線方向から見て、該高周波用接続部と他の前記接続部とを区画しており、
- 前記高周波用接続部は、前記アンダーフィルから露出しており、
- 複数の前記接続部のうち前記高周波用接続部と異なる前記接続部は、前記アンダーフィルにより覆われている半導体装置。
- [請求項2] 前記壁部は、前記半導体チップの前記一面側に形成されている請求項1に記載の半導体装置。
- [請求項3] 前記高周波用接続部は、前記法線方向から見て前記半導体チップのうち最も外周側に配置されている請求項1または2に記載の半導体装置。
- [請求項4] 前記半導体チップの前記一面側には、素子部（1 7）がさらに形成されており、
- 前記素子部は、前記法線方向から見て、前記壁部を第1壁部（1 6 1）として、第2壁部（1 6 2）に囲まれていると共に、前記アンダーフィルから露出しており、
- 前記第2壁部は、前記半導体チップの前記一面側に形成されている請求項1ないし3のいずれか1つに記載の半導体装置。

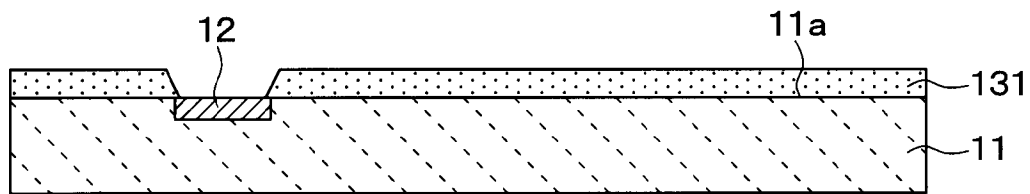
- [請求項5] 前記壁部は、複数の前記接続部のうちグラウンド電位に接続される壁状のグラウンド接続部（152a）で構成されている請求項1ないし4のいずれか1つに記載の半導体装置。
- [請求項6] 前記壁部は、複数の前記接続部とは異なるものである請求項1ないし4のいずれか1つに記載の半導体装置。
- [請求項7] 前記基板は、前記高周波用接続部と電氣的に接続された高周波用配線（33）をさらに有し、
 前記高周波用配線は、前記アンダーフィルから露出している請求項1ないし6のいずれか1つに記載の半導体装置。

[図2]

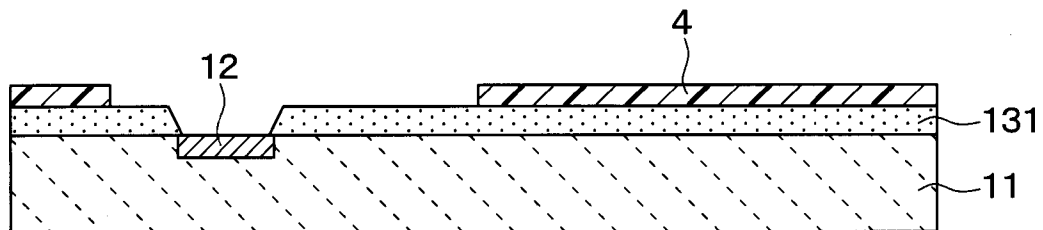


A cross-sectional view of a substrate 11. The substrate is a rectangular block with diagonal hatching. A small rectangular protrusion 12 is located on the top surface of the substrate. The top surface of the substrate is labeled 11a.

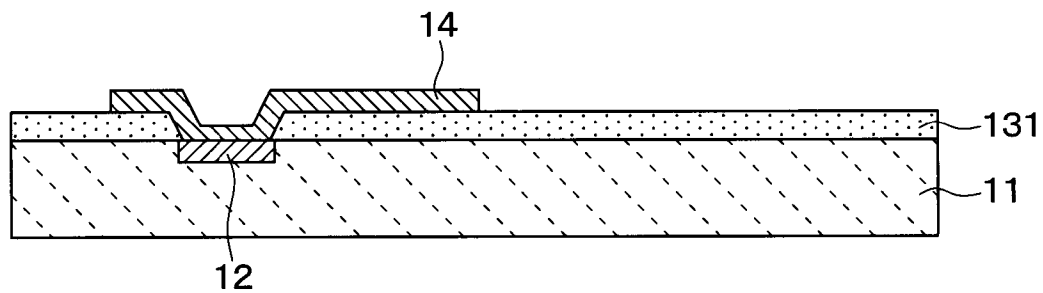
[図5B]



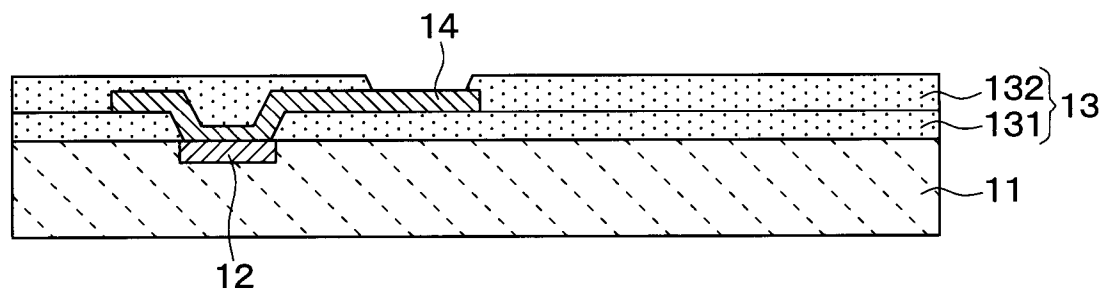
[図5C]



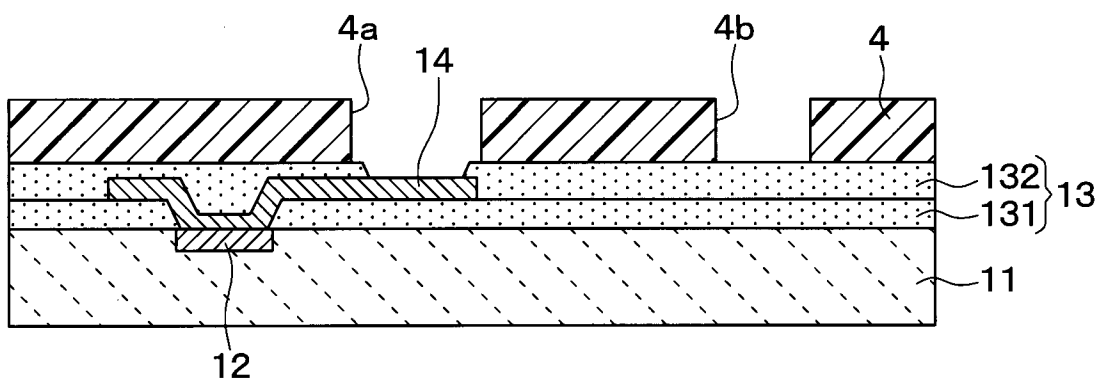
[図5D]



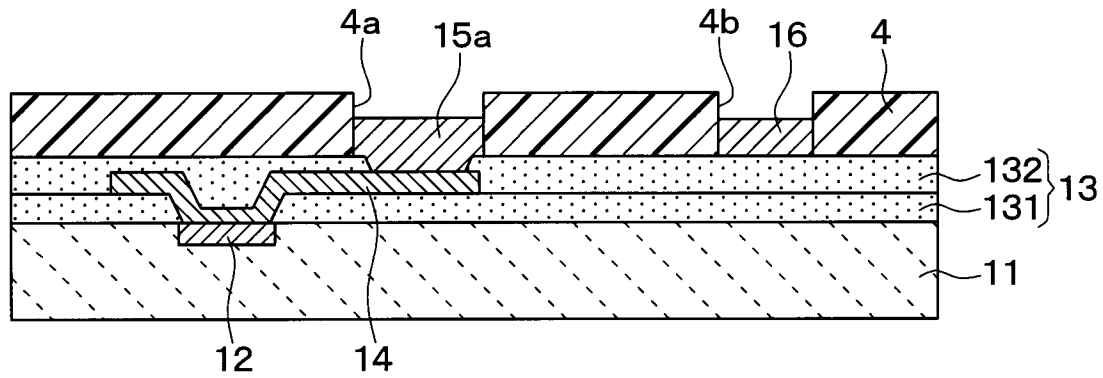
[図5E]



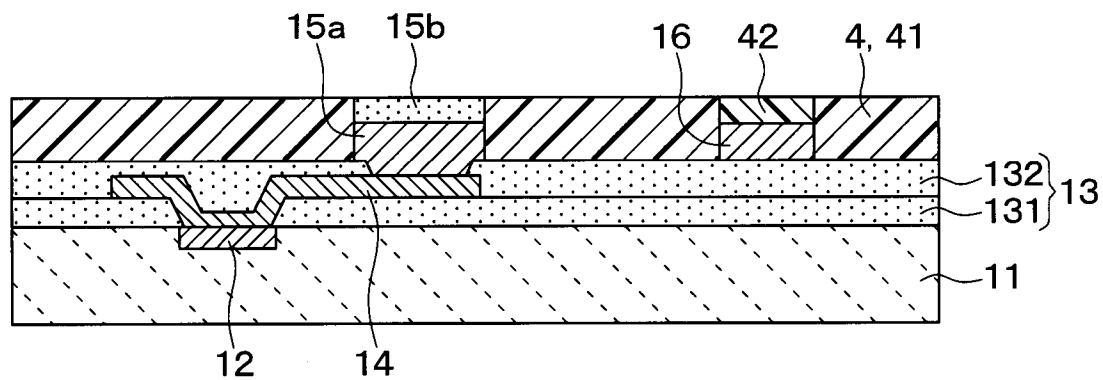
[図6A]



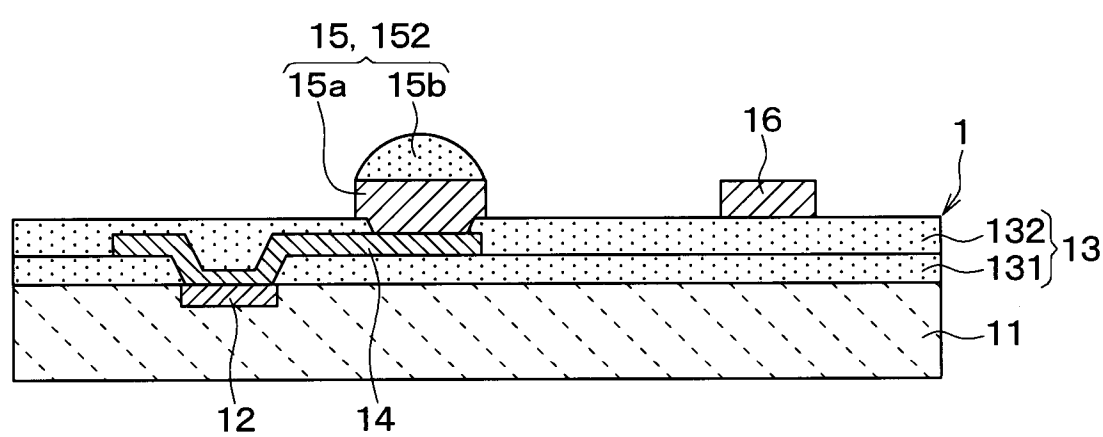
[図6B]



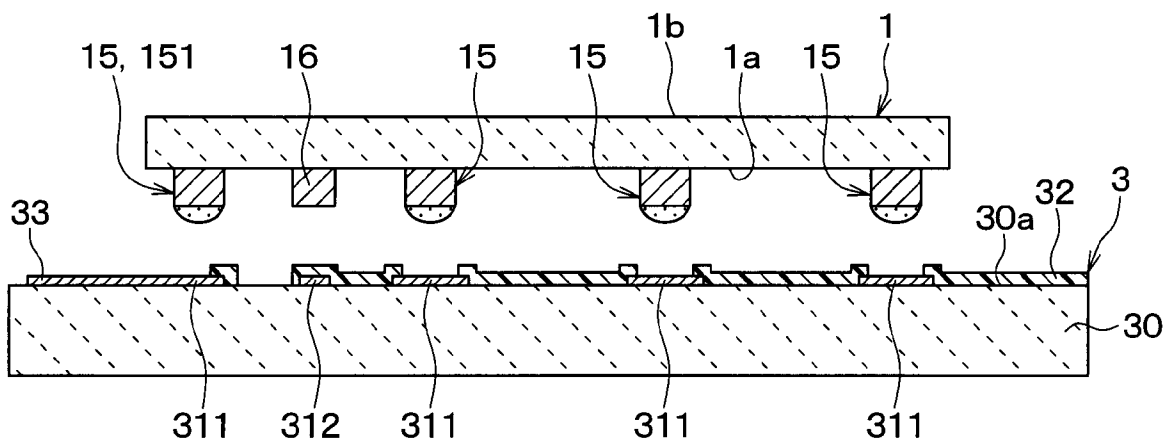
[図6C]



[図6D]

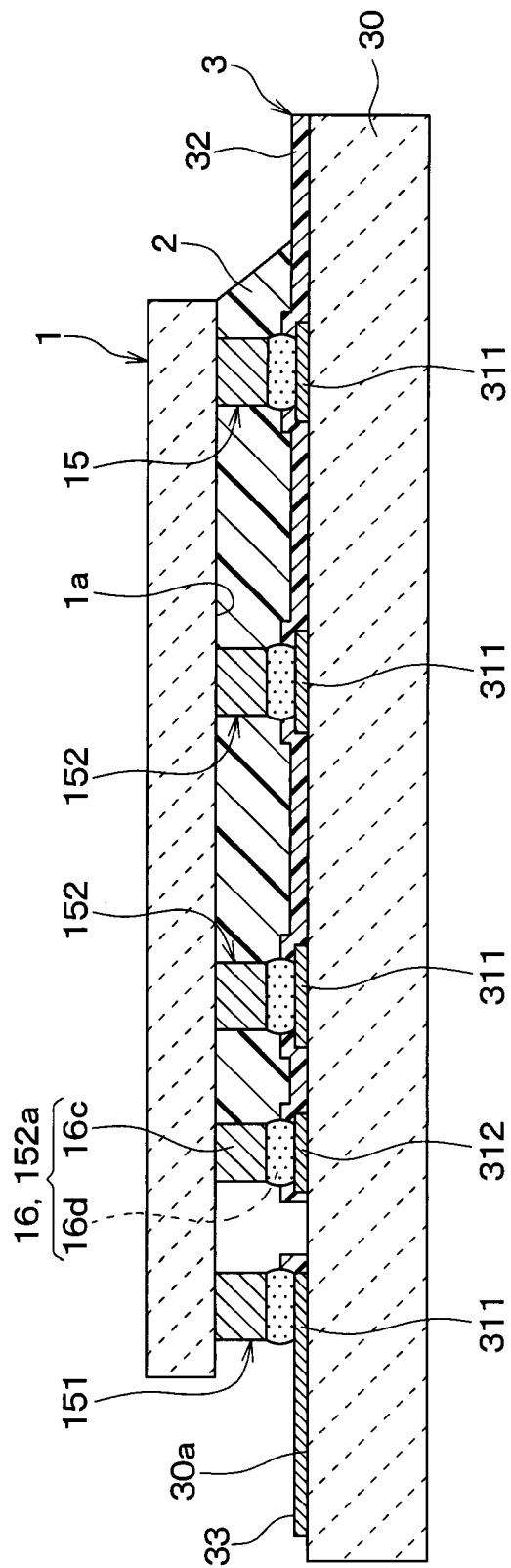


[図7A]

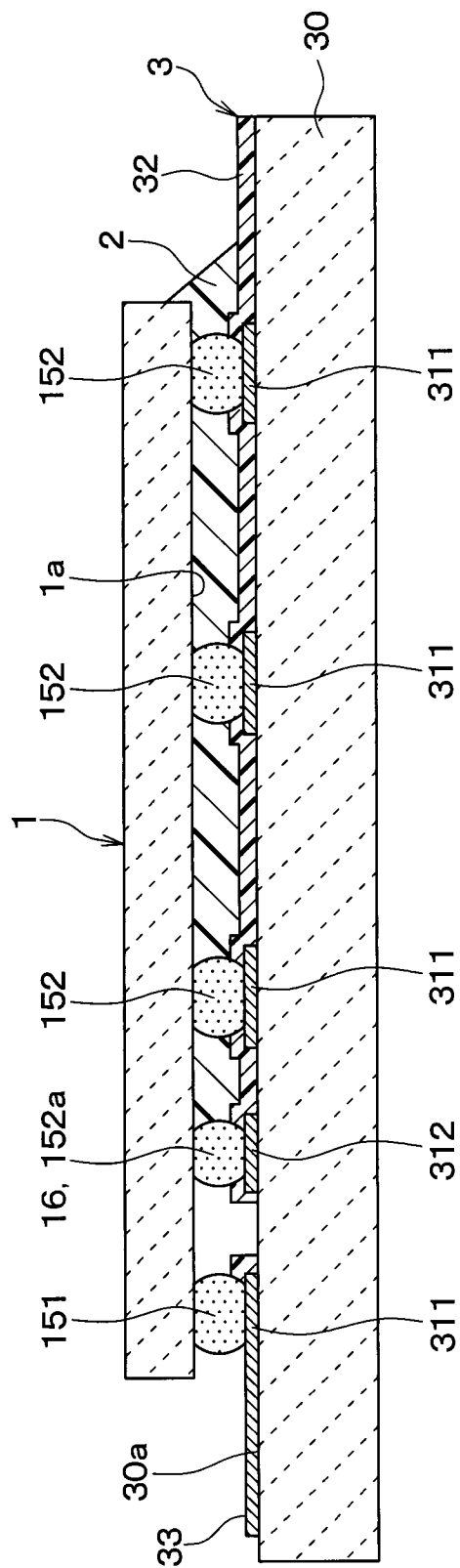


[illegible]

[図9]

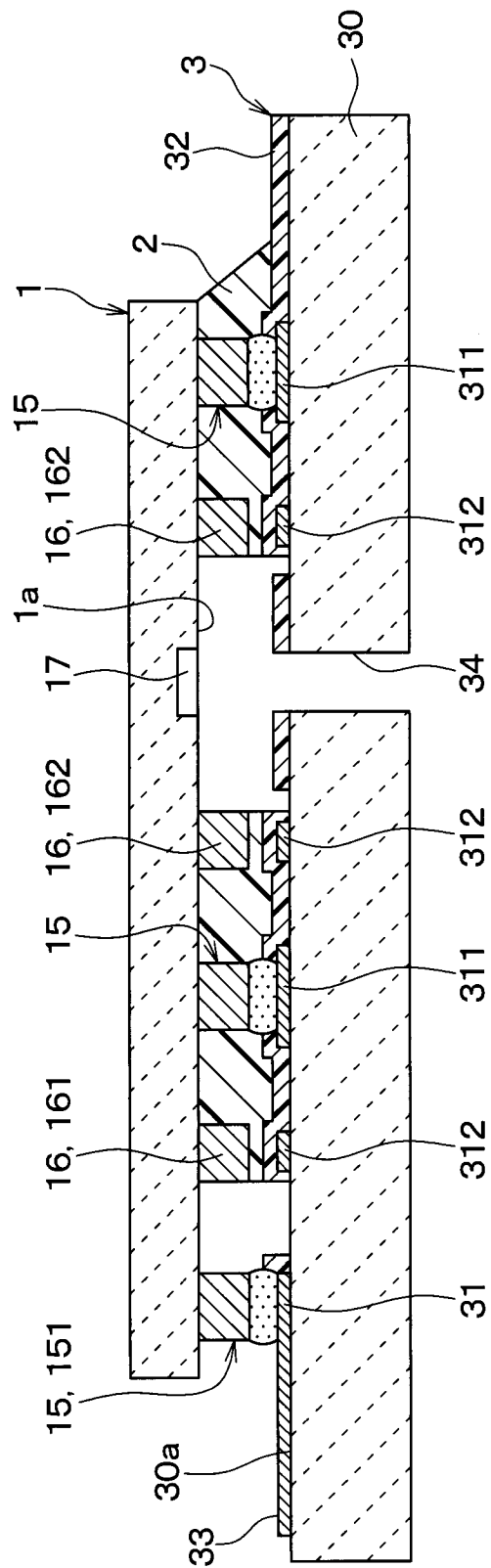


[図10]

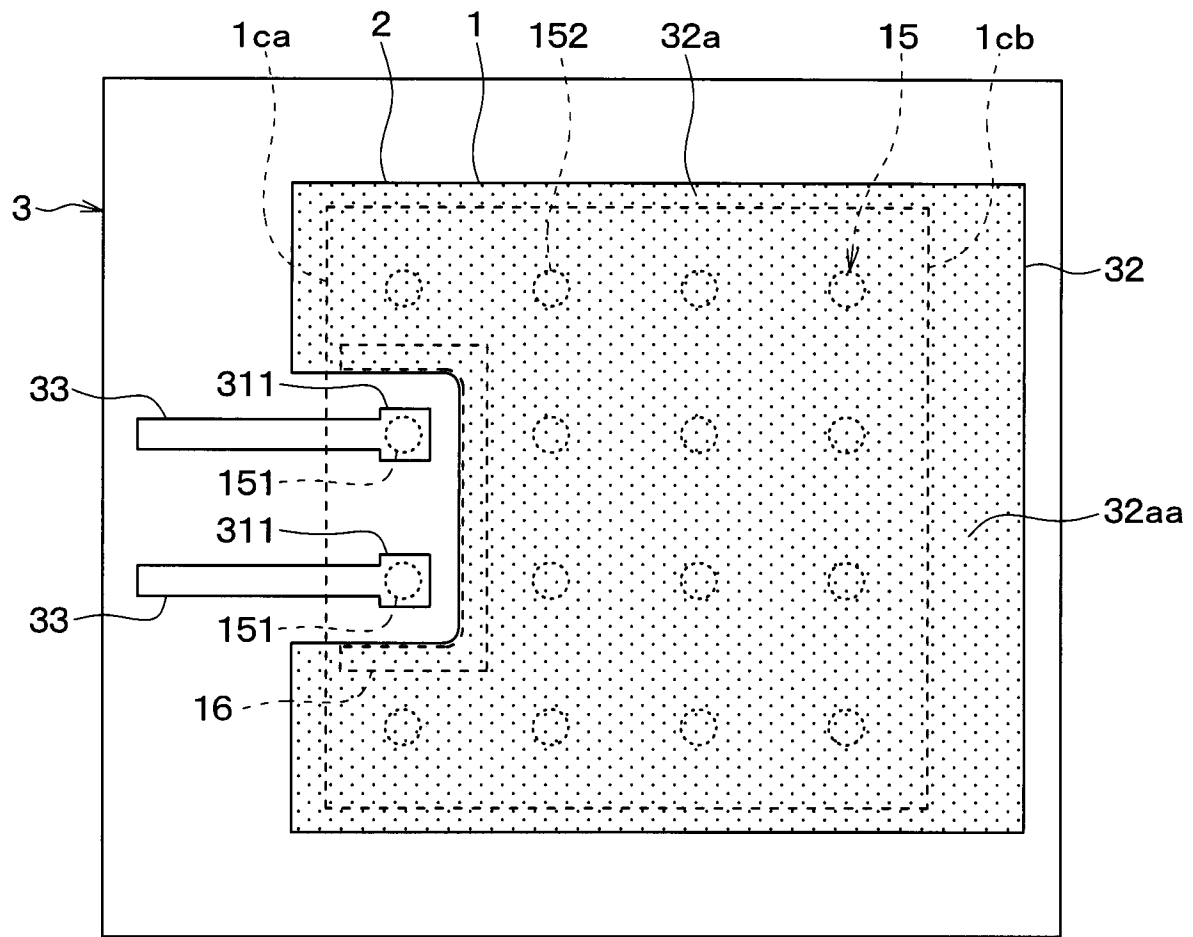


Top view of a device 100. The device includes a grid of circular features 152 and 162. A central square region 151 is defined by dashed lines. A rectangular region 161 is also indicated. A dashed line XII-XII represents a cross-section line through the device.

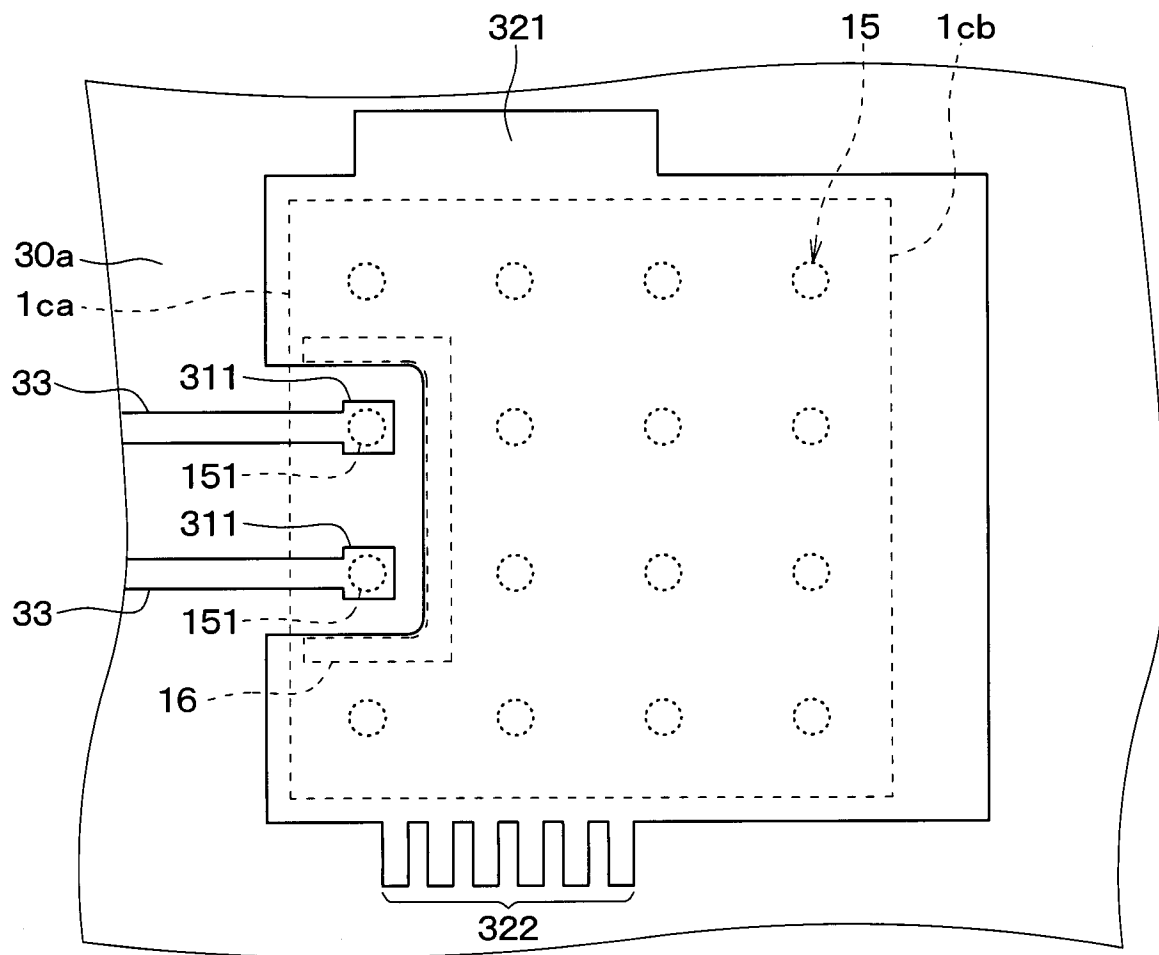
[図12]



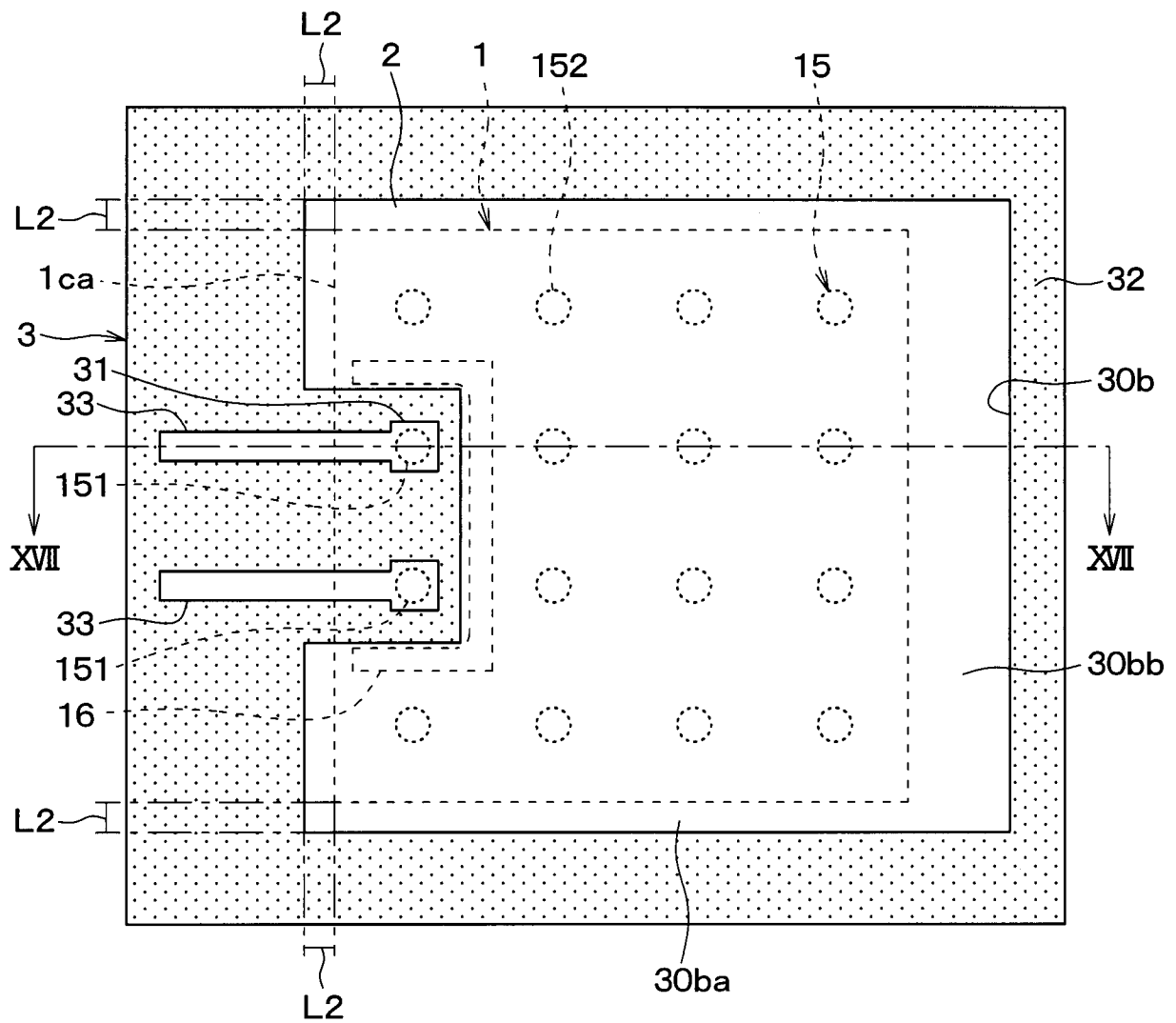
[図13]



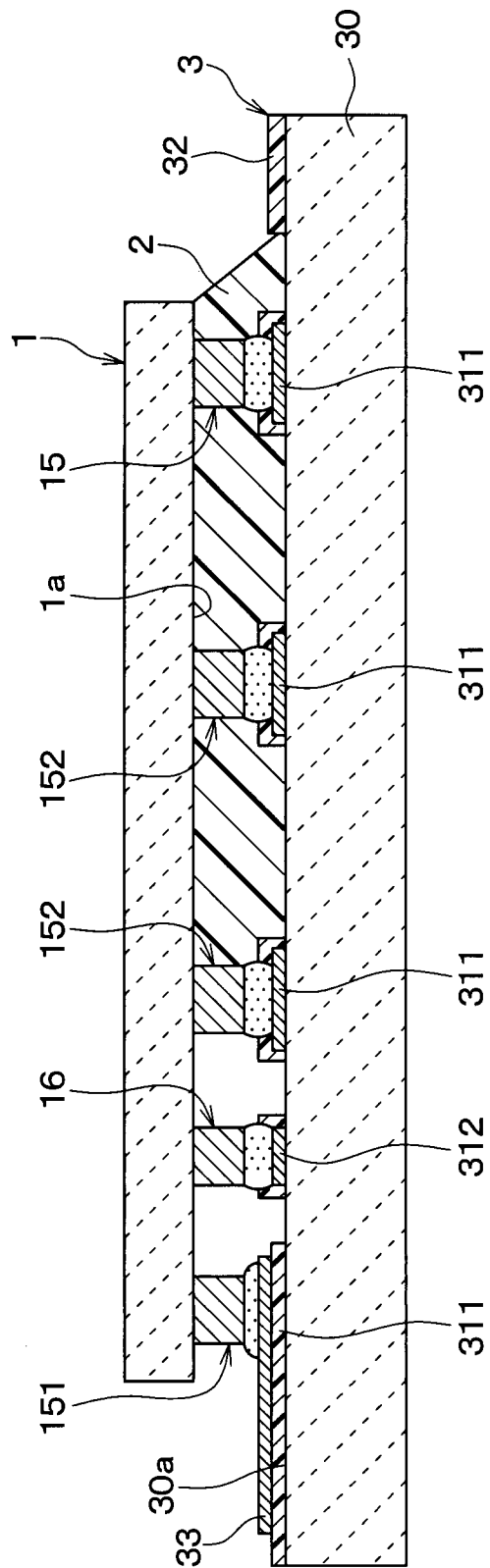
[図15]



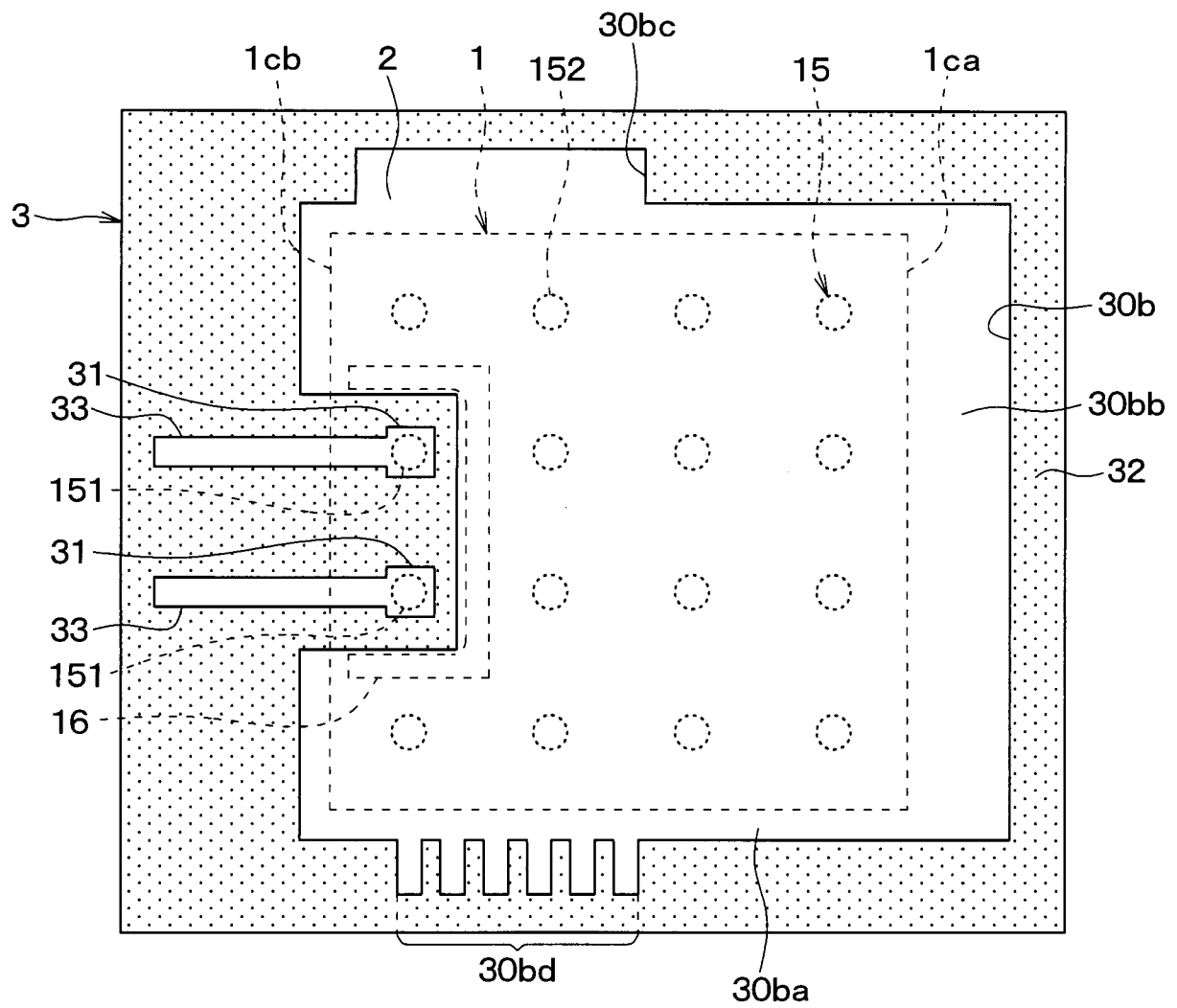
[図16]



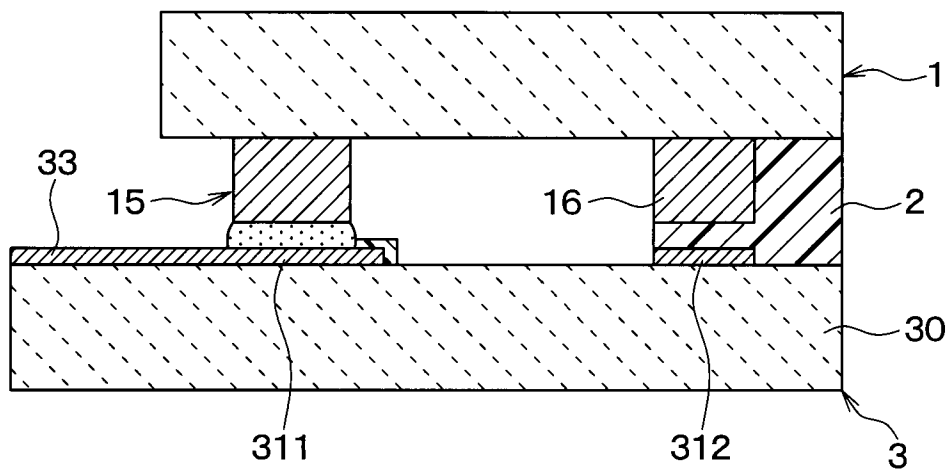
[図17]



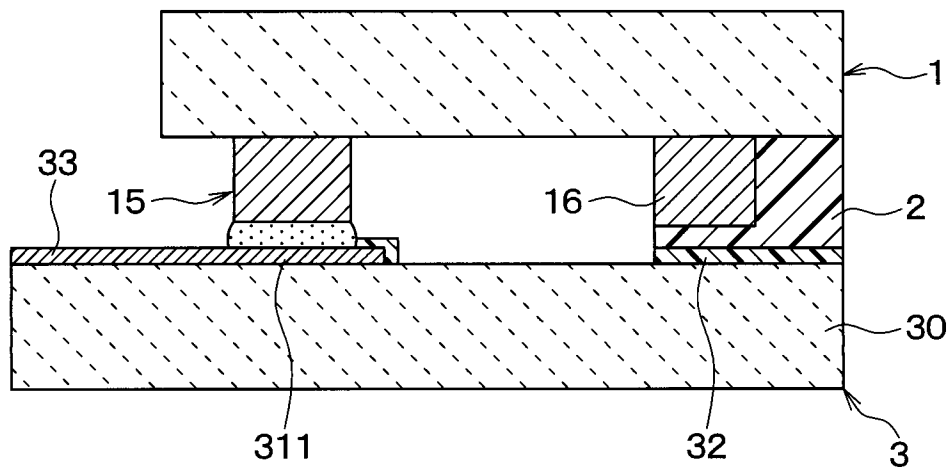
[図18]



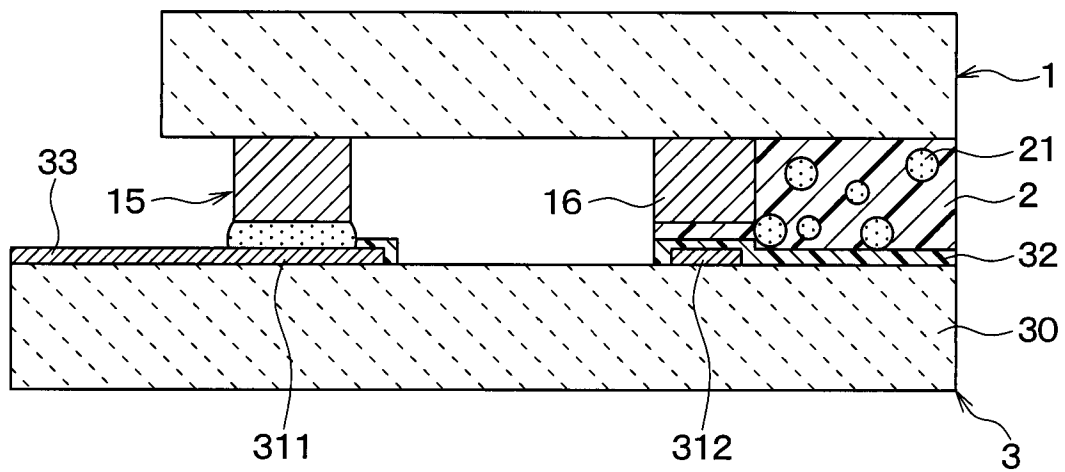
[図19]



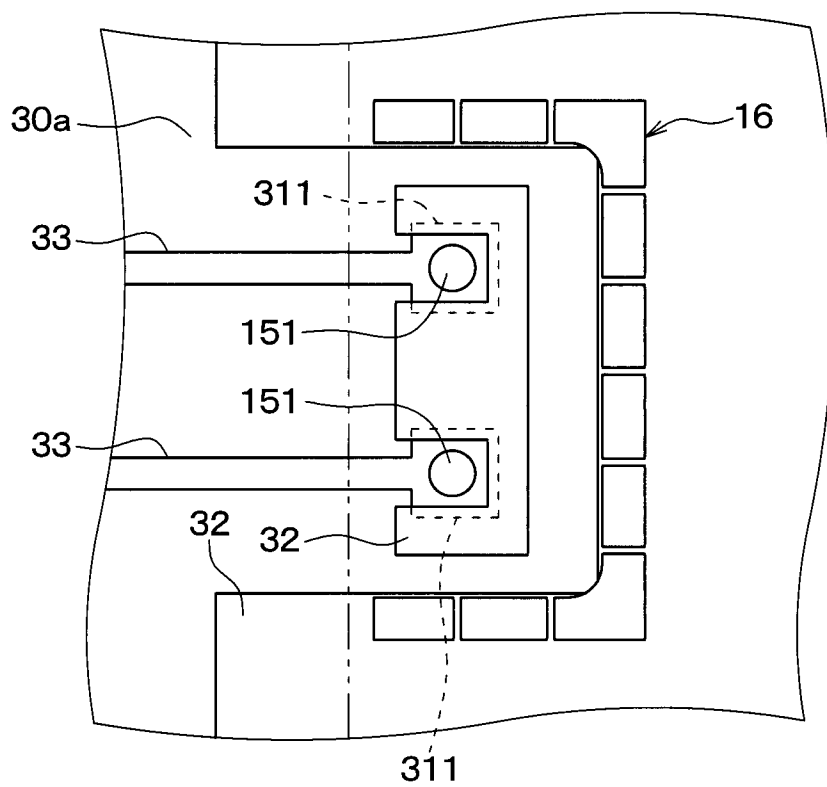
[図20]



[図21]



[図22]



This cross-sectional diagram illustrates a multi-layered semiconductor device. The main body consists of several stacked layers: a top layer labeled 16, followed by a layer containing repeating patterns of 311 and 312, then a layer with 191 and 19b, and finally a bottom layer 30. A central vertical stack includes a core layer 2, surrounded by regions 32 and 3. On the left side, there are additional structures: a layer 181 above a series of circular features 19a, which are situated on a base 19. A bracket labeled 1 groups the 181 and 19 regions. At the very bottom left, a small rectangular feature 30a is shown adjacent to a layer 33.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/011947

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L23/12 (2006.01) i, H01L21/60 (2006.01) i, H01L23/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L23/12, H01L21/60, H01L23/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-344672 A (FUJITSU LTD.) 21 December 2006,	1-2, 5
Y	paragraphs [0013]-[0023], fig. 1-3 (Family: none)	4, 6
A		3, 7
Y	JP 2000-269384 A (NEC CORP.) 29 September 2000,	4, 6
	paragraphs [0010]-[0012], fig. 1 (Family: none)	
Y	JP 2017-98349 A (NEW JAPAN RADIO CO., LTD.) 01	4, 6
	June 2017, paragraphs [0013]-[0020], fig. 1-4	
	(Family: none)	
Y	JP 5-55303 A (TOSHIBA CORP.) 05 March 1993,	4, 6
	paragraphs [0019]-[0035], fig. 1, 2 (Family: none)	



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
08.05.2019

Date of mailing of the international search report
21.05.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/011947

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-204293 A (ROHM CO., LTD.) 22 July 1994, paragraphs [0011]-[0016], fig. 1-3 (Family: none)	4, 6
A	JP 2006-287962 A (MITSUBISHI ELECTRIC CORP.) 19 October 2006, paragraph [0023], fig. 4 (Family: none)	1-7
A	JP 2016-12704 A (INTERNATIONAL BUSINESS MACHINES CORPORATION) 21 January 2016, paragraphs [0030]-[0049], fig. 1-3 & US 2015/0380813 A1, paragraphs [0037]-[0056], fig. 1-3	1-7
A	JP 2007-518379 A (RAYTHEON SYSTEMS COMPANY) 05 July 2007, paragraphs [0017]-[0019], fig. 6 & US 2005/0151215 A1, paragraphs [0026]-[0028], fig. 6 & WO 2005/069430 A2 & KR 10-2006-0109982 A	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L23/12(2006.01)i, H01L21/60(2006.01)i, H01L23/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L23/12, H01L21/60, H01L23/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2006-344672 A（富士通株式会社）2006.12.21, 段落[0013]-[0023], 図1-3（ファミリーなし）	1-2, 5 4, 6 3, 7
Y	JP 2000-269384 A（日本電気株式会社）2000.09.29, 段落[0010]-[0012], 図1（ファミリーなし）	4, 6
Y	JP 2017-98349 A（新日本無線株式会社）2017.06.01, 段落[0013]-[0020], 図1-4（ファミリーなし）	4, 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.05.2019

国際調査報告の発送日

21.05.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

土谷 慎吾

5 F

3143

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 5-55303 A (株式会社東芝) 1993. 03. 05, 段落[0019]-[0035], 図 1, 2 (ファミリーなし)	4, 6
Y	JP 6-204293 A (ローム株式会社) 1994. 07. 22, 段落[0011]-[0016], 図 1-3 (ファミリーなし)	4, 6
A	JP 2006-287962 A (三菱電機株式会社) 2006. 10. 19, 段落[0023], 図 4 (ファミリーなし)	1-7
A	JP 2016-12704 A (インターナショナル・ビジネス・マシーンズ・コ ーポレーション) 2016. 01. 21, 段落[0030]-[0049], 図 1-3 & US 2015/0380813 A1, 段落[0037]-[0056], 図 1-3	1-7
A	JP 2007-518379 A (レイセオン・カンパニー) 2007. 07. 05, 段落[0017]-[0019], 図 6 & US 2005/0151215 A1, 段落[0026]-[0028], 図 6 & WO 2005/069430 A2 & KR 10-2006-0109982 A	1-7