

(此處由本局於收
文時黏貼條碼)

97年7月27日 正替換頁

P122

852465

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：96118202

※申請日期：96年05月22日

※IPC分類：G06F 13/00 (2006.01)

一、發明名稱：

G06F 13/42 (2006.01)

(中) 建立串聯互連裝置之裝置識別號之設備及方法

(英) Apparatus and method for establishing device identifiers for
serially interconnected devices

二、申請人：(共 1 人)

1. 姓名：(中) 摩賽德科技股份有限公司

(英) MOSAID TECHNOLOGIES INCORPORATED

代表人：(中) 1. 麥克 維拉迪斯可

(英) 1. VLADESCU, MICHAEL B.

地址：(中) 加拿大安大略省渥太華漢斯路 1 1 號 2 0 3 室

(英) 11 Hines Road, Suite 203, Ottawa, Ontario K2K 2X1, Canada

國籍：(中英) 加拿大 CANADA

三、發明人：(共 3 人)

1. 姓名：(中) 潘弘柏

(英) PYEON, HONG BEOM

國籍：(中) 加拿大

(英) CANADA

2. 姓名：(中) 吳學俊

(英) OH, HAKJUNE

國籍：(中) 加拿大

(英) CANADA

3. 姓名：(中) 金鎮祺

(英) KIM, JIN-KI

國籍：(中) 加拿大

(英) CANADA

97.7.27日修 正替換頁

852465

四、聲明事項：

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國 ; 2006/05/23 ; 60/802,645 ☒ 有主張優先權

五、中文發明摘要

發明之名稱：建立串聯互連裝置之裝置識別號之設備及方法

一種操作串聯互連配置中的多個裝置以建立每一裝置的裝置識別號(ID)之方法或設備。輸入訊號經由串聯互連而傳送至使用複數個輸入的第一裝置，複數個輸入也由第一裝置使用以將其它資訊輸入至其(例如資料、命令、控制訊號)。產生電路產生裝置識別號以回應輸入訊號。傳送電路接著經由第一裝置的串列輸出而傳送與裝置識別號相關連的輸出訊號給第二裝置。串列輸出也會由第一裝置使用以輸出其它資訊(例如訊號、資料)給串聯互連配置中的另一裝置。

識別號產生器，用於產生裝置識別號以回應在該裝置的串列輸入收到的輸入訊號，以及與時脈同步地經由該裝置的串列輸出來輸出與產生的裝置識別號相關連的輸出訊號。

六、英文發明摘要

發明之名稱：

APPARATUS AND METHOD FOR ESTABLISHING DEVICE IDENTIFIERS FOR SERIALLY INTERCONNECTED DEVICES

A method or apparatus operates a multitude of devices in a serial interconnection configuration to establish a device identifier (ID) for each device. An input signal is transmitted through a serial interconnection to a first device using inputs that are also used by the first device to input other information thereto (e.g., data, commands, control signals). A generating circuit generates a device ID in response to the input signal. A transfer circuit then transfers an output signal associated with the device ID to a second device through a serial output of the first device. The serial output is also used by the first device to output other information (e.g., signals, data) to another device in the serial interconnection configuration.

七、指定代表圖：

(一)、本案指定代表圖為：第 (5A) 圖

(二)、本代表圖之元件代表符號簡單說明：

501：時脈產生器，502：命令暫存器，
 503：命令解譯器，
 504：輸入裝置號暫存器，
 505：ID 比較器，506：ID 產生賦能區，
 507：ID 產生控制器，508：加法器，
 509：並列－串列資料寫入產生器，
 510：並列對串列暫存器，511S：選取器，
 512：資料偏移時脈產生器，
 513：移位暫存器區，
 516：ID 暫存器，517：ID 寫入暫存器，
 518：ID 暫存器，600：ID 產生器。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

(1)

九、發明說明

【發明所屬之技術領域】

本發明大體上關於半導體裝置系統。更特別地，本發明關於與用於裝置的串聯互連配置之訊號同步地建立裝置識別號之設備及方法。

【先前技術】

今日，很多地方都可發現電腦為基礎的系統並已進入很多每天使用的裝置中，例如行動電話、手提電腦、汽車、醫療裝置、個人電腦、等等。一般而言，社會已很依賴電腦為基礎的系統以處理日常工作，例如收支簿等簡單工作至例如預測天氣等相當複雜工作。隨著技術的進步，越來越多工作移至電腦為基礎的系統。接著，這將使得社會變成越來越依賴這些系統。

典型的電腦為基礎的系統包括系統主機板及選加的一或更多週邊裝置，例如顯示器及碟片單元。系統主機板通常含有一或更多處理器、記憶體子系統及其它電路，例如串列裝置介面、網路裝置控制器及硬碟控制器。

特定的主機板系統上所採用的處理器型式通常視系統所執行的工作型式而定。舉例而言，執行有限的工作組之系統，例如監視汽車引擎所產生的排氣及調整空氣／燃料混合物以確保引擎完全燃燒燃料，可以使用特製執行這些工作之簡單專用的處理器。另一方面，執行例如管理很多使用者及執行很多不同的運用等很多不同工作的系統可以

(2)

採用一或更多複雜的本質上通用的處理器，這些處理器配置成執行高速計算及處理資料以使服務使用者請求的響應時間最小化。

記憶體子系統係固持處理器所使用的資訊（例如，指令、資料值）之儲存器。記憶體子系統典型上包括控制器電路及一或更多記憶體裝置。控制器電路通常配置成使記憶體裝置與處理器相交介以及使處理器對記憶體裝置儲存及取還資訊。記憶體裝置固持真實資訊。

類似於處理器，記憶體子系統中所採用的裝置型式通常是由電腦系統所執行的工作型式所決定。舉例而言，電腦系統可以在無碟片驅動器輔助下必須開機以及執行通常不會改變的軟體常式組。此處，記憶體子系統可以採用非揮發性裝置，例如快閃記憶體裝置，以儲存軟體常式。其它的電腦系統可以執行很複雜的工作，這些工作要求大量高速資料儲存，以固持大部份的資訊。此處，記憶體子系統可以採用高速高密度動態隨機存取記憶體 (DRAM) 裝置以儲存資訊。

由於快閃記憶體裝置良好地適用於要求非揮發性儲存等不同的嵌入式應用，所以，對於這些裝置需求持續顯著地成長。舉例而言，快閃記憶體廣泛地用於不同的消費裝置，例如數位相機、行動電話、USB 快閃裝置及可攜式音樂播放器，以儲存由這些裝置所使用的資料。市場對於快閃記憶體的需求，以往幾年造成快閃記憶體在速度及密度等技術上大幅改進。這些改進造成快閃記憶體為基礎的裝

(3)

置有一天可以在一直使用硬碟作大量儲存的應用中取代硬碟。

某些快閃裝置採用串列介面，例如多個快閃裝置，它們被用以對包含於裝置中的記憶體執行例如讀取、寫入及抹除等操作。這些操作典型上會在使用串列地饋送至這些裝置的命令串之裝置上被選取。命令串典型上含有代表要被選取的操作之命令、以及其它參數。舉例而言，藉由串列地饋送資訊串給含有寫入命令、要被寫入的資料及資料要被寫入的記憶體中的位址之裝置，可以選取寫入操作。

即使命令僅可以在這些裝置之一上執行，命令串仍然可以被饋送至所有這些裝置。

爲了選取要執行命令的裝置，命令串可以含有裝置識別號 (ID)，辨識命令被導向的快閃裝置。接收命令串的每一裝置會比較包含在命令串中的裝置 ID 以及與裝置相關連的 ID。假使二者相符，則裝置會假定令是要導向該裝置並執行該命令。

與上述配置相關的問題牽涉到建立用於每一裝置的裝置 ID。用以建立用於裝置的裝置 ID 之一技術是將內部獨特裝置 ID 實體配線至該裝置。但是，與此方式相關的缺點是假使要製造大量的裝置時，裝置 ID 的尺寸必須相當大以確保每一裝置含有獨特的裝置 ID。管理大尺寸的裝置 ID 會使裝置顯著複雜化，因而增加製造裝置的成本。此外，重新主張與不再使用的裝置相關連的裝置 ID 會增加此設計的複雜性。

(4)

將裝置 ID 指定給裝置的另一方式是牽涉到對每一裝置外部地實體接線裝置 ID。此處，藉由將裝置上的不同接腳接線以指定裝置 ID 至某些狀態，以建立用於裝置的裝置 ID。裝置會讀取接腳的接線狀態並從讀取的狀態建立其 ID。但是，此方式的一缺點係外部接線需要為每一裝置指定裝置 ID。這會增加保持記憶體裝置之例如印刷電路板 (PCB) 的複雜度。與此方式有關的另一缺點係其要求接腳專用於裝置 ID 的指定。這會消耗珍貴的資源，否則這些資源可以被更佳地使用。此外，比起接腳未被用以指定裝置 ID 之情形，用於裝置 ID 的指定之專用接腳對於裝置而言會需要更大的工作面積。

用以解決上述先前技術的限制之解決之道之一，係對裝置自動地建立裝置識別號 (ID)，舉例而言，在串聯互連配置中，以不會要求特別的內部或外部裝置 ID 實體接線之方式，對裝置自動地建立裝置識別號 (ID)。此技術教示於 2006 年 9 月 15 日申請之相關的美國專利申請號 11/521,734 中，其教示此處一併列入參考。簡而言之，該技術根據單晶片、多點通訊、或串聯互連的裝置配置，使得輸入埠賦能 (IPE) 訊號的角色能夠改變。在相關操作期間，串列輸入 (SI) 及串列輸出 (SO) 功能可以傳送及接收所有的資料型式，而無時序限制。也不需要增加的接腳或接腳功能從主接腳定義改變。此 ID 產生及指定技術視鏈結埠的數目所決定之可取得的接腳數目而定。因此，舉例而言，在多重獨立串聯鏈結 (MISL) 中，對於單一埠而言，所

(5)

支援的最多數目的裝置為八個裝置。在雙埠的情形中，最大數目的裝置為 64 個（亦即，三個接腳用於一個埠）。

【發明內容】

揭示建立串聯互連裝置配置的裝置識別號之設備及方法。舉例而言，裝置可以為記憶體裝置，例如動態隨機存取記憶體 (DRAM)、靜態隨機存取記憶體及快閃記憶體。此串聯連接可以以多重獨立串聯鏈結 (MISL) 實施。

技術的多種態樣使得識別號能夠被指定給裝置，但不需要為達此目的而在裝置上增加實體接腳。使用功能及時序定義，每一裝置的識別號會由含有例如加法器等相關的組合邏輯之裝置自動地產生。

在第一態樣中，本發明提供設備，以在具有多個裝置的串聯互連配置中，建立用於裝置之裝置識別號 (ID)。設備包括 ID 產生器，用於回應裝置的串列輸入處所收到的輸入訊號而產生裝置 ID，以及與時脈同步地經由裝置的串列輸出，輸出與所產生的裝置 ID 相關連之輸出訊號。

在一實施例中，在裝置處收到的輸入訊號包含與裝置的裝置 ID 相關連之值，以及，與輸出訊號相關連的產生的裝置 ID 包含與串聯互連配置中的另一裝置的裝置 ID 相關連的值。

在另一實施例中，裝置收到的輸入訊號包含與串聯互連配置中先前裝置的裝置 ID 相關連的值，以及，與輸出訊號相關連的產生的裝置 ID 包含與串聯互連配置的裝置

(6)

的裝置 ID 相關連的值。

在又一實施例中，ID 產生器包括：ID 計算器，用於製造 N 位元 ID 以及根據 N 位元 ID 及預定的數目 N，產生計算值，N 係一或大於一的整數；及 ID 提供器，用於根據計算值以提供裝置 ID。

舉例而言，ID 計算器執行將 1 加至 N 位元 ID 的計算，以及，將相加結果作為 N 位元 ID。或者，從 N 位元 ID 減一以執行計算，並將相減結果作為 N 位元 ID。

技術也提供設備，以對裝置產生裝置識別號，該裝置耦合至串聯互連配置中的多個裝置之一。裝置具有用於儲存資料的至少一個胞、用於接收串列輸入資料的串列輸入連接、以及用於提供串列輸出資料的串列輸出連接。設備包括輸入暫存電路，用於暫存包含於串列輸入資料中的串列 N 位元 ID 資料，以及用於將暫存的 N 位元 ID 資料當作並列的 N 位元資料提供，N 係一或大於一的整數；計算電路，根據並列的 N 位元 ID 資料及給定的數目資料，執行計算，以提供 N 位元計算資料；以及，並列－串列電路，用於將 N 位元計算資料當作並列的 N 位元計算資料暫存，以及，將暫存的並列 N 位元計算資料當作串列的 N 位元計算資料提供，串列的 N 位元資料被傳送至包含於耦合至另一裝置的另一產生設備中的輸入暫存電路。

舉例而言，裝置可以是具有計算電路的記憶裝置，計算電路具有電路，用於將給定的數目資料加至並列的 N 位元 ID 資料或是將給定的數目資料從並列的 N 位元資料

(7)

減掉以產生新的 ID。

舉例而言，加法電路或減法電路可以包含 N 位元加法器或減法器，執行平行加法或減法。平行相加或相減的資料會被饋送給 N 位元並列對串列暫存器，其接著提供串列 ID 資料，串列 ID 資料被傳送給另一記憶裝置。

設備可以包含選擇器，選擇串列的 N 位元資料要傳送給耦合至另一記憶裝置的另一產生設備，以回應 ID 產生賦能訊號。ID 產生賦能訊號可以根據包含於串列輸入資料中的命令而產生。根據 ID 產生賦能訊號的狀態，選擇器可以選擇從胞導出的資料，胞係用於儲存資料於記憶裝置中及傳送資料給其它記憶裝置。

在又一態樣中，本發明提供配置在具有多個裝置的串聯互連配置中的裝置，裝置包括裝置識別號 (ID) 建立器，用以建立用於裝置的裝置 ID。裝置 ID 建立器包含 ID 產生器，用以產生裝置 ID，以回應裝置的串列輸入處所收到的輸入訊號；以及，與時脈同步地經由裝置的串列輸出來輸出與產生的裝置 ID 相關連的輸出訊號。

在另一態樣中，本發明提供多個裝置的串聯互連配置。每一裝置包括：串列輸入及串列輸出，用以分別地接收輸入訊號及傳送輸出訊號；時脈輸入，用以接收時脈訊號；及裝置識別號 (ID) 建立器，用以建立用於裝置的裝置 ID，裝置 ID 建立器具有 ID 產生器，用以產生裝置 ID 以回應裝置的串列輸入處所收到的輸入訊號，以及，與時脈同步地經由裝置的串列輸出，輸出與產生的裝置 ID 相關

(8)

連的輸出訊號。

在又另一態樣中，本發明提供方法，用以建立具有眾多裝置的串列互連配置中的裝置之裝置識別號(ID)。方法包括：產生裝置 ID 以回應串列輸入訊號；以及，經由裝置的串列輸出，輸出與裝置 ID 相關連的訊號。產生及傳送係與時脈同步。

在配合附圖，閱讀下述本發明的具體實施例之說明後，習於此技藝者，顯然清楚本發明的其它態樣及特點。

【實施方式】

一般而言，本發明提供包含一些串聯互連配置的裝置之系統。揭示建立裝置的串聯互連配置之裝置識別號的設備及方法。此串聯互連可以以多重串獨立串聯鏈結(MISL)實施。

根據此處所述的技術之方法及設備可以應用至具有串聯互連的多個裝置之記憶體系統。舉例而言，裝置可為例如動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)及快閃記憶體等記憶裝置。

在傳統的記憶裝置中，典型上使用增加的以造成例如(0000)、(0001)、...、(1111)等邏輯組合，以執行接腳 ID 指定。以此方式指定 ID 典型上意指指定應強制涵蓋連接。

施加至記憶裝置的序列化命令及資料能夠使得較少的接腳被採用以執行與裝置相關連的不同功能。使用與裝置

(9)

相關連之串列輸入賦能及輸出賦能訊號埠，可以執行對特定記憶裝置的 ID 指定。此處，一些與裝置 ID 有關的數目可以被串列地傳送至每一裝置以及增量一。無須產生複雜的時序。進入時序及離去時序可以用於裝置的 ID 寫入操作。

一般而言，本發明的多種態樣提供建立配置在具有多個裝置的串聯互連配置中的裝置之裝置識別號的方法及裝置控制器，裝置控制器包括：ID 產生器，用於產生與第一裝置相關連的裝置 ID，以回應在第一裝置的串列輸入收到的輸入訊號，以及，與時脈訊號同步地，經由第一裝置的串列輸出，傳送與裝置 ID 相關連的輸出訊號給串聯互連配置中的第二裝置。將於下詳述。

將參考圖式，說明本發明的實施例。在下述說明中，相同的符號將用於訊號及輸入和輸出連接。舉例而言，參考符號 CLK 代表時脈訊號及時脈輸入連接；IPE 代表輸入埠賦能訊號及裝置的輸入埠賦能輸入連接；OPE 代表輸出賦能訊號及裝置的輸出埠賦能連接；CS#代表晶片選取訊號及晶片選取輸入連接；IPEQ 代表裝置的輸入埠賦能輸出連接及輸入埠賦能輸出訊號；及 OPEQ 代表裝置的輸出埠賦能輸出連接及輸出賦能輸出訊號。

圖 1A 顯示舉例說明的裝置配置，其包含以具有用於不同訊號的輸入及輸出的串聯互連配置而配置的多個單一埠裝置。在此特別實施例中，裝置配置包含四個裝置 0、1、2、及 3（110-1、110-2、110-3、及 110-4）。每一互

(10)

聯裝置 110-1 - 110-4 具有相同的結構。記憶體控制器(未顯示)提供含有晶片選取 CS#、串列輸入(SI)、輸入埠賦能(IPE)、輸出埠賦能(OPE)、時脈 CLK、及其它提供給裝置的控制及資料資訊(未顯示)之訊號組。記憶體系統包含這些裝置的此串聯互連配置及用於控制串聯互連裝置的操作之記憶體控制器。

圖 1B 顯示一裝置 110-i，代表顯示於圖 1A 中的裝置 110-1 - 110-4。裝置 110-i 包含裝置控制器 130 及記憶體 120，舉例而言，記憶體 120 包括隨機存取記憶體或快閃記憶體。舉例而言，隨機存取記憶體可以為動態隨機存取記憶體(DRAM)、靜態隨機存取記憶體(SRAM)、及磁阻隨機存取記憶體(MRAM)，快閃記憶體可以為 NAND 型、NOR 型、AND 型、及其它型式的快閃記憶體。裝置控制器 130 具有裝置識別號(ID)產生器 140。裝置 110i 具有串列輸入(SIP)埠連接、串列輸出埠(SOP)連接、晶片選取輸入(CS#)、及時脈輸入(CLK)。SIP 用以傳送資訊(例如命令、位址及資料資訊)至裝置 110-i。SOP 用以從裝置 110-i 傳送資訊。CLK 輸入接收時脈訊號。CS #輸入接收晶片選取訊號 CS#，其會同時地在所有裝置賦能操作。裝置控制器 130 執行接取記憶體 120 之不同控制及處理功能以回應輸入訊號(例如 SI、IPE、OPE、CLK)，以及提供串列輸出資料給下一裝置 110-(i+1)。

參考圖 1A 及 1B，SIP 及 SOP 連接於串聯互連配置中的裝置之間，以致於串聯互連中的先前裝置 110-(i-1)的

(11)

SOP 耦合至串聯互連中的裝置 110-i 的 SIP。舉例而言，裝置 1，110-1 的 SOP 耦合至裝置 2，110-2 的 SIP。四個裝置 110-1 -- 110-4 的每一裝置的 CLK 輸入會從記憶體控制器(未顯示)被饋以時脈訊號 CLK。時脈訊號 CLK 會經由共同鏈結以分送給所有裝置。如同下述進一步說明般，時脈訊號 CLK 尤其用以將輸入至裝置包含 110-i 的資訊佇鎖在包含於其中的不同暫存器中。CS#輸入是傳統的晶片選取輸入，用於選取裝置。CS #輸入耦合至共同鏈結，共同鏈結可以使晶片選取訊號 CS#能夠由所有裝置 110-1 - 110-4 同時地主張擁有，結果可以選取所有裝置。

此外，裝置 110-i 具有輸入埠賦能(IPE)、輸出埠賦能(OPE)輸入、輸入埠賦能輸出(IPEQ)、及輸出埠賦能輸出(OPEQ)。IPE 被用以將輸入埠賦能訊號 IPE_i 輸入至裝置 110-i。訊號 IPE_i 由裝置使用以使 SIP 賦能，以致於當 IPE 被主張時，資訊會經由 SIP 串列地輸入至裝置 110-i。同樣地，OPE 被用以將輸入埠賦能訊號 OPE_i 輸入至裝置 110-i。OPE_i 訊號由裝置使用以使 SOP 賦能，以致於當 OPE 被主張時，資訊會經由 SOP 從裝置 110-i 串列地輸出。IPEQ 及 OPEQ 分別為從裝置 110-i 輸出 IPEQ_i 及 OPEQ_i 訊號的輸出。CS #及 CLK 輸入耦合至分別的鏈結，這些分別的鏈結分別將晶片選取訊號 CS#及時脈訊號 CLK 分送至如上所述的四個裝置 110-1 - 110-4。

SIP 及 SOP 會從如上所述的串聯互連配置的前一裝置 110(i-1)耦合至下一裝置 110-(i+1)。此外，前一裝置 110-

(12)

(i-1)的 IPEQ 及 OPEQ 輸出分別耦合至串聯互連配置中的目前裝置 110-i 的 IPE 及 OPE。此配置允許 IPE 及 OPE 訊號從串聯互連配置中的一裝置傳送至下一裝置(例如裝置 0, 110-1 至裝置 1, 110-2)。傳送至裝置 110-1 - 110-4 的資訊可以在饋送給 CLK 輸入的時脈訊號 CLK 的不同時間被佇鎖。舉例而言, 在單倍速資料率(SDR)實施中, 在 SIP 輸入至裝置 110-i 的資訊可以在時脈訊號 CLK 的上升或下降邊緣時被佇鎖。或者, 在雙倍速資料率(DDR)實施中, 時脈訊號 CLK 的上升及下降邊緣可以被用以將資訊輸入佇鎖在 SIP。

圖 1A 中的裝置 110-1 - 110-4 的配置包含串聯互連(例如輸入 SI 及輸出 SO)及傳統的多點連接(例如 CLK 及 CS #)。如此, 配置可以稱為串聯互連與多點配置的混合, 可以實現每一者的缺點。

ID 產生器 140 產生 ID 以建立用於串聯互連配置中的裝置之裝置 ID。

圖 2A 及 2B 顯示串聯互連配置的三個裝置 210-1—210-3 以及顯示裝置之間傳送的訊號之時序附圖。晶片選取訊號 CS#(未顯示)首先被主張以選取裝置。藉由主張 IPE 以及在時脈訊號 CLK 的連續上升邊緣對進入裝置 210-1 的資料計時, 以將資訊傳送至串聯互連中的第一裝置 210-1。如同訊號 IPE_0 所示般, 輸入埠賦能訊號 IPE 會以小於一個週期的時間被傳送經過第一裝置 210-1 至第二裝置 210-2。在資訊被計時進入第一裝置 210-1 之後,

(13)

此傳送使得資訊能夠以一個週期從第一裝置 210-1 的 SOP 計時至第二裝置 210-2 的 SIP 輸入。對串聯互連中的連續裝置重覆此處理。舉例而言，在第一裝置 210-1 資料佇鎖點開始的時脈訊號 CLK 的第三上升邊緣，資訊會被輸入至串聯互連中的第三裝置 210-3。控制訊號 IPE₀、IPE₁、IPE₂ 與訊號 CLK 的上升邊緣同步以在串聯互連配置中的下一裝置確保用於這些訊號的適當設定時間。

圖 3A 及 4A 顯示舉例說明的用以分別產生單一或雙鏈結的串聯互連配置中記憶裝置的裝置識別號之操作。圖 3A 顯示單一鏈結配置中連接的裝置 310-1 --、310-m 及 310-n，圖 3B 顯示用於圖 3A 中所示的裝置之訊號時序。同樣地，圖 4A 顯示雙鏈結配置中連接的裝置 410-1 --、410-m 及 410-n，圖 4B 顯示用於圖 4A 中所示的裝置之訊號時序。此處，n 是大於一的整數，而 m 是 (n-1)。在圖 3A 及 4A 中所示的特別實施例，每一裝置包含具有類似於圖 1B 的 ID 產生器之裝置控制器。

此舉例說明的操作使用串聯互連的二個輸入 SIP 及 SOP 輸入以產生裝置 ID，以及，可以與串聯互連中的其它埠一起使用，其中，第一輸入接收串列輸入及第二埠接收控制訊號。ID 產生技術不限於 MISL 應用，假使串聯連接（例如菊鏈）系統具有時脈，也可以應用至任何具有多個現有輸入接腳的串聯互連配置（例如，顯示串接連接）。

在本實施例中，IPE 具有根據 1 位元組單元以捕捉串

(14)

列輸入串的功能，以致於在晶片選取訊號 CS#再度為低之後，選擇 OPE 以佇鎖串列 ID 輸入流。藉由「write ID entry」命令，OPE 捕捉輸入流，輸入流由與 ID 位元總數相同的週期組成。ID 位元是由內部 ID 暫存器的大小所建立。舉例而言，假使裝置具有 12 位元 ID 暫存器，則 OPE 將在 12 個週期期間保持「高位準」狀態。12 位元裝置 ID 允許串聯互連中最多 4,096 個位址。如此，本實施例可以在串聯互連配置中容納大數目的裝置，此數目不受限於每一裝置的接腳數目。此外，每一裝置不需要增加內部固線式裝置 ID 的複雜度。

在圖 3B 及 4B 中，稱為「IDGMS」的 ID 產生模式設定週期是等同於預先界定的時脈週期之時間間隔，預先設定的時脈週期相當於 ID 位元長度+8 週期(命令位元長度)+假定的串聯互連裝置的數目。

對於 OPE 輸入與 OPEQ 輸出或 op1 與 op2 之間的訊號傳輸，應該有二個週期以上的非重疊時間區，以避免因 ID 增量及資料傳送至相鄰的下一裝置所造成的操作爭奪。OPE 在每一裝置 310-1—310-n 被主張之後，被佇鎖的 ID 輸入資料會被儲存於裝置的 ID 暫存器（例如，圖 5A 中的代號 516）中，以及，在主張 OPEQ 輸出之前執行具有此輸入的增量操作。OPE 訊號的功能是決定進入每一記憶裝置中從 1 位元至 ID 暫存器的定義位元的最大數目之 ID 數目。在 ID 位元的數目與 ID 暫存器的定義位元的數目相等（固定的 ID 位元）的情形中，ID 位元的次序是

(15)

無關的。但是，在所有其它情形中，對應於裝置 ID 的訊號應依序被傳送至下一裝置，從最低效位元（LSB）開始及在最高效位元（MSB）結束，其理由將於下說明。

圖 5A 及 5B 顯示配置於串聯互連中的裝置 110-i 的內部之裝置控制器 500 的 ID 產生相關連之舉例說明的邏輯 110-i。時脈產生器 501 接收饋送至裝置的 CLK 輸入的時脈訊號以及提供包含「Clk_cmd」及「Clk_dn」的內部時脈訊號。命令時脈「clk_cmd」被主張等於命令串列位元的位元長度之時間。如圖 6 所示，舉例而言，假使記憶體系統具有 1 位元組單元的命令，則 clk_cmd 需要 8 個時脈週期以佇鎖串列命令位元，然後，保持被佇鎖的資料直到收到下一命令為止。裝置號數(DN)時脈「clk_dn」計時 ID 輸入，ID 輸入係被儲存在輸入 DN 暫存器 504 以及 ID 暫存器 518 中。接收及儲存 SIP 輸入處收到的訊號之順序對應於預先設定的順序。舉例而言，裝置可以被規劃為首先接收對應於裝置 ID 的訊號，接著為接收命令位元。此次序的結果是產生一些 clk_dn 的週期，然後由時脈產生器 501 發出命令 clk_cmd。

為了將命令位元解碼，串列輸入命令串會被移位至命令暫存器 502 中以回應命令時脈 clk_cmd，命令暫存器 502 接著與命令解譯器 503 平行地傳送暫存的 M 位元命令資料。命令解譯器 503 是命令解碼器並遞送初始化增加的控制之內部命令訊號。述明二個此種命令訊號(cmd_wr_id_entry、cmd_wr_id_exit)，它們用以啓始及停

(16)

止 ID 產生模式。

在發出命令「write ID entry」的 ID 寫入產生器之前，記憶體控制器(未顯示)傳送重設訊號給串聯互連配置的裝置的重設輸入。這些重設輸入通常相連。串聯互連配置中的所有裝置會由重設訊號重設。在重設時，所有裝置會被賦能以內定地接收「write ID entry」，所有裝置具有內定的 ID「0」。結果，可以同時選取串聯互連中的所有裝置，以及，藉由具有「0」的命令「ID number」，命令「write ID entry」指令所有的裝置。

輸入 DN 暫存器 504 儲存來自先前裝置的輸入 ID 資料。在一般操作期間（ID 產生模式之外），輸入 DN 暫存器 504 暫存來自 SIP 的輸入 ID 流的內容，以便與 N 位元 ID 暫存器 516(例如 10 位元暫存器)中的裝置 ID 號相比較。在裝置 ID 產生期間，輸入 DN 暫存器 504 不會接收串列輸入資料。相反地，ID 暫存器 518 捕捉串列資料以及將其傳送給 ID 產生器或建立器，例如 ID 產生賦能區 506。位元數目 N 是等於 ID 號中的位元數目之整數，以及，可以等於任何適於識別串列互連中的所有裝置之任何數目。

ID 比較器 505 在一般裝置操作期間作用以辨識發給裝置的資料及命令訊號。比較器 505 比較在輸入 DN 暫存器 504 的每一進入資料的 ID 號與儲存在 N 位元 ID 暫存器 516 中的裝置 ID，以及提供「ID_match」訊號。假使 ID 號被辨識或相符，則 ID_match 訊號將等於「1」。否

(17)

則，其將等於「0」。結果，藉由比對進入的 ID 號與儲存在每一裝置的裝置 ID，串聯互連中的每一裝置可以決定訊號是否要發給它。

圖 5c 顯示圖 5A 及 5B 的裝置控制器 500 的 ID 產生器 600。為回應來自 ID 產生控制器 507 的「id_gen_en」(ID 產生賦能)訊號，ID 產生賦能區 506 會將 ID 暫存器 518 的 N 位元輸入傳送給計算器，例如 N 位元加法器 508(例如 10 位元加法器)、及 N 位元 ID 暫存器 516。圖 7 顯示舉例說明的 ID 產生賦能訊號的訊號時序。此同時傳送防止 N 位元加法器 508 及 N 位元 ID 暫存器 516 不必要的訊號轉變。根據裝置 ID 的順序及字長度，裝置 ID 儲存於 ID 暫存器 516 中。舉例而言，假使 N 位元 ID 暫存器 516 為 10 位元長度，且 OPE 訊號具有 5 個週期的高狀態，則 N 位元 ID 暫存器 516 儲存 5 位元裝置 ID，以及，相當於 5 位元裝置 ID 的訊號會被傳送給下一裝置。ID 暫存器 516 的其餘位元會被忽略，因此，維持在「0」或「不在乎」的值。

在 ID 產生處理期間，在上述實施例中，N 位元串列輸入在被傳送至 N 位元加法器 508 及 N 位元 ID 暫存器 516 之前，首先被儲存在 ID 暫存器 518 中。從暫存器同時傳送克服了串列對平行(STP)暫存器的限制。舉例而言，考慮 ID 位元的數目(例如 5 位元)小於 ID 暫存器及加法器的位元數目(例如 10 位元)。在 ID 產生及指定處理期間，五個位元(位元 0(LSB)至位元 4(MSB))會被載至 STP

(18)

暫存器的前 5 個位元並接著被平行地提供給 10 位元加法器。如同習於此技藝者清楚可知般，LSB 將位於暫存器的位元 4，其不對應於加法器的 LSB。即使位元的次序反相地從位元 MSB(位元 0)至 LSB(位元 4)，MSB 在 STP 暫存器中的位置亦不會對應於 10 位元加法器的 MSB 位置。因此，位元無論是否被指定為第一位元，傳統的 STP 暫存器結果會產生錯誤的裝置 ID。如同稍後參考圖 12A 及 12B 詳細說明般，藉由確保對應於裝置 ID 的位元被依序傳送至下一裝置，從 LSB 開始及在 MSB 結束，以及，藉由將它們依收到的次序儲存在 ID 暫存器中（ID 暫存器 518 的 LSB 至位元 0），可以克服此 STP 暫存器的限制。

ID 產生控制器 507 接收輸入訊號 CS#(CS_en)、cmd_wr_id_entry、及 cmd_wr_id_exit，以及，傳送開始 ID 產生模式的「id_gen_en」訊號。舉例而言，當訊號 CS#被觸發而從低至高及再度變低時（參考圖 7），「id_gen_en」訊號會被主張，而訊號 cmd_wr_id_entry 會同時被主張。注意，如同習於此技藝者清楚可知般，「id_gen_en」訊號可以隨著訊號 CS#的任何其它轉變而被主張。

圖 8 顯示一般操作中的潛候期。MISL 在二相鄰裝置之間具有一週期的潛候期。但是，「write ID entry」命令會如同下述圖 9A 中所示般使路徑從 1 週期潛候期改變至「ID 位元(ID 暫存器位元大小)+2 週期」。

圖 9A 及 9B 顯示輸出埠賦能(OPE)訊號之 ID 產生控

(19)

制的邏輯及訊號時序。在此操作下，ID 位元長度可以由 OPE 訊號高的長度所決定，以及，可以用於包含不同數目的裝置之串聯互連配置。將於下述中參考圖 5A、5B、及 5C，以說明 OPE 訊號的功能。或者，不需要 OPE 訊號以決定 ID 位元長度，以及，可以由預定的值、ID 暫存器 516 的位元大小、或是與另一訊號相關連的值取代地決定。

在圖 9B 中，顯示 5 位元裝置 ID 產生期間的 10 位元暫存器 518、10 位元 ID 暫存器 516、10 位元加法器 508、及例如 10 位元並列對串列暫存器 510 等 ID 提供者。於下將參考圖 5A、5B、及 5C，說明這些暫存器的功能。最大的裝置 ID 號由內部加法器 508 的位元大小及並列對串列暫存器 510 所決定。此外，裝置 ID 號反應可以在串聯互連配置中連接的裝置的最大數目。舉例而言，10 位元裝置 ID 允許高達 1024 個裝置在串列匯流排上以單一串聯互連形式相連。

或者，OPE 輸入也可以配置成捕捉 IPE 之外的先前裝置的 ID 號的輸入資料流。OPE 輸入的此增加的功能提供用於 ID 產生模式的簡單時序。在與圖 3A 及 4A 相關的一實施例中，在「write ID entry」被主張及晶片選取訊號 CS#如圖 3B 及 4B 所示般被觸發而從「低」至「高」再至「低」之後，OPE 會被主張在高狀態一段時間，此段時間等於併入於每一記憶裝置中的 ID 暫存器的位元長度。

參考圖 5A - 5C 及 9B，ID 寫入產生器 517 產生

(20)

「wr_id_en」訊號，以在 ID 產生模式中將進入 N 位元 ID 暫存器 516 的 ID 產生賦能區 506 的輸出佇鎖。此訊號係由 OPE 訊號的下降邊緣設定。

如圖 5A 所示，N 位元加法器 508 為靜態加法器，執行 ID 產生區 506 的輸入與例如 +1 的固定整數的加法操作。舉例而言，假使 N 等於 8，則加法器可以計算來自 ID 暫存器 518 的 8 位元號數與整數「10000000」（依序從 LSB 至 MSB）相加。結果，加法器 508 產生裝置 ID 號順序中的下一號數。加法器 508 可以由執行相同的「+1」運算之其它邏輯電路取代。此外，邏輯 500 可以配置成對 N 位元號數執行運算，例如其它整數的減法或加法（如同稍後所述般），以便產生連續的裝置 ID。

造成的 ID 資料會被寫入至並列對串列暫存器 510，接著經由裝置的 SOP 輸出以串列訊號傳送給下一裝置。串列 ID 號可以由下一裝置使用作為其裝置 ID，或者可以由下一裝置操控以產生其裝置 ID。或者，假使所造成的值與儲存在 N 位元暫存器 516 中的裝置 ID 相關連，邏輯可以包含增加的運算以改變序列的 ID 號。

在並列對串列暫存器 510 中，輸入會以並列形式傳送且其輸出會以串列形式傳送。為了回應來自 ID 產生控制器 507 之「id_gen_en」訊號，並列－串列資料寫入產生器 509 提供「wr_data_pts」訊號，其會致動並列對串列暫存器 510 的並列輸入路徑。在具有某延遲量以經由 SOP 串列地傳送 ID 資料之 shift_clock 的第一時脈週期的上

(21)

升邊緣之後，其路徑會失能。SLB 位元是首先被傳送的位元，MSB 是最後被傳送的位元。

選取器(例如乘法器)511S 會選取二路徑之一以回應 `id_gen_en` 訊號。假使 `id_gen_en` 為零，亦即正常操作模式，則選取器 511S 的「0」，亦即 `Sdata`(從記憶體讀出的串列資料)，提供給緩衝器 515S 的輸出作為 SOP，作為用於下一裝置的 SIP。否則(選取 ID 產生模式)，如圖 5B 所示，選取底部輸入路徑「1」，亦即，`Sdata_id`(串列 ID 資料)提供給緩衝器 515S 作為 SOP，作為下一裝置的 SIP。

為了串列地傳送 ID 號數給下一裝置，必須依時脈訊號計時。資料移位時脈產生器 512 提供時脈訊號「`shift_clock`」給並列對串列暫存器 510，藉以使訊號「`Sdata_id`」(串列 ID 資料)與時脈同步。

移位暫存器區 513 提供 ID 輸出賦能訊號「`id_out_ent`」，該訊號係被產生以通知移位時脈週期的數目。移位暫存器區 513 使 OPE 訊號移位某位元數，以提供足以執行串列資料佇鎖及加法運算的時間餘裕，該某位元數等於 ID 暫存器的位元長度加上 2 個週期。移位暫存器區 513 包含一週期移位暫存器及 $(N+2)$ 週期移位暫存器， $(N+2)$ 週期移位暫存器用於使訊號「`opei`」移位及提供經過移位的「`opei`」給選取器(例如乘法器)511Q。而且，移位暫存器區 513 包含 $(N+1)$ 週期移位暫存器與增加的一週期移位暫存器，一起提供經過移位的訊號「`opei`」

(22)

給 OR 閘。所造成的訊號「id_out_en」提供給資料移位時脈產生器 512。

訊號「id_out_en」使訊號「shift_clock」在資料移位時脈產生器 512 賦能，造成移位時脈比 OPEQ 訊號被產生還要早一個週期發出訊號。如圖 10 所示，由於下一裝置在由 OPE 訊號（亦即，來自先前裝置的 OPEQ 訊號）疊加的第一時脈訊號時佇鎖資料。產生總合等於 ID 位元數加一週期的持續週期時間之移位時脈，以確保先前資料未被保持，否則將會造成後續裝置接收來自本裝置的 SOP 之不正確 ID 號數。圖 11 顯示與此處參考圖 5A、5B 及 5C 所述的 ID 產生處理相關連的不同訊號之時序。

用於 ID 產生的裝置控制器 500 也包含複數個輸入緩衝器。一輸入緩衝器 514-1 接收晶片選取訊號 CS# 且其被緩衝的輸出訊號會由反相器反相。被反相的 CS # 訊號會作為「CS_en」提供給 ID 產生控制器 507。另一輸入緩衝器 514-2 接收來自 SIP 輸入的 SI 以及將其提供給命令暫存器 502、輸入 DN 暫存器 504 及 ID 暫存器 513。另一輸入緩衝器 514-3 接收時脈訊號「Clock」且其經過緩衝的輸出訊號「Clocki」會提供給時脈產生器 501。其它的輸入緩衝器 514-4 及 514-5 分別接收 IPE 及 OPET，且它們經過緩衝的輸出訊號提供給選取器 511E，其被選取的輸出訊號會饋送至時脈產生器 501。

此外，裝置控制器 500 包含輸出緩衝器 515Q，輸出緩衝器 515Q 提供 OPEQ 訊號給下一裝置（未顯示）的

(23)

OPE 輸入。OPEQ 訊號是來自選取器(例如多工器)511Q 的經過選取的訊號，選取器 511Q 選取移位暫存器區 513 的一週期移位暫存器及 $(N+2)$ 週期移位暫存器之輸出訊號之一。被選取的輸出訊號(亦即，OPEQ 訊號)被傳送給下一裝置的 OPE 輸入。

舉例而言，參考圖 3A (及圖 4A)、圖 3B(及圖 4B)、及圖 5A-5C，在裝置 310-1(410-1)中，(SI 的)初始的 ID 號或值「00000」儲存至 N 位元 ID 暫存器。裝置 310-1(410-1)的 N 位元加法器 588 將 +1 加至初始 ID 號及將 N 位元加法器 508 的「10000」輸出資料佇鎖於並列對串列暫存器 510。選取器 511Q 提供「10000」給輸出緩衝器 515S 作為 SOP「10000」，SOP「10000」被提供給下一裝置 310-2(410-2)的 SIP。接收到的(SI 的)ID 號「10000」被儲存至裝置 310-2(410-2)的 N 位元 ID 暫存器 516，以及，在其 N 位元加法器 508 中加上「+1」。N 位元加法器 508 的「01000」輸出資料被佇鎖至裝置 310-2(410-2)的並列對串列暫存器 510。選取器 511Q 提供「01000」給輸出緩衝器 515S 作為 SOP「01000」，SOP「10000」被提供給下一裝置 310-3(410-3)的 SIP。收到的 ID 號「01000」儲存於裝置 310-3(410-3)的 N 位元 ID 暫存器 516 中。此處理會一直繼續，直到最後的裝置 310-n(410-n)。所有位元次序符合 ID 產生模式之 LSB 第一及 MSB 最後的規則。如此，在每一裝置被指定的裝置 ID 與收到的 ID 相同。產生的 ID(加上 +1 的 ID 或是計算的 ID)

(24)

被提供給串聯互連配置中的下一裝置。

表 1 顯示根據上述實施例的裝置及指定 ID
(LSB→MSB):

表 1

裝置號	指定 ID
第 1 個裝置	00000
第 2 個裝置	10000
第 3 個裝置	01000
第 4 個裝置	11000
第 5 個裝置	00100
---	---
第 31 個裝置	01111
第 32 個裝置	11111

在 ID 產生模式中，N 位元 ID 暫存器 516 由 ID 號數填充。此內容被例如實體重設接腳重設至初始值設定。當任何正常操作啓始時，N 位元 ID 暫存器 516 的內容與輸入 DN 暫存器 504 的輸入 ID 流相比較。

在 ID 產生模式中（與正常操作相反），裝置 ID 值及位元大小可以被改變，以及根據 OPE 訊號被主張的時間長度而定。ID 暫存器 518 藉由儲存每一串列位元於指定位元區而不作串列資料傳送，而提供此功能。

圖 12A 顯示圖 5A -5C 中所示的 ID 暫存器 518。圖 12B 顯示用於 ID 暫存器 518 的訊號時序。參考圖 5A-5C、12A 及 12B，ID 暫存器 518 具有 (n+1) 位元儲存器，對應於 (n+1) 時脈控制區。為回應 DN 時脈「clk_dn」，

(25)

(n+1)時脈控制區分別提供被饋送給(n+1)位元儲存器的時脈「clk0」－「clk(n)」。串列輸入 SI 並列地饋入至儲存 SI 資料的(n+1)位元儲存器，以回應時脈「clk(0)」－「clk(n)」。儲存的資料被以資料「位元 0」－「位元 n」提供。

應注意，N 位元加法器 508 提供使收到的 ID 號數增量的一方法。當在串聯互連配置中的多個裝置中實施時，ID 產生邏輯具有提供獨特的裝置 ID 給每一裝置之累計效果，其中，裝置 ID 在每一裝置增量 1。或者，多種邏輯可以代替 n 位元加法器 508 以在每一裝置產生獨特的裝置 ID。

在另一實施例中，與裝置控制器的 ID 產生相關連的 ID 產生邏輯會因 N 位元運算的結果而建立裝置 ID。如圖 13A 及 13B 所示，此替代要求 N 位元加法器 508 的輸出傳送給 N 位元 ID 暫存器 516，以及，N 位元 ID 暫存器 516 儲存此值而非收到的 ID 號數，藉以建立用於裝置的裝置 ID。圖 13A 及 13B 的裝置控制器 700 的 ID 產生器 710 顯示於圖 13C 中。在圖 14 中，顯示 5 位元裝置 ID 產生期間之 10 位元 ID 暫存器 518、10 位元 ID 暫存器 516、10 位元 ID 暫存器 516、10 位元加法器 508、及以 10 位元並列對串列暫存器 510 為例的 ID 提供器。不似圖 9B 中所示的實施例，10 位元 ID 暫存器 518 傳送 ID 位元給 10 位元加法器 508。由 10 位元加法器 508 相加或計算的 ID 接著提供給 10 位元 ID 暫存器 516 以及 10 位元並列

(26)

對串列暫存器 510。圖 13A 及 13B 中所示的裝置控制器 700 的所有其它操作類似於先前所述的裝置控制器 500。

舉例而言，參考圖 3A(及 4A)、圖 13A-13C 及圖 14，進一步說明實施例，裝置 310-1(410-1)接收(SI 的)「00000」。N 位元加法器 508 將 +1 加至 SIP 輸入及將 N 位元加法器 508 的「10000」輸出資料佇鎖至 N 位元 ID 暫存器 516 及並列對串列暫存器 510。選取器 511Q 提供「10000」給輸出緩衝器 515S 作為提供給下一裝置 310-2(410-2)的 SIP 之 SOP「10000」。在 N 位元加法器 508 中執行裝置 310-2(410-2)收到的(SI 的)「10000」與 +1 的相加。N 位元加法器的「01000」輸出資料會被佇鎖於 N 位元 ID 暫存器 516 及並列對串列暫存器 510。選取器 511Q 提供「01000」給輸出緩衝器 515S 作為提供給下一裝置 310-3(410-3)的 SIP 之 SOP「01000」。此處理繼續進行直到到達最後裝置 310-n(410-n)為止。所有位元次序符合 ID 產生模式之 LSB 為第一及 MSB 為最後的規則。如此，在每一裝置指定的裝置 ID 與收到的 ID 不同。所產生的 ID(加上 +1 的 ID 或計算的 ID)被指定給目前裝置，也提供給串聯互連配置中的下一裝置的 SIP。

表 2 顯示根據圖 13A 及 13B 中所述的實施例的裝置及指定 ID(LSB→MSB):

(27)

表 2

裝置號	收到的 ID	指定 ID
第 1 個裝置	00000	10000
第 2 個裝置	10000	01000
第 3 個裝置	01000	11000
第 4 個裝置	11000	00100
第 5 個裝置	00100	10100
---		---
第 31 個裝置	01111	11111

在又另一實施例中，依據 N 位元減法運算的結果，與裝置控制器的 ID 產生相關連的 ID 產生邏輯建立裝置 ID。舉例而言，如圖 15A 及 15B 所示，N 位元減法器可以從收到的 ID 號減 1。圖 15A 及 15B 的裝置控制器 800 的 ID 運算 810 顯示於圖 15C 中。裝置控制器 800 具有 N 位元減法器 708，取代圖 5B 及 13B 中所示的 N 位元加法器 508。

參考圖 3A-3B、4A-4B、及 15A-15C，裝置 310-1(410-1)接收的 SIP 的輸入號或值「11111」被儲存至 N 位元 ID 暫存器 516。N 位元減法器 708 將 SIP 輸入減 1 及將 N 位元減法器 708 的「11110」輸出資料佇鎖至並列對串列暫存器 510。選取器 511Q 提供「11110」給輸出緩衝器 515Q 作為提供給下一裝置 310-2(410-2)的 SIP 之 SOP「11110」。(SI 的)「11110」被儲存至此裝置 310-2(410-2)的 N 位元 ID 暫存器 516 並在 N 位元減法器 708 中減 1。N 位元減法器 708 的「11101」輸出資料會被佇鎖於並列對串列暫存器 510。選取器 511Q 提供「11101」

(28)

給輸出緩衝器 515S 作為提供給下一裝置 310-3(410-3)的 SIP 之 SOP「11101」。此處理繼續進行直到到達最後裝置 310-n(410-n)為止。所有位元次序符合 ID 產生模式之 LSB 為第一及 MSB 為最後的規則。如此，在每一裝置指定的裝置 ID 與收到的 ID 不同。所產生的 ID(減 1 的 ID 或計算的 ID)被指定給目前裝置，也提供給串聯互連配置中的下一裝置的 SIP。

表 3 顯示根據上述實施例的裝置及指定 ID (LSB→MSB):

表 3

裝置號	指定 ID
第 1 個裝置	11111
第 2 個裝置	01111
第 3 個裝置	10111
第 4 個裝置	00111
第 5 個裝置	11011
---	---
第 31 個裝置	10000
第 32 個裝置	00000

由於本實施例的「向下計數」ID 產生，所以訊號的時序不同於圖 11 中所示。圖 16 顯示此處參考圖 15A、15B 及 15C 中所示的實施例而說明的 ID 產生處理相關連的不同訊號的時序。圖 17 顯示圖 15A 中所示的實施例之 OPE 訊號的 ID 位元長度控制。

參考圖 15A-15C、16 及 17，10 位元 ID 暫存器 518

(29)

傳送 ID 位元給 10 位元 ID 暫存器及 10 位元減法器 708。由 10 位元減法器 708 相減或計算的 ID 接著提供給 10 位元並列對串列暫存器 510。裝置控制器 800 的所有其它操作類似於先前所述的圖 5A-5B 及 13A-13B 的實施例。

習於此技藝者顯然知道以圖 15A、15B 及 15C 中所示的 N 位元減法器 708 來實施圖 13A、13B 及 13C 中所示的實施例。表 4 顯示根據上述實施例的裝置及指定 ID(LSB→MSB):

表 4

裝置號	收到的 ID	指定 ID
第 1 個裝置	11111	01111
第 2 個裝置	01111	10111
第 3 個裝置	10111	00111
第 4 個裝置	00111	11011
第 5 個裝置	11011	11010
---		---
第 31 個裝置	10000	00000

同樣地，顯然可以實施一系統，其對收到的 ID 號加上或減掉 1 以外的其它整數，對一序列裝置提供非連續的裝置 ID 號。

上述 ID 產生邏輯及方法可以併入要求裝置識別標誌而無外部實體接腳指定的記憶裝置中，例如快閃記憶體。ID 產生邏輯的實施例也可以以單一或分別的裝置實施以支援任何記憶裝置的 ID 產生。對於單一裝置實施而言，接腳分配會根據選取的記憶裝置的內部訊號要求而變。

(30)

在不悖離此處所述的原理之下，上述裝置 ID 產生的實施例可以改變以在一些不同系統中實施。舉例而言，參考圖 5A 及 5B，隨著 CS# 從低位準轉換至高位準及低位準，可以伴隨著「寫入 ID 退出」而導入根據「寫入 ID 登錄」之命令。此外，可以指定專用的接腳以接收「登入模式賦能」，取代「寫入 ID 登錄」命令的角色。

ID 產生退出的另一方式是使用退出命令或裝置中的內部退出邏輯實施，取代 CS# 轉變。

除了包含 MISL(多重獨立串聯鏈結)之外，此處所揭示的技術可以無限制地應用至需要 ID 號以選取連接的裝置之一的串聯互連配置中的任何裝置。

實施例有很多變異。致動「高」或「低」邏輯訊號可以分別改變成致動「低」或「高」。訊號的邏輯「高」及「低」狀態可以分別由低及高電壓源 V_{ss} 及 V_{dd} 所代表。

在上述實施例中，爲了簡明起見，裝置元件及電路如圖所示般彼此連接。在技術實際應用至記憶體系統時，裝置、元件、電路、等等可以彼此直接連接或耦合。而且，當記憶體系統的操作需要時，裝置、元件、電路等等可以經由其它裝置、元件、電路等等而彼此直接連接或耦合。

在前述說明中，爲了說明起見，揭示很多細節以助於完整瞭解本發明的實施例。但是，習於此技藝者清楚可知實施本發明並不需要這些特定細節。在其它情形中，已知的電結構及電路係以方塊圖形式顯示，以免模糊本發明。

(31)

舉例而言，未提供關於此處所述的發明實施例是否以軟體常式、硬體電路、韌體、或其組合來實施之細節。

本發明的上述實施例僅為舉例說明。在不悖離後附的申請專利範圍所界定的發明範圍之下，習於此技藝者可以對特定實施例執行改變、修改及變異。

【圖式簡單說明】

將參考附圖，僅以舉例說明方式，說明本發明的實施例，其中：

圖 1A 是裝置配置的方塊圖，包括配置在串聯互連配置中的多個單一埠裝置，其中，本發明的實施例被實施；

圖 1B 是方塊圖，顯示圖 1A 中所示的裝置之一；

圖 2A 是方塊圖，顯示串列互連配置中配置的裝置之間的通訊；

圖 2B 是時序圖，顯示如圖 2A 中所示的串列互連配置中配置的裝置之間的通訊；

圖 3A 及 3B 分別為採用單一鏈結的 ID 產生邏輯及記憶裝置的訊號之時序圖的實施例之裝置的方塊圖；

圖 4A 及 4B 分別為採用單一鏈結的 ID 產生邏輯及裝置的訊號之時序圖的實施例之裝置的方塊圖；

圖 5A 是根據本發明的實施例之用以產生裝置的 ID 之邏輯的高階方塊圖；

圖 5B 是圖 5A 中所示的詳細方塊圖；

圖 5C 是圖 5A 及 5B 中所示之 ID 產生器的方塊圖；

(32)

圖 6 是顯示用於裝置號 (DN) 暫存器及命令暫存器之時脈產生的時序圖；

圖 7 是 ID 產生的時序圖；

圖 8 是正常操作模式的中潛伏時序圖；

圖 9A 是輸出埠賦能訊號所控制的 ID 產生之時序圖；

圖 9B 是藉由輸出埠賦能訊號的 ID 位元長度控制；

圖 10 是 ID 輸出賦能訊號、移位時脈訊號及其它訊號的時序圖；

圖 11 是 ID 產生及相關訊號的時序圖；

圖 12A 是方塊圖，顯示 ID 暫時暫存器配置；

圖 12B 是用於 ID 暫時暫存器的訊號的時序圖；

圖 13A 是根據本發明的第二實施例之可以用以產生裝置的 ID 之邏輯的高階方塊圖；

圖 13B 是圖 13A 中所示的邏輯之詳細方塊圖；

圖 13C 是圖 13A 及 13B 中所示的 ID 產生器之方塊圖；

圖 14 是用於圖 13A 中所示的實施例之藉由輸出埠賦能訊號的 ID 位元長度控制；

圖 15A 是根據本發明的第三實施例之可以用以產生裝置的 ID 之邏輯的高階方塊圖；

圖 15B 是圖 15A 所示的邏輯之詳細方塊圖；

圖 15C 是圖 15A 及 15B 中所示的 ID 產生器的方塊圖；

(33)

圖 16 是圖 15A 中所示的 ID 產生邏輯之訊號的時序圖；及

圖 17 是由圖 15A 中所示的實施例之藉由輸出埠賦能訊號的 ID 位元長度控制。

【主要元件符號說明】

110-1~110-i：裝置

130：裝置控制器

140：ID 產生器

210-1~210-3：裝置

310-1~ 310-n：裝置

410-1~ 410-n：裝置

500：裝置控制器

501：時脈產生器

502：命令暫存器

503：命令解譯器

504：輸入裝置號暫存器

505：ID 比較器

506：ID 產生賦能區

507：ID 產生控制器

508：加法器

510：並列對串列暫存器

511E：選取器

511Q：選取器

(34)

511S : 選取器

512 : 資料偏移時脈產生器

513 : 移位暫存器區

514-1~514-5 : 輸入緩衝器

515Q : 輸出緩衝器

515S : 輸出緩衝器

516 : ID 暫存器

517 : ID 寫入暫存器

518 : ID 暫存器

600 : ID 產生器

708 : 減法器

800 : 裝置控制器

810 : ID 產生器

十、申請專利範圍

1. 一種建立用於配置於串聯互連配置之複數個裝置中的裝置之裝置識別號之設備，該設備包括：

時脈輸入，用於接收時脈訊號；

識別號產生器，用於產生該裝置的裝置識別號以回應在該裝置的輸入收到的 M 位元輸入訊號，將在該裝置的該輸入被接收以回應輸入賦能訊號的該 M 位元輸入訊號會被主張且其包含對應於該裝置識別號的 N 位元識別號，且與該時脈信號同步地，透過該裝置的輸出至該串聯互連配置中之隨後的裝置，包含對應於該裝置識別號的 N 位元資料的 M 位元輸出訊號將被輸出，以回應被主張的輸出賦能訊號，其中 M 及 N 為大於 1 的整數；

識別號登錄器，用於儲存做為給該裝置的分配識別號的該 N 位元資料；以及

控制輸入，用於接收控制訊號，其中該識別號登錄器配置為儲存該 N 位元資料以回應該接收的控制訊號。

2. 如申請專利範圍第 1 項之設備，其中，在該裝置收到的該 M 位元輸入訊號包含對應於在該串聯互連配置中的先前裝置的先前識別號，且與該 M 位元輸出訊號相關連的該裝置識別號包含對應於接收該 M 位元輸入訊號的裝置的裝置識別號的 N 位元資料。

3. 如申請專利範圍第 1 項之設備，其中，該複數個裝置中的每一裝置均包括記憶體裝置。

4. 如申請專利範圍第 1 項之設備，其中，該識別號

產生器包括：

識別號計算器，用於決定來自該 M 位元輸入訊號的該 N 位元識別號以及根據該 N 位元識別號及預定號數以產生經過計算的值；及

識別號提供器，用於根據該計算的值以提供對應於該 N 位元資料的該裝置識別號。

5. 如申請專利範圍第 4 項之設備，其中，該計算的值是該 N 位元識別號與整數的計算結果。

6. 如申請專利範圍第 4 項之設備，其中，該識別號提供器包含移位電路，用以與時脈同步地移出 N 位元識別號。

7. 如申請專利範圍第 4 項之設備，又包括識別號製造控制器，用於控制該 N 位元識別號的產生以回應該 M 位元輸入訊號中的命令。

8. 一種包含在複數個裝置的串聯互連配置中的裝置與至少一相對於該裝置的為一隨後裝置的其他裝置，該裝置包括：

時脈輸入，用於接收時脈訊號；

裝置識別號建立器，用於建立該裝置的裝置識別號，該裝置識別號建立器包含識別號製造器，配置成：

提供該裝置識別號以回應在該裝置的輸入收到的 M 位元輸入訊號，將被接收以回應輸入賦能訊號的該 M 位元輸入訊號會被主張且其包含對應於該裝置識別號的 N 位元識別號；及

與該時脈信號同步地，透過該裝置的輸出至該隨後的裝置，輸出包含對應於該裝置識別號的 N 位元資料的 M 位元輸出訊號，以回應被主張的輸出賦能訊號，其中 M 及 N 為大於 1 的整數；

識別號登錄器，用於儲存做為給該裝置的分配識別號的該 N 位元資料；以及

控制輸入，用於接收控制訊號，其中該識別號登錄器配置為儲存該 N 位元資料以回應該接收的控制訊號。

9. 如申請專利範圍第 8 項之裝置，其中，該複數個裝置中的每一裝置均包括記憶體裝置。

10. 如申請專利範圍第 9 項之裝置，其中，該記憶體裝置為隨機存取記憶體或快閃記憶體。

11. 如申請專利範圍第 8 項之裝置，其中，在該裝置收到的該 M 位元輸入訊號包含對應於在該串聯互連配置中的先前裝置的先前識別號，且包含在該 M 位元輸出訊號內的該裝置識別號包含對應於接收該 M 位元輸入訊號的裝置的裝置識別號的 N 位元資料。

12. 如申請專利範圍第 8 項之裝置，其中，該識別號製造器包括：

計算器，用於根據該 N 位元識別號及預定號數以產生經過計算的值；及

識別號提供器，用於根據該計算的值以提供對應於該 N 位元資料的該裝置識別號。

13. 如申請專利範圍第 12 項之裝置，其中，該計算

的值是該 N 位元識別號與整數的計算結果。

14. 如申請專利範圍第 12 項之裝置，其中，該識別號提供器包含移位電路，用以與時脈同步地移出 N 位元識別號。

15. 如申請專利範圍第 12 項之裝置，又包括識別號製造控制器，用於控制該 N 位元識別號的產生以回應該 M 位元輸入訊號中的命令。

16. 如申請專利範圍第 8 項之裝置，其中，該裝置在該串列輸入接收命令或資料訊號以及在該輸出傳送該命令或資料訊號。

17. 複數個配置於串聯互連配置的裝置，每一該裝置包括：

輸入，用於接收 M 位元輸入訊號，以回應被主張的輸入賦能訊號；

輸入，用於傳送 M 位元輸出訊號，以回應被主張的輸出賦能訊號；

時脈輸入，用於接收時脈訊號；及

裝置識別號建立器，用於建立該裝置的裝置識別號，該裝置識別號建立器具有識別號製造器，用於提供該裝置識別號以回應在該裝置的輸入收到的 M 位元輸入訊號，該 M 位元輸入訊號包含與該裝置識別號相關連的值，該 M 位元輸出訊號包含對應於該裝置識別號的 N 位元資料，其能夠提供與該時脈信號同步地，透過該裝置的輸出至該串聯互連配置中的隨後的裝置，其中 M 及 N 為大於

1 的整數；

識別號登錄器，用於儲存做為給該裝置的分配識別號的該 N 位元資料；以及

控制輸入，用於接收控制訊號，其中該識別號登錄器配置為儲存該 N 位元資料以回應該接收的控制訊號。

18. 如申請專利範圍第 17 項之複數個裝置，其中，該複數個裝置中的每一裝置均包括記憶體裝置。

19. 如申請專利範圍第 18 項之複數個裝置，其中，該記憶體裝置為隨機存取記憶體或快閃記憶體。

20. 如申請專利範圍第 17 項之複數個裝置，其中，在該裝置收到的該 M 位元輸入訊號包含對應於在該之串聯互連配置中的先前的裝置的先前的裝置識別號，且與該 M 位元輸出訊號相關連的該裝置識別號包含對應於接收該 M 位元輸入訊號的裝置的裝置識別號的 N 位元資料。

21. 如申請專利範圍第 17 項之複數個裝置，其中，該識別號製造器包括：

識別號計算器，用於從該 M 位元輸入訊號決定該 N 位元識別號，且基於該 N 位元識別號及預定值製造計算的值；以及

識別號提供器，用於根據該計算的值以提供對應於該 N 位元資料的該裝置識別號。

22. 如申請專利範圍第 21 項之複數個裝置，其中，該計算的值是該 N 位元識別號與整數的計算結果。

23. 如申請專利範圍第 21 項之複數個裝置，其中，

該識別號提供器包含移位電路，用以與時脈同步地移出 N 位元識別號。

24. 如申請專利範圍第 21 項之複數個裝置，又包括識別號製造控制器，用於控制該 N 位元識別號的產生以回應該 M 位元輸入訊號中的命令。

25. 一種建立用於配置於串聯互連配置之複數個裝置中的裝置之裝置識別號的方法，該方法包括：

接收時脈訊號；

製造裝置識別號以回應 M 位元輸入訊號，其中該 M 位元輸入訊號被接收以回應被主張的輸入賦能訊號，及該 M 位元輸入訊號包含與該裝置的裝置識別號相關連的值；

透過該裝置的輸出，輸出包含對應於該裝置識別號的 N 位元資料的 M 位元輸出訊號至該串聯互連配置中的隨後的裝置，以回應被主張的輸出致能訊號；

分配該 N 位元資料做為用於該裝置的識別號，分配的步驟包含儲存該 N 位元資料做為給該裝置的分配識別號，以回應控制訊號；以及

其中製造與輸出的步驟係與該時脈訊號同步，且 M 及 N 皆為大於 1 的整數。

26. 如申請專利範圍第 25 項之方法，又包括在產生該識別號的步驟之前重設該裝置的裝置識別號至預定值。

27. 如申請專利範圍第 26 項之方法，其中，該重設裝置識別號的步驟以平行方式對所有裝置執行。

28. 如申請專利範圍第 25 項之方法，其中，製造該

識別號的步驟係回應包含於該 M 位元輸入訊號中的識別號製造命令。

29. 如申請專利範圍第 25 項之方法，其中，製造該裝置識別號的步驟包括：

產生 N 位元識別號；

根據該 N 位元識別號及預定號數以計算值；及

根據該計算的值，提供對應於該 N 位元資料的該裝置識別號。

30. 如申請專利範圍第 29 項之方法，其中，該計算的值是該 N 位元識別號與整數的計算結果。

31. 如申請專利範圍第 29 項之方法，其中，提供該裝置識別號的步驟包含與該時脈同步地移出該 N 位元識別號。

32. 如申請專利範圍第 29 項之方法，其中，該 N 位元識別號被包含於該 M 位元輸入訊號。

33. 如申請專利範圍第 29 項之方法，又包括控制該 N 位元識別號的產生以回應該 M 位元輸入訊號中的命令。

34. 如申請專利範圍第 29 項之方法，其中，計算步驟包含將該整數的值加至該 N 位元識別號的值。

35. 如申請專利範圍第 29 項之方法，其中，計算步驟包含從該 N 位元識別號減掉該整數的值。

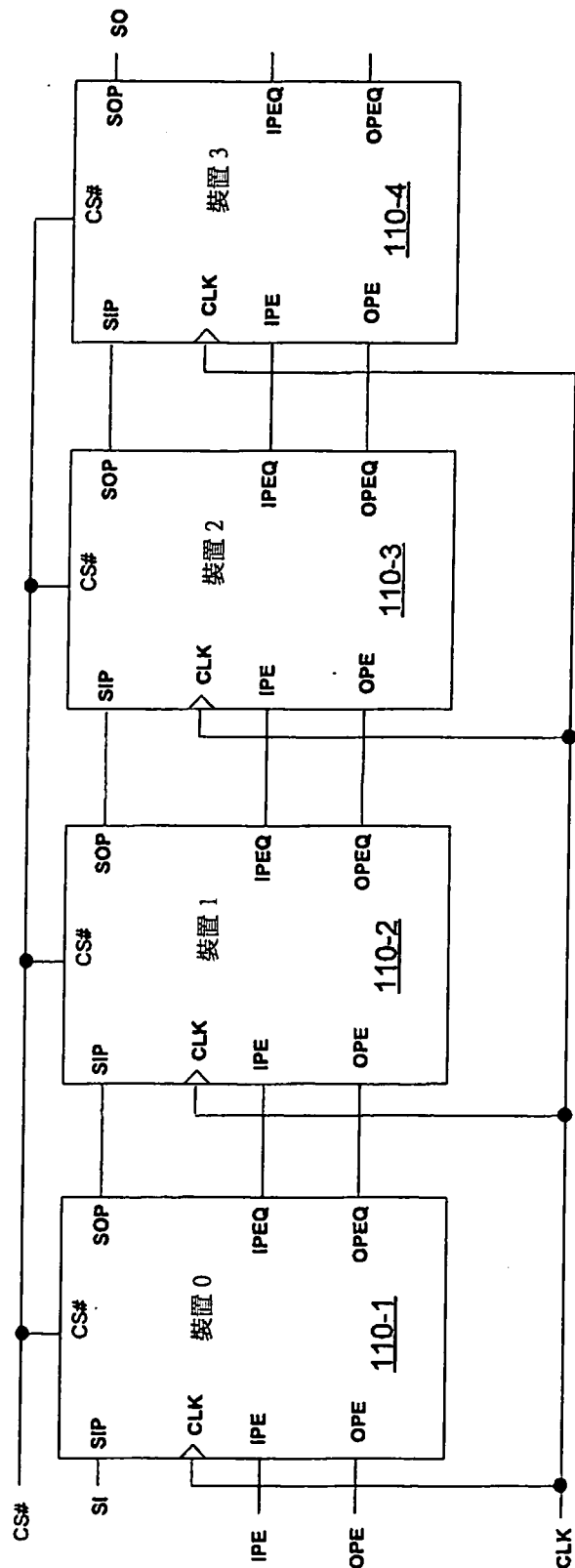


圖 1A

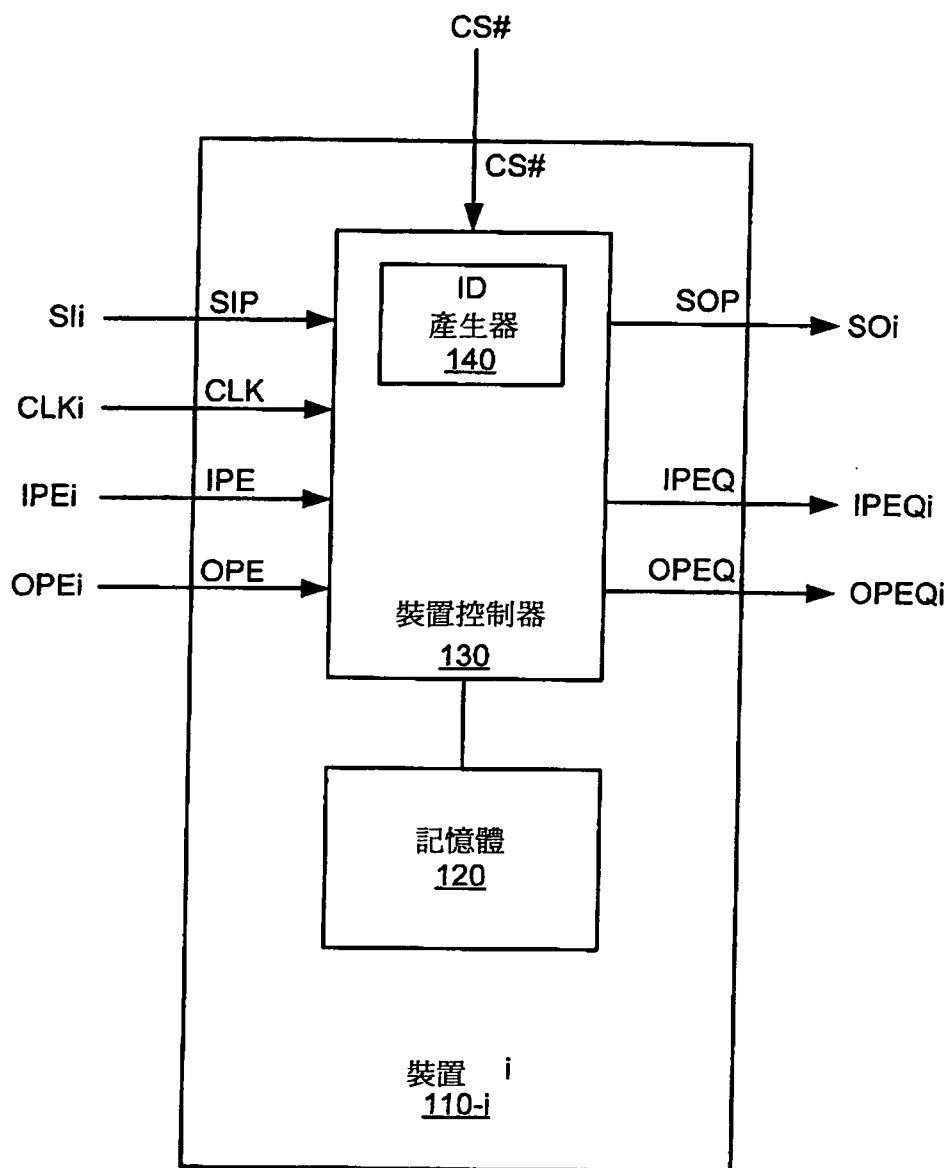


圖 1B

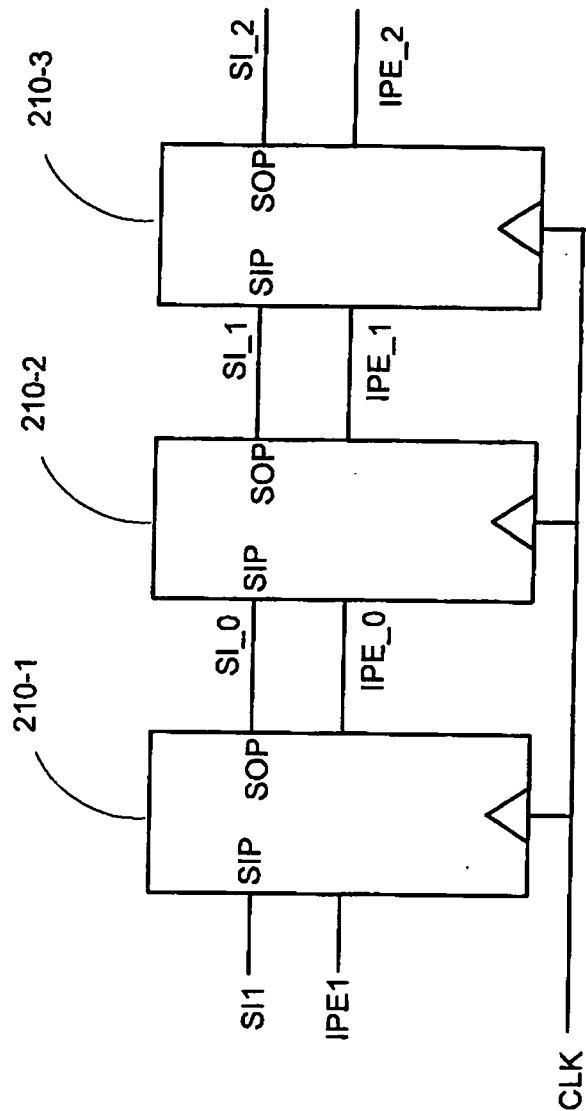


圖 2A

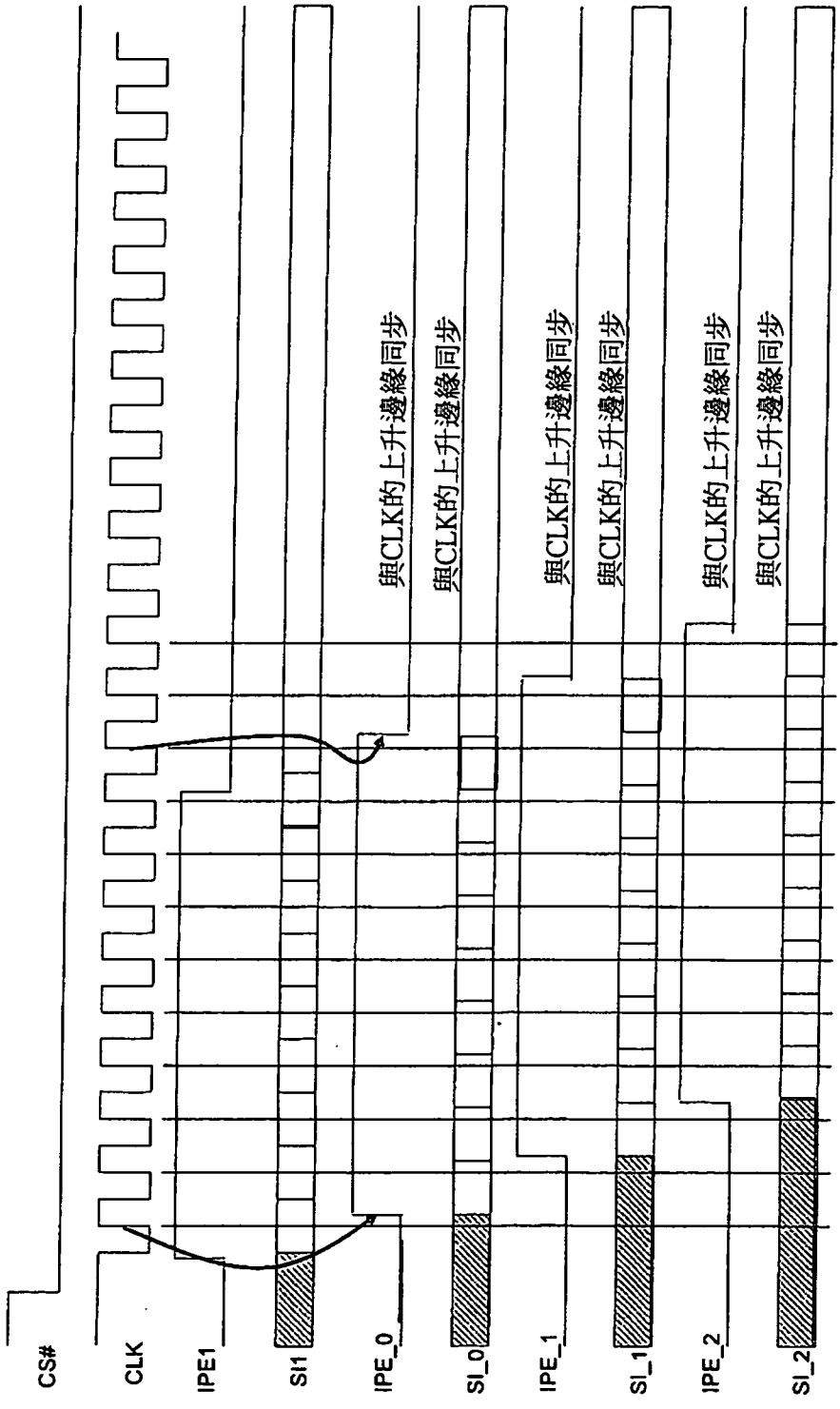


圖2B

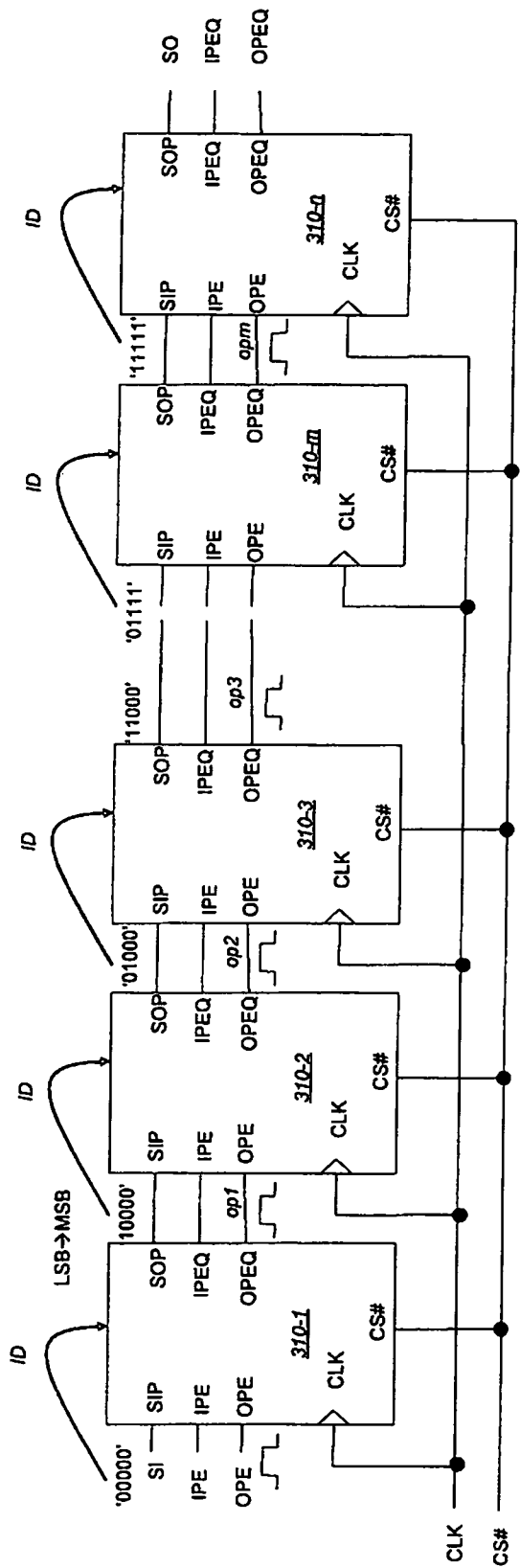


圖3A

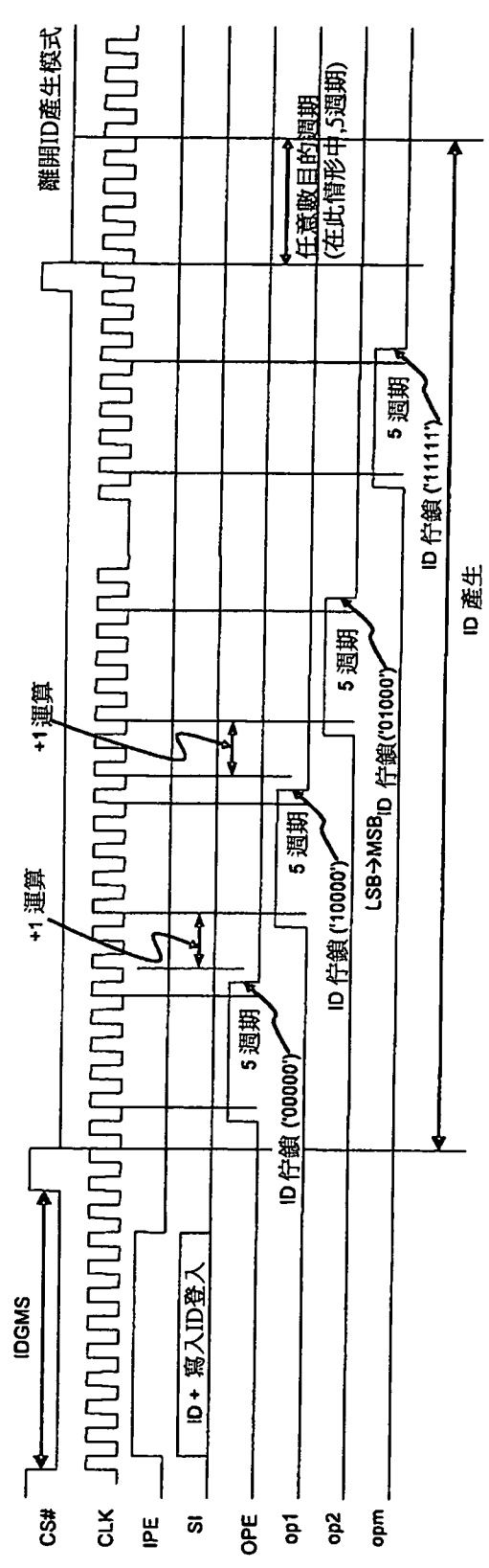


圖3B

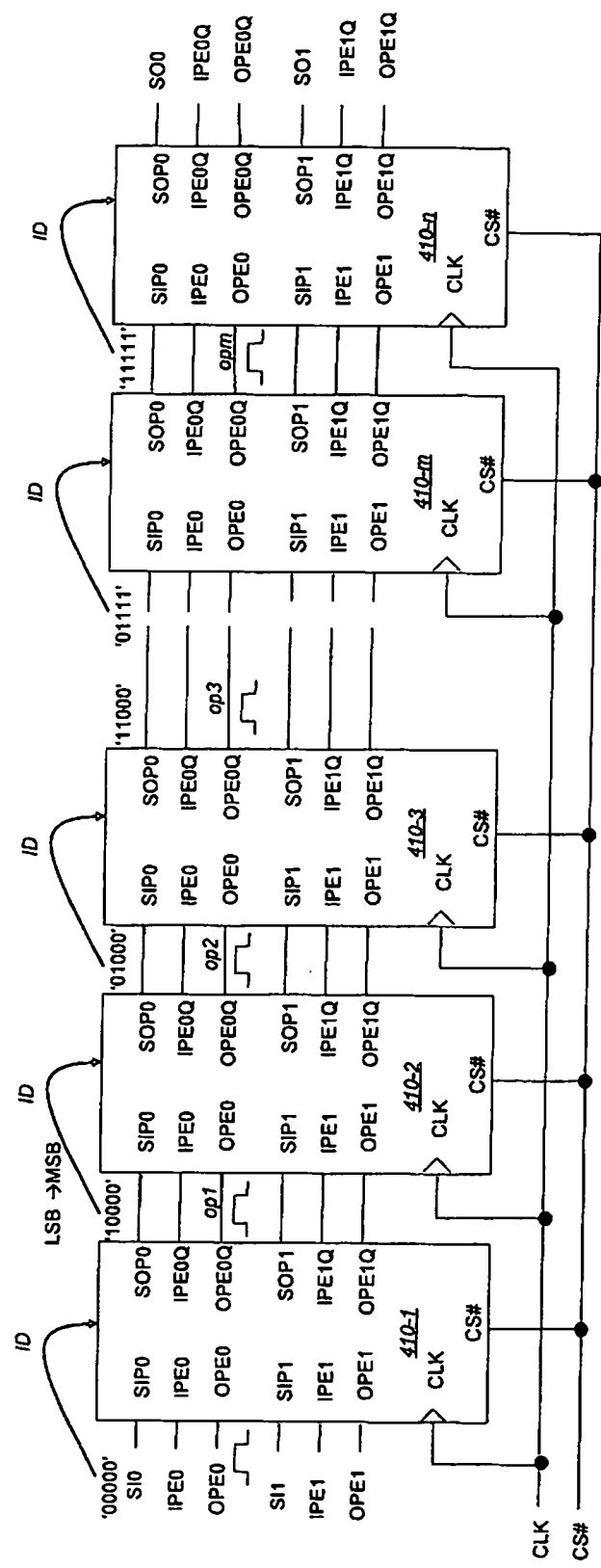


圖4A

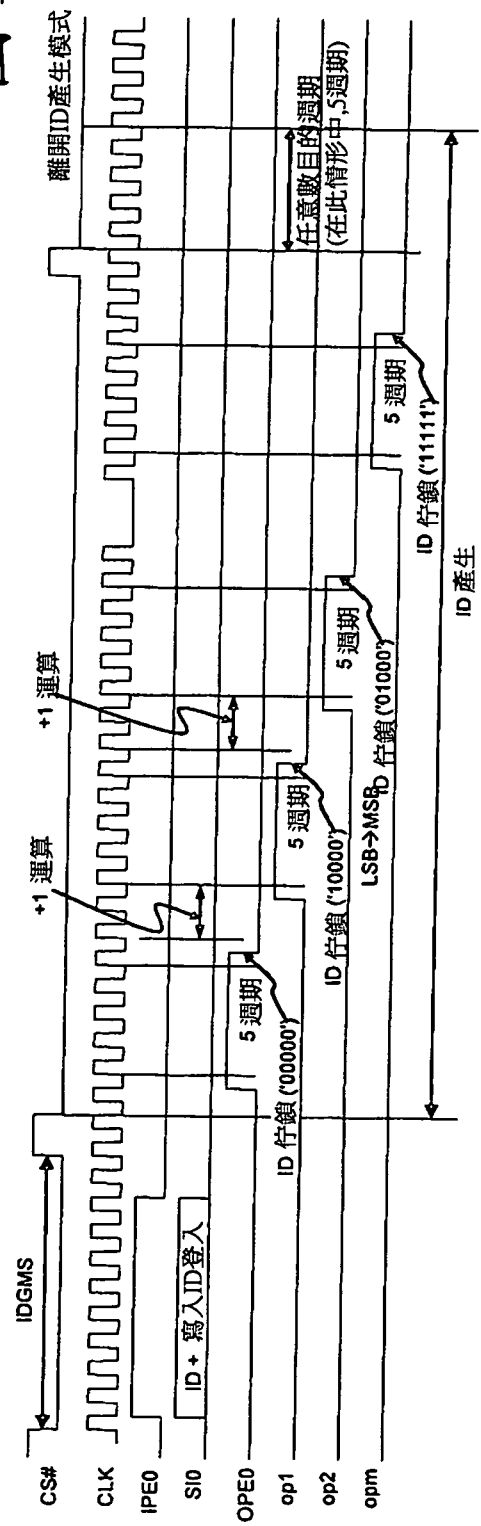


圖4B

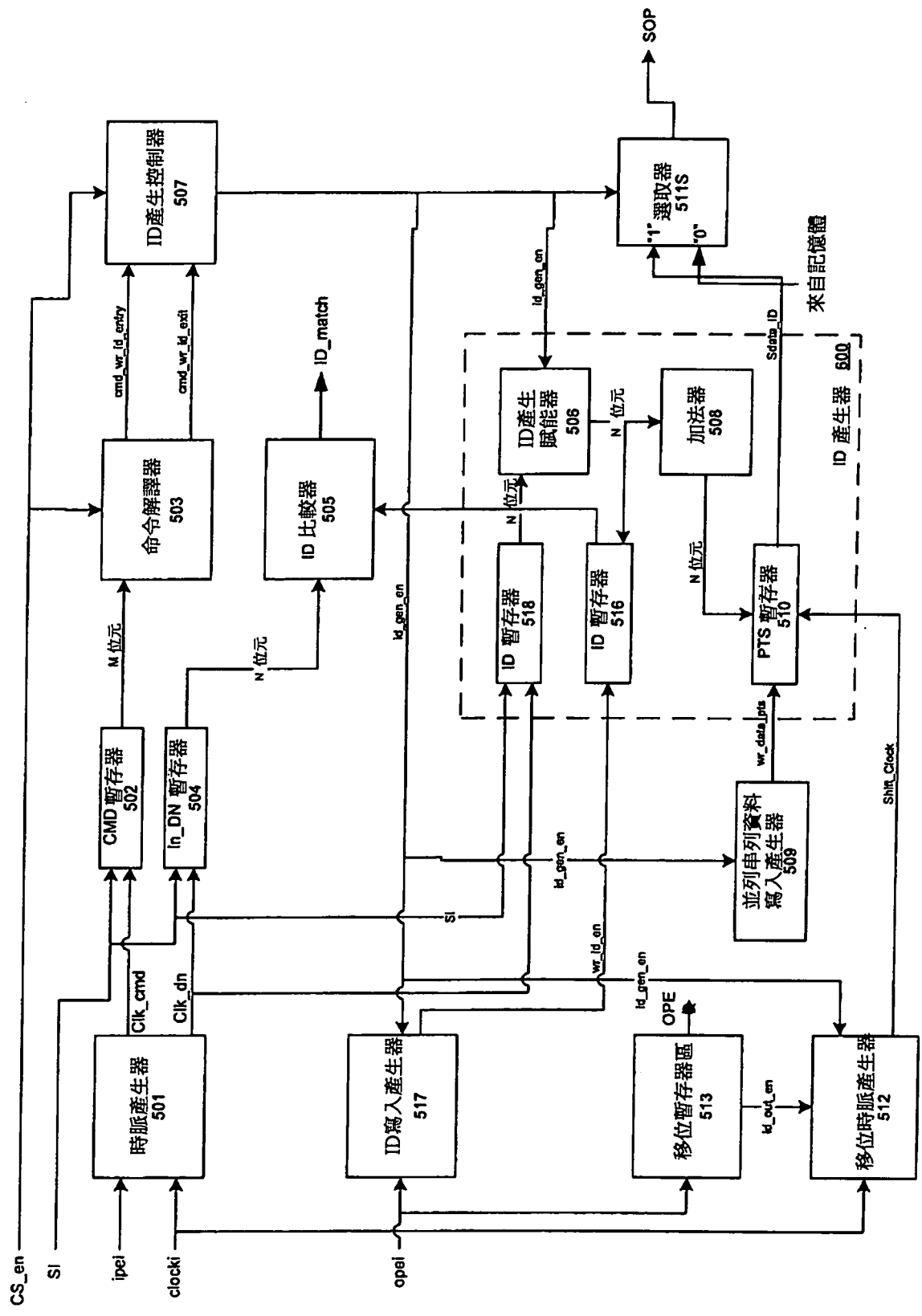
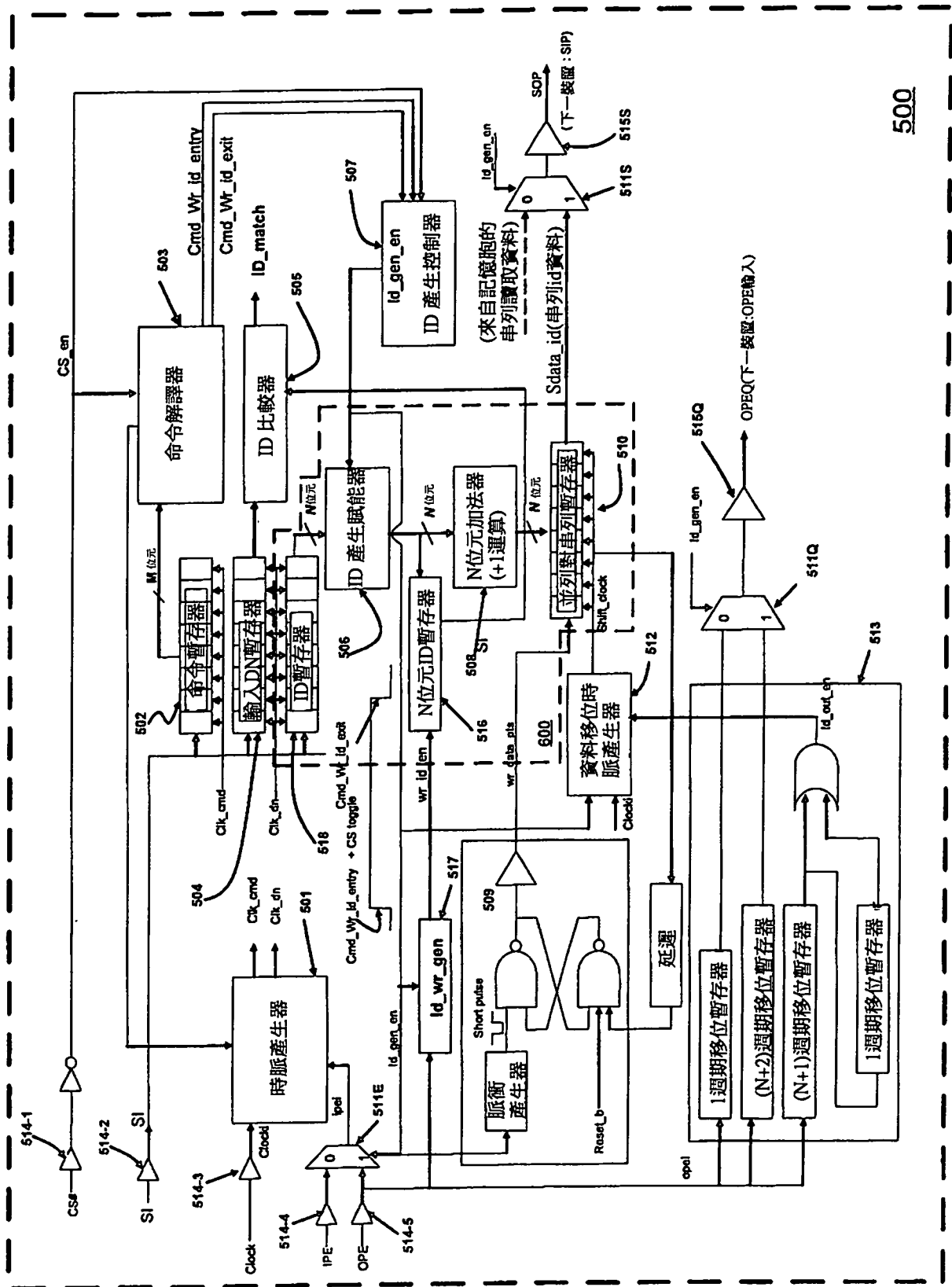


圖5A



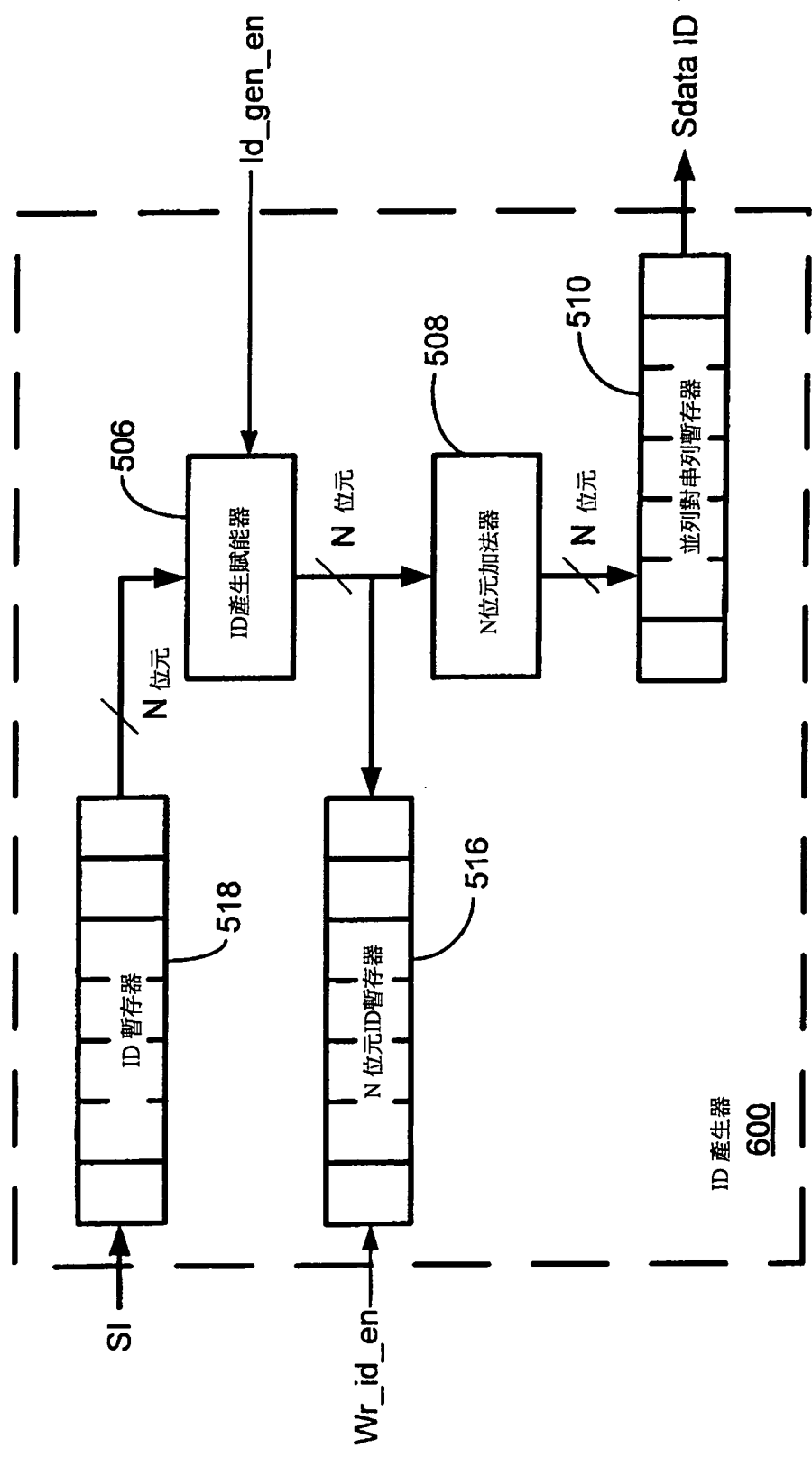


圖5C

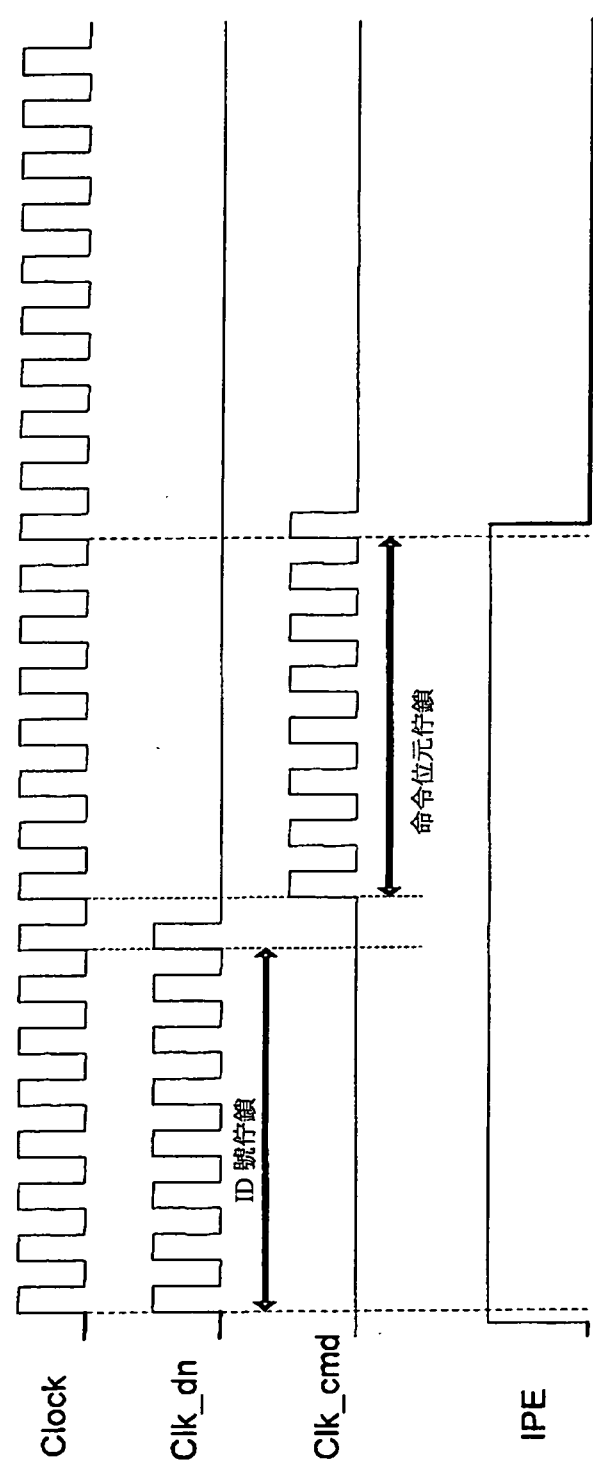


圖6

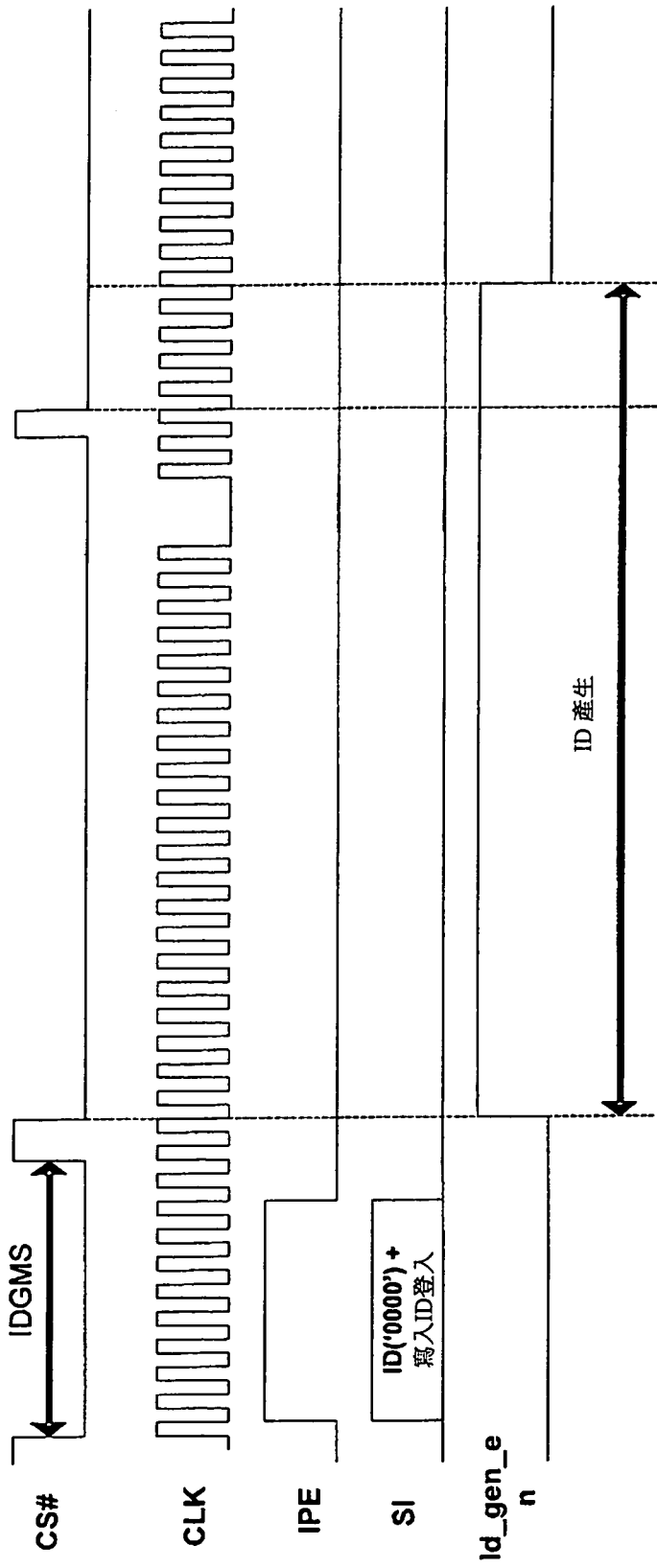


圖7

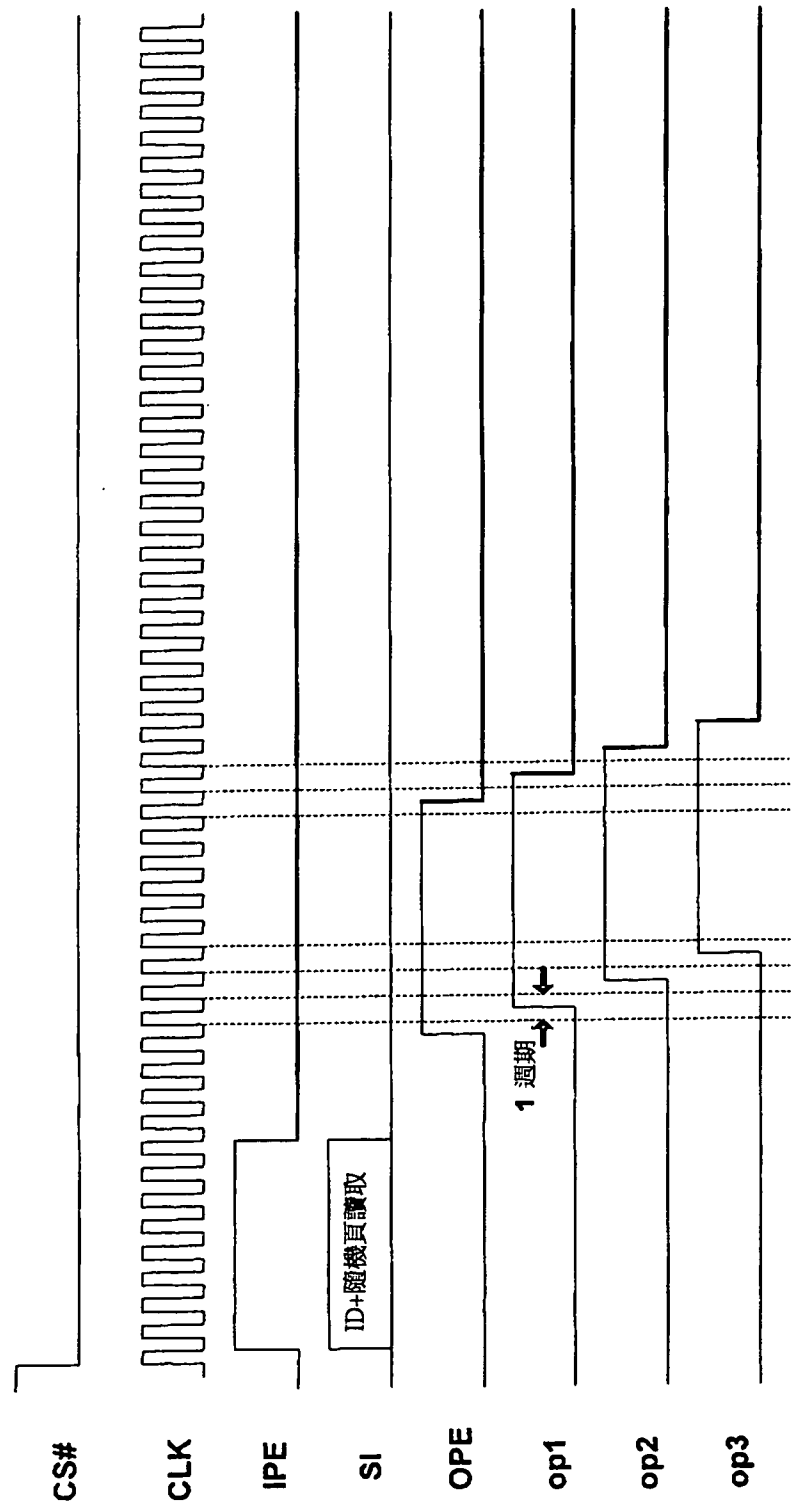


圖8

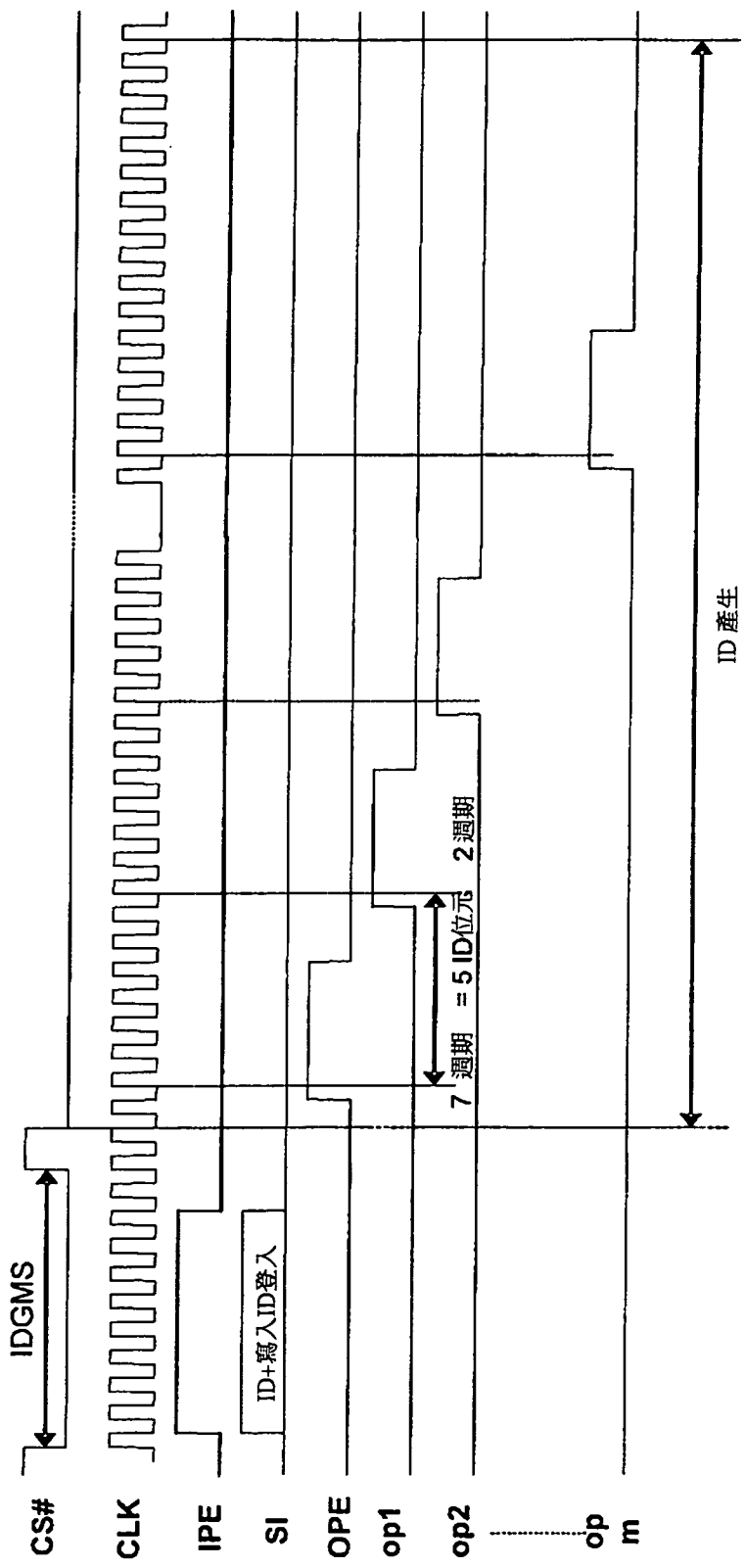


圖9A

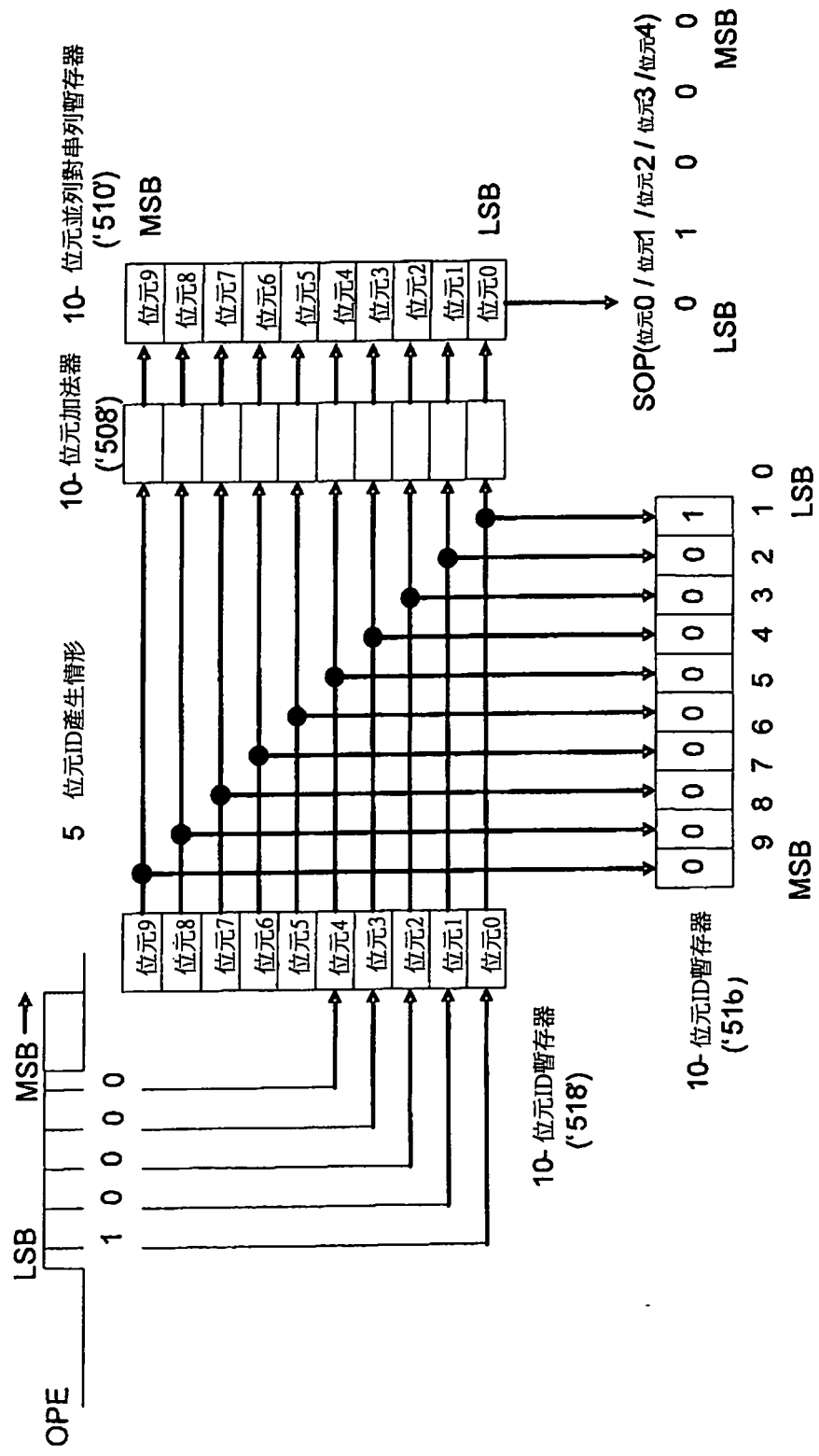


圖9B

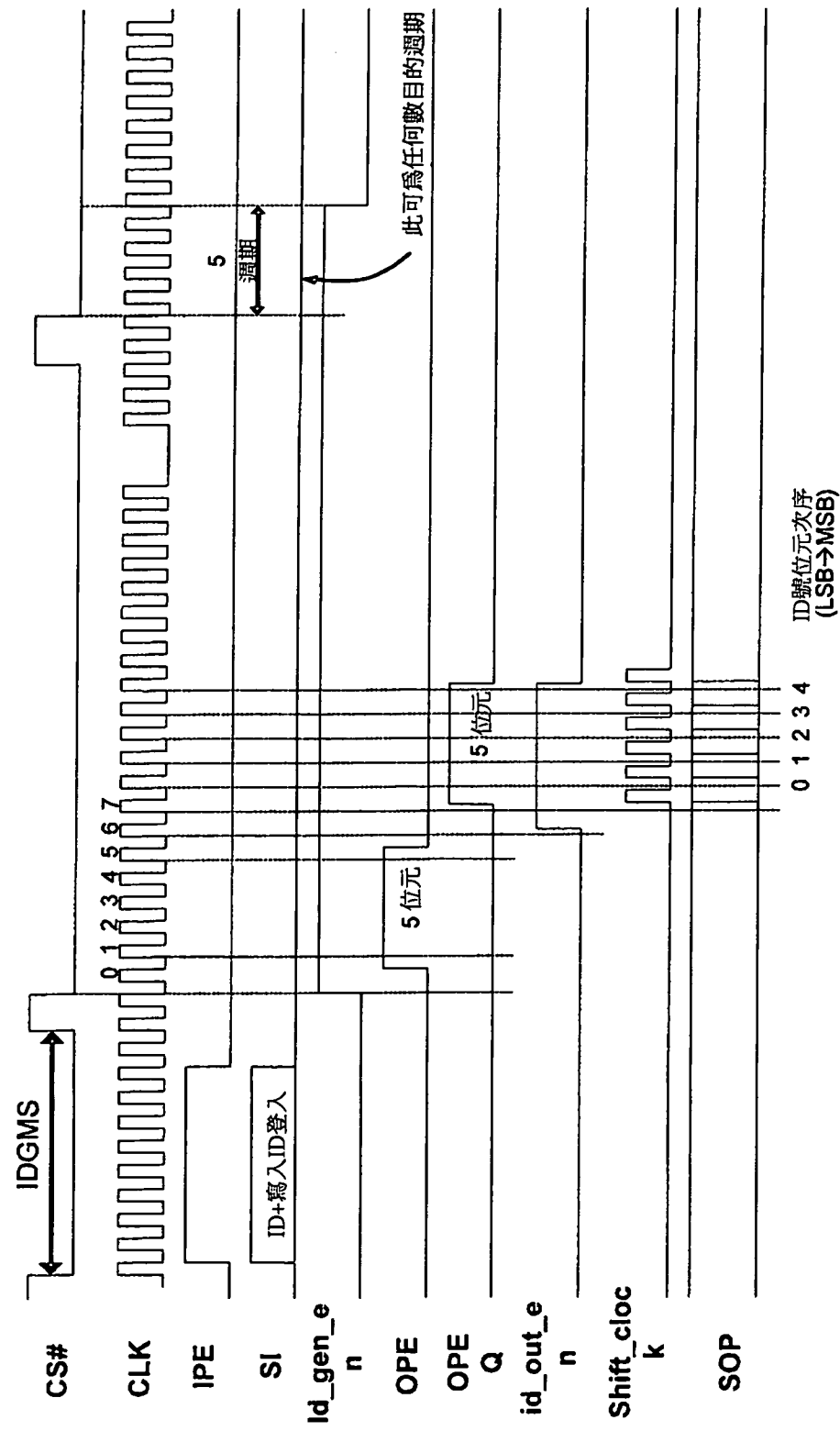


圖10

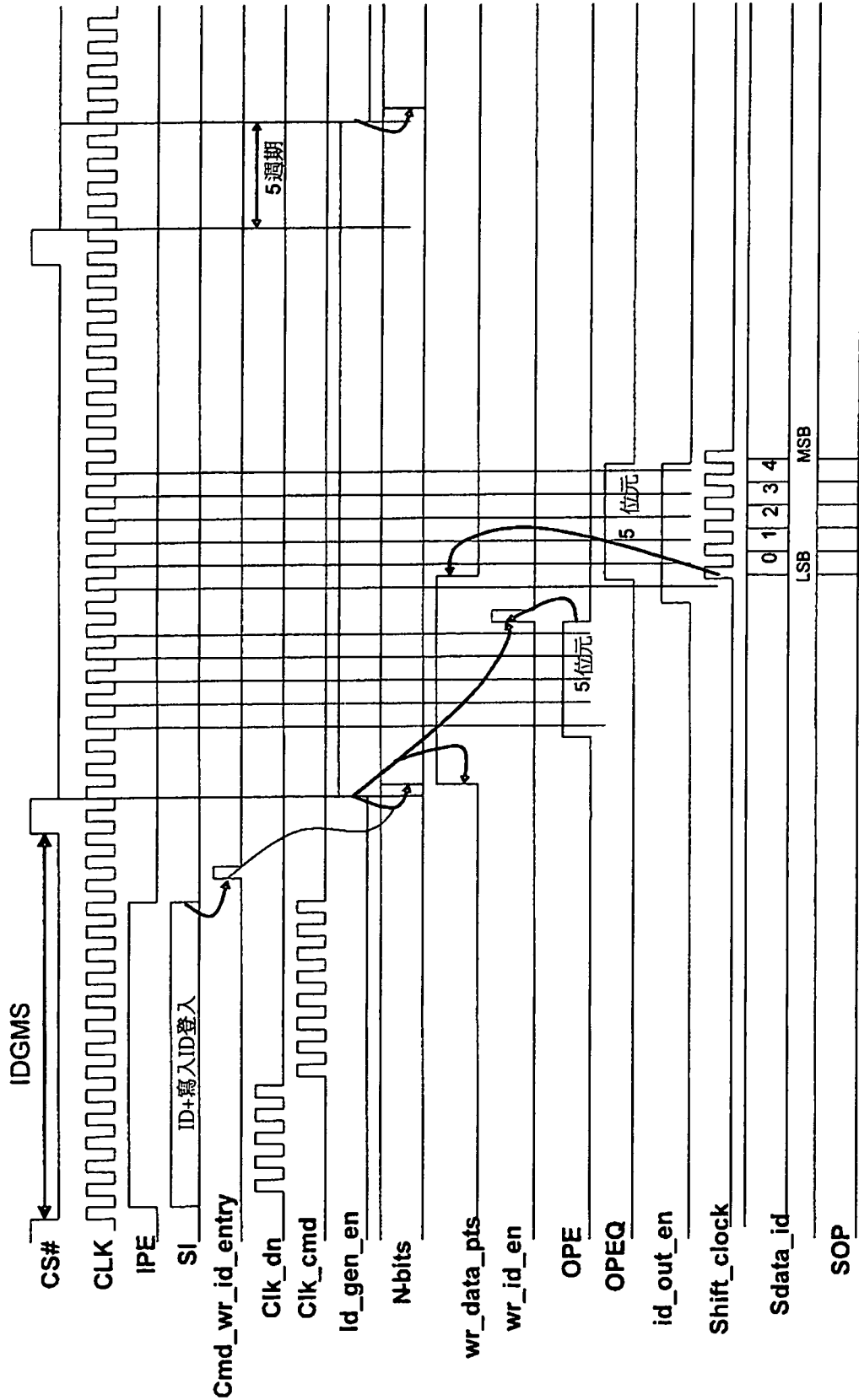


圖11

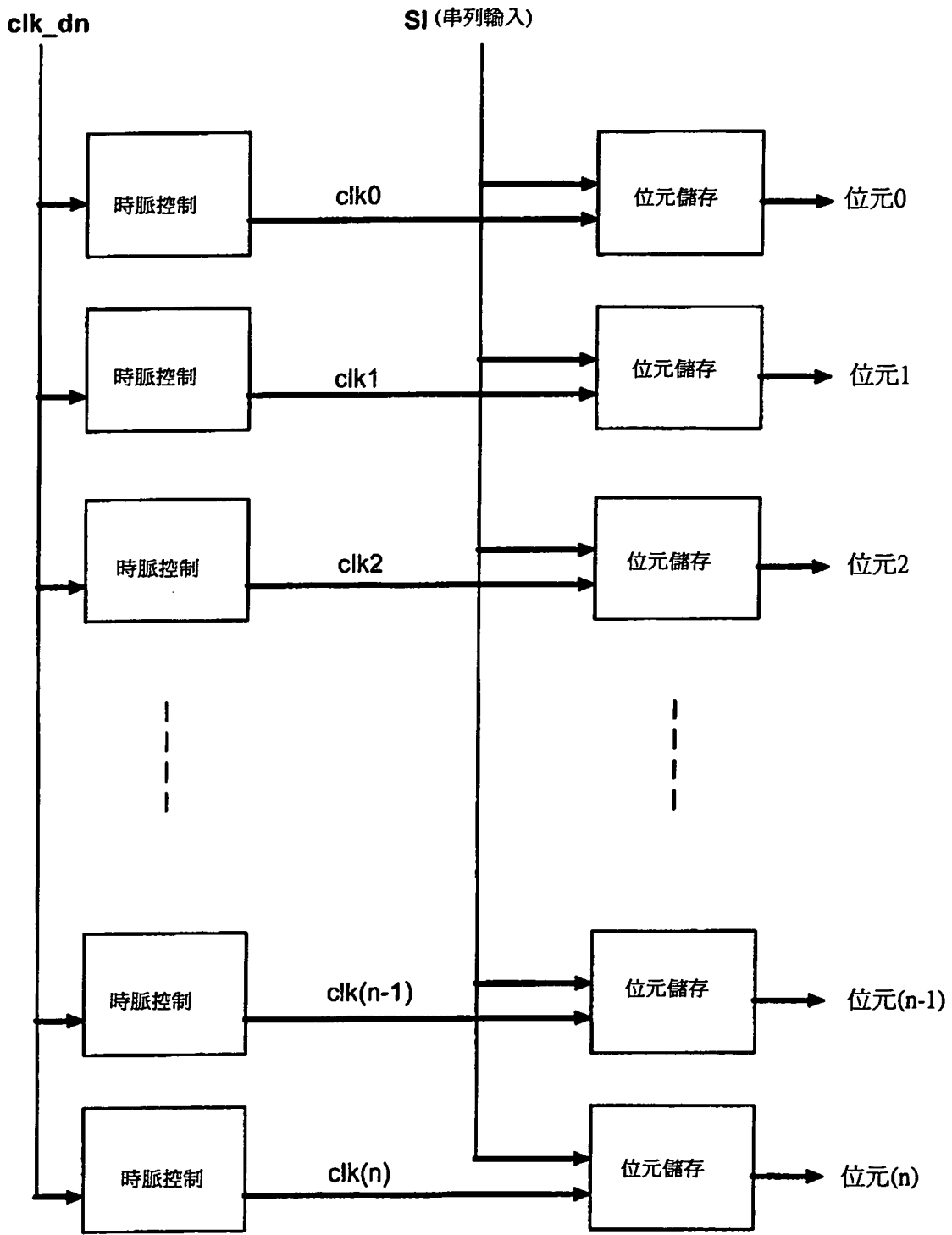


圖12A

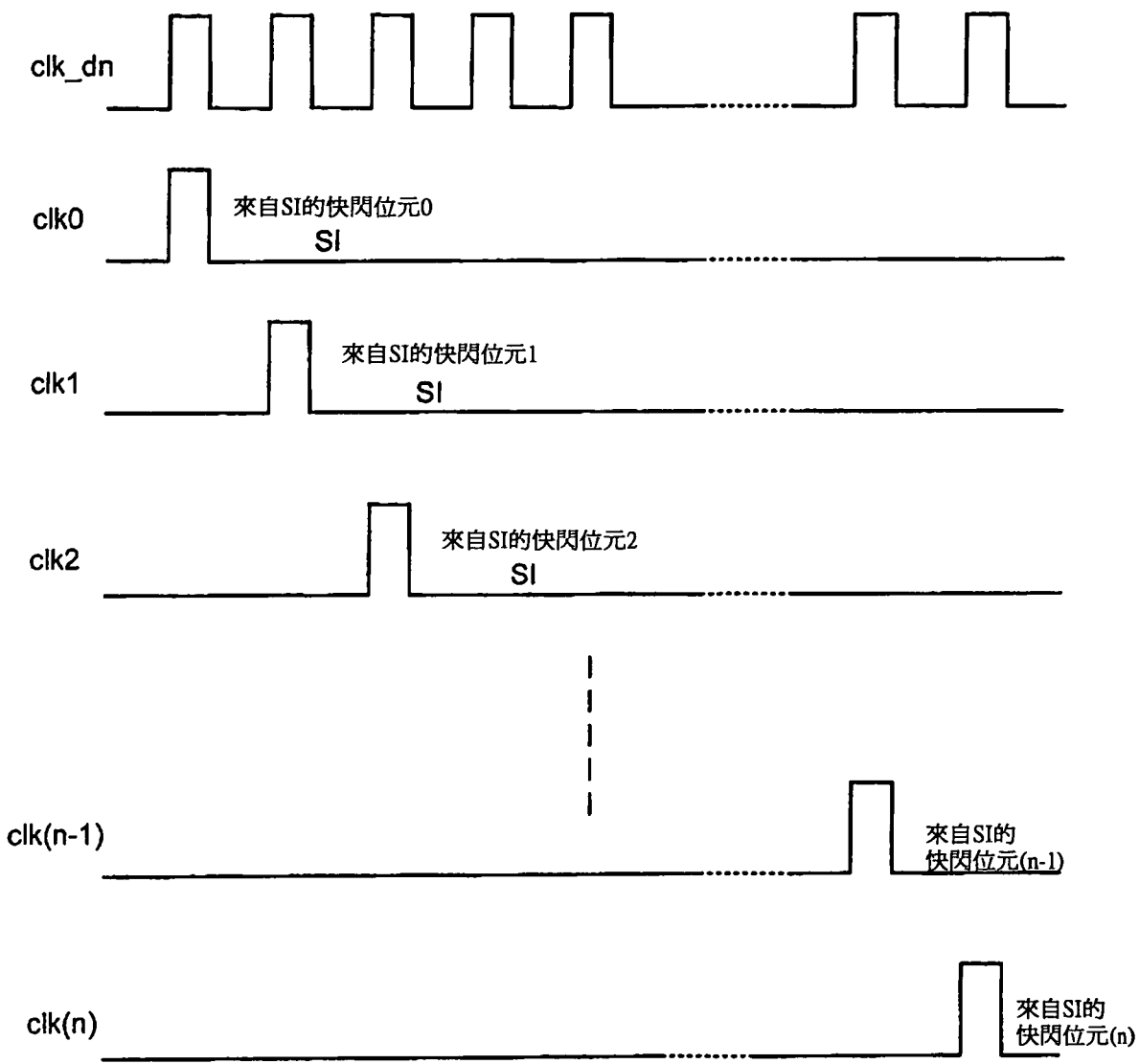


圖 12B

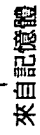


圖 13A

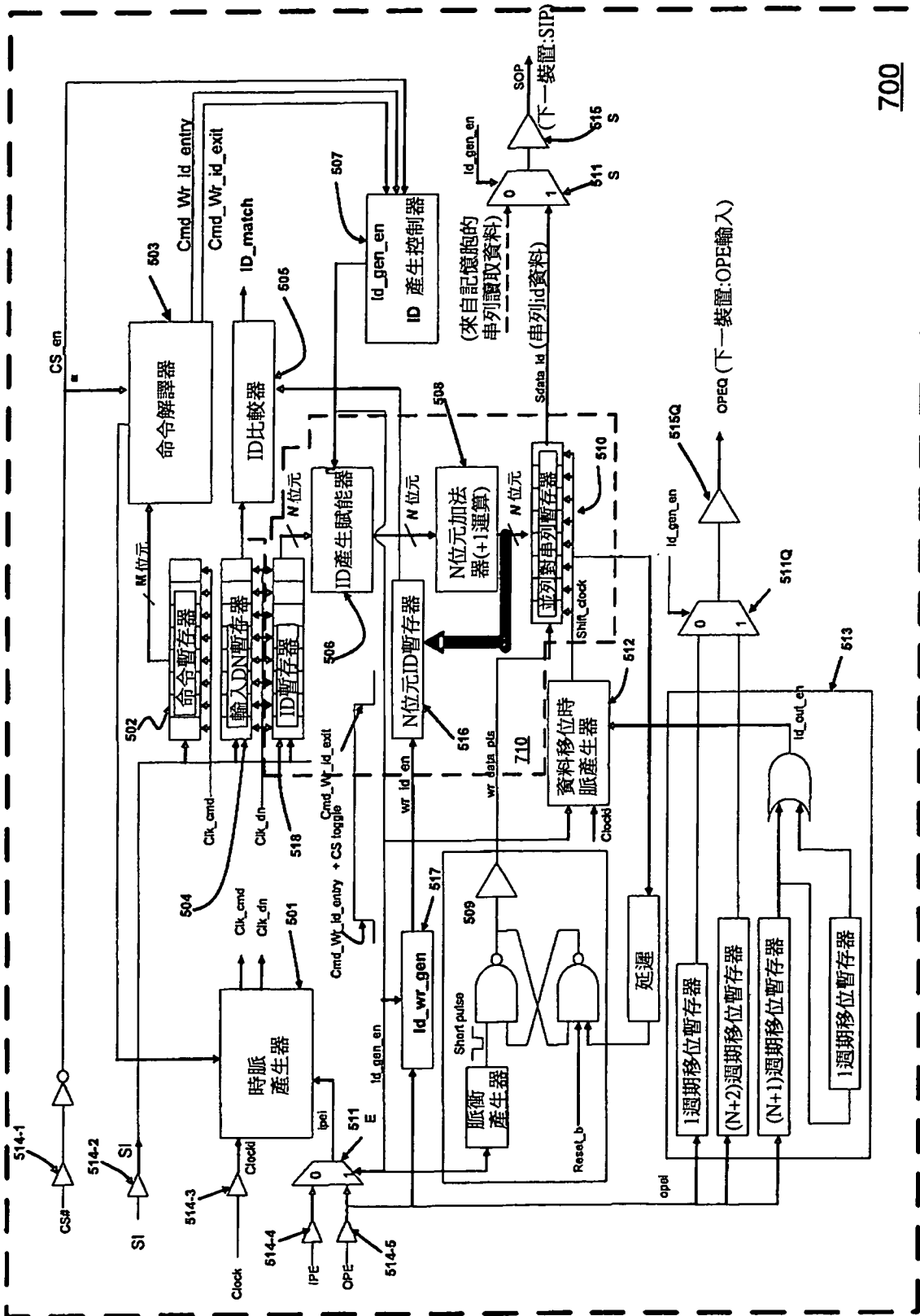


圖13B

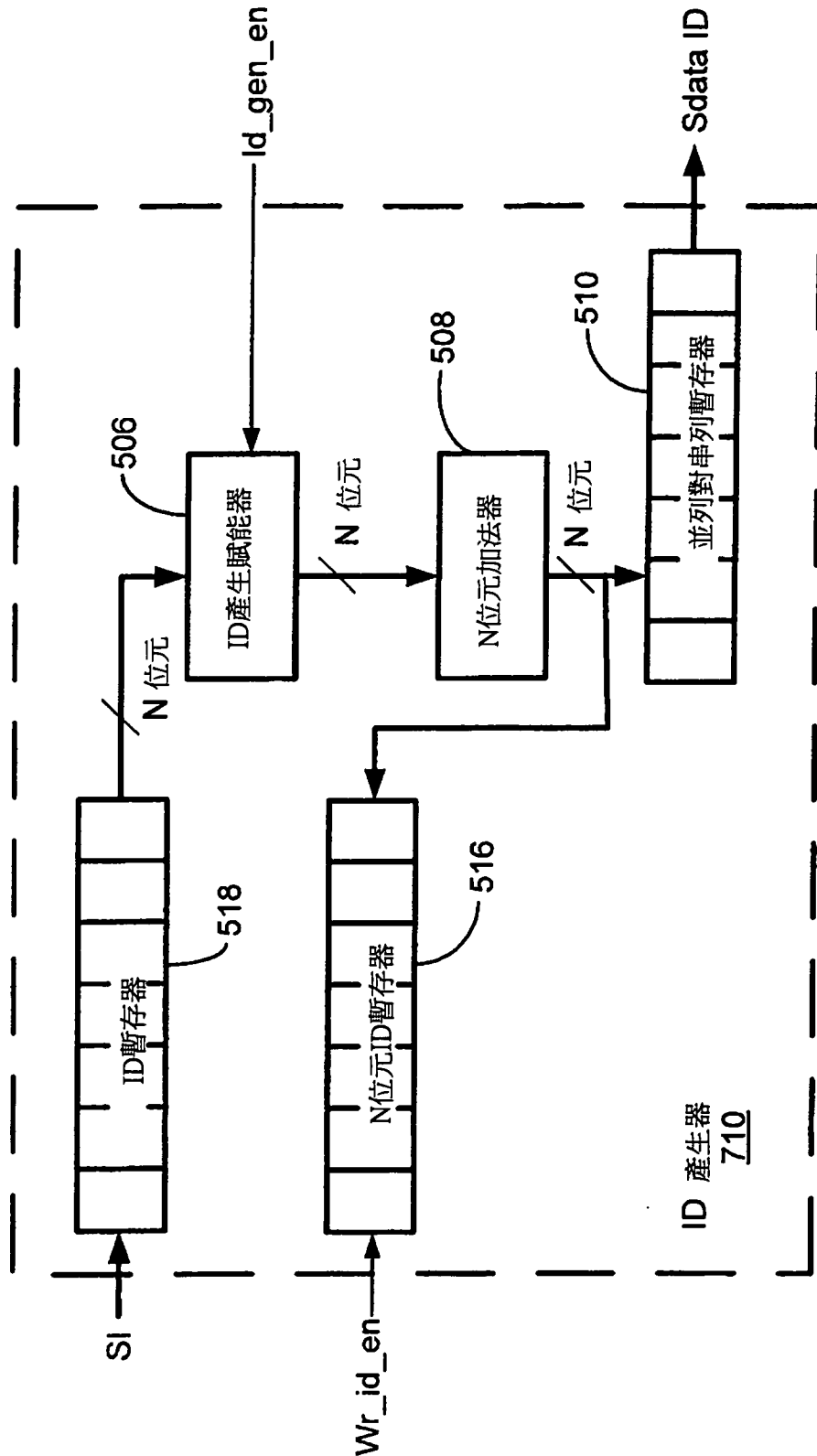


圖13C

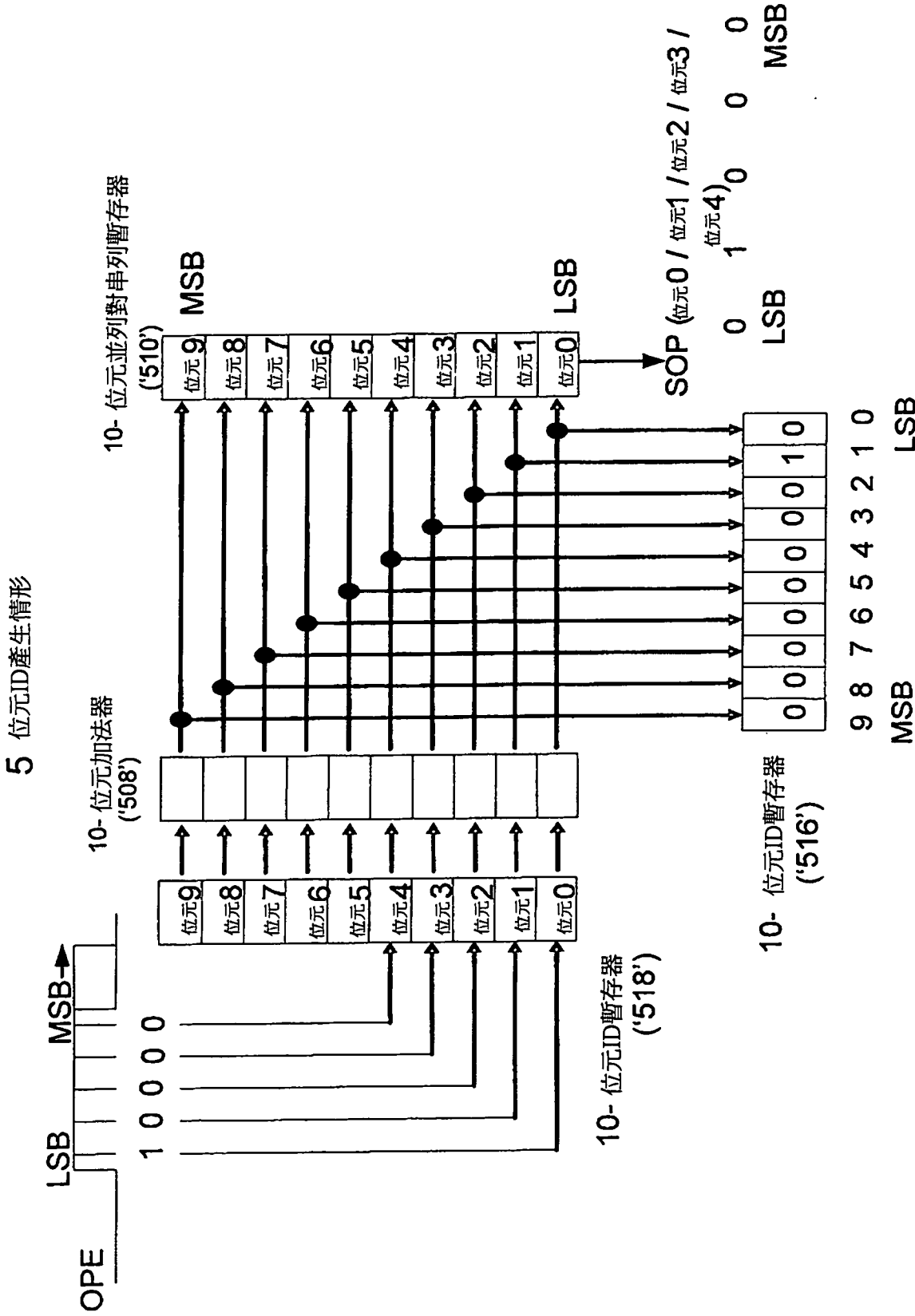


圖14

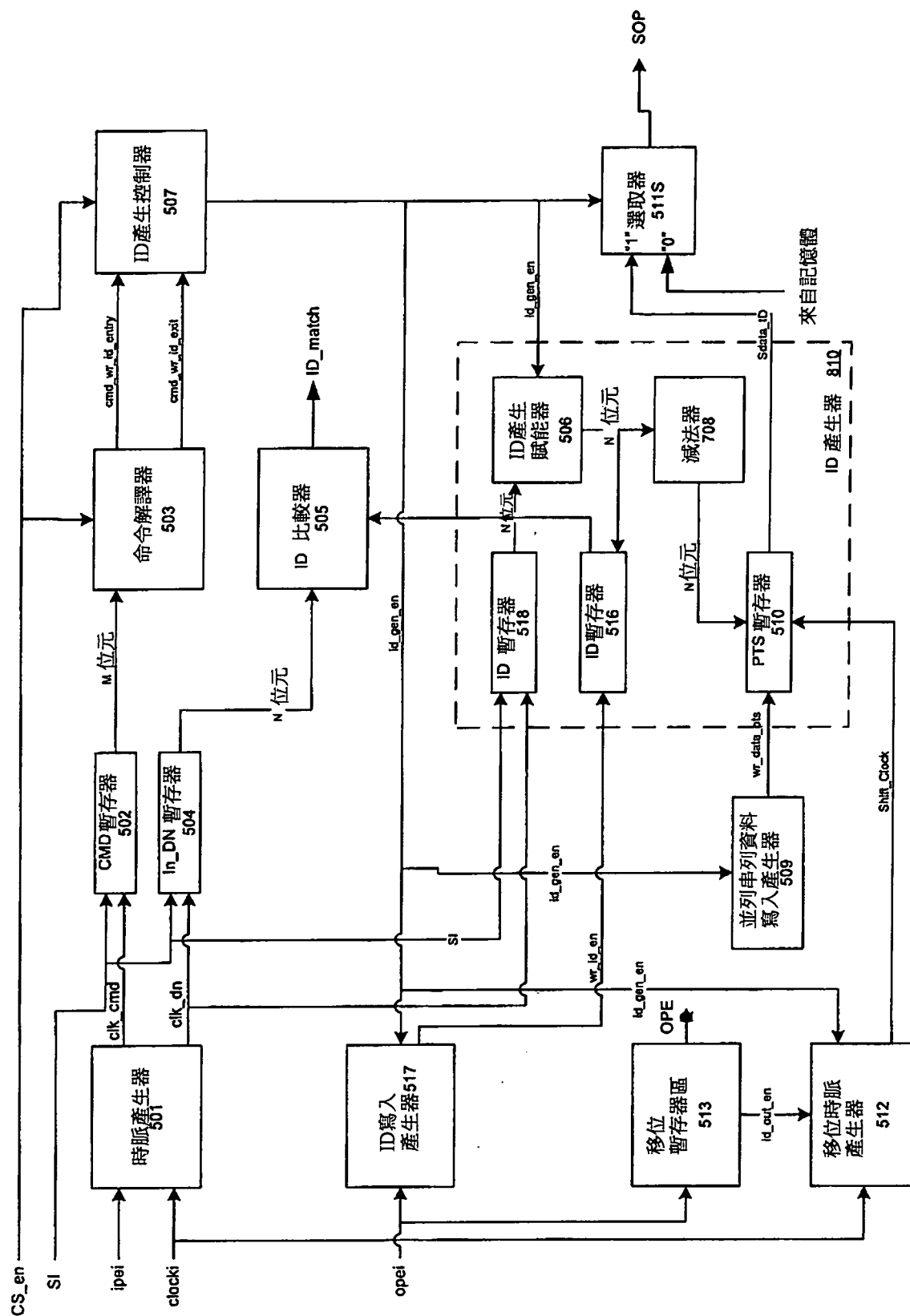


圖 15A



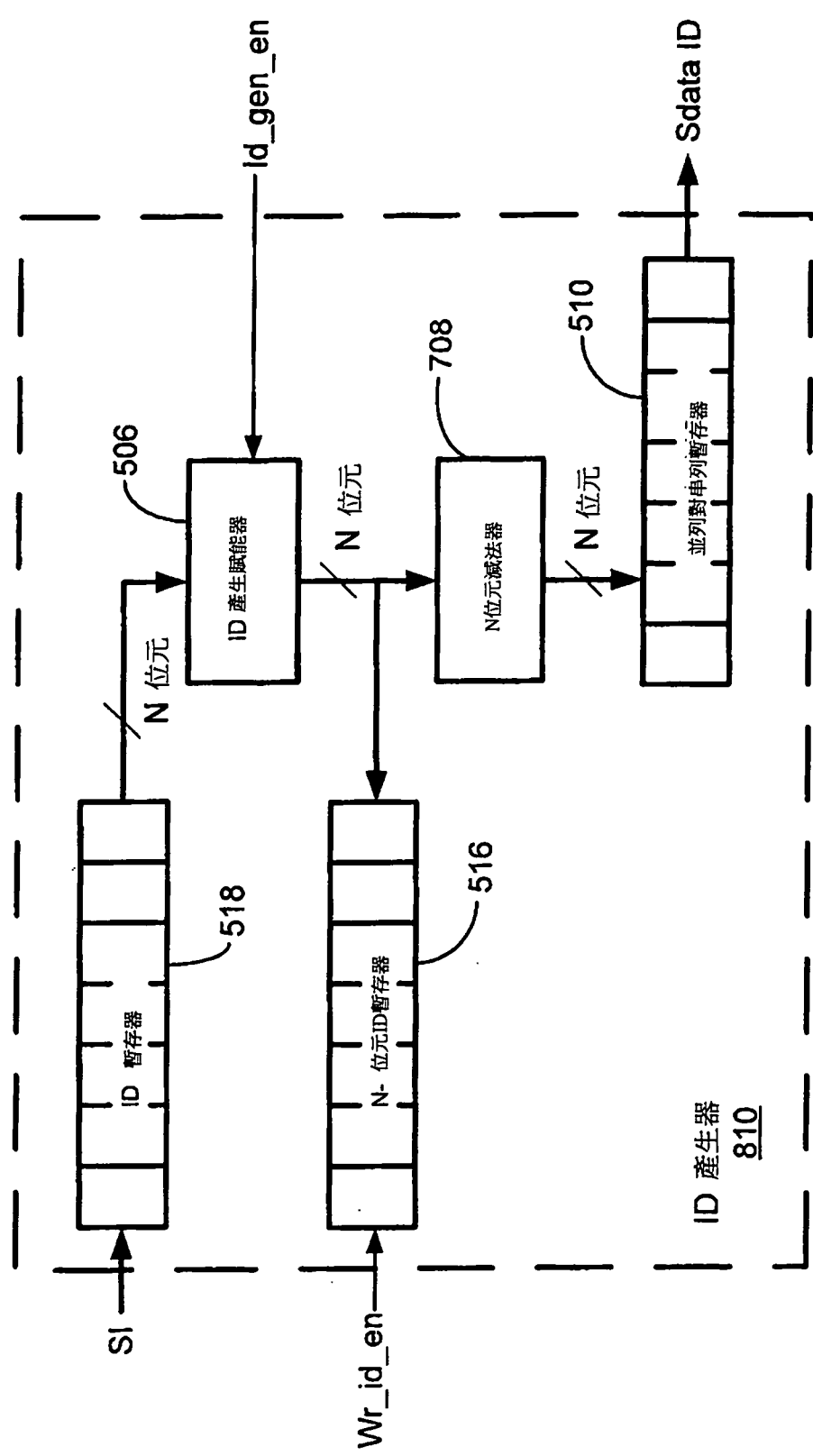


圖15C

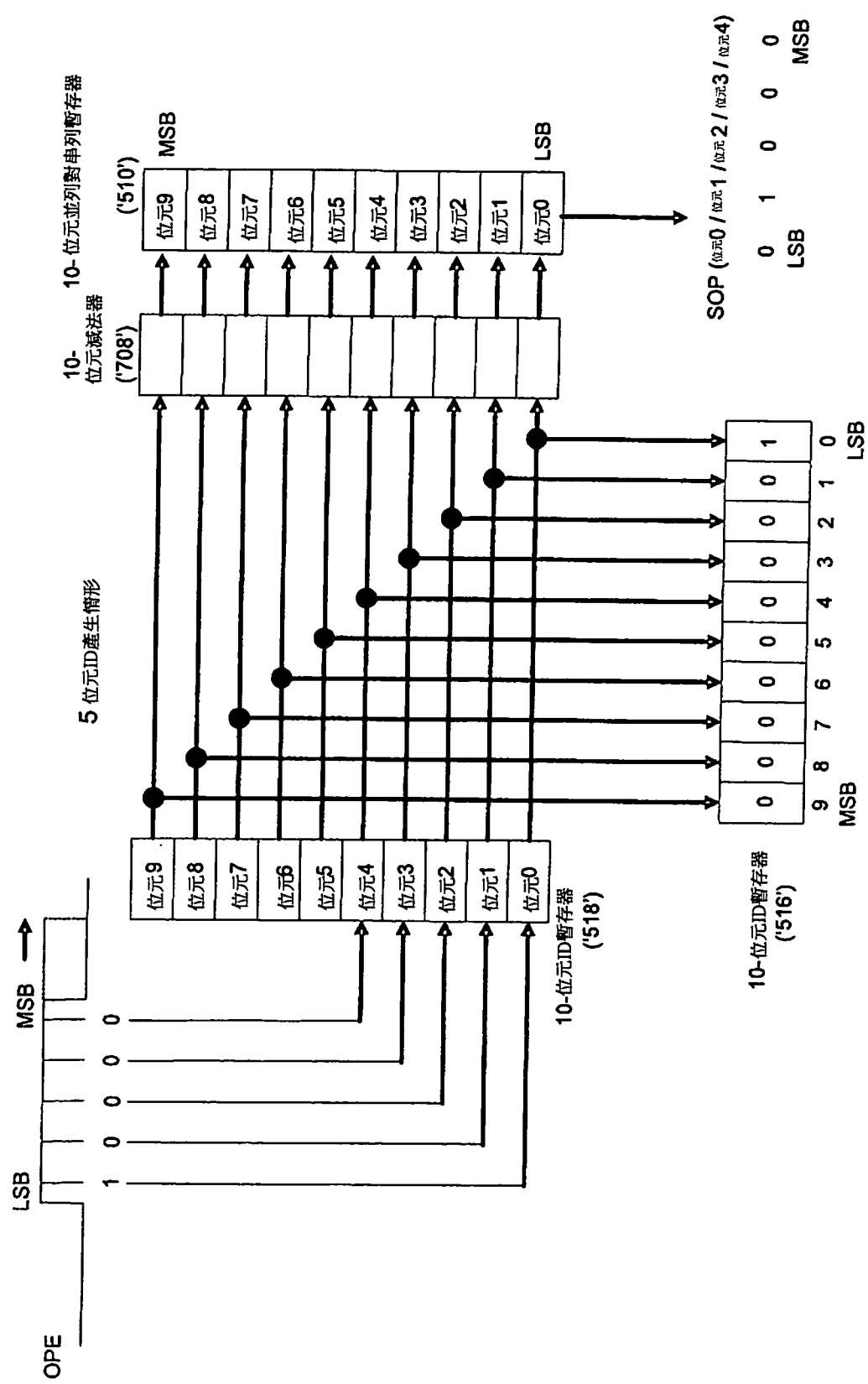


圖17