

(43) 国際公開日
2008 年 9 月 25 日 (25.09.2008)

PCT

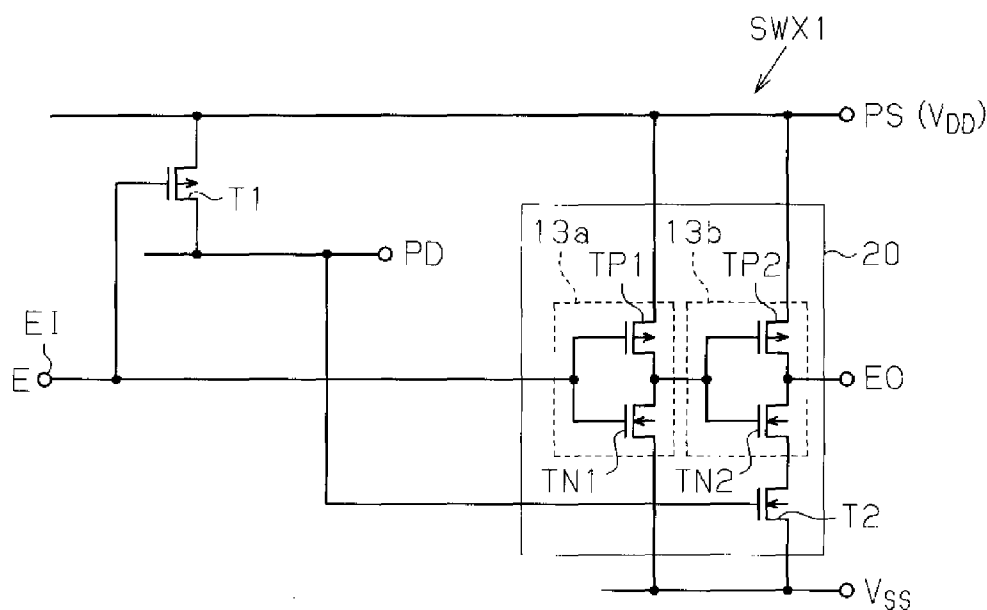
(10) 国際公開番号
WO 2008/114342 A1

- (51) 国際特許分類:
H03K 19/003 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H03K 19/00 (2006.01)
- (21) 国際出願番号: PCT/JP2007/055359
- (22) 国際出願日: 2007 年 3 月 16 日 (16.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通マイクロエレクトロニクス株式会社 (FUJITSU MICRO-ELECTRONICS LIMITED) [JP/JP]; 〒1630722 東京都新宿区西新宿二丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小牧 正樹 (KOMAKI, Masaki) [JP/JP]; 〒4870013 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通 V S L I 株式会社内 Aichi (JP).
- (74) 代理人: 恩田 博宣 (ONDA, Hironori); 〒5008731 岐阜県岐阜市大宮町 2 丁目 1 2 番地の 1 Gifu (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書

(54) Title: POWER SWITCH CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 電源スイッチ回路及び半導体集積回路装置

[図2]



(57) Abstract: A power switch circuit (SWX1) for suppressing an increase in transient current surely. The power switch circuit (SWX1) comprises a first transistor (T1) generating an output voltage (V_{DD}) in response to a control signal (E), and a time difference generation circuit (20) for delaying the control signal through logical processing of the control signal and the output voltage from the first transistor.

[続葉有]



(57) 要約: 過渡電流の増大を確実に抑制し得る電源スイッチ回路 (SWX 1)。電源スイッチ回路 (SWX 1) は、制御信号 (E) に応答して出力電圧 (V_{DD}) を生成する第 1 トランジスタ (T 1) と、前記制御信号と前記第 1 トランジスタの出力電圧との論理処理により前記制御信号を遅延させる時間差発生回路 (20) とを備える。

明 細 書

電源スイッチ回路及び半導体集積回路装置

技術分野

[0001] この発明は、半導体集積回路装置の内部回路への電源の供給を制御する電源スイッチ回路に関するものである。

背景技術

[0002] 半導体集積回路装置に搭載される複数の内部回路に電源を供給する際、各内部回路に電源を一斉に供給すると、過渡電流が増大して電源ノイズが発生する。そこで、半導体集積回路は、各内部回路と電源との間に複数の電源スイッチ回路を備え、各電源スイッチ回路を順次導通させることで過渡電流のピーク値を抑制する。このような電源スイッチ回路の動作を安定化させることが必要となっている。

[0003] 図5は、電源スイッチ回路SW1～SWnを備えた従来の半導体集積回路装置の一例を示す。複数の論理回路1と高電位電源 V_{DD} の間には複数の電源スイッチ回路SW1～SWnが介在され、各論理回路1には電源 V_{SS} が供給されている。そして、各電源スイッチ回路SW1～SWnが導通すると、各論理回路1に電源 V_{DD} が供給される。

[0004] 電源スイッチ回路SW1～SWnは、電源制御回路から供給される制御信号Eに応答して順次導通する。すなわち、初段の電源スイッチ回路SW1の入力端子EIに入力された制御信号Eは、あらかじめ設定された遅延時間が経過した後に、出力端子E0から次段の電源スイッチ回路SW2に供給される。

[0005] 同様に、電源スイッチ回路SW2は入力端子EIに入力された制御信号Eに応答して導通し、あらかじめ設定された遅延時間が経過した後に、その制御信号Eを出力端子E0から次段の電源スイッチ回路SW3に供給される。

[0006] 電源スイッチ回路SW1～SWnの構成を図6に示す。各電源スイッチ回路SW1～SWnは同一構成であるので、電源スイッチ回路SW1について説明する。

制御信号Eは入力端子EIに inputs され、PチャネルMOSトランジスタT1のゲートに供給される。従って、入力端子EIにLレベルの信号が入力されると、トランジスタT1が導通して、端子PSに供給される電源 V_{DD} が端子PDから論理回路1に供給される。

- [0007] また、入力端子EIに入力された信号EIは時間差発生回路2を介して出力端子EOから出力される。時間差発生回路2は、図7に示すように、例えば直列に接続された偶数段のインバータ回路3を含む。
- [0008] このような構成により、各電源スイッチ回路SW1～SWnは時間差発生回路2で設定された遅延時間が経過した後に制御信号Eを転送するので、その制御信号EによりトランジスタT1が順次導通して、論理回路1に電源 V_{DD} が順次供給される。
- [0009] 上記のような電源スイッチ回路SW1～SWnを備えた半導体集積回路装置では、電源スイッチ回路SW1～SWnが順次導通して、複数の論理回路1に電源 V_{DD} が順次供給されるため、過渡電流を抑制することができる。
- [0010] しかし、各電源スイッチ回路SW1～SWnが導通するタイミング差は、時間差発生回路2で固定されたものであるため、論理回路1の負荷変動により前段の電源スイッチ回路に過渡電流が流れているときに、次段の電源スイッチ回路が導通する可能性がある。
- [0011] 従って、複数の電源スイッチ回路に並行して過渡電流が流れることがあるため、依然として過渡電流の増大を確実に抑制することができないという問題点がある。

発明の開示

- [0012] この発明の目的は、過渡電流の増大を確実に抑制し得る電源スイッチ回路を提供することにある。

本発明の第1の態様において、電源スイッチ回路が提供される。電源スイッチ回路は、制御信号に応答して出力電圧を生成する第1トランジスタと、前記制御信号と前記第1トランジスタの出力電圧との論理処理により前記制御信号を遅延させる時間差発生回路と、を備える。

- [0013] 本発明の第2の態様において、半導体集積回路装置が提供される。半導体集積回路装置は、複数の論理回路と、前記複数の論理回路にそれぞれ接続され、制御信号に応答して順次導通する複数の電源スイッチ回路とを備える。前記複数の電源スイッチ回路の各々は、前記制御信号に応答して高電位電源の電圧に応じた出力電圧を生成し、該出力電圧を対応する前記論理回路に供給する第1トランジスタと、前記制御信号と前記第1トランジスタの出力電圧との論理処理により前記制御信号を遅

延させる時間差発生回路と、を含む。

- [0014] 上記した本発明によれば、過渡電流の増大を確実に抑制し得る電源スイッチ回路を提供することができる。

図面の簡単な説明

- [0015] [図1]複数の電源スイッチ回路を備えた第一の実施の形態の半導体集積回路を示すブロック図である。

[図2]図1の電源スイッチ回路を示す回路図である。

[図3]第二の実施の形態の電源スイッチ回路を示す回路図である。

[図4]複数の電源スイッチ回路を備えた第三の実施の形態の半導体集積回路を示すブロック図である。

[図5]複数の電源スイッチ回路を備えた従来の半導体集積回路を示すブロック図である。

[図6]図5の電源スイッチ回路を示す回路図である。

[図7]図5の電源スイッチ回路を示す回路図である。

発明を実施するための最良の形態

- [0016] (第一の実施の形態)

以下、本発明の第一の実施の形態の半導体集積回路装置を図面に従って説明する。

図1は、複数の論理回路1にそれぞれ電源 V_{DD} を供給する複数の電源スイッチ回路SWX1～SWXnを備えた半導体集積回路装置を示す。電源スイッチ回路SWX1～SWXnは、電源制御回路11から供給される制御信号Eに応答して順次導通し、複数の論理回路1に電源 V_{DD} を順次供給する。

- [0017] 前記電源スイッチ回路SWX1～SWXnは同一構成であるので、電源スイッチ回路SWX1についてその具体的構成を図2に従って説明する。

制御信号Eを受け取る入力端子EIは、スイッチ用トランジスタであるPチャネルMOSトランジスタT1のゲートに接続される。トランジスタT1のソースは、電源 V_{DD} を受け取る端子PSに接続され、ドレインは前記論理回路1に電源 V_{DD} を供給する端子PDに接続される。

- [0018] 前記入力端子EIは、直列に接続された2段のインバータ回路13a, 13bの初段に接続され、次段のインバータ回路13bの出力端子が電源スイッチ回路SWX1の出力端子EOに接続されている。第一の実施の形態ではインバータ回路13a, 13bは伝達部を構成する。
- [0019] 前記インバータ回路13aはPチャネルMOSTランジスタTP1とNチャネルMOSTランジスタTN1とから構成され、前記インバータ回路13bはPチャネルMOSTランジスタTP2とNチャネルMOSTランジスタTN2とから構成されている。各トランジスタTP1, TP2のソースは端子PSに接続されている。インバータ回路13aのトランジスタTN1のソースには、電源 V_{ss} が供給されている。
- [0020] また、インバータ回路13bのトランジスタTN2のソースと電源 V_{ss} との間には、NチャネルMOSTランジスタ(活性化トランジスタ)T2が介在され、そのトランジスタT2のゲートは前記端子PDに接続されている。このトランジスタT2のしきい値は高く設定されることが望ましい。第一の実施の形態ではインバータ回路13a, 13b及びトランジスタT2は時間差発生回路20を構成する。
- [0021] 図1に示すように、最終段の電源スイッチ回路SWXnの出力信号は論理演算回路としてのEOR(排他的論理和)回路12に供給される。EOR回路12には更に前記制御信号Eが供給される。EOR回路12は、電源スイッチ回路SWXnの出力信号と初段の電源スイッチ回路SWX1に供給される制御信号Eとの排他的論理和を演算して、その演算結果を示す判定信号Fを生成する。
- [0022] 次に、上記のように構成された電源スイッチ回路SWX1～SWXnを備えた半導体集積回路装置の動作を説明する。
- 各電源スイッチ回路SWX1～SWXnでは、入力端子EIにLレベルの制御信号Eが供給されると、トランジスタT1がオンされて端子PDから論理回路1に電源 V_{DD} の供給が開始され、論理回路1に過渡電流が流れ始める。また、制御信号Eはインバータ回路13a, 13bで転送される。
- [0023] 論理回路1への過渡電流が収束して、端子PDの電位が電源 V_{DD} レベル近傍まで上昇すると、トランジスタT2がオンされる。すると、インバータ回路13bが活性化されて、制御信号Eと同相のLレベルの出力信号が出力端子EOから出力される。

- [0024] このような動作により、各電源スイッチ回路SWX1～SWXnでは、Lレベルの制御信号Eの入力に基づいて、端子PDから各論理回路1へ電流が供給され、その過渡電流が収束して端子PDが電源 V_{DD} レベル近傍まで上昇した後に、出力端子EOからLレベルの出力信号が次段の電源スイッチ回路に供給される。従って、1つの電源スイッチ回路から論理回路1に過渡電流が流れている間に、次段の電源スイッチが導通することはない。
- [0025] また、電源制御回路11からHレベルの制御信号Eが出力された後に、各論理回路1に電源 V_{DD} を供給するためにその制御信号EがLレベルに立ち下がると、EOR回路12はHレベルの判定信号Fを初期値として生成する。
- [0026] そして、電源制御回路11から供給されたLレベルの制御信号Eに基づいて、最終段の電源スイッチ回路SWXnの出力端子EOからLレベルの出力信号が出力されると、EOR回路12はLレベルの判定信号Fを生成する。
- [0027] すると、Lレベルの判定信号Fを例えば図示しない外部の装置で検出することにより、各電源スイッチ回路SWX1～SWXnのトランジスタT1が正常に動作して、論理回路1に電源 V_{DD} が供給されていることが確認される。
- [0028] すなわち、各電源スイッチ回路SWX1～SWXnの出力信号がLレベルに立ち下がるためには、トランジスタT1が正常に動作して端子PDの電位を上昇させる必要があるからである。
- [0029] また、電源制御回路11からLレベルの制御信号Eが出力された後、判定信号FがLレベルに立ち下がらず、Hレベルのままである場合には、電源スイッチ回路SWX1～SWXnのいずれかにおいてトランジスタT1が正常に動作していないか、あるいは論理回路1のいずれかで異常電流が流れ続ける状態である可能性がある。従って、この半導体集積回路装置が不良であることが外部の装置で判定可能となる。
- [0030] 一方、電源制御回路11からHレベルの制御信号Eが出力される状態すなわちスタンバイ時には、電源スイッチ回路SWX1のトランジスタT1はオフされる。すると、電源スイッチ回路SWX1から論理回路1への電源の供給が遮断され、電源 V_{DD} から論理回路1へのリーク電流も遮断される。
- [0031] また、Hレベルの制御信号Eによりインバータ回路13aはLレベルの出力信号を生

成し、インバータ回路13bはHレベルの出力信号EOを生成する。従って、各電源スイッチ回路SWX2～SWXnの入力端子EIにはすべてHレベルの信号が供給され、電源スイッチ回路SWX1と同様に、各電源スイッチ回路SWX2～SWXnから対応する論理回路1への電源の供給が遮断されるとともに、リーク電流も遮断される。

[0032] 一実施形態の電源スイッチ回路SWX1～SWXnは、以下の利点を有する。

(1) 各論理回路1の負荷変動に関わらず、2以上の電源スイッチ回路から並行して論理回路1に過渡電流が供給されることはない。従って、過渡電流の増大を抑制して、電源電圧の変動を抑制することができる。

(2) 動作試験時に、判定信号Fにより、各電源スイッチ回路のスイッチ用トランジスタT1が正常に動作しているか否かを判定することができる。

(3) 通常使用時に、判定信号Fにより、各電源スイッチ回路が論理回路1へ電源を供給して各論理回路1で異常電流が流れていないか否かを判定することができる。

(4) スタンバイ時に制御信号EをHレベルに設定すれば、電源スイッチ回路SWX1～SWXnから各論理回路1への電源 V_{DD} の供給が遮断され、電源 V_{DD} から各論理回路1へのリーク電流も遮断される。

(第二の実施の形態)

図3は、第二の実施の形態を示す。この第二の実施の形態は、別の電源スイッチ回路SWX1～SWXnを示すものである。第二の実施の形態では、図2に示す各電源スイッチ回路SWX1～SWXnのスイッチ用トランジスタT1がNチャネルMOSトランジスタT3に置き換えられている。第一の実施の形態の電源スイッチ回路SWX1～SWXnと同一構成部分は同一符号を付して説明する。

[0033] 制御信号Eを受け取る入力端子EIは、スイッチ用トランジスタであるNチャネルMOSトランジスタT3のゲートに接続される。トランジスタT3のドレインは、電源 V_{DD} を受け取る端子PSに接続され、ソースは前記論理回路1に電源 V_{DD} を供給する端子PDに接続される。

[0034] 前記入力端子EIは、直列に接続された2段のインバータ回路13a, 13bの初段に接続され、次段のインバータ回路13bの出力端子が電源スイッチ回路の出力端子EOに接続されている。

[0035] 前記インバータ回路13a, 13bの各々のPチャネルMOSTランジスタTP1, Tp2のソースは端子PSに接続され、インバータ回路13aのNチャネルMOSTランジスタTN1のソースと電源 V_{SS} との間には、NチャネルMOSTランジスタT4が介在され、そのトランジスタT4のゲートは前記端子PDに接続されている。第二の実施の形態ではインバータ回路13a, 13b及びトランジスタT4は時間差発生回路30を構成する。

[0036] 上記のような電源スイッチ回路SWX1では、制御信号EがHレベルに立ち上がると、トランジスタT3がオンされて、端子PDから論理回路1に電源 V_{DD} が供給される。また、論理回路1に流れる過渡電流が収束して、端子PDが電源 V_{DD} レベル近傍まで上昇すると、トランジスタT4がオンされてインバータ回路13aが活性化される。従って、インバータ回路13aはLレベルの出力信号を生成する。

[0037] すると、インバータ回路13bの出力信号がHレベルに立ち上がり、出力端子EOからHレベルの出力信号が次段の電源スイッチ回路に供給される。

また、制御信号EがLレベルに立ち下がると、トランジスタT3がオフされ、論理回路1への電源 V_{DD} の供給が遮断され、論理回路1へのリーク電流も遮断される。そして、出力端子EOからLレベルの出力信号が次段の電源スイッチ回路に供給されて、各電源スイッチも同様に動作する。

[0038] このような動作により、この第二の実施の形態では第一の実施の形態の電源スイッチ回路と同様な作用効果を得ることができる。

(第三の実施の形態)

図4は、第三の実施の形態を示す。この第三の実施の形態は、前記第一の実施の形態の電源スイッチ回路SWX1～SWXnと論理回路1との間にそれぞれスイッチ用トランジスタTs(図4ではT5, T6, T7, T8)を介在させ、各トランジスタTsのゲートに電源制御回路13から供給される制御信号E1～Enが供給される。

[0039] 前記トランジスタTsはPチャネルMOSTランジスタで構成され、制御信号E1～EnがLレベルに立ち下がると、電源スイッチ回路SWX1～SWXnと論理回路1とが接続され、制御信号E1～EnがHレベルに立ち上がると、電源スイッチ回路SWX1～SWXnと論理回路1とは遮断される。その他の構成は、前記第一の実施の形態と同様である。

[0040] このような構成では、電源制御回路13からLレベルの制御信号Eが電源スイッチ回路SWX1に供給されると、第一の実施の形態と同様に、その制御信号Eが後段の電源スイッチ回路に順次伝達される。

[0041] そして、各電源スイッチ回路SWX1～SWXnの端子PDから電源 V_{DD} が供給される
とき、その電源 V_{DD} は制御信号E1～EnによりオンされるトランジスタTsを介して論理回路1に供給される。

[0042] 従って、電源スイッチ回路SWX1～SWXnから電源 V_{DD} を供給する論理回路1を、
制御信号E1～Enで選択可能となる。

また、電源制御回路13から供給される制御信号EがHレベルに立ち上がると、各電源スイッチ回路SWX1～SWXnのスイッチ用トランジスタがオフされて、端子PDへの電源 V_{DD} の供給が遮断され、かつ論理回路1へのリーク電流が遮断される。

[0043] 従って、この第三の実施の形態では、第一の実施の形態で得られた作用効果に加えて、次に示す作用効果を得ることができる。

(5) 各電源スイッチ回路SWX1～SWXnから電源 V_{DD} を供給する論理回路1を、制御信号E1～Enで選択することができる。

請求の範囲

- [1] 電源スイッチ回路であって、
制御信号に応答して出力電圧を生成する第1トランジスタと、
前記制御信号と前記第1トランジスタの出力電圧との論理処理により、前記制御信号を遅延させる時間差発生回路と、
を備えたことを特徴とする電源スイッチ回路。
- [2] 前記時間差発生回路は、
前記制御信号を伝達する伝達部と、
前記伝達部に接続され、前記第1トランジスタの出力電圧に応じて前記伝達部を活性する第2トランジスタと、
を含むことを特徴とする請求項1記載の電源スイッチ回路。
- [3] 前記伝達部は、前記制御信号が第1レベルのとき前記第1トランジスタの出力電圧に応じて前記第2トランジスタにより活性され、前記制御信号が第2レベルのとき前記第2トランジスタに依存せずに前記制御信号を伝達する、ことを特徴とする請求項2記載の電源スイッチ回路。
- [4] 前記第1トランジスタは、前記制御信号を入力する第1制御端子と、高電位電源に接続された第1端子と、前記出力電圧を出力する第2端子とを有し、
前記時間差発生回路は、
前記第1トランジスタの第2端子に接続された第2制御端子と、低電位電源に接続された第3端子と、第4端子とを有する第2トランジスタと、
前記高電位電源と前記低電位電源との間に接続され、前記第1トランジスタの第1制御端子に接続された第1入力端子と、第1出力端子とを有する第1インバータ回路と、
前記高電位電源と前記第2トランジスタの第4端子との間に接続され、前記第1インバータ回路の第1出力端子に接続された第2入力端子と、第2出力端子とを有する第2インバータ回路と、
を含むことを特徴とする請求項1記載の電源スイッチ回路。
- [5] 前記第1トランジスタは、前記制御信号を入力する第1制御端子と、高電位電源に

接続された第1端子と、前記出力電圧を出力する第2端子とを有し、

前記時間差発生回路は、

前記第1トランジスタの第2端子に接続された第2制御端子と、低電位電源に接続された第3端子と、第4端子とを有する第2トランジスタと、

前記高電位電源と前記第2トランジスタの第4端子との間に接続され、前記第1トランジスタの第1制御端子に接続された第1入力端子と、第1出力端子とを有する第1インバータ回路と、

前記高電位電源と前記低電位電源との間に接続され、前記第1インバータ回路の第1出力端子に接続された第2入力端子と、第2出力端子とを有する第2インバータ回路と、

を含むことを特徴とする請求項1記載の電源スイッチ回路。

- [6] 前記第1トランジスタは、高電位電源の電圧に応じて前記出力電圧を上昇させ、
前記時間差発生回路は、前記第1トランジスタの出力電圧が前記高電位電源の電圧近傍に達したときに活性化される第2トランジスタを含むことを特徴とする請求項1記載の電源スイッチ回路。

- [7] 前記第1トランジスタは、高電位電源を用いて前記出力電圧を生成し、
前記時間差発生回路は、
偶数段のインバータ回路と、
前記偶数段のインバータ回路の1つと低電位電源との間に接続され、前記第1トランジスタの出力電圧に応答的な第2トランジスタと、
を含むことを特徴とする請求項1記載の電源スイッチ回路。

- [8] 複数の論理回路と、
前記複数の論理回路にそれぞれ接続され、制御信号に応答して順次導通する複数の電源スイッチ回路と、
を備えた半導体集積回路装置であって、
前記複数の電源スイッチ回路の各々は、
前記制御信号に応答して高電位電源の電圧に応じた出力電圧を生成し、該出力電圧を対応する前記論理回路に供給する第1トランジスタと、

前記制御信号と前記第1トランジスタの出力電圧との論理処理により、前記制御信号を遅延させる時間差発生回路と、
を含むことを特徴とする半導体集積回路装置。

- [9] 前記時間差発生回路は、
前記制御信号を伝達する伝達部と、
前記伝達部に接続され、前記第1トランジスタの出力電圧に応じて前記伝達部を活性する第2トランジスタと、
を含むことを特徴とする請求項8記載の半導体集積回路装置。
- [10] 前記伝達部は、前記制御信号が第1レベルのとき前記第1トランジスタの出力電圧に応じて前記第2トランジスタにより活性され、前記制御信号が第2レベルのとき前記第2トランジスタに依存せずに前記制御信号を伝達する、ことを特徴とする請求項9記載の半導体集積回路装置。
- [11] 前記第1トランジスタは、前記制御信号を入力する第1制御端子と、高電位電源に接続された第1端子と、前記出力電圧を出力する第2端子とを有し、
前記時間差発生回路は、
前記第1トランジスタの第2端子に接続された第2制御端子と、低電位電源に接続された第3端子と、第4端子とを有する第2トランジスタと、
前記高電位電源と前記低電位電源との間に接続され、前記第1トランジスタの第1制御端子に接続された第1入力端子と、第1出力端子とを有する第1インバータ回路と、
前記高電位電源と前記第2トランジスタの第4端子との間に接続され、前記第1インバータ回路の第1出力端子に接続された第2入力端子と、第2出力端子とを有する第2インバータ回路と、
を含むことを特徴とする請求項8記載の半導体集積回路装置。
- [12] 前記第1トランジスタは、前記制御信号を入力する第1制御端子と、高電位電源に接続された第1端子と、前記出力電圧を出力する第2端子とを有し、
前記時間差発生回路は、
前記第1トランジスタの第2端子に接続された第2制御端子と、低電位電源に接続さ

れた第3端子と、第4端子とを有する第2トランジスタと、

前記高電位電源と前記第2トランジスタの第4端子との間に接続され、前記第1トランジスタの第1制御端子に接続された第1入力端子と、第1出力端子とを有する第1インバータ回路と、

前記高電位電源と前記低電位電源との間に接続され、前記第1インバータ回路の第1出力端子に接続された第2入力端子と、第2出力端子とを有する第2インバータ回路と、

を含むことを特徴とする請求項8記載の半導体集積回路装置。

- [13] 前記第1トランジスタは、高電位電源の電圧に応じて前記出力電圧を上昇させ、
前記時間差発生回路は、前記第1トランジスタの出力電圧が前記高電位電源の電圧近傍に達したときに活性化される第2トランジスタを含むことを特徴とする請求項8記載の半導体集積回路装置。

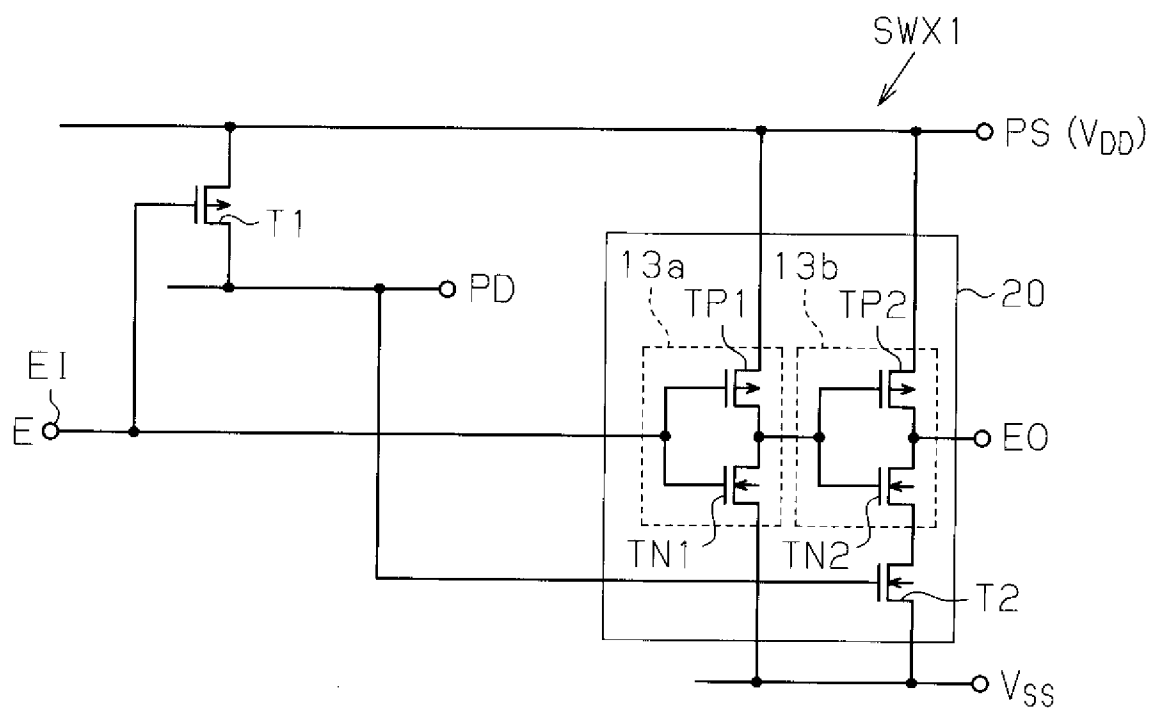
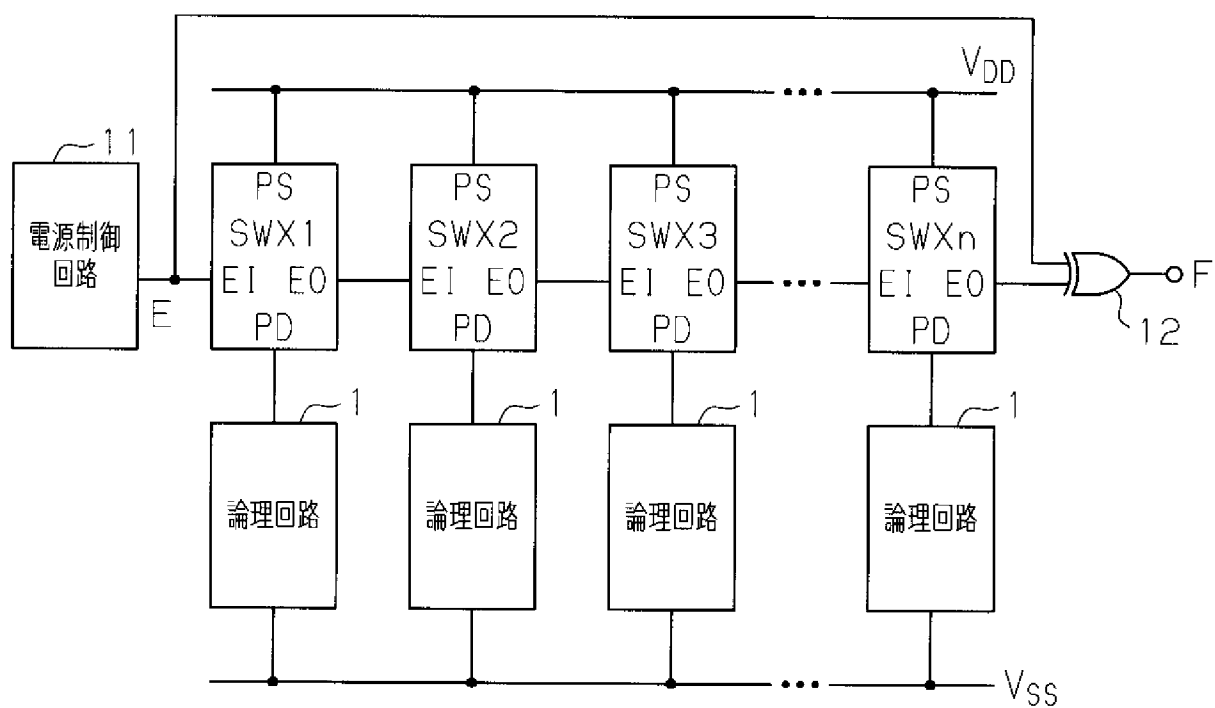
- [14] 前記時間差発生回路は、
偶数段のインバータ回路と、
前記偶数段のインバータ回路の1つと低電位電源との間に接続され、前記第1トランジスタの出力電圧に応答的な第2トランジスタと、
を含むことを特徴とする請求項8記載の半導体集積回路装置。

- [15] 前記第1トランジスタは、前記高電位電源と前記論理回路との間に接続されるPチャネルMOSトランジスタで構成され、
前記第2トランジスタは、前記時間差発生回路の偶数段のインバータ回路のうち最終段のインバータ回路と前記低電位電源との間に接続されるNチャネルMOSトランジスタで構成されることを特徴とする請求項14記載の半導体集積回路装置。

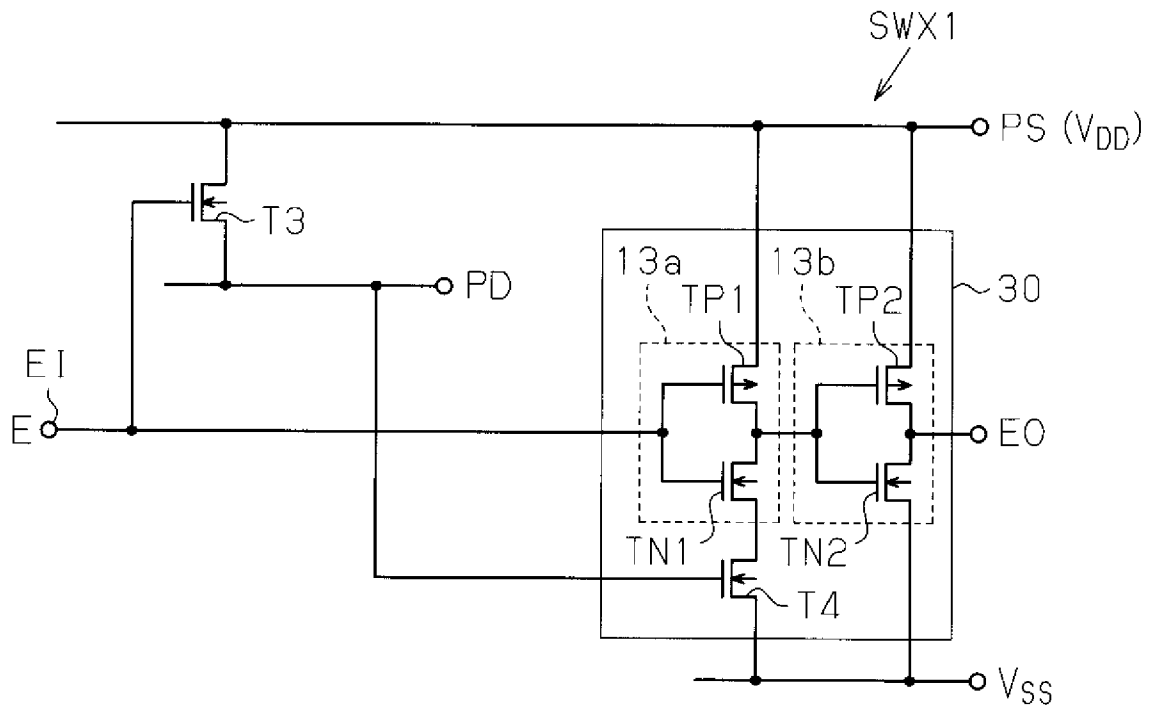
- [16] 前記第1トランジスタは、前記高電位電源と前記論理回路との間に接続されるNチャネルMOSトランジスタで構成され、
前記時間差発生回路の偶数段のインバータ回路は、1つ以上の奇数段のインバータ回路を含み、
前記第2トランジスタは、前記1つ以上の奇数段のインバータ回路の1つと前記低電位電源との間に接続されるNチャネルMOSトランジスタで構成されることを特徴とす

る請求項14記載の半導体集積回路装置。

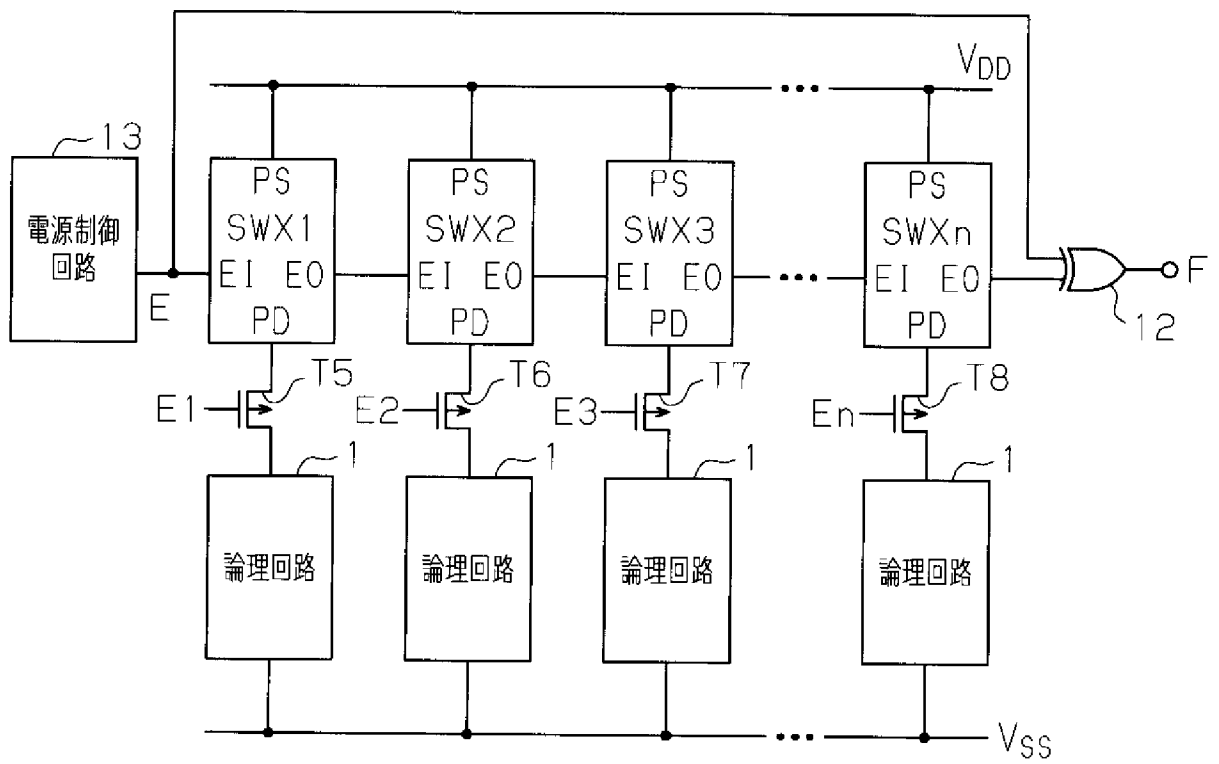
- [17] 前記複数の電源スイッチ回路のうち初段の電源スイッチ回路に入力される前記制御信号と、前記複数の電源スイッチ回路のうち最終段の電源スイッチ回路から出力される前記制御信号との排他的論理和を演算する論理演算回路を更に備えたことを特徴とする請求項8乃至16のいずれか1項に記載の半導体集積回路装置。
- [18] 前記複数の電源スイッチ回路と前記複数の論理回路との間にそれぞれ介在される複数のスイッチ素子をさらに備えたことを特徴とする請求項8乃至17のいずれか1項に記載の半導体集積回路装置。



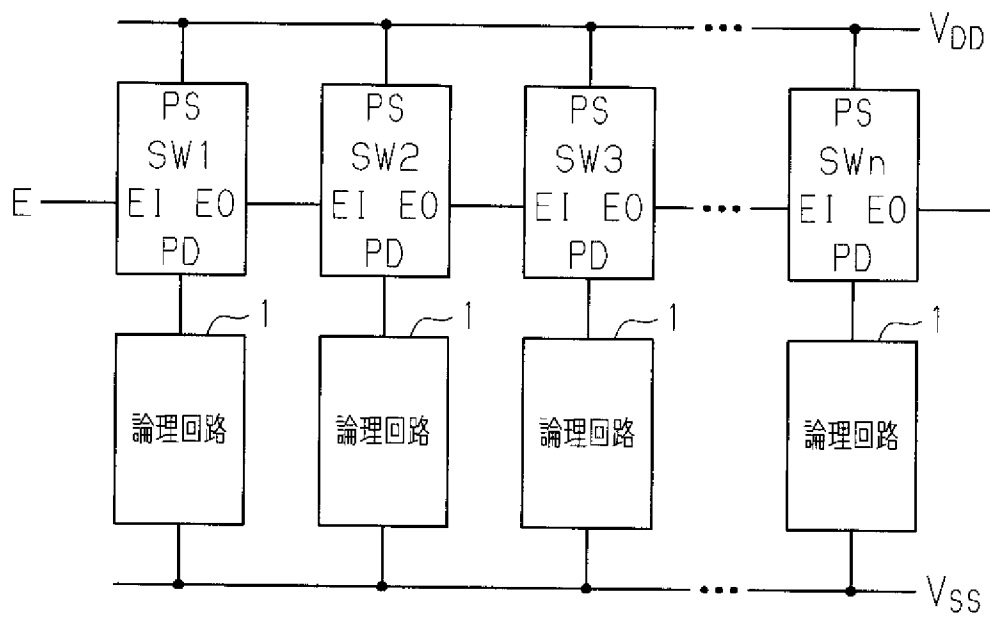
[図3]



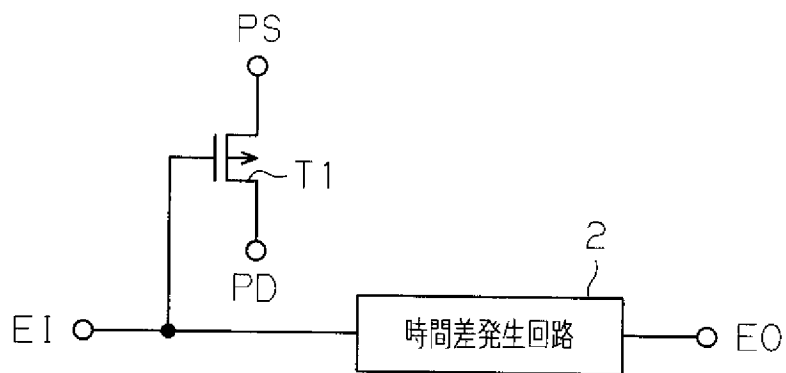
[図4]



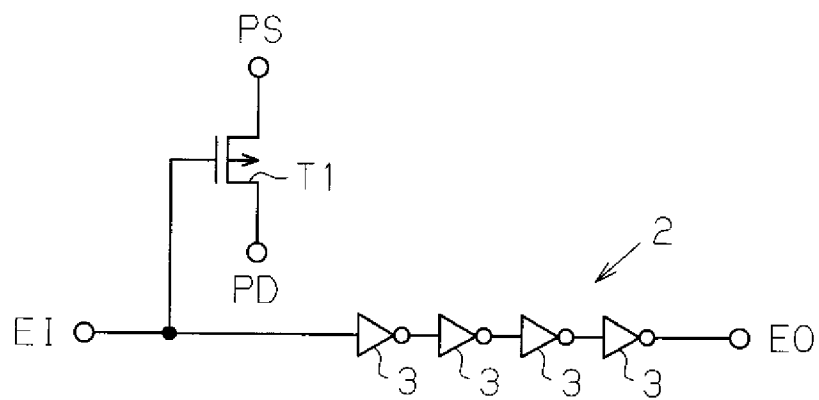
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/055359

A. CLASSIFICATION OF SUBJECT MATTER

H03K19/003(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i,
H03K19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K19/003, H01L21/822, H01L27/04, H03K19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2003-289245 A (Fujitsu Ltd.), 10 October, 2003 (10.10.03), All pages; Figs. 2, 3	1-18
A	JP 2004-503996 A (Advanced Micro Devices, Inc.), 05 February, 2004 (05.02.04), Par. Nos. [0002], [0004]	1-18
A	JP 2001-143477 A (NEC Corp.), 25 May, 2001 (25.05.01), Par. No. [0045]; Fig. 2	1-18
A	JP 3-266519 A (Oki Electric Industry Co., Ltd.), 27 November, 1991 (27.11.91), Full text; Fig. 1	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
24 May, 2007 (24.05.07)

Date of mailing of the international search report
05 June, 2007 (05.06.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2007/055359

P 2003-289245 A	2003.10.10	US 2003/0184364 A1 CN 001449112 A TW 000586267 B
JP 2004-503996 A	2004.02.05	US 006766222 B1 EP 001290537 A1 WO 2001/096993 A2 DE 060106438 A1 CN 001436328 A TW 000523655 B
JP 2001-143477 A	2001.05.25	US 006414363 B1 EP 001100199 A2 TW 000232634 B
JP 3-266519 A	1991.11.27	JP 002962759 B

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H03K19/003 (2006.01) i, H01L21/822 (2006.01) i, H01L27/04 (2006.01) i, H03K19/00 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H03K19/003, H01L21/822, H01L27/04, H03K19/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2 0 0 3 - 2 8 9 2 4 5 A (富士通株式会社) 2 0 0 3 . 1 0 . 1 0 , 全頁, 図 2 , 3	1 - 1 8
A	J P 2 0 0 4 - 5 0 3 9 9 6 A (アドバンスト・マイクロ・デ ィバイシズ・インコーポレイテッド) 2 0 0 4 . 0 2 . 0 5 , 【 0 0 0 2 】 , 【 0 0 0 4 】 欄	1 - 1 8
A	J P 2 0 0 1 - 1 4 3 4 7 7 A (日本電気株式会社) 2 0 0 1 . 0 5 . 2 5 , 【 0 0 4 5 】 欄, 図 2	1 - 1 8

☒ C 欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 5 . 2 0 0 7

国際調査報告の発送日

0 5 . 0 6 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

宮島 郁美

5 X

8 5 2 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 9 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 3 - 2 6 6 5 1 9 A (沖電気工業株式会社) 1 9 9 1 . 1 1 . 2 7 , 全文 , 第 1 図	1 - 1 8

P 2003-289245 A	2003. 10. 10	US 2003/0184364 A1 CN 001449112 A TW 000586267 B
JP 2004-503996 A	2004. 02. 05	US 006766222 B1 EP 001290537 A1 WO 2001/096993 A2 DE 060106438 A1 CN 001436328 A TW 000523655 B
JP 2001-143477 A	2001. 05. 25	US 006414363 B1 EP 001100199 A2 TW 000232634 B
JP 3-266519 A	1991. 11. 27	JP 002962759 B