

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年9月7日(07.09.2023)



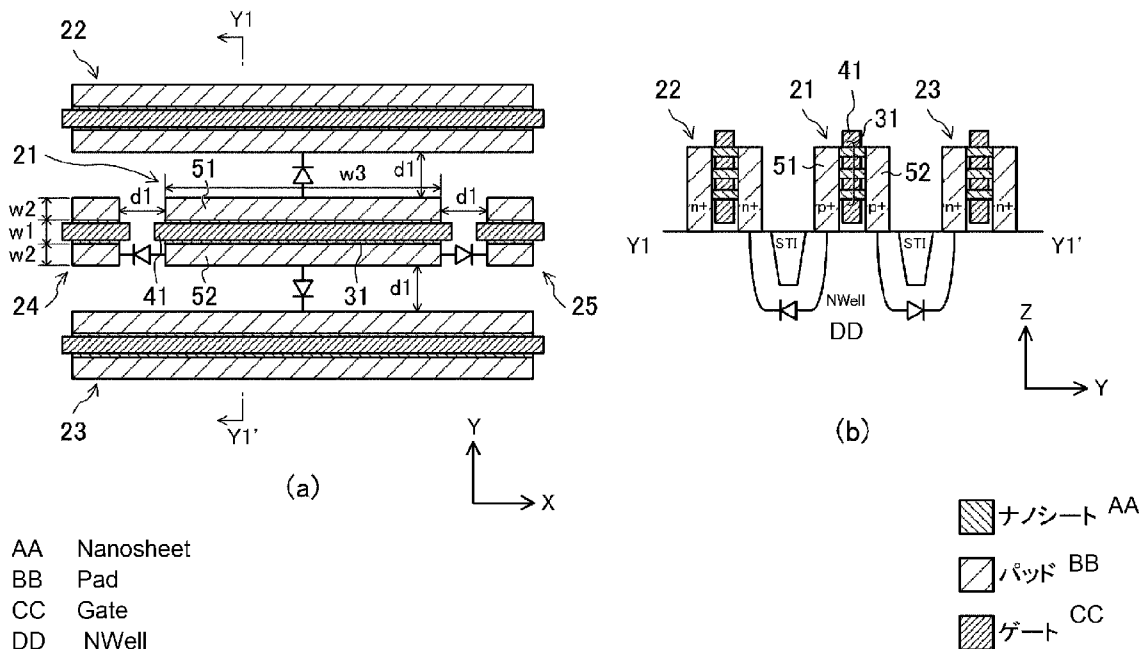
(10) 国際公開番号

WO 2023/167083 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) *H01L 29/06* (2006.01)
H01L 21/822 (2006.01) *H01L 29/16* (2006.01)
H01L 21/8234 (2006.01) *H01L 29/861* (2006.01)
H01L 27/06 (2006.01) *H01L 29/868* (2006.01)
H01L 27/088 (2006.01)
- (21) 国際出願番号: PCT/JP2023/006559
- (22) 国際出願日: 2023年2月22日(22.02.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
 特願 2022-031872 2022年3月2日(02.03.2022) JP
- (71) 出願人:株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 Kanagawa (JP).
- (72) 発明者:祖父江 功弥(SOBUE Isaya); 〒2220033 神奈川県横浜市港北区新横浜二丁目10番23 株式会社ソシオネクスト内 Kanagawa (JP).
- (74) 代理人:弁理士法人前田特許事務所(MAEDA & PARTNERS); 〒5300004 大阪府大阪市北区堂島浜1丁目2番1号 新ダイビル23階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



(57) Abstract: Provided is an effective structure for an electrostatic discharge (ESD) protection circuit in which a nanosheet device is used. A device structure (21) that constitutes one of an anode or a cathode is disposed opposite a device structure (22) that constitutes the other thereof in a Y-direction, and is disposed opposite a device structure (24) that constitutes the other in an X-direction. The device structure (21) comprises a pad group of a first conductivity type, and the device structures (22, 24) comprise pad groups of a second conductivity type. The length (w3) of the pad group

WO 2023/167083 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

of the device structure (21) in a range in the X-direction that is disposed opposite the pad group of the device structure (22) in the Y-direction is greater than the length ($w_2 \times 2$) thereof in a range in the Y-direction that is disposed opposite the pad group of the device structure (24) in the X-direction.

- (57) 要約: ナノシートデバイスを用いたESD保護回路の効果的な構造を提供する。アノードまたはカソードの一方を構成するデバイス構造(21)は、他方を構成するデバイス構造(22)とY方向において対向し、他方を構成するデバイス構造(24)とX方向において対向する。デバイス構造(21)は第1導電型のパッド群を備え、デバイス構造(22, 24)は第2導電型のパッド群を備える。デバイス構造(21)のパッド群は、デバイス構造(22)のパッド群とY方向に対向するX方向の範囲の長さ(w_3)が、デバイス構造(24)のパッド群とX方向に対向するY方向の範囲の長さ($w_2 \times 2$)よりも、大きい。

明 細 書

発明の名称：半導体集積回路装置

技術分野

[0001] 本開示は、ナノシートデバイスを用いた半導体集積回路装置に関するものであり、特に静電気放電（ESD：Electro Static Discharge）に起因するダメージから回路を保護するためのESD保護回路用のレイアウト構成に関する。

背景技術

[0002] 図14に示すとおり、ESD保護回路251、252は一般に、信号端子（入出力端子）253と電源端子254との間、あるいは、信号端子253と接地端子255との間にそれぞれ設けられる。ESD保護回路には、用途によって様々な保護素子を使用されるが、その放電特性の良好さからダイオードが保護素子として使用されることも多い。

[0003] 特許文献1では、ナノワイヤFET（Field Effect Transistor）を用いたESD保護回路の構成が開示されている。この構成では、ナノワイヤFETのナノワイヤの両端に設けられるパッドをダイオードに利用している。具体的には、対向する互いに異なる導電型のパッド間でダイオードを構成している。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2019/043888号

発明の概要

発明が解決しようとする課題

[0005] ナノワイヤFETでは、ナノワイヤの両端に設けられるパッドは、ナノワイヤからエピタキシャル成長によって形成することが一般的である。このため、パッドのみを形成することはきわめて困難である。

[0006] 特許文献1に開示されたESD保護回路の構成では、対向する互いに異な

る導電型すなわちP導電型およびN導電型の領域のうち、ナノワイヤの部分はダイオードとして機能しない。これは、ダイオードは基板を介して電流を流すものであり、ナノワイヤは基板と接していないからである。このため、特許文献1の構成では、ダイオードを形成するための面積が増大する。

[0007] 一方で、近年、ナノワイヤのゲート幅方向のサイズを大きくしてシート状にしたナノシートを用いたデバイスが研究開発されている。ところが、ナノシートデバイスを用いたESD保護回路について、効果的な構造の検討はなされていない。

[0008] 本開示は、ナノシートデバイスを用いたESD保護回路の効果的な構造を提供する。

課題を解決するための手段

[0009] 本開示の第1態様では、ナノシートFET (Field Effect Transistor) を備えた半導体集積回路装置は、ESD (Electro Static Discharge) 保護回路を備え、前記ナノシートFETは、ナノシートと、前記ナノシートの両端に接続されたパッドとを備え、前記ESD保護回路は、ダイオードのアノードまたはカソードの一方を構成する第1デバイス構造と、前記ダイオードのアノードまたはカソードの他方を構成し、前記第1デバイス構造と第1方向において対向する第2デバイス構造と、前記ダイオードのアノードまたはカソードの他方を構成し、前記第1デバイス構造と前記第1方向と垂直をなす第2方向において対向する第3デバイス構造と、を備え、前記第1デバイス構造は、前記第1方向に延び、1本、または、前記第2方向に並ぶ2本以上の第1ゲート配線と、前記第1ゲート配線の前記第2方向における両側にそれぞれ配置され、前記第1方向に延びる第1導電型のパッドからなる第1パッド群とを備え、前記第2デバイス構造は、前記第1方向に延び、1本、または、前記第2方向に並ぶ2本以上の第2ゲート配線と、前記第2ゲート配線の前記第2方向における両側にそれぞれ配置され、前記第1方向に延びる第2導電型のパッドからなる第2パッド群とを備え、前記第3デバイス構造は、前記第1方向に延び、1本、または、前記第2方向に並ぶ2本以上の第

3ゲート配線と、前記第3ゲート配線の前記第2方向における両側にそれぞれ配置され、前記第1方向に延びる前記第2導電型のパッドからなる第3パッド群とを備え、前記第1パッド群と前記第3パッド群とが前記第2方向において対向する、前記第1方向における範囲の長さは、前記第1パッド群と前記第2パッド群とが前記第1方向において対向する、前記第2方向における範囲の長さよりも、大きい。

[0010] この態様によると、アノードまたはカソードの一方を構成する第1デバイス構造は、アノードまたはカソードの他方を構成する第2デバイス構造と第1方向において対向し、かつ、アノードまたはカソードの他方を構成する第3デバイス構造と第2方向において対向する。第1デバイス構造は、第1ゲート配線の第2方向における両側にそれぞれ配置され、第1方向に延びる第1導電型のパッドからなる第1パッド群を備える。第2デバイス構造は、第2ゲート配線の第2方向における両側にそれぞれ配置され、第1方向に延びる第2導電型のパッドからなる第2パッド群を備え、第3デバイス構造は、第3ゲート配線の第2方向における両側にそれぞれ配置され、第1方向に延びる第2導電型のパッドからなる第3パッド群を備える。そして、第1パッド群と第3パッド群とが第2方向において対向する、第1方向における範囲の長さは、第1パッド群と第2パッド群とが第1方向において対向する、第2方向における範囲の長さよりも、大きい。これにより、ナノシートデバイスを用いた能力の大きいダイオードを構成することができるので、面積の小さいESD保護回路を形成することができる。

発明の効果

[0011] 本開示によると、ナノシートデバイスを用いたESD保護回路の効果的な構造を実現することができる。

図面の簡単な説明

[0012] [図1]実施形態に係る半導体集積回路装置の全体構成を模式的に示す平面図
[図2]図1における信号I/Oセルの簡易構成図
[図3]実施形態に係るVDD I/O用ESD部の構成の一部を示す図であり、（

a) は平面図、(b) は断面図

[図4]実施形態に係るVSS用ESD部の構成の一部を示す図であり、(a) は平面図、(b) は断面図

[図5]変形例1に係るVDDIO用ESD部の構成を示す平面図

[図6]変形例2に係るVDDIO用ESD部の構成を示す平面図

[図7]変形例3に係るVDDIO用ESD部の構成を示す平面図

[図8]変形例4に係るVDDIO用ESD部の構成を示す平面図

[図9]変形例5に係るVDDIO用ESD部の構成を示す平面図

[図10]図9の構成の上層に配置される配線の構成例

[図11]変形例6に係るVDDIO用ESD部の構成を示す平面図

[図12]変形例7に係るVDDIO用ESD部の構成を示す平面図

[図13]ナノシートFETの基本構造を示す模式図

[図14]信号端子とESD保護回路の関係を示す回路図

発明を実施するための形態

[0013] 以下、実施の形態について、図面を参照して説明する。

[0014] 図13はナノシートFETの基本構造例を示す模式図である。ナノシートFETとは、電流が流れる薄いシート状の構造（ナノシート）を用いたFETである。ナノシートは例えばシリコンによって形成される。図13に示すように、ナノシートは、基板上において、水平方向すなわち基板と並行して延びるように形成されており、その両端が、ナノシートFETのソース領域およびドレイン領域となる構造物に接続されている。本願明細書では、ナノシートFETにおいて、ナノシートの両端に接続されており、ナノシートFETのソース領域およびドレイン領域となる構造物のことを、パッドと呼ぶ。パッドは例えば、ナノシートからエピタキシャル成長によって形成される。

[0015] ナノシートは、その周囲が、シリコン酸化膜等の絶縁膜を介して、ゲート電極によってぐるりと囲まれている。パッドおよびゲート電極は、基板表面上に形成されている。この構造により、ナノシートのチャネル領域は、上部

、両側部、および、下部が全てゲート電極に囲まれているため、チャンネル領域に均一に電界がかかり、これにより、FETのスイッチング特性が良好になる。

[0016] なお、パッドは、少なくともナノシートが接続されている部分はソース／ドレイン領域となるが、ナノシートが接続されている部分よりも下の部分は、必ずしもソース／ドレイン領域とはならない場合もある。また、ナノシートの一部（ゲート電極に囲まれていない部分）が、ソース／ドレイン領域となる場合もある。

[0017] また、図13では、ナノシートは、縦方向すなわち基板と垂直をなす方向において、3枚配置されている。ただし、縦方向に配置するナノシートの枚数は、3枚に限られるものではなく、1枚または2枚でもよいし、4枚以上を縦方向に並べて配置してもよい。

[0018] （第1実施形態）

図1は実施形態に係る半導体集積回路装置（半導体チップ）の全体構成を模式的に示す平面図である。図1では、図面横方向をX方向とし、図面縦方向をY方向としている（以降の図も同様）。図1に示す半導体集積回路装置1は、内部コア回路が形成されたコア領域2と、コア領域2の周囲に設けられ、インターフェース回路（IO回路）が形成されたIO領域3とを備えている。IO領域3には、半導体集積回路装置1の周辺部を囲むように、IOセル列5が設けられている。図1では図示を簡略化しているが、IOセル列5には、インターフェース回路を構成する複数のIOセル10が並んでいる。半導体集積回路装置1は、ナノシートFETを、コア領域2およびIO領域3に備えるものとする。

[0019] ここで、IOセル10は、信号の入力、出力または入出力を行う信号IOセル、接地電位（電源電圧VSS）を供給するための電源IOセル、主にIO領域3に向けて電源（電源電圧VDDIO）を供給するための電源IOセルを含む。例えば、VDDIOは1.8Vである。図1では、コア領域2の図面右側に、信号入出力用のIOセル10Aが配置されており、コア領域2

の図面下側に、信号入出力用の I Oセル 10B が配置されている。

[0020] I O領域 3 には、I Oセル 10 が並ぶ方向に延びる電源配線 6, 7 が設けられている。電源配線 6, 7 は、半導体集積回路装置 1 の周辺部にリング状に形成されている（リング電源配線ともいう）。電源配線 6 は、VDD I O を供給し、電源配線 7 は VSS を供給する。なお、図 1 では、電源配線 6, 7 はそれぞれ、単一の配線のように図示されているが、実際には、電源配線 6, 7 はそれぞれ、複数本の配線によって構成される場合もある。また図 1 では図示を省略しているが、半導体集積回路装置 1 には、複数の外部接続パッドが配置されている。

[0021] 図 2 は I Oセル 10B の簡易構成図である。図 2 では、電源配線 6, 7 はそれぞれ、4 本の配線からなるものとしている。図 2 に示すように、I Oセル 10B には、X 方向に延びる電源配線 6, 7 が配置されている。そして I Oセル 10B において、電源配線 6 の下に VDD I O 用 ESD 部 103 が設けられ、電源配線 7 の下に VSS 用 ESD 部 104 が設けられている。VDD I O 用 ESD 部 103, VSS 用 ESD 部 104 は、I Oセル 10B において、チップ外側よりの位置に設けられている。

[0022] 図 3 は本実施形態に係る VDD I O 用 ESD 部 103 の構成の一部を示す図である。図 3 (a) は平面レイアウトを示す平面図、図 3 (b) は図 3 (a) の線 Y1-Y1' における断面図である。図 3 の構成は、図 14 における、電源端子 254 と信号端子 253 との間に設けられた ESD 保護回路 251 に相当する。

[0023] 図 3 (a) において、中央部に、ダイオードのアノードを構成するデバイス構造 21 が配置されている。デバイス構造 21 の図面上下左右に、ダイオードのカソードを構成するデバイス構造 22, 23, 24, 25 がそれぞれ配置されている。デバイス構造 21~25 は、N ウェル上に形成されている。デバイス構造 21 とデバイス構造 22~25 との間には、STI (Shallow Trench Isolation) が形成されている。なお、デバイス構造 21~25 は P ウェルまたは P 基板上に形成されていてもよい。

- [0024] デバイス構造 2 1 は、Z 方向に並ぶ 3 枚のシートからなるナノシート 3 1 と、ナノシート 3 1 の X 方向および Z 方向を、ゲート絶縁膜を介して囲むゲート配線 4 1 と、ゲート配線 4 1 の Y 方向における両側に形成され、ナノシート 3 1 の両端に接続されたパッド 5 1, 5 2 とを備える。ナノシート 3 1 は、ゲート配線 4 1 と平面視で重なりを有している。パッド 5 1, 5 2 は、デバイス構造 2 1 が備えるパッド群を構成する。パッド 5 1, 5 2 は、X 方向に伸びており、P 導電性を有しており、図示は省略するが、配線およびコンタクトを介して信号端子に接続される。パッド 5 1, 5 2 は例えば、ナノシート 3 1 からエピタキシャル成長によって形成される。
- [0025] デバイス構造 2 1 において、ゲート配線 4 1 は X 方向に伸びており、ナノシート 3 1 は、X 方向に長い形状を有しており、パッド 5 1, 5 2 は X 方向に伸びている。ナノシート 3 1 の Y 方向におけるサイズを w_1 、パッド 5 1, 5 2 それぞれの Y 方向におけるサイズを w_2 、ナノシート 3 1 およびパッド 5 1, 5 2 の X 方向におけるサイズを w_3 としている。
- [0026] デバイス構造 2 2 ~ 2 5 は、それぞれ、デバイス構造 2 1 と同様の構造を有している。すなわち、デバイス構造 2 2 ~ 2 5 はそれぞれ、Z 方向に並ぶ 3 枚のシートからなるナノシートと、ナノシートの X 方向および Z 方向を、ゲート絶縁膜を介して囲むゲート配線と、ゲート配線の Y 方向における両側に形成され、ナノシートの両端に接続されたパッドとを備える。ナノシートは、ゲート配線と平面視で重なりを有している。各パッドは、X 方向に伸びており、デバイス構造 2 2 ~ 2 5 が備えるパッド群を構成する。デバイス構造 2 2 ~ 2 5 では、パッドは、N 導電性を有しており、図示は省略するが、配線およびコンタクトを介して電源端子に接続される。
- [0027] アノードとなるデバイス構造 2 1 の P 導電型のパッド 5 1, 5 2 と、カソードとなるデバイス構造 2 2 ~ 2 5 の N 導電型のパッドとの間に、ダイオードがそれぞれ形成される。図 3 (a) では、デバイス構造 2 1 とデバイス構造 2 2 ~ 2 5 との間の距離は、いずれも同じ (d_1) である。
- [0028] デバイス構造 2 1 のゲート配線 4 1 には、電源電圧 V_{DDIO} が与えられ

ている。これにより、パッド51, 52間のナノシート31に電流が流れることが抑制されている。同様に、デバイス構造22~25のゲート配線には接地電圧VSSが与えられており、パッド間のナノシートに電流が流れることが抑制されている。ただし、ナノシートに電流が流れることを抑制する必要がない場合は、ゲートをフローティング状態としてもよい。この場合、ゲートに電圧を供給するための配線やコンタクトが不要になるため、他の信号配線および電源配線を増やすことができる。これにより、ESD保護能力を向上させることができる。

[0029] 上述したとおり、ダイオードを形成するパッドは、ナノシートと独立して単独で形成することは困難である。このため、デバイス構造21において、X方向に他のデバイス構造24, 25と対向する部分には、パッド51, 52とナノシート31が存在する。上述したとおり、ナノシート31は、基板に接していないため、ダイオードとして機能しない。したがって、デバイス構造21において、X方向に対向する部分のうちパッド51, 52の部分のみがダイオードとして機能する。一方、デバイス構造21において、Y方向に他のデバイス構造22, 23と対向する部分は、全てパッド51, 52が存在する。このため、デバイス構造21において、Y方向に対向する部分の全てが、ダイオードとして機能する。

[0030] 本明細書では、ダイオードを構成するデバイス構造に係るパッドの対向長について、次のように定義する。デバイス構造が備えるパッド群について、パッドが存在するY方向における範囲のうち、X方向において対向する他のデバイス構造のパッドが存在する部分の長さを、X方向の対向長と定義する。また、パッドが存在するX方向における範囲のうち、Y方向において対向する他のデバイス構造のパッドが存在する部分の長さを、Y方向の対向長と定義する。図3(a)のレイアウトでは、デバイス構造21が備えるパッド群すなわちパッド51, 52について、X方向の対向長は $w_2 \times 4$ であり、Y方向の対向長は $w_3 \times 2$ である。

[0031] なお、図3(a)のレイアウトでは、デバイス構造21が備えるパッド群

すなわちパッド5 1, 5 2に関し、X方向およびY方向のいずれも、パッドが存在する全ての範囲で、対向する他のデバイス構造2 2~2 5のパッドが存在している。このため、対向長は、パッド群のサイズと実質的に同じである。ただし、他のデバイス構造の配置位置がずれていたり、あるいは、他のデバイス構造が存在しなかったりする場合には、パッドが存在する範囲において、対向する他のパッドが存在しない部分が含まれる可能性がある。この場合、デバイス構造に係る対向長は、その部分の長さだけ、パッド群のサイズよりも小さくなる。

[0032] ナノシートは、ゲート幅方向（図3のX方向）のサイズを大きくすることは容易である。したがって、ナノシート3 1のゲート幅方向（図3のX方向）のサイズを大きくし、デバイス構造2 1について、パッド群がY方向において対向するX方向のサイズを、パッド群がX方向において対向するY方向のサイズと比べて十分に大きくすることによって、ダイオードの能力を高めることができる。

[0033] 具体的には、デバイス構造2 1が備えるパッド群について、Y方向の対向長がX方向の対向長より大きくなるように、

$$w 3 > w 2 \times 2$$

とすることによって、ナノシートデバイスを用いた能力の大きいダイオードを構成することができる。これにより、面積の小さいESD保護回路を形成することができる。

[0034] 図4は本実施形態に係るVSS用ESD部1 0 4の構成の一部を示す図である。図4（a）は平面レイアウトを示す平面図、図4（b）は図4（a）の線Y 1 - Y 1' における断面図である。図4の構成は、図1 4における、信号端子2 5 3と接地端子2 5 5との間に設けられたESD保護回路2 5 2に相当する。

[0035] 図4の構成は、図3の構成と同様である。ただし、図4の構成では、図3の構成とはアノードとカソードが逆であり、パッドが有する導電型も逆である。

[0036] すなわち、図4(a)において、中央部に、ダイオードのカソードを構成するデバイス構造21Aが配置されている。デバイス構造21Aの図面上下左右に、ダイオードのアノードを構成するデバイス構造22A, 23A, 24A, 25Aがそれぞれ配置されている。デバイス構造21A~25Aは、Pウェル(またはP基板)上に形成されている。なお、デバイス構造21A~25AはNウェル上に形成されていてもよい。

[0037] デバイス構造21Aが備えるパッド53, 54は、N導電型を有しており、配線およびコンタクトを介して信号端子に接続される。デバイス構造22A~25Aが備えるパッドは、配線およびコンタクトを介して接地端子に接続される。

[0038] そして、図3の構成と同様に、デバイス構造21Aのパッド群すなわちパッド53, 54について、Y方向の対向長がX方向の対向長より大きくなるように、

$$w3 > w2 \times 2$$

とすることによって、ナノシートデバイスを用いた能力の大きいダイオードを構成することができる。これにより、面積の小さいESD保護回路を形成することができる。

[0039] なお、図3のデバイス構造22, 23、および、図4のデバイス構造22A, 23A, 24Aは、Y方向に並ぶ2本以上のゲート配線を備える構成としてもよい。

[0040] <変形例>

以下の変形例は、図3の構成をベースにしたものである。なお、同様にして、図4の構成をベースにして変形例を実現することも可能である。

[0041] (変形例1)

図5は変形例1に係る平面レイアウトを示す図である。図5において、中央部に、ダイオードのアノードを構成するデバイス構造121が配置されている。デバイス構造121では、ナノシート131およびパッド151がX方向において3つに分割されている。すなわち、デバイス構造121が備え

るパッド群は、X方向に直線状に並ぶ複数のパッド151を含む。各パッド151のX方向におけるサイズは w_4 である。また、パッド151同士の間隔は、 d_2 である。なお、図5では、ゲート配線141は分割されていないが、ナノシート131およびパッド151と同様に、ゲート配線141が分割されていてもかまわない。

[0042] ここで、ナノシートの幅（チャンネル幅方向、図ではX方向のサイズ）は、製造上の制約からその最大値が規定される場合がある。ナノシートを構成する複数層のシート状の半導体層は、例えば、積層された2種類の半導体層（例えばSiとSiGe）から一方の半導体層（例えばSiGe）を取り除くことによって、形成される。このとき、ナノシートの幅が大きいと、一方の半導体層を取り除くことが困難になる。そこで、図5のレイアウトでは、サイズ w_4 は、ナノシートの幅の最大値よりも小さくしている。

[0043] デバイス構造121の図面上下に、ダイオードのカソードを構成するデバイス構造122，123がそれぞれ配置されている。デバイス構造122，123においても、デバイス構造121と同様に、ナノシートおよびパッドがX方向において分割されている。図5では、X方向において、デバイス構造121におけるパッドの分割位置と、デバイス構造122，123におけるパッドの分割位置とが、一致している。パッドの分割位置が一致していることによって、デバイス構造121が備えるパッド群に係るY方向の対向長が長くなるので、ダイオードの能力が大きくなる。ただし、Y方向に対向するデバイス構造において、パッドの分割位置は、必ずしも一致していなくてもよい。

[0044] 図5の構成において、デバイス構造121が備えるパッド群について、Y方向の対向長がX方向の対向長より大きくなるように、

$$w_4 \times 3 > w_2 \times 2$$

とすることによって、ナノシートデバイスを用いた能力の大きいダイオードを構成することができる。これにより、面積の小さいESD保護回路を形成することができる。

[0045] なお、デバイス構造 1 2 1 のパッドを X 方向において分割する数は、3 に限られるものではない。また、分割されたパッド 1 5 1 の X 方向におけるサイズは均一である必要はない。デバイス構造 1 2 1 のパッドが、X 方向において n (n は 1 以上の整数) 個に分割され、それぞれの幅が $w \times (i)$ ($i = 1 \sim n$ の整数) であるものとする、

[数1]

$$\sum_{i=1}^n wx(i) > 2 \cdot w2 \quad \dots (1)$$

という関係を満たせば、能力の大きいダイオードを構成することができる。これにより、面積の小さい ESD 保護回路を形成することができる。

[0046] なお、上述した実施形態と同様に、図 5 のデバイス構造 1 2 2, 1 2 3 は、Y 方向に並ぶ 2 本以上のゲート配線を備える構成としてもよい。

[0047] (変形例 2)

図 6 は変形例 2 に係る平面レイアウトを示す図である。図 6 において、中央部に、ダイオードのアノードを構成するデバイス構造 2 2 1 が配置されている。図 6 に示すように、デバイス構造 2 2 1 は、X 方向に延びるゲート配線 2 4 1 が Y 方向に 3 本並んだ構成になっている。また図 5 に示すデバイス構造 1 2 1 と同様に、デバイス構造 2 2 1 では、ナノシート 2 3 1 およびパッド 2 5 1 が X 方向において 3 つに分割されている。各パッド 2 5 1 の、X 方向におけるサイズは $w 4$ 、Y 方向におけるサイズは $w 2$ である。なお、ゲート配線 2 4 1 は分割されていないが、ナノシート 2 3 1 およびパッド 2 5 1 と同様に、ゲート配線 2 4 1 が分割されていてもかまわない。

[0048] デバイス構造 2 2 1 の図面左右に、ダイオードのカソードを構成するデバイス構造 2 2 2, 2 2 3 がそれぞれ配置されている。デバイス構造 2 2 2, 2 2 3 は、デバイス構造 2 2 1 と同様に、ゲート配線が Y 方向に 3 本並んだ構成になっている。これにより、デバイス構造 2 2 1 とデバイス構造 2 2 2, 2 2 3 との間で、4 個のパッドが X 方向において対向している。

[0049] アノードを構成するデバイス構造 2 2 1 は、信号端子に接続される。デバイス構造 2 2 1 は、ゲート配線 2 4 1 が Y 方向に 3 本並んだ構成になっており、Y 方向におけるサイズが大きいので、その上層に太い配線を設けることができる。この太い配線を介してデバイス構造 2 2 1 を信号端子に接続することにより、信号端子からアノードに至るまでの抵抗値を下げるができる。これにより、ESD 保護回路の能力を向上させることができる。

[0050] 図 6 の構成において、デバイス構造 2 2 1 が備えるパッド群について、Y 方向の対向長が X 方向の対向長より大きくなるように、

$$w_{4 \times 3} > w_{2 \times 4}$$

とすることによって、ナノシートデバイスを用いた能力の大きいダイオードを構成することができる。これにより、面積の小さい ESD 保護回路を形成することができる。

[0051] なお、デバイス構造 2 2 1 において Y 方向に並ぶゲート配線 2 4 1 の数は、3 に限られるものではない。また、デバイス構造 2 2 1 とデバイス構造 2 2 2, 2 2 3 との間で X 方向において対向するパッドの数は、4 に限られるものではない。また、対向するパッドの幅 (Y 方向におけるサイズ) は均一である必要はない。X 方向において対向するパッドの数が m (m は 1 以上の整数) であり、それぞれの幅が $w_y(j)$ ($j = 1 \sim m$ の整数) であるもの

とすると、

[数 2]

$$\sum_{i=1}^n w_x(i) > \sum_{j=1}^m w_y(j) \quad \dots (2)$$

という関係を満たせば、能力の大きいダイオードを構成することができる。これにより、面積の小さい ESD 保護回路を形成することができる。

[0052] 上述した特徴を、デバイス構造が備えるパッド群のパッドサイズに着目して表現する。アノードを構成するデバイス構造において、X 方向に n (n は 1 以上の整数) 個のパッドがあり、X 方向のサイズがそれぞれ $w_x(i)$ (

$i = 1 \sim n$ の整数)であるものとする。また、Y方向に m (m は1以上の整数)個のパッドがあり、Y方向のサイズがそれぞれ $w_y(j)$ ($j = 1 \sim m$ の整数)であるものとする。このデバイス構造に対して、カソードを構成するデバイス構造が、X方向およびY方向においてパッドが対向するように配置されているものとする。この場合、上式と同じ、

[数3]

$$\sum_{i=1}^n w_x(i) > \sum_{j=1}^m w_y(j) \quad \dots (2)$$

という関係を満たせば、能力の大きいダイオードを構成することができる。

[0053] (変形例3)

図7は変形例3に係る平面レイアウトを示す図である。図7に示す構成は、図6に示す構成からナノシート231を除去したものに相当する。図7の構成では、ESDイベントが発生したときにESD電流がパッド間のナノシートを流れることがない。このため、ゲート電位を固定する必要がないので、ゲート配線241に電圧を供給するための配線やコンタクトが不要になり、他の信号配線や電源配線を増やすことができる。これにより、ESD保護能力を向上させることができる。

[0054] 図7に示す構成は、例えば次のような製造工程によって実現できる。ナノシートからパッドをエピタキシャル成長によって形成した後、ゲート配線を一旦除去する。そして、パッドの部分をマスクした上でナノシートを除去する。その後、ゲート配線があった場所に再度、ゲート配線を形成する。

[0055] なお、図7に示す構成において、ゲート配線はなくてもかまわない。ただし、半導体チップ全体のレイアウトにおいてパタンの粗密をなくすためには、ゲート配線は配置する方が好ましい。

[0056] (変形例4)

図8は変形例4に係る平面レイアウトを示す図である。図8に示す構成は、図6に示す構成をY方向において繰り返して配置したものに相当する。図

8の構成では、ダイオードのアノードを構成する2個のデバイス構造231, 232が、Y方向に並べて配置されている。デバイス構造231, 232は、図6に示すデバイス構造221と同一の構成を有する。

[0057] デバイス構造231の図面上側、デバイス構造231, 232の間、および、デバイス構造232の図面下側に、ダイオードのカソードを構成するデバイス構造233, 234, 235が配置されている。デバイス構造233, 234, 235は、図6に示すデバイス構造122, 123と同一の構成を有する。デバイス構造231の図面左右に、ダイオードのカソードを構成するデバイス構造236, 237が配置されている。デバイス構造232の図面左右に、ダイオードのカソードを構成するデバイス構造238, 239が配置されている。デバイス構造236, 237, 238, 239は、図6に示すデバイス構造222, 223と同一の構成を有する。

[0058] 図8の構成では、デバイス構造234は、デバイス構造231に対するカソードとして、かつ、デバイス構造232に対するカソードとして、機能する。すなわち、デバイス構造234は、デバイス構造231, 232のカソードとして共有されている。これにより、小面積化を実現している。

[0059] なお、図6に示す構成を2個以上、繰り返して配置してもよい。また、図6に示す構成を、X方向において繰り返して配置してもよい。この場合も、アノードを構成するデバイス構造の間にあるデバイス構造を、共通のカソードとして機能させてもよい。また、図6に示す構成に代えて、上述した他の構成を、繰り返して配置してもよい。

[0060] なお、図8のデバイス構造233, 234, 235は、Y方向に並ぶ2本以上のゲート配線を備える構成としてもよい。

[0061] (変形例5)

図9は変形例5に係る平面レイアウトを示す図である。図9に示す構成は、図6の構成において、アノードーカソード間のX方向における距離を、アノードーカソード間のY方向における距離よりも大きくしたものに相当する。すなわち、アノードを構成するデバイス構造221とその図面左右に位置

するカソードを構成するデバイス構造 2 2 2, 2 2 3 との間の間隔 d_3 は、デバイス構造 2 2 1 とその図面上下に位置するカソードを構成するデバイス構造 1 2 2, 1 2 3 との間の間隔 d_1 よりも、大きい ($d_3 > d_1$)。

[0062] 図 10 は図 9 の構成の上層に配置される配線の構成例を示す図である。図 10 において、図 9 に示すパッドの上層にローカル配線が配置されており、ローカル配線はその下層にあるパッドと接している。メタル第 1 層 (M1) に、Y 方向に延びるメタル配線が配置されている。メタル配線 3 0 1, 3 0 2, 3 0 3 は信号配線であり、コンタクトを介して、デバイス構造 2 2 1 が備えるパッドに接するローカル配線と接続されている。メタル配線 3 1 1, 3 1 2, 3 1 3, 3 1 4 は電源配線であり、コンタクトを介して、デバイス構造 1 2 2, 1 2 3, 2 2 2, 2 2 3 が備えるパッドに接するローカル配線と接続されている。メタル第 2 層 (M2) に、X 方向に延びるメタル配線が配置されている。メタル配線 3 2 1 は信号配線であり、コンタクトを介して、メタル配線 3 0 1, 3 0 2, 3 0 3 と接続されている。メタル配線 3 3 1, 3 3 2 は電源配線であり、コンタクトを介して、メタル配線 3 1 1, 3 1 2, 3 1 3, 3 1 4 と接続されている。メタル配線 3 3 1, 3 3 2 は、図 1, 2 に示す電源配線 6 に相当する。

[0063] 図 10 から分かるように、デバイス構造 2 2 1 と Y 方向において対向するデバイス構造 1 2 2, 1 2 3 は、X 方向におけるサイズは十分に大きいため、パッドに接するローカル配線とメタル配線とを接続するコンタクトを多数配置することができる。このため、デバイス構造 1 2 2, 1 2 3 は、電源配線との接続における抵抗値を低く抑えることができる。一方、デバイス構造 2 2 1 と X 方向において対向するデバイス構造 2 2 2, 2 2 3 は、X 方向におけるサイズが小さいため、パッドに接するローカル配線とメタル配線とを接続するコンタクトを多数配置することはできない。このため、デバイス構造 2 2 2, 2 2 3 は、電源配線との接続における抵抗値を低く抑えることが困難である。

[0064] この場合、大きな ESD 電流がアノード-カソード間に流れた際に、X 方

向において対向するデバイス構造 2 2 2, 2 2 3 に大電流が集中して、その上層のコンタクトや配線が破壊されてしまう可能性がある。

[0065] そこで、本変形例では、アノード-カソード間の X 方向における距離 d 3 を、アノード-カソード間の Y 方向における距離 d 1 よりも大きくして、X 方向における抵抗値を大きくしている。これにより、X 方向に流れる ESD 電流を抑制することができるので、上述した問題を回避することができる。

[0066] (変形例 6)

図 1 1 は変形例 6 に係る平面レイアウトを示す図である。図 1 1 に示す構成は、図 6 に示す構成において、デバイス構造 2 2 2, 2 2 3 を含む、デバイス構造 2 2 1 の図面左右にある構成を削除したものに相当する。

[0067] 図 1 1 の構成は、デバイス構造 2 2 1 が、Y 方向においてパッドが対向する構成を有しており、その対向長が十分に長いため、ダイオード能力は大きい。そして、図 1 1 の構成は、図 6 の構成よりも面積は小さい。また、変形例 5 で説明した、X 方向において対向するデバイス構造 2 2 2, 2 2 3 に大電流が集中して、その上層のコンタクトや配線が破壊されてしまう、という問題は生じない。

[0068] なお、本変形例では、デバイス構造 2 2 1 のパッド群について、X 方向において対向するパッドがないため、この構成は、上述の変形例 2 で示した式、

[数 4]

$$\sum_{i=1}^n wx(i) > \sum_{j=1}^m wy(j) \quad \dots (2)$$

において、右辺が 0 になったものに相当する。

[0069] (変形例 7)

図 1 2 は変形例 7 に係る平面レイアウトを示す図である。図 1 2 に示す構成は、図 6 に示す構成において、デバイス構造 2 2 2, 2 2 3 の位置を Y 方向にずらしたものに相当する。図 1 2 の構成では、アノードを構成するデバ

イス構造221と、カソードを構成するデバイス構造222, 223との間において、パッド同士の間隔がd1よりも大きくなる。これにより、変形例5と同様に、アノード-カソード間のX方向における抵抗値が大きくなるので、変形例5と同様の効果が得られる。

[0070] なお、本変形例は、変形例5と組み合わせて実施してもよい。すなわち、アノードを構成するデバイス構造221とカソードを構成するデバイス構造222, 223との間隔を大きくし、かつ、デバイス構造222, 223の位置をY方向にずらしてもよい。

符号の説明

[0071] 1 半導体集積回路装置

21, 21A デバイス構造 (第1デバイス構造)

22, 23, 22A, 23A デバイス構造 (第3デバイス構造)

24, 25, 24A, 25A デバイス構造 (第2デバイス構造)

31 ナノシート

41 ゲート配線

51, 52, 53, 54 パッド

121 デバイス構造 (第1デバイス構造)

122, 123 デバイス構造 (第3デバイス構造)

151~156 パッド

221 デバイス構造 (第1デバイス構造)

222, 223 デバイス構造 (第2デバイス構造)

231, 232 デバイス構造 (第1デバイス構造)

233, 234, 235 デバイス構造 (第3デバイス構造)

236, 237, 238, 239 デバイス構造 (第2デバイス構造)

251, 252 ESD保護回路

請求の範囲

[請求項1]

ナノシート F E T (Field Effect Transistor) を備えた半導体集積回路装置であって、

E S D (Electro Static Discharge) 保護回路を備え、

前記ナノシート F E T は、ナノシートと、前記ナノシートの両端に接続されたパッドとを備え、

前記 E S D 保護回路は、

ダイオードのアノードまたはカソードの一方を構成する第 1 デバイス構造と、

前記ダイオードのアノードまたはカソードの他方を構成し、前記第 1 デバイス構造と第 1 方向において対向する第 2 デバイス構造と、

前記ダイオードのアノードまたはカソードの他方を構成し、前記第 1 デバイス構造と前記第 1 方向と垂直をなす第 2 方向において対向する第 3 デバイス構造と、を備え、

前記第 1 デバイス構造は、

前記第 1 方向に延び、1 本、または、前記第 2 方向に並ぶ 2 本以上の第 1 ゲート配線と、

前記第 1 ゲート配線の前記第 2 方向における両側にそれぞれ配置され、前記第 1 方向に延びる第 1 導電型のパッドからなる第 1 パッド群とを備え、

前記第 2 デバイス構造は、

前記第 1 方向に延び、1 本、または、前記第 2 方向に並ぶ 2 本以上の第 2 ゲート配線と、

前記第 2 ゲート配線の前記第 2 方向における両側にそれぞれ配置され、前記第 1 方向に延びる第 2 導電型のパッドからなる第 2 パッド群とを備え、

前記第 3 デバイス構造は、

前記第 1 方向に延び、1 本、または、前記第 2 方向に並ぶ 2 本以上

の第3ゲート配線と、

前記第3ゲート配線の前記第2方向における両側にそれぞれ配置され、前記第1方向に延びる前記第2導電型のパッドからなる第3パッド群とを備え、

前記第1パッド群と前記第3パッド群とが前記第2方向において対向する、前記第1方向における範囲の長さは、前記第1パッド群と前記第2パッド群とが前記第1方向において対向する、前記第2方向における範囲の長さよりも、大きい
半導体集積回路装置。

[請求項2]

請求項1記載の半導体集積回路装置において、

前記第1デバイス構造は、

前記第1ゲート配線と平面視で重なりを有する第1ナノシートを備え、

前記第2デバイス構造は、

前記第2ゲート配線と平面視で重なりを有する第2ナノシートを備え、

前記第3デバイス構造は、

前記第3ゲート配線と平面視で重なりを有する第3ナノシートを備える

半導体集積回路装置。

[請求項3]

請求項1記載の半導体集積回路装置において、

前記第1パッド群は、前記第1方向に直線状に並ぶ複数のパッドを含む

半導体集積回路装置。

[請求項4]

請求項1記載の半導体集積回路装置において、

前記第1ゲート配線は、前記第1方向に直線状に並ぶ複数の配線からなる

半導体集積回路装置。

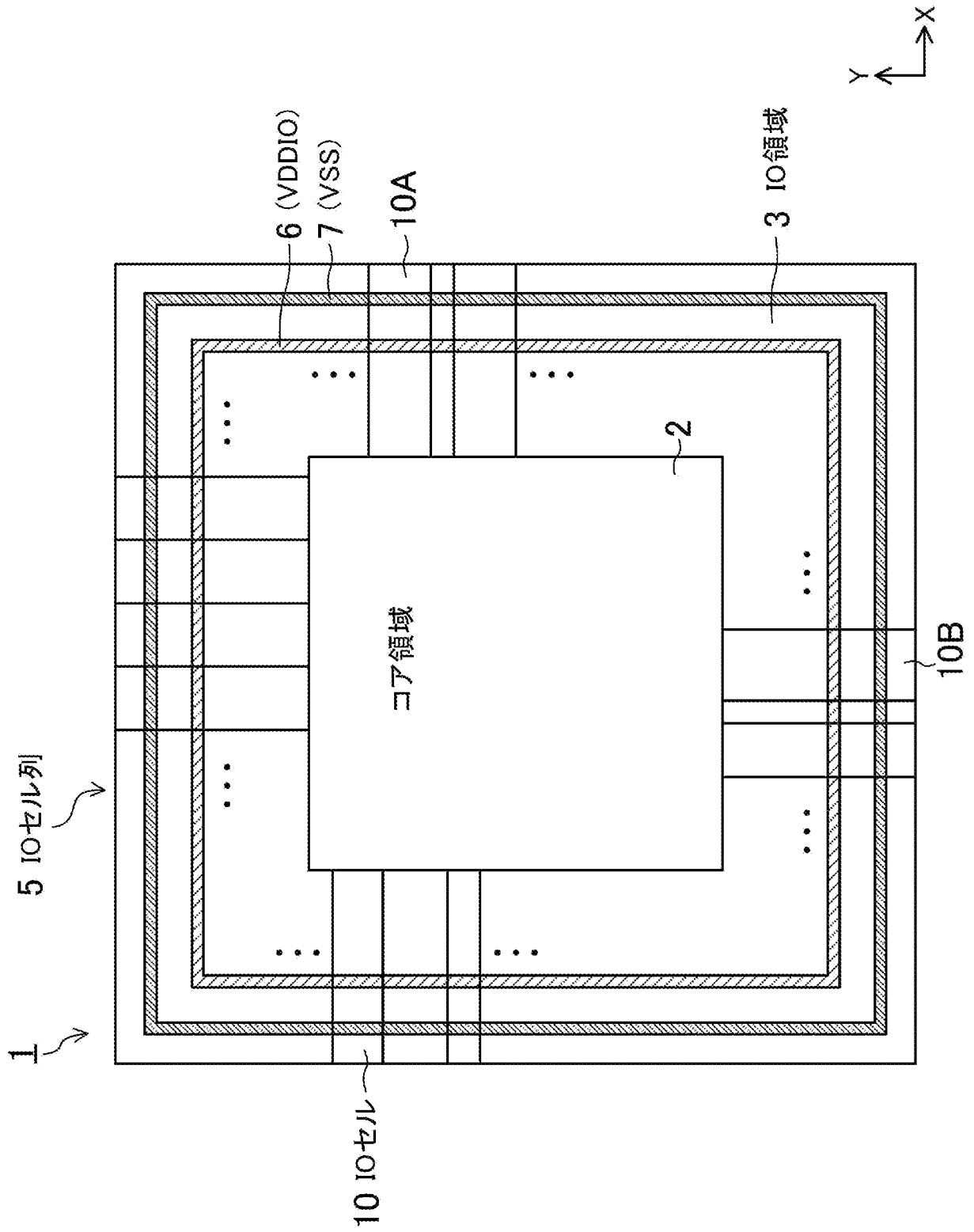
- [請求項5] 請求項1記載の半導体集積回路装置において、
前記第1ゲート配線は、フローティング状態である
半導体集積回路装置。
- [請求項6] ナノシートFET (Field Effect Transistor) を備えた半導体集積回路装置であって、
ESD (Electro Static Discharge) 保護回路を備え、
前記ナノシートFETは、ナノシートと、前記ナノシートの両端に接続されたパッドとを備え、
前記ESD保護回路は、
ダイオードのアノードまたはカソードの一方を構成する第1デバイス構造と、
前記ダイオードのアノードまたはカソードの他方を構成し、前記第1デバイス構造と第1方向において対向する第2デバイス構造と、
前記ダイオードのアノードまたはカソードの他方を構成し、前記第1デバイス構造と前記第1方向と垂直をなす第2方向において対向する第3デバイス構造と、を備え、
前記第1デバイス構造は、
前記第1方向に延びる第1導電型のパッドからなる第1パッド群を備え、
前記第2デバイス構造は、
前記第1方向に延びる第2導電型のパッドからなる第2パッド群を備え、
前記第3デバイス構造は、
前記第1方向に延びる前記第2導電型のパッドからなる第3パッド群を備え、
前記第1パッド群と前記第3パッド群とが前記第2方向において対向する、前記第1方向における範囲の長さは、前記第1パッド群と前記第2パッド群とが前記第1方向において対向する、前記第2方向に

おける範囲の長さよりも、大きい
半導体集積回路装置。

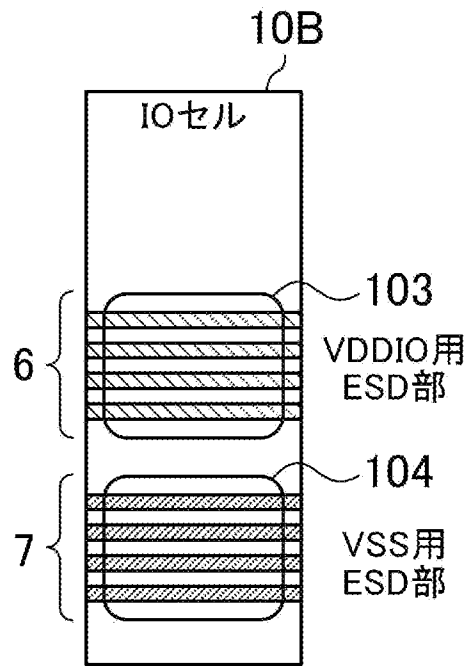
[請求項7]

請求項6記載の半導体集積回路装置において、
前記第1パッド群は、前記第1方向に直線状に並ぶ複数のパッドを
含む
半導体集積回路装置。

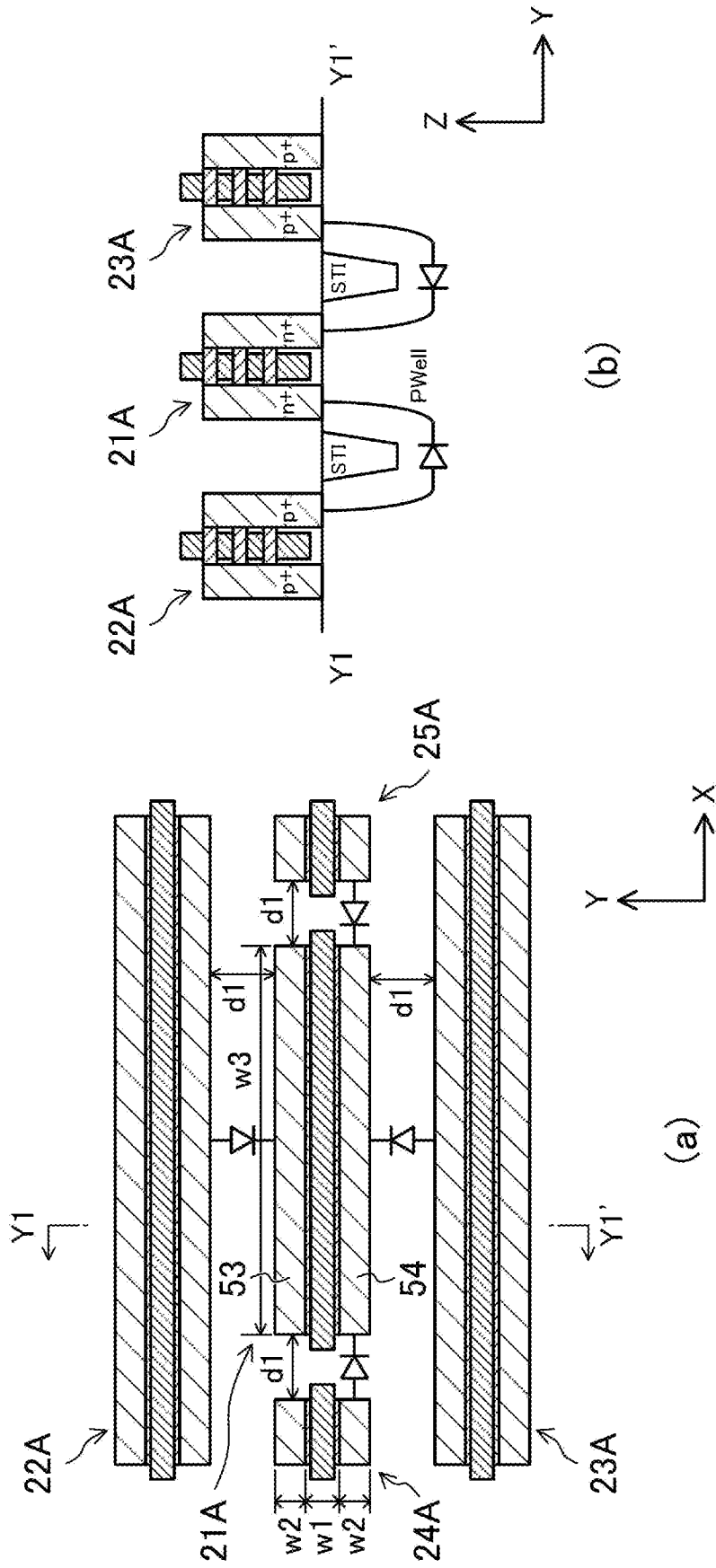
[図1]



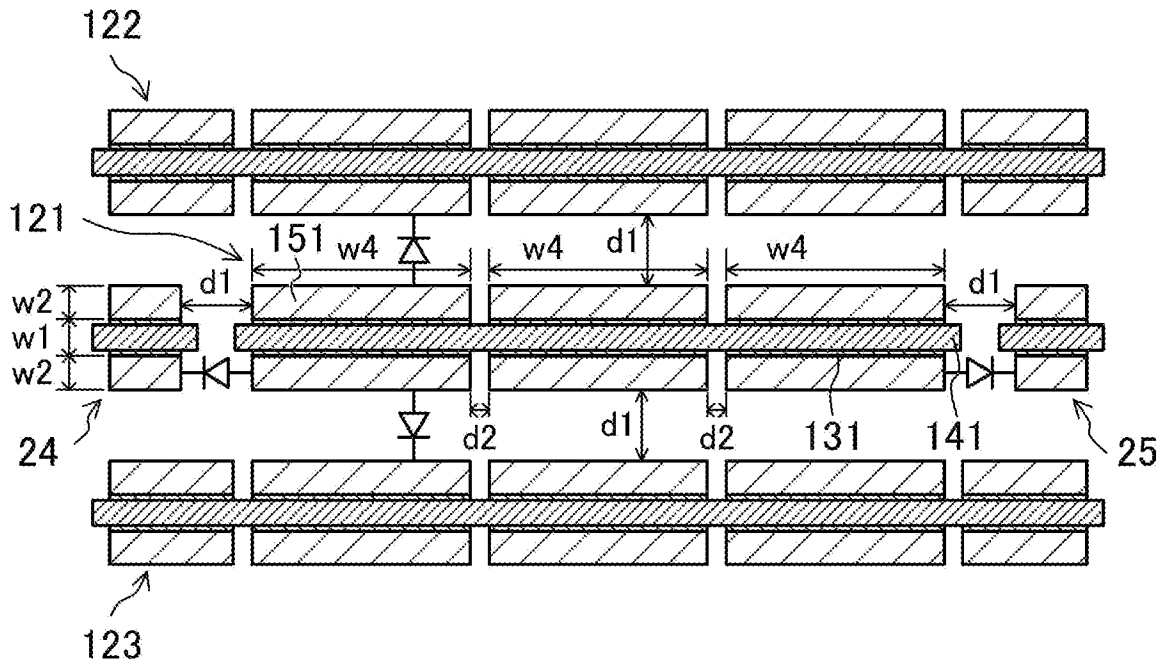
[図2]



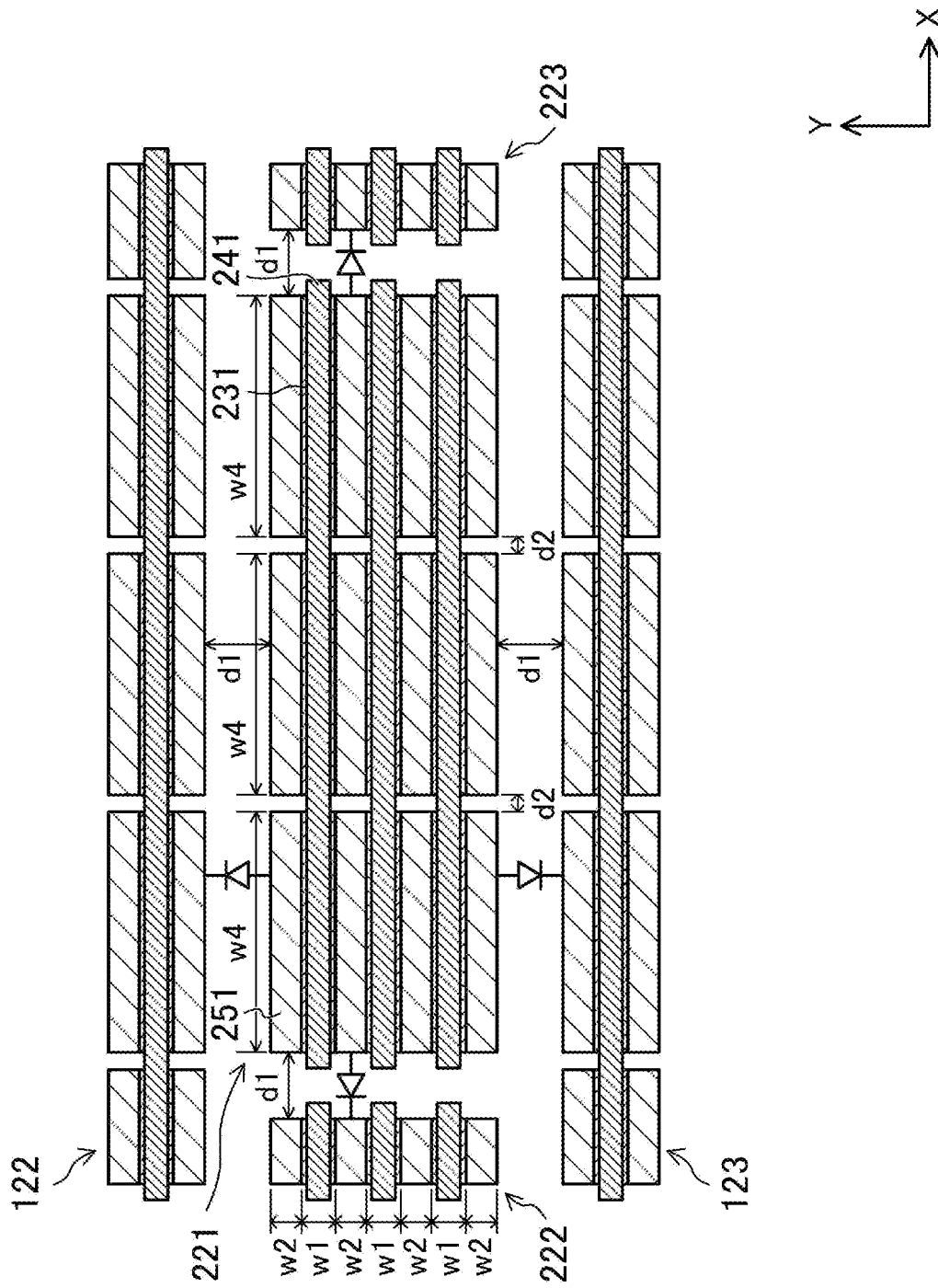
[図4]



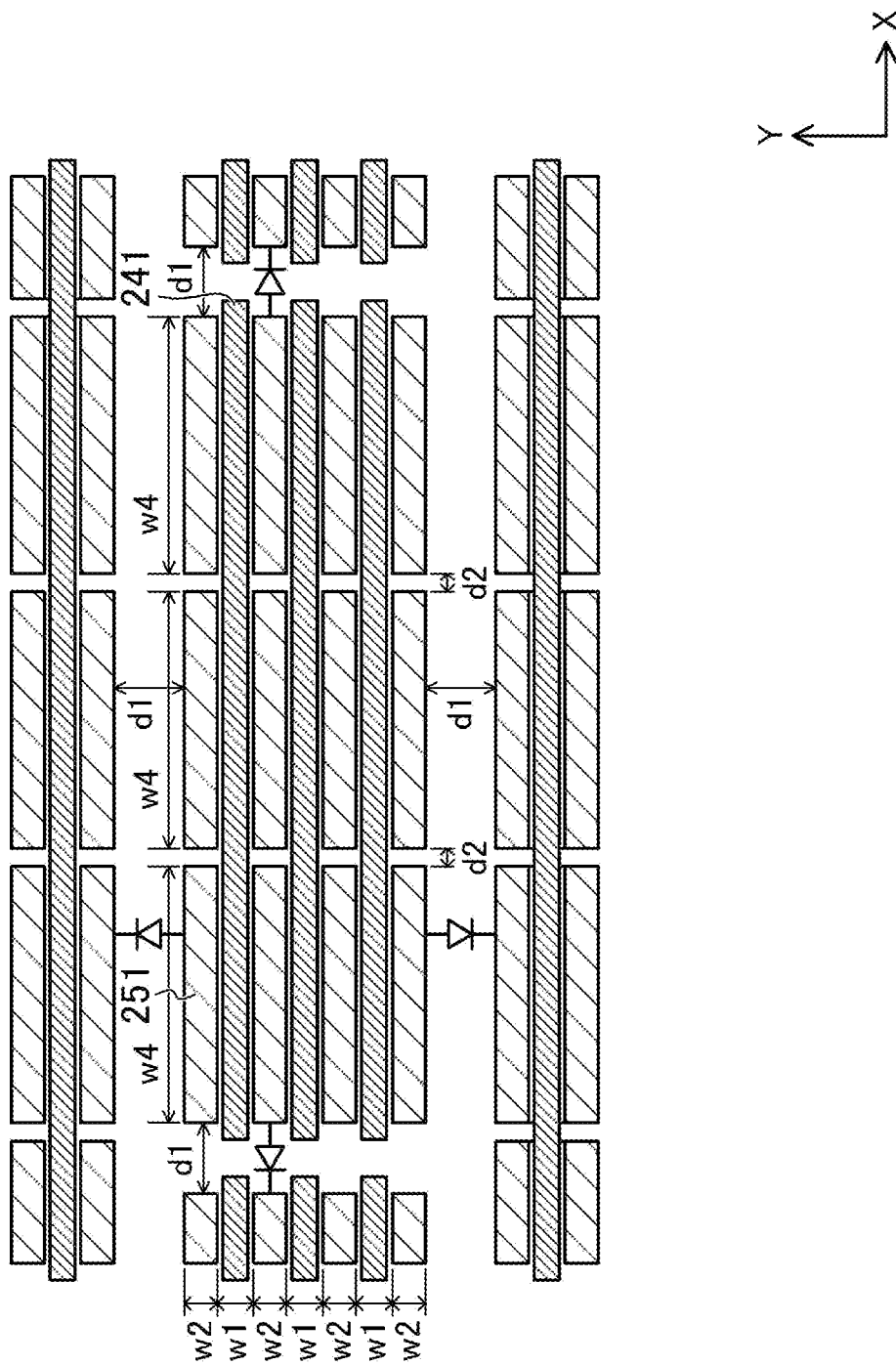
[図5]



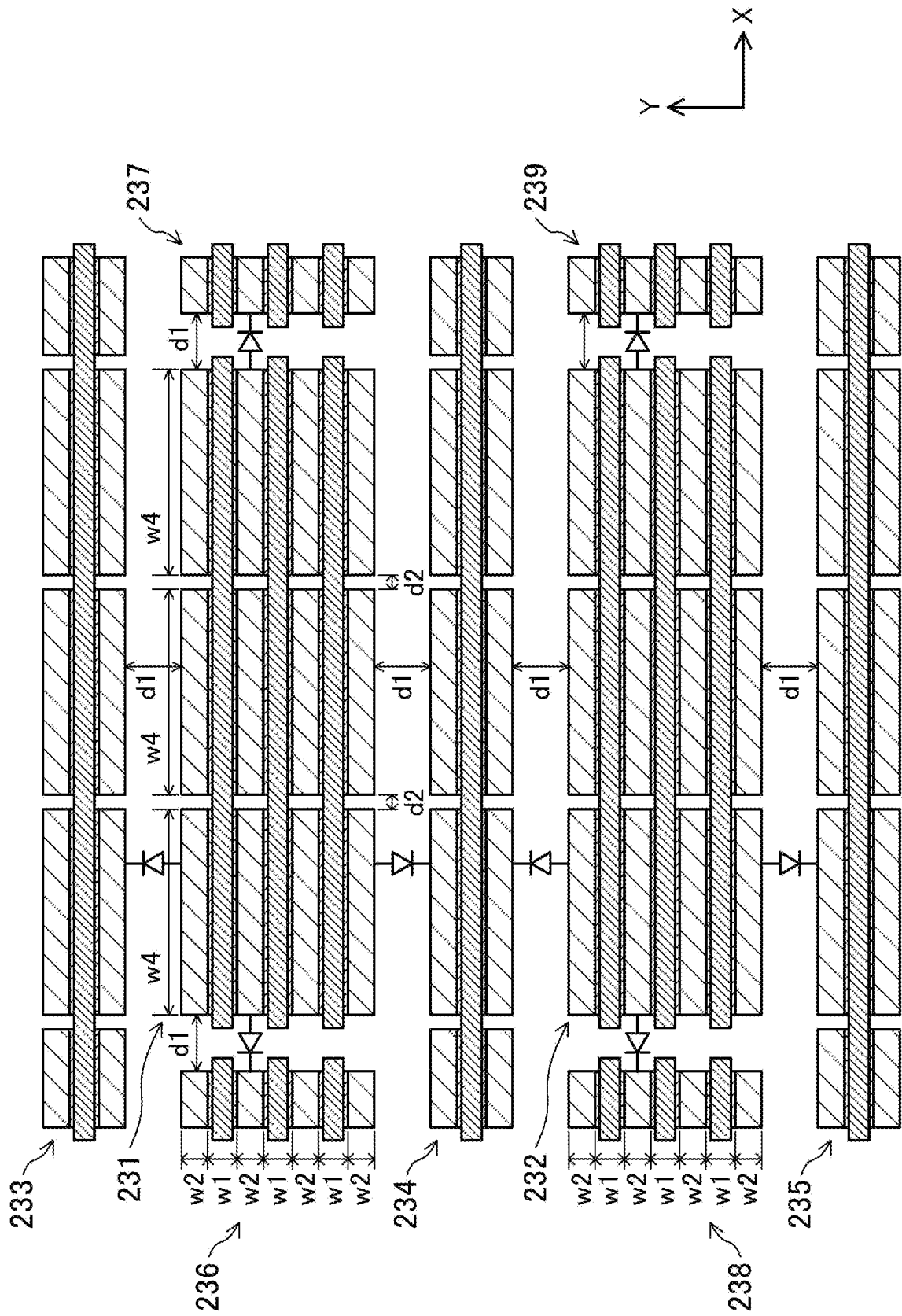
[図6]



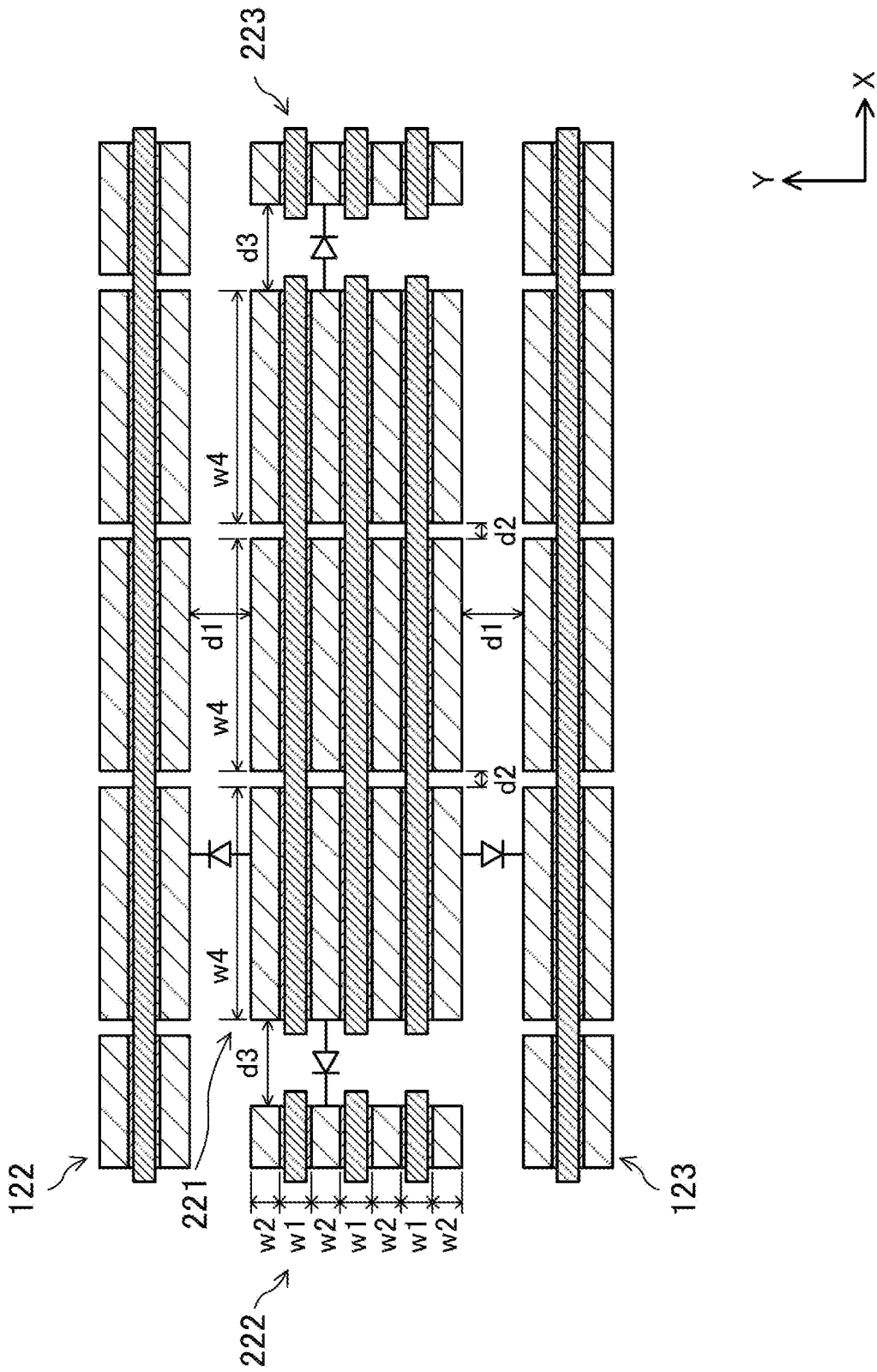
[図7]



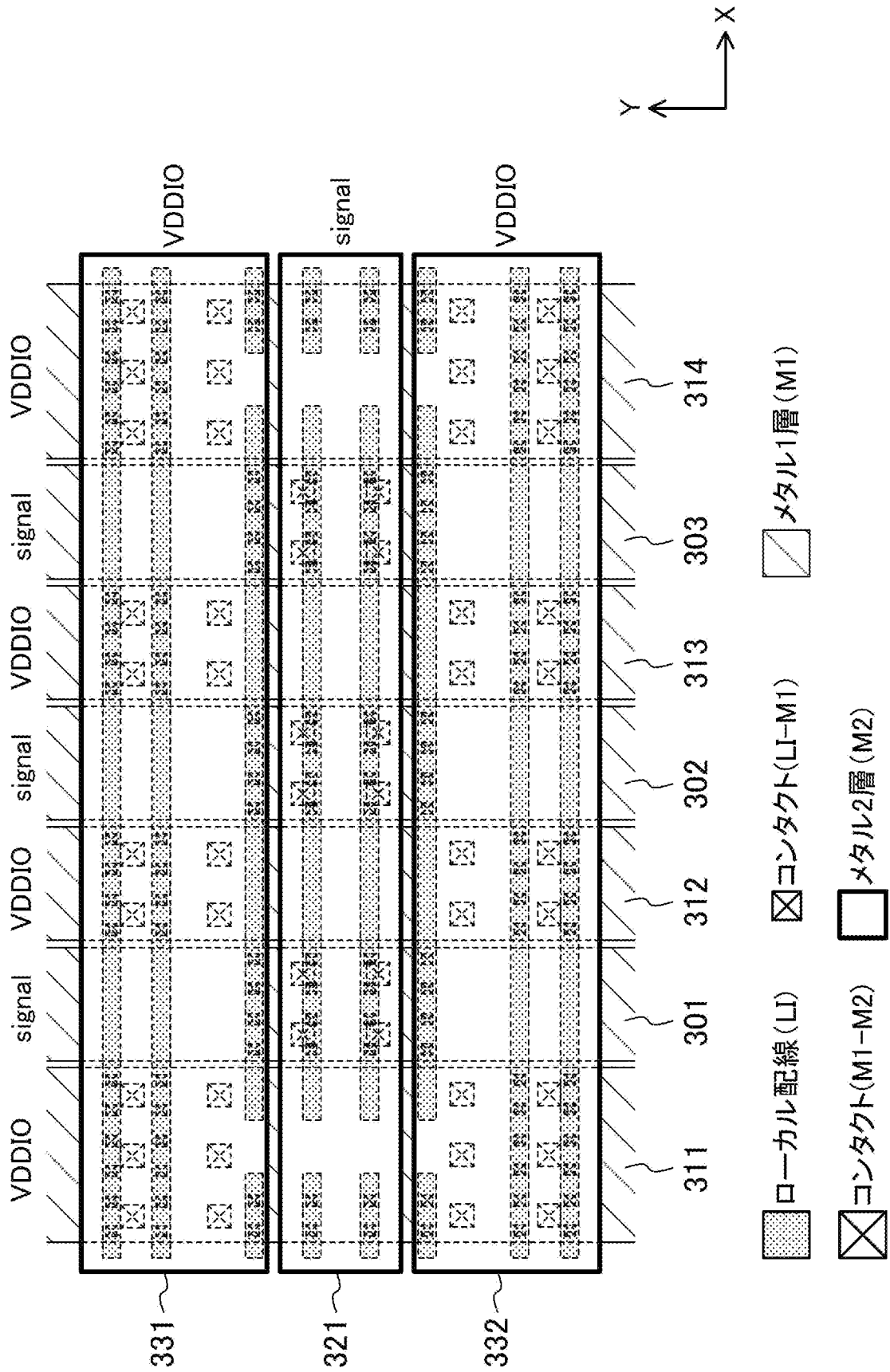
[図8]



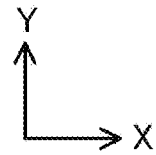
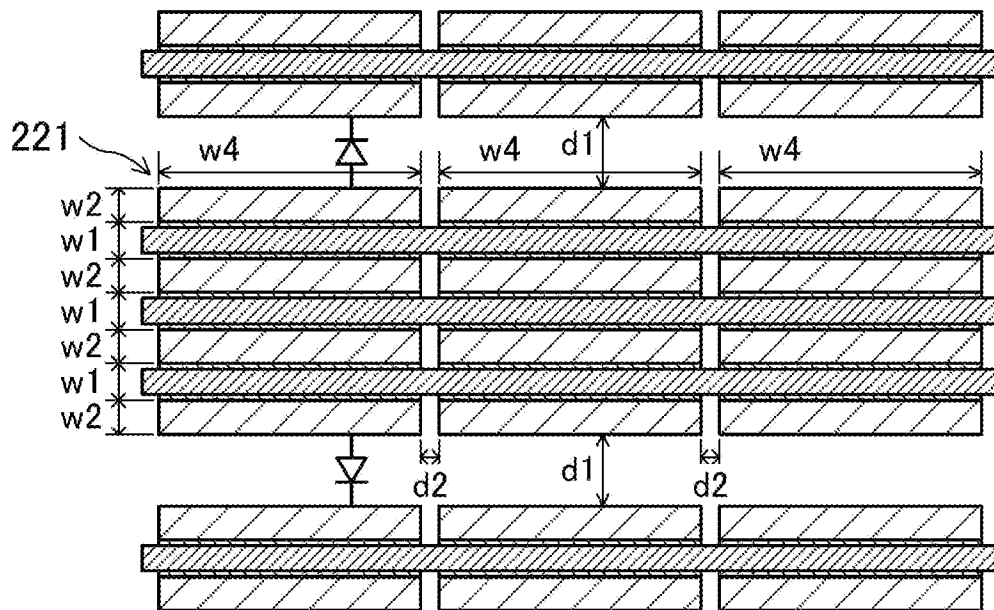
[図9]



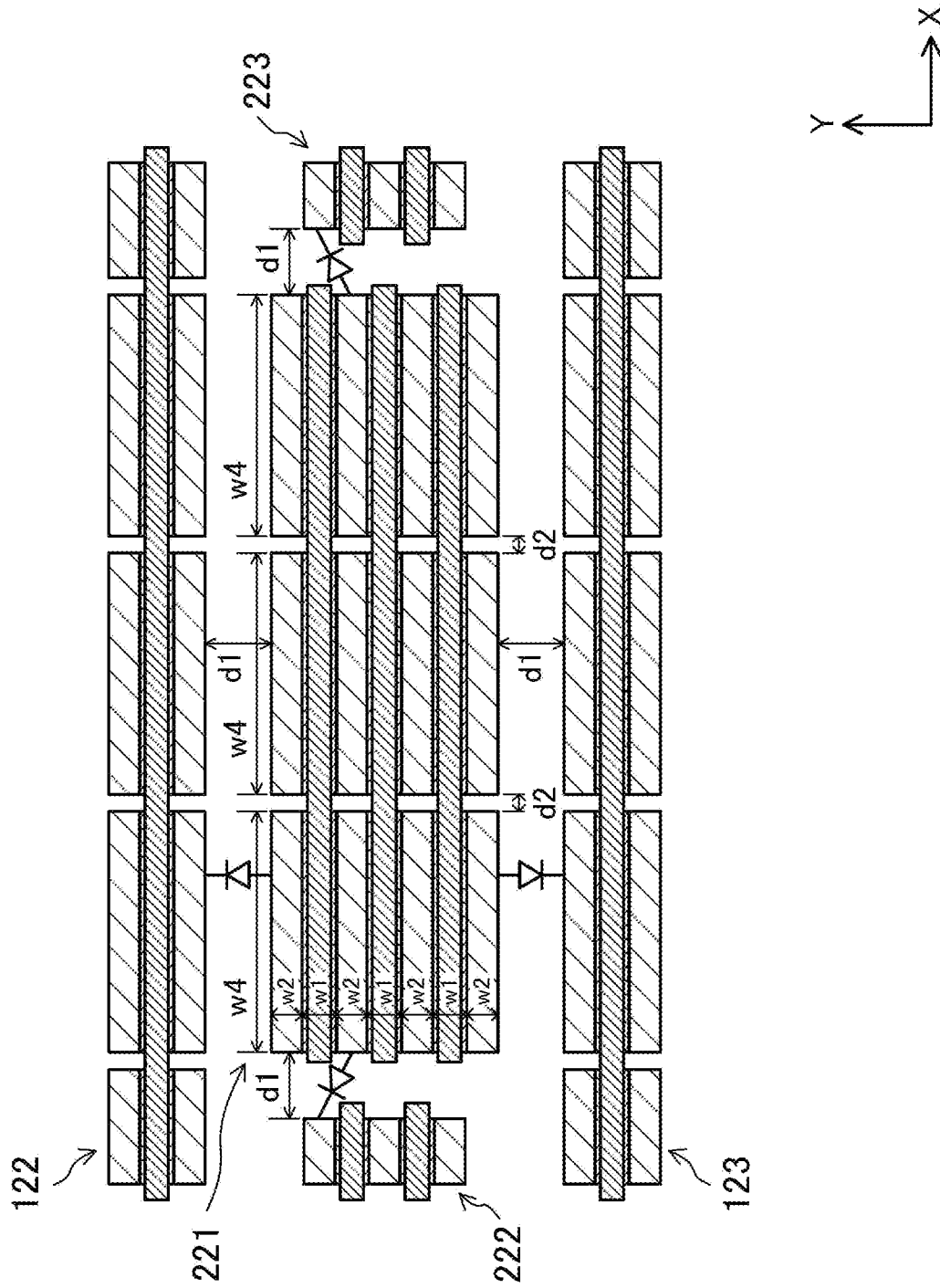
[図10]



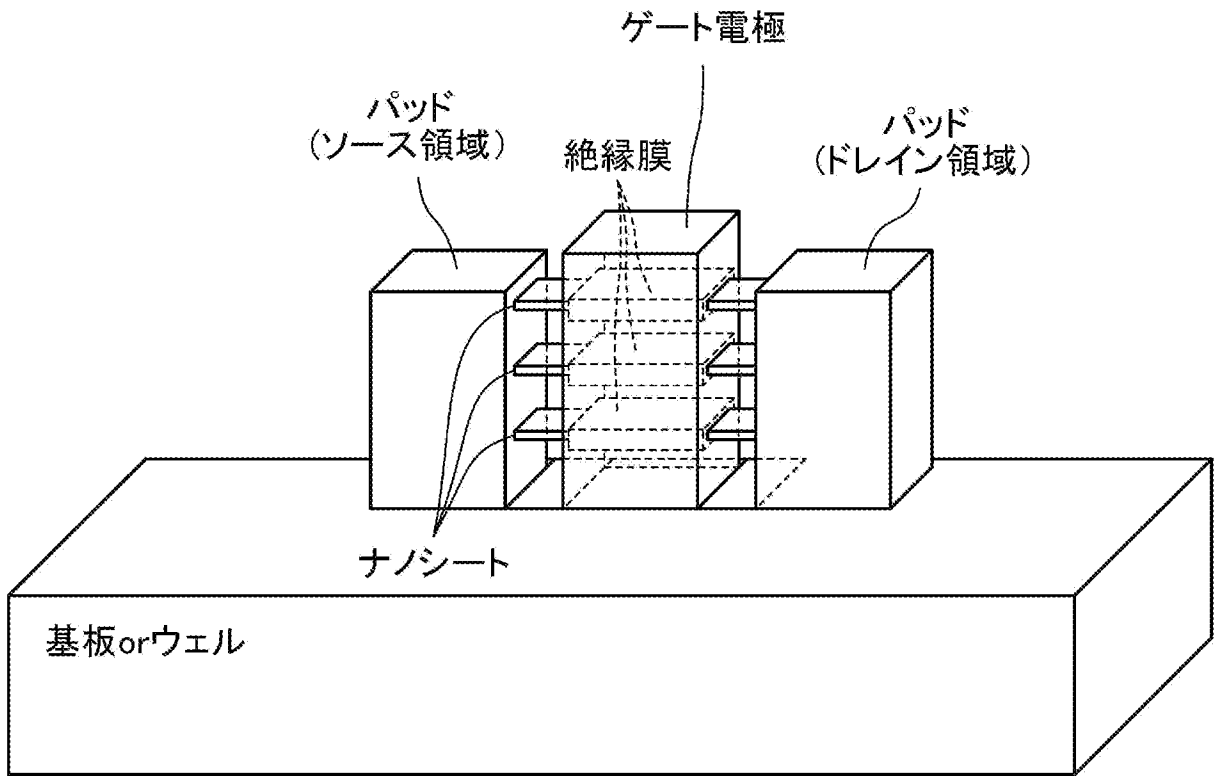
[図11]



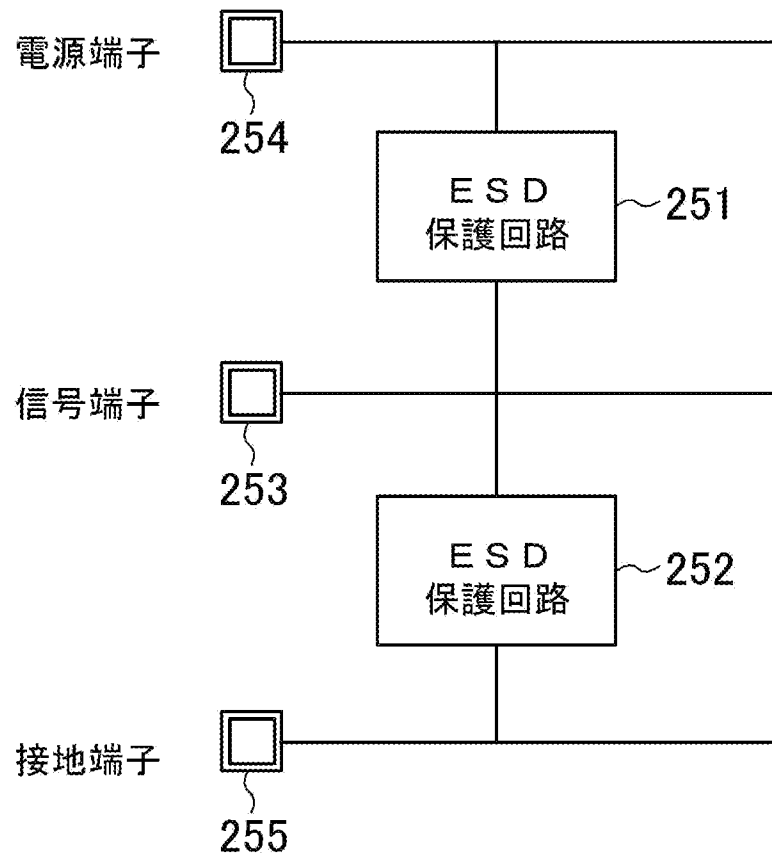
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/006559

A. CLASSIFICATION OF SUBJECT MATTER		
<p>H01L 27/04(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/06(2006.01)i; H01L 29/16(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i</p> <p>FI: H01L27/04 H; H01L27/06 102A; H01L27/06 311B; H01L27/088 A; H01L29/91 L; H01L29/91 C; H01L29/06 601N; H01L29/16</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L27/04; H01L21/822; H01L21/8234; H01L27/06; H01L27/088; H01L29/06; H01L29/16; H01L29/861; H01L29/868		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
<p>Published examined utility model applications of Japan 1922-1996</p> <p>Published unexamined utility model applications of Japan 1971-2023</p> <p>Registered utility model specifications of Japan 1996-2023</p> <p>Published registered utility model applications of Japan 1994-2023</p>		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/235082 A1 (SOCIONEXT INC.) 26 November 2020 (2020-11-26)	1-7
A	JP 2013-4676 A (TOSHIBA CORP.) 07 January 2013 (2013-01-07)	1-7
A	WO 2017/212644 A1 (SOCIONEXT INC.) 14 December 2017 (2017-12-14)	1-7
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
18 April 2023		09 May 2023
Name and mailing address of the ISA/JP		Authorized officer
<p>Japan Patent Office (ISA/JP)</p> <p>3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915</p> <p>Japan</p>		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/006559

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2020/235082	A1	26 November 2020	US	2022/0077141	A1	
				CN	113841228	A	
JP	2013-4676	A	07 January 2013	US	2012/0319164	A1	
WO	2017/212644	A1	14 December 2017	US	2019/0081032	A1	
				CN	109219874	A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 27/04(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/06(2006.01)i; H01L 29/16(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i FI: H01L27/04 H; H01L27/06 102A; H01L27/06 311B; H01L27/088 A; H01L29/91 L; H01L29/91 C; H01L29/06 601N; H01L29/16</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L27/04; H01L21/822; H01L21/8234; H01L27/06; H01L27/088; H01L29/06; H01L29/16; H01L29/861; H01L29/868</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2020/235082 A1 (株式会社ソシオネクスト) 26.11.2020 (2020-11-26)</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>JP 2013-4676 A (株式会社東芝) 07.01.2013 (2013-01-07)</td> <td>1-7</td> </tr> <tr> <td>A</td> <td>WO 2017/212644 A1 (株式会社ソシオネクスト) 14.12.2017 (2017-12-14)</td> <td>1-7</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2020/235082 A1 (株式会社ソシオネクスト) 26.11.2020 (2020-11-26)	1-7	A	JP 2013-4676 A (株式会社東芝) 07.01.2013 (2013-01-07)	1-7	A	WO 2017/212644 A1 (株式会社ソシオネクスト) 14.12.2017 (2017-12-14)	1-7
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2020/235082 A1 (株式会社ソシオネクスト) 26.11.2020 (2020-11-26)	1-7												
A	JP 2013-4676 A (株式会社東芝) 07.01.2013 (2013-01-07)	1-7												
A	WO 2017/212644 A1 (株式会社ソシオネクスト) 14.12.2017 (2017-12-14)	1-7												
国際調査を完了した日	18.04.2023	国際調査報告の発送日	09.05.2023											
名称及びあて先	日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）	鈴木 聡一郎 5F 3864 電話番号 03-3581-1101 内線 3516											

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/006559

引用文献			公表日	パテントファミリー文献			公表日
WO	2020/235082	A1	26.11.2020	US	2022/0077141	A1	
				CN	113841228	A	
JP	2013-4676	A	07.01.2013	US	2012/0319164	A1	
WO	2017/212644	A1	14.12.2017	US	2019/0081032	A1	
				CN	109219874	A	